



(21) 申請案號：102139617

(22) 申請日：中華民國 102 (2013) 年 10 月 31 日

(51) Int. Cl. : *H01L27/146 (2006.01)*

(30) 優先權：2013/08/15 美國 13/968,210

(71) 申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)  
美國

(72) 發明人：胡信崇 HU, SING-CHUNG (US)；楊榮生 YANG, RONGSHENG (US)；陳剛 CHEN, GANG (SG)；羅狄絲 霍華 E RHODES, HOWARD E. (US)；真鍋宗平 MANABE, SOHEI (JP)；戴幸志 TAI, HSIN CHIH (TW)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：31 項 圖式數：4 共 25 頁

## (54) 名稱

具經切換之深溝渠隔離結構的影像感測器畫素單元

IMAGE SENSOR PIXEL CELL WITH SWITCHED DEEP TRENCH ISOLATION STRUCTURE

## (57) 摘要

本發明揭示一種畫素單元，其包含安置於半導體材料之一第一區中之一磊晶層中之一光電二極體。一浮動擴散部安置於一井區中，該井區安置於該第一區中之該磊晶層中。一轉移電晶體安置於該第一區中且耦合於該光電二極體與該浮動擴散部之間以將影像電荷自該光電二極體選擇性地轉移至該浮動擴散部。在該 DTI 結構內側襯有一介電層之一深溝渠隔離(DTI)結構安置於該半導體材料中，隔離該 DTI 結構之一側上之該第一區與該 DTI 結構之另一側上之該半導體材料之一第二區。回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部，將該 DTI 結構內側之經摻雜半導體材料選擇性地耦合至一讀出脈衝電壓。

A pixel cell includes a photodiode disposed in an epitaxial layer in a first region of semiconductor material. A floating diffusion is disposed in a well region disposed in the epitaxial layer in the first region. A transfer transistor is disposed in the first region and coupled between the photodiode and the floating diffusion to selectively transfer image charge from the photodiode to the floating diffusion. A deep trench isolation (DTI) structure lined with a dielectric layer inside the DTI structure is disposed in the semiconductor material isolates the first region on one side of the DTI structure from a second region of the semiconductor material on an other side of the DTI structure. Doped semiconductor material inside the DTI structure is selectively coupled to a readout pulse voltage in response to the transfer transistor selectively transferring the image charge from the photodiode to the floating diffusion.

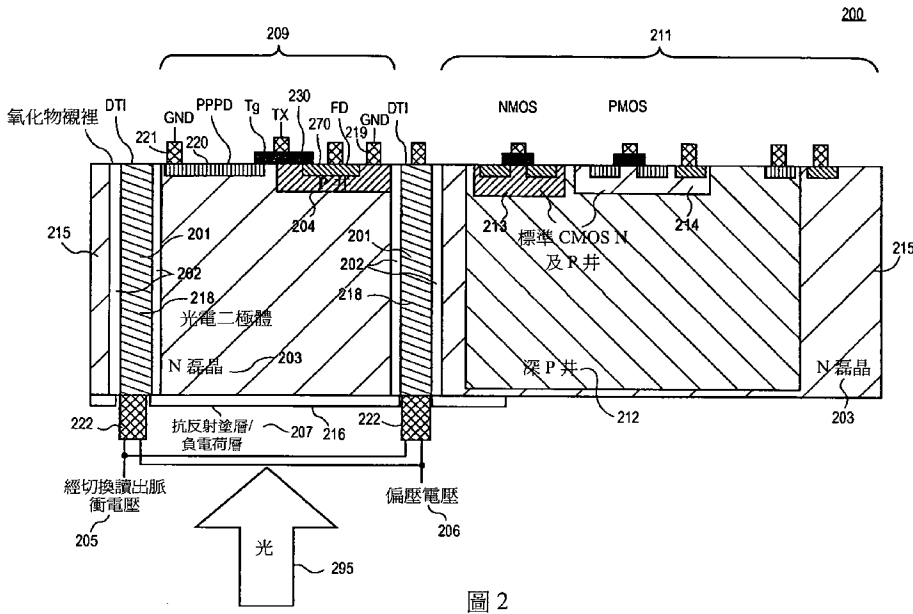


圖 2

- 200 . . . 畫素單元
- 201 . . . 經切換深溝渠隔離結構/深溝渠隔離結構
- 202 . . . 介電層
- 203 . . . 磊晶層/N型摻雜磊晶層/N磊晶層
- 204 . . . 井區/P井
- 205 . . . 讀出脈衝電壓/經切換讀出脈衝電壓
- 206 . . . 偏壓電壓/負偏壓電壓
- 207 . . . 抗反射塗層/負電荷層
- 209 . . . 第一區
- 211 . . . 第二區
- 212 . . . 深P井
- 213 . . . 標準 CMOS N井/N型摻雜磊晶層
- 214 . . . 標準 CMOS P井
- 215 . . . 半導體材料
- 216 . . . 背側
- 218 . . . 經摻雜半導體材料/P型摻雜半導體材料
- 219 . . . 觸點
- 220 . . . 光電二極體/部分釘紮之光電二極體
- 221 . . . 觸點
- 222 . . . 觸點
- 230 . . . 轉移電晶體
- 270 . . . 浮動擴散部 FD
- 295 . . . 光

DTI . . . 深溝渠隔離

FD . . . 浮動擴散部

GND . . . 接地參考電壓

PPPD . . . 部分釘紮之光電二極體

Tg . . . 轉移閘極/閘極端子

TX . . . 轉移信號

201507115

## 發明摘要

※ 申請案號：102139617

※ 申請日：102.10.31

※IPC 分類：H01L 27/146 (2006.01)

## 【發明名稱】

具經切換之深溝渠隔離結構的影像感測器畫素單元

IMAGE SENSOR PIXEL CELL WITH SWITCHED DEEP TRENCH  
ISOLATION STRUCTURE

## 【中文】

本發明揭示一種畫素單元，其包含安置於半導體材料之一第一區中之一磊晶層中之一光電二極體。一浮動擴散部安置於一井區中，該井區安置於該第一區中之該磊晶層中。一轉移電晶體安置於該第一區中且耦合於該光電二極體與該浮動擴散部之間以將影像電荷自該光電二極體選擇性地轉移至該浮動擴散部。在該DTI結構內側襯有一介電層之一深溝渠隔離(DTI)結構安置於該半導體材料中，隔離該DTI結構之一側上之該第一區與該DTI結構之另一側上之該半導體材料之一第二區。回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部，將該DTI結構內側之經摻雜半導體材料選擇性地耦合至一讀出脈衝電壓。

**【英文】**

A pixel cell includes a photodiode disposed in an epitaxial layer in a first region of semiconductor material. A floating diffusion is disposed in a well region disposed in the epitaxial layer in the first region. A transfer transistor is disposed in the first region and coupled between the photodiode and the floating diffusion to selectively transfer image charge from the photodiode to the floating diffusion. A deep trench isolation (DTI) structure lined with a dielectric layer inside the DTI structure is disposed in the semiconductor material isolates the first region on one side of the DTI structure from a second region of the semiconductor material on an other side of the DTI structure. Doped semiconductor material inside the DTI structure is selectively coupled to a readout pulse voltage in response to the transfer transistor selectively transferring the image charge from the photodiode to the floating diffusion.

## 【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

200	畫素單元
201	經切換深溝渠隔離結構/深溝渠隔離結構
202	介電層
203	磊晶層/N型摻雜磊晶層/N磊晶層
204	井區/P井
205	讀出脈衝電壓/經切換讀出脈衝電壓
206	偏壓電壓/負偏壓電壓
207	抗反射塗層/負電荷層
209	第一區
211	第二區
212	深P井
213	標準CMOS N井/N型摻雜磊晶層
214	標準CMOS P井
215	半導體材料
216	背側
218	經摻雜半導體材料/P型摻雜半導體材料
219	觸點
220	光電二極體/部分釘紮之光電二極體
221	觸點
222	觸點
230	轉移電晶體
270	浮動擴散部FD
295	光

DTI	深溝渠隔離
FD	浮動擴散部
GND	接地參考電壓
PPPD	部分釘紮之光電二極體
Tg	轉移閘極/閘極端子
TX	轉移信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

具經切換之深溝渠隔離結構的影像感測器畫素單元

IMAGE SENSOR PIXEL CELL WITH SWITCHED DEEP TRENCH  
ISOLATION STRUCTURE

## 【技術領域】

本發明一般而言係關於半導體處理。更具體而言，本發明之實例係關於影像感測器畫素單元之半導體處理。

## 【先前技術】

一影像擷取裝置包含一影像感測器及一成像透鏡。成像透鏡將光聚焦至影像感測器上以形成一影像，且影像感測器將光轉換成電信號。電信號自影像擷取裝置輸出至一主機電子系統之其他組件。舉例而言，該電子系統可係一行動電話、一電腦、一數位相機或一醫療裝置。

存在對減小影像感測器之大小之一持續需求，此導致用於具有相同解析度之一影像感測器之較小畫素單元。隨著畫素單元之大小不斷減小，畫素單元串擾及畫素單元之間的不期望信號轉移之問題不斷變成越來越大之一挑戰。此外，當使影像感測器小型化時，其中所含納之畫素單元遭受增加之暗電流率。

## 【圖式簡單說明】

參考以下各圖闡述本發明之非限制性及非窮盡性實施例，其中在各種視圖中相似元件符號係指相似部件，除非另有規定。

圖1係圖解說明根據本發明之教示可包含於具有經切換深溝渠隔離結構之一實例性影像感測器中之畫素單元之一項實例之一示意圖。



圖2係圖解說明根據本發明之教示具有經切換深溝渠隔離結構之畫素單元之一項實例之一剖面圖。

圖3圖解說明根據本發明之教示具有經切換深溝渠隔離結構之一實例性畫素單元中之信號之一時序圖。

圖4係圖解說明根據本發明之教示包含具有為經切換深溝渠隔離結構之畫素單元之一畫素陣列之一成像系統之一項實例之一圖式。

貫穿圖式之數個視圖，對應參考字符指示對應組件。熟習此項技術者將瞭解，圖中之元件係為簡單及清晰起見而圖解說明的，且未必按比例繪製。舉例而言，為有助於改善對本發明之各種實施例之理解，圖中之元件中之某些元件之尺寸可能相對於其他元件放大。此外，通常未繪示在一商業上可行之實施例中 useful 或必需之常見而眾所周知之元件，以便促進對本發明之此等各種實施例之一較不受妨礙之觀看。

### 【實施方式】

在以下說明中，陳述眾多特定細節以提供對本發明之一透徹理解。然而，熟習此項技術者將明瞭，無需採用特定細節來實踐本發明。在其他例項中，未詳細闡述眾所周知之材料或方法以便避免使本發明模糊。

在本說明書通篇中所提及之「一項實施例」、「一實施例」、「一項實例」或「一實例」意指結合該實施例或實例所闡述之一特定特徵、結構或特性包含於本發明之至少一項實施例中。因此，在本說明書通篇中之各個地方中出現之片語「在一項實施例中」、「在一實施例中」、「一項實例」或「一實例」未必全部係指相同實施例或實例。此外，該等特定特徵、結構或特性可以任何合適組合及/或子組合而組合於一或多個實施例或實例中。特定特徵、結構或特性可包含於一積體電路、一電子電路、一組合邏輯電路或提供所闡述功能性之其他適

合組件中。另外，應瞭解，隨本文提供之各圖係出於向熟習此項技術者闡釋之目的且圖式未必按比例繪製。

根據本發明之教示之實例闡述根據本發明之教示具有經切換深溝渠隔離結構之一畫素單元。在一項實例中，經切換深溝渠隔離結構係經偏壓電容型隔離結構。如將展示，在各種實例中，根據本發明之教示之畫素單元利用經切換且經偏壓深溝渠隔離結構，此減小畫素串擾且亦藉由在經切換深溝渠隔離結構之間以一適度摻雜之N型磊晶區為特徵而達成較高填充因子。因此，在實例中，不需要P型摻雜區來給隔離結構加襯及消耗光照射之光電二極體區中之空間。由於不需要P型摻雜區來給隔離結構加襯，因此根據本發明之教示達成增加之全井容量。此外，如將展示，根據本發明之教示，在各種實例中藉由藉助一負讀出脈衝電壓來切換深溝渠隔離結構，滯後時間減少，此乃因一旦影像電荷之轉移開始，影像電荷旋即被推出光電二極體至畫素單元之浮動擴散部。

為圖解說明，圖1係圖解說明根據本發明之教示之畫素單元100之一項實例之一示意圖，該畫素單元可係具有經切換深溝渠隔離結構之配置成一實例性畫素陣列192之複數個畫素單元中之一者。在所繪示之實例中，將畫素單元100圖解說明為係根據本發明之教示包含於一背側照明之影像感測器中之一種四電晶體(「4T」)畫素單元。應瞭解，畫素單元100係用於實施圖1之畫素陣列192內之每一畫素單元之畫素電路架構之一項可能實例。然而，應瞭解，根據本發明之教示之其他實例未必限於4T畫素架構。受益於本發明之熟習此項技術者將理解，本發明教示亦適用於3T設計、5T設計及根據本發明之教示之各種其他畫素架構。

在圖1中所繪示之實例中，畫素單元100包含用以累積影像電荷之一光電二極體(「PD」) 120、一轉移電晶體T1 130、一重設電晶體

T2 160、一浮動擴散部(「FD」) 170、一源極隨耦器(「SF」)電晶體 T3 180及一選擇電晶體T4 190。在操作期間，轉移電晶體T1 130接收將光電二極體PD 120中所累積之影像電荷轉移至浮動擴散部FD 170之一轉移信號TX。在一項實例中，浮動擴散部FD 170可耦合至用於暫時性地儲存影像電荷之一儲存電容器。在一項實例中且如下文將進一步詳細論述，根據本發明之教示，一深溝渠隔離結構(下文圖2中所展示)包含於畫素單元100中，且回應於轉移電晶體T1 130回應於轉移信號TX而將影像電荷自光電二極體PD 120選擇性地轉移至浮動擴散部FD 170而將該深溝渠隔離結構選擇性地耦合至一讀出脈衝電壓以減少影像滯後。

如所圖解說明之實例中所展示，重設電晶體T2 160耦合於一電力軌VDD與浮動擴散部FD 170之間以回應於一重設信號RST而重設畫素單元100 (例如，將浮動擴散部FD 170及光電二極體PD 120放電或充電至一預設電壓)。浮動擴散部FD 170經耦合以控制SF電晶體T3之閘極。SF電晶體T3耦合於電力軌VDD與選擇電晶體T4之間。SF電晶體T3操作為提供對浮動擴散部FD 170之一高阻抗連接之一源極隨耦器放大器。選擇電晶體T4 190回應於一選擇信號SEL而將畫素單元100之輸出選擇性地耦合至讀出行位元線193。

在一項實例中，由控制電路產生選擇性地耦合至深溝渠隔離之TX信號、RST信號、SEL信號及讀出脈衝電壓，下文將進一步詳細闡述該控制電路之一實例。在其中畫素陣列192藉助一全域快門操作之一實例中，全域快門信號耦合至畫素陣列192中之每一轉移電晶體T1 130之閘極以同時開始來自每一畫素之光電二極體PD 120之電荷轉移。另一選擇係，根據本發明之教示，可將滾動快門信號施加至轉移電晶體T1 130之群組。

圖2係圖解說明根據本發明之教示具有經切換深溝渠隔離結構

201之畫素單元200之一項實例之一剖面圖。在一項實例中，應注意，圖2之實例性畫素單元200係圖1之實例性畫素單元100之一剖面圖，且應瞭解，下文所提及之類似地命名及編號之元件係有聯繫的且如上文所闡述地起作用。如所繪示之實例中所展示，畫素單元200包含安置於半導體材料215之一第一區209中之一磊晶層203中之一光電二極體220，以回應於光295而累積影像電荷。在一項實例中，第一區209包含畫素單元200之畫素電路。在所圖解說明之實例中，磊晶區203適度地摻雜有N型摻雜劑。在一項實例中，用光295來照明半導體材料215之一背側216。因此，光295經引導穿過半導體材料215之背側216以在光電二極體220中光生影像電荷。因此，在所圖解說明之實例中，將一抗反射(「AR」)塗層/負電荷層207安置於半導體材料215之背側216表面上。在另一實例中，應瞭解，根據本發明之教示，光295可經引導穿過半導體材料215之一前側以在一前側照明之光電二極體中產生影像電荷。返回參考圖2中所繪示之實例，光電二極體220係一部分釘紮之光電二極體(PPPD)，且透過一觸點221耦合至一接地參考電壓GND，如所展示。

繼續圖2中所繪示之實例，畫素單元200亦包含安置於一井區204中之一浮動擴散部FD 270，該井區安置於半導體材料215之第一區209中之磊晶層203中，如所展示。在所圖解說明之實例中，其中安置浮動擴散部FD 270之井區204包含P型摻雜劑，且亦透過一觸點219耦合至接地參考電壓GND，如所展示。在該實例中，畫素單元200亦包含安置於半導體材料215之第一區209中且耦合於光電二極體220與浮動擴散部FD 270之間的一轉移電晶體230。如在實例中所展示，根據本發明之教示，轉移電晶體230包含一轉移閘極Tg且經耦合以回應於一轉移信號TX而將光電二極體220中所累積之影像電荷選擇性地轉移至浮動擴散部FD 270。

如圖2中所展示，畫素單元200亦包含安置於半導體材料215中之一或多個深溝渠隔離(DTI)結構201。在一項實例中，一或多個DTI結構201一直延伸至半導體材料215之背側216表面，如所展示。因此，如所繪示之實例中所展示，一或多個DTI結構201將DTI結構201之一側上之半導體材料215之第一區209與DTI結構201之另一側上之一或多個其他區(諸如(舉例而言)半導體材料215之第二區211)隔離。在一項實例中，第二區211包含畫素單元200之周邊電路。在所繪示之實例中，畫素單元200之第二區211中之周邊電路包含標準CMOS電路，該標準CMOS電路包含安置於一深P井212中之標準CMOS N井213及P井214，深P井212安置於半導體材料215之N型摻雜磊晶層203中，如所展示。

在一項實例中，一或多個DTI結構201中之每一者係包含給一或多個DTI結構201中之每一者之一內側表面加襯之一介電層202之一電容型隔離結構。在一項實例中，該介電層係具有約100埃之一厚度之氧化物層，包含(舉例而言)二氧化矽。一或多個DTI結構201中之每一者進一步包含安置於DTI結構201內側之介電層202上方之經摻雜半導體材料218。在所繪示之實例中，根據本發明之教示，回應於轉移電晶體230回應於轉移信號TX而將光電二極體220中所累積之影像電荷選擇性地轉移至浮動擴散部FD 270，將安置於一或多個DTI結構201中之每一者內側之經摻雜半導體材料218透過觸點222選擇性地耦合至一讀出脈衝電壓205。在一項實例中，安置於一或多個DTI結構201中之每一者內側之經摻雜半導體材料218係包含P型摻雜劑之輕摻雜多晶矽，使得光電二極體220之P型摻雜半導體材料218與N型摻雜磊晶層203之間的內建功函數差形成有利於減小畫素單元200中之暗電流之一電場。在一項實例中，觸點222係金屬觸點，該等金屬觸點係至安置於半導體材料215之背側216上之經摻雜半導體材料218之選用金屬柵

格觸點，如所展示。

在圖2中所繪示之實例中，經切換讀出脈衝電壓205係一負電壓脈衝，其施加於影像電荷透過轉移電晶體230自光電二極體220至浮動擴散部FD 270之讀出序列期間以減少影像滯後。在該實例中，在已透過轉移電晶體230將影像電荷自光電二極體220轉移至浮動擴散部FD 270之後，經切換讀出脈衝電壓205然後與經摻雜半導體材料218選擇性地解耦。在一項實例中，當不施加經切換讀出脈衝電壓205時，一偏壓電壓206透過觸點222耦合至經摻雜半導體材料218。在一項實例中，偏壓電壓206係用以在畫素單元200中產生一場以減小畫素單元200中之暗電流之一負偏壓。在一項實例中，負偏壓電壓206具有小於經切換讀出脈衝電壓205之一量值之一量值。

圖3圖解說明根據本發明之教示之具有經切換深溝渠隔離結構的圖1之實例性畫素單元100中及/或圖2之實例性畫素單元200中之實例性信號之一時序圖300。如所繪示之實例中所圖解說明，時序圖300展示：在時間T0之前，發生一重設功能，其中重設信號RST 360被施加至(舉例而言)圖1之重設電晶體T2 160之閘極端子，且傳輸信號TX 330被施加至(舉例而言)圖1之轉移電晶體T1 130之閘極端子，該閘極端子亦圖解說明為圖2之轉移電晶體230之閘極端子Tg。在圖3中之時間T0之前的此重設週期期間，將圖1之浮動擴散部FD 170及光電二極體PD 120或圖2之浮動擴散部FD 270及光電二極體220處之電壓重設至電力軌VDD電壓，此將浮動擴散部FD 170及光電二極體PD 120放電或充電至一預設電壓。

圖3圖解說明：在於時間T0處完成重設功能之後，在時間T0與T1之間的一曝光週期期間用光照明光電二極體以在光電二極體中累積影像電荷，舉例而言，此在圖2中圖解說明為光295經引導穿過半導體材料215之背側216到達光電二極體220。如(舉例而言)圖3中所展示，在

時間T0與T1之間的曝光週期期間，DTI結構301經耦合以接收一負偏壓信號306，在一項實例中，該負偏壓信號有助於在畫素單元中產生一電場以減小畫素單元中之暗電流。

圖3展示：在於時間T1處完成曝光功能之後，然後在時間T1與T3之間的轉移功能期間透過轉移電晶體將光電二極體中所累積之影像電荷自光電二極體轉移至浮動擴散部。圖3展示：此程序以施加轉移電晶體信號TX 330以接通轉移電晶體(諸如(舉例而言)圖1之轉移電晶體130或圖2之轉移電晶體230)開始。在一項實例中，在自T1至T2之一時間延遲317之後，DTI結構(諸如(舉例而言)圖2之DTI結構201)經耦合以回應於轉移電晶體信號TX 330將影像電荷自光電二極體選擇性地轉移至浮動擴散部而接收一負讀出脈衝電壓305，如圖3中所展示。在一項實例中，時間T1與T2之間的時間延遲大於或等於零。在一項實例中，根據本發明之教示，在來自光電二極體220之影像電荷之讀出序列期間之讀出脈衝電壓305之負脈衝減少影像滯後，此乃因根據本發明之教示，藉助讀出脈衝電壓305之負脈衝所形成之電場有助於透過轉移電晶體230將光電二極體220中所累積之影像電荷推動至浮動擴散部FD 270。在該實例中，在於時間T3處完成轉移功能之後，然後將DTI結構與讀出脈衝電壓305選擇性地解耦，且再次將負偏壓電壓306施加至DTI結構。

圖3亦圖解說明：畫素單元之部分釘紮之光電二極體320及P井304透過觸點221及219耦合至一接地參考電壓GND，該部分釘紮之光電二極體及P井可對應於如圖2中所圖解說明之部分釘紮之光電二極體220及P井204。在一項實例中，由於部分釘紮之光電二極體220及P井204與接地參考電壓GND相關聯，如(舉例而言)圖2中所展示，因此當DTI結構201經耦合以選擇性地接收負讀出脈衝電壓305且將雜訊耦合至光電二極體220之N磊晶層203側中時，轉移電晶體230之臨限電壓並不彈

回。

圖4係圖解說明根據本發明之教示之包含具有為經切換深溝渠隔離結構之畫素單元之一畫素陣列492之一成像系統491之一項實例的一圖式。如所繪示之實例中所展示，成像系統491包含耦合至控制電路498及讀出電路494之畫素陣列492，其中讀出電路494耦合至功能邏輯496。

在一項實例中，畫素陣列492係成像感測器或畫素單元(例如，畫素單元P1、P2、...、Pn)之一個二維(2D)陣列。在一項實例中，每一畫素單元係一CMOS成像畫素。應注意，畫素陣列492中之畫素單元P1、P2、...、Pn可係圖1之畫素單元100及/或圖2之畫素單元200之實例，且下文所提及之類似地命名及編號之元件係有聯繫的且類似於如上文所闡述地起作用。如所圖解說明，每一畫素單元配置至一系列(例如，列R1至Ry)及一行(例如，行C1至Cx)中以獲取一人、地方、物體等之影像資料，然後可使用該影像資料來再現該人、地方、物體等之一2D影像。

在一項實例中，在每一畫素單元已累積其影像資料或影像電荷之後，該影像資料由讀出電路494透過讀出行位元線493讀出且然後轉移至功能邏輯496。在各種實例中，讀出電路494可包含放大電路、類比轉數位(ADC)轉換電路或其他。功能邏輯496可僅儲存該影像資料或甚至藉由應用後影像效應(例如，剪裁、旋轉、移除紅眼、調整亮度、調整對比度或其他)來操縱該影像資料。在一項實例中，讀出電路494可沿著讀出行位元線493(所圖解說明)一次讀出一列影像資料，或可使用多種其他技術(未圖解說明)讀出影像資料，諸如一串列讀出或所有畫素同時之一完全並列讀出。

在一項實例中，控制電路498耦合至畫素陣列492以控制畫素陣列492之操作特性。舉例而言，控制電路498可產生用於控制影像獲取



之一快門信號。在一項實例中，該快門信號係用於同時啓用畫素陣列492內之所有畫素以在一單個獲取窗期間同時擷取其各別影像資料之一全域快門信號。在另一實例中，該快門信號爲一滾動快門信號，使得在連續獲取窗期間按順序啓用每一畫素列、每一畫素行或每一畫素群組。

包含發明摘要中所闡述內容之本發明之所圖解說明實例之以上說明並非意欲係窮盡性的或限於所揭示之精確形式。儘管出於說明性目的而在本文中闡述本發明之特定實施例及實例，但可在不背離本發明之較廣義精神及範疇之情況下做出各種等效修改。

可鑒於以上詳細說明對本發明之實例做出此等修改。以下申請專利範圍中所使用之術語不應理解爲將本發明限於說明書及申請專利範圍中所揭示之特定實施例。而是，該範疇將完全由以下申請專利範圍來判定，以下申請專利範圍將根據所建立之申請專利範圍解釋原則來加以理解。因此，本發明說明書及各圖應視爲說明性的而非限制性的。

#### 【符號說明】

100	畫素單元
120	光電二極體/光電二極體PD
130	轉移電晶體T1/轉移電晶體
160	重設電晶體T2
170	浮動擴散部/浮動擴散部FD
180	源極隨耦器T3
190	選擇電晶體T4
193	讀出行位元線
200	畫素單元
201	經切換深溝渠隔離結構/深溝渠隔離結構

202	介電層
203	磊晶層/N型摻雜磊晶層/N磊晶層
204	井區/P井
205	讀出脈衝電壓/經切換讀出脈衝電壓
206	偏壓電壓/負偏壓電壓
207	抗反射塗層/負電荷層
209	第一區
211	第二區
212	深P井
213	標準CMOS N井/N型摻雜磊晶層
214	標準CMOS P井
215	半導體材料
216	背側
218	經摻雜半導體材料/P型摻雜半導體材料
219	觸點
220	光電二極體/部分釘紮之光電二極體
221	觸點
222	觸點
230	轉移電晶體
270	浮動擴散部FD
295	光
300	時序圖
301	深溝渠隔離結構
305	負讀出脈衝電壓/讀出脈衝電壓
306	負偏壓信號/負偏壓電壓
330	傳輸信號TX/轉移電晶體信號TX

360	重設信號RST
491	成像系統
492	畫素陣列
493	讀出行位元線
494	讀出電路
496	功能邏輯
498	控制電路
C1至Cx	行
DTI	深溝渠隔離
FD	浮動擴散部
GND	接地參考電壓
P1、P2、...、Pn	畫素單元
PD	光電二極體
PPPD	部分釘紮之光電二極體
R1至Ry	列
RST	重設信號
SEL	選擇信號
SF	源極隨耦器
Tg	轉移閘極/閘極端子
TX	轉移信號
VDD	電力軌

## 申請專利範圍

1. 一種畫素單元，其包括：

一光電二極體，其安置於半導體材料之一第一區中之一磊晶層中以累積影像電荷；

一浮動擴散部，其安置於一井區中，該井區安置於該半導體材料之該第一區中之該磊晶層中；

一轉移電晶體，其安置於該半導體材料之該第一區中且耦合於該光電二極體與該浮動擴散部之間以將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部；

一深溝渠隔離(DTI)結構，其安置於該半導體材料中，其中該DTI結構將該DTI結構之一側上之該半導體材料之該第一區與該DTI結構之另一側上之該半導體材料之一第二區隔離，其中該DTI結構包含：

一介電層，其給該DTI結構之一內側表面加襯；及

經摻雜半導體材料，其安置於該DTI結構內側之該介電層上方，其中回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部而將安置於該DTI結構內側之該經摻雜半導體材料選擇性地耦合至一讀出脈衝電壓。

2. 如請求項1之畫素單元，其中在透過該轉移電晶體將該影像電荷自該光電二極體轉移至該浮動擴散部時，將安置於該DTI結構內側之該經摻雜半導體材料選擇性地耦合至該讀出脈衝電壓以減少影像滯後。

3. 如請求項1之畫素單元，其中在該電晶體經選擇性地切換以將該影像電荷自該光電二極體轉移至該浮動擴散部之後的一延遲時間之後，將安置於該DTI結構內側之該經摻雜半導體材料選擇性

地耦合至該讀出脈衝電壓。

4. 如請求項1之畫素單元，其中在已透過該轉移電晶體將該影像電荷自該光電二極體轉移至該浮動擴散部之後，將安置於該DTI結構內側之該經摻雜半導體材料與該讀出脈衝電壓選擇性地解耦。
5. 如請求項1之畫素單元，其中該讀出脈衝電壓係一負脈衝電壓，回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部而將該負脈衝電壓選擇性地耦合至安置於該DTI結構內側之該經摻雜半導體材料。
6. 如請求項1之畫素單元，其中安置於該DTI結構內側之該經摻雜半導體材料耦合至一負偏壓電壓以在該畫素單元中產生一場，以減小該畫素單元中之暗電流，其中該負偏壓電壓具有小於該讀出脈衝電壓之一量值之一量值。
7. 如請求項1之畫素單元，其中該光電二極體及其中安置該浮動擴散部之該井區耦合至一接地參考電壓。
8. 如請求項1之畫素單元，其進一步包括耦合至安置於該DTI結構內側之該經摻雜半導體材料之一金屬柵格觸點。
9. 如請求項1之畫素單元，其中該半導體材料之該第一區中之該磊晶層係一N摻雜磊晶層，且安置於該半導體材料之該第一區中之該磊晶層中之該井區係一P摻雜井區。
10. 如請求項1之畫素單元，其進一步包括安置於該DTI結構之該另一側上之該半導體材料之該第二區中之周邊電路，其中該DTI結構將該半導體材料之該第一區與安置於該半導體材料之該第二區中之該周邊電路隔離。
11. 如請求項1之畫素單元，其中該DTI結構延伸至該半導體材料之背側表面。

12. 如請求項1之畫素單元，其中該畫素單元適合於自該半導體材料之一背側來照明。
13. 如請求項11之畫素單元，其進一步包括安置於該半導體材料之該背側上之一抗反射塗層。
14. 如請求項1之畫素單元，其中給該DTI結構之該內側表面加襯之該介電層包含二氧化矽。
15. 如請求項1之畫素單元，其中安置於該DTI結構內側之該介電層上方之該經摻雜半導體材料包含輕摻雜多晶矽。
16. 一種成像系統，其包括：
  - 一畫素陣列，其具有複數個畫素單元，其中該複數個畫素單元中之每一者包含：
    - 一光電二極體，其安置於半導體材料之一第一區中之一磊晶層中以累積影像電荷；
    - 一浮動擴散部，其安置於一井區中，該井區安置於該半導體材料之該第一區中之該磊晶層中；
    - 一轉移電晶體，其安置於該半導體材料之該第一區中且耦合於該光電二極體與該浮動擴散部之間以將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部；
    - 一深溝渠隔離(DTI)結構，其安置於該半導體材料中，其中該DTI結構將該DTI結構之一側上之該半導體材料之該第一區與該DTI結構之另一側上之該半導體材料之一第二區隔離，其中該DTI結構包含：
      - 一介電層，其給該DTI結構之一內側表面加襯；及
      - 經摻雜半導體材料，其安置於該DTI結構內側之該介電層上方，其中回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部而將安置於該DTI結構內

側之該經摻雜半導體材料選擇性地耦合至一讀出脈衝電壓；

控制電路，其耦合至該畫素陣列以控制該畫素陣列之操作；及

讀出電路，其耦合至該畫素陣列以自該複數個畫素單元讀出影像資料。

17. 如請求項16之成像系統，其進一步包括耦合至該讀出電路以儲存自該複數個畫素單元讀出之該影像資料之功能邏輯。
18. 如請求項16之成像系統，其中在透過該轉移電晶體將該影像電荷自該光電二極體轉移至該浮動擴散部時，其將安置於該DTI結構內側之該經摻雜半導體材料選擇性地耦合至該讀出脈衝電壓以減少影像滯後。
19. 如請求項16之成像系統，其中在該電晶體經選擇性地切換以將該影像電荷自該光電二極體轉移至該浮動擴散部之後的一延遲時間之後，將安置於該DTI結構內側之該經摻雜半導體材料選擇性地耦合至該讀出脈衝電壓。
20. 如請求項16之成像系統，其中在已透過該轉移電晶體將該影像電荷自該光電二極體轉移至該浮動擴散部之後，將安置於該DTI結構內側之該經摻雜半導體材料與該讀出脈衝電壓選擇性地解耦。
21. 如請求項16之成像系統，其中該讀出脈衝電壓係一負脈衝電壓，回應於該轉移電晶體將該影像電荷自該光電二極體選擇性地轉移至該浮動擴散部而將該負脈衝電壓選擇性地耦合至安置於該DTI結構內側之該經摻雜半導體材料。
22. 如請求項16之成像系統，其中安置於該DTI結構內側之該經摻雜半導體材料耦合至一負偏壓電壓以在該畫素單元中產生一場，

以減小該畫素單元中之暗電流，其中該負偏壓電壓具有小於該讀出脈衝電壓之一量值之一量值。

23. 如請求項16之成像系統，其中該光電二極體及其中安置該浮動擴散部之該井區耦合至一接地參考電壓。
24. 如請求項16之成像系統，其進一步包括耦合至安置於該DTI結構內側之該經摻雜半導體材料之一金屬柵格觸點。
25. 如請求項16之成像系統，其中該半導體材料之該第一區中之該磊晶層係一N摻雜磊晶層，且安置於該半導體材料之該第一區中之該磊晶層中之該井區係一P摻雜井區。
26. 如請求項16之成像系統，其進一步包括安置於該DTI結構之該另一側上之該半導體材料之該第二區中之周邊電路，其中該DTI結構將該半導體材料之該第一區與安置於該半導體材料之該第二區中之該周邊電路隔離。
27. 如請求項16之成像系統，其中該DTI結構延伸至該半導體材料之一背側表面。
28. 如請求項16之成像系統，其中該畫素單元適合於自該半導體材料之一背側來照明。
29. 如請求項28之成像系統，其進一步包括安置於該半導體材料之該背側上之一抗反射塗層。
30. 如請求項16之成像系統，其中給該DTI結構之該內側表面加襯之該介電層包含二氧化矽。
31. 如請求項16之成像系統，其中安置於該DTI結構內側之該介電層上方之該經摻雜半導體材料包含輕摻雜多晶矽。



# 圖式

192

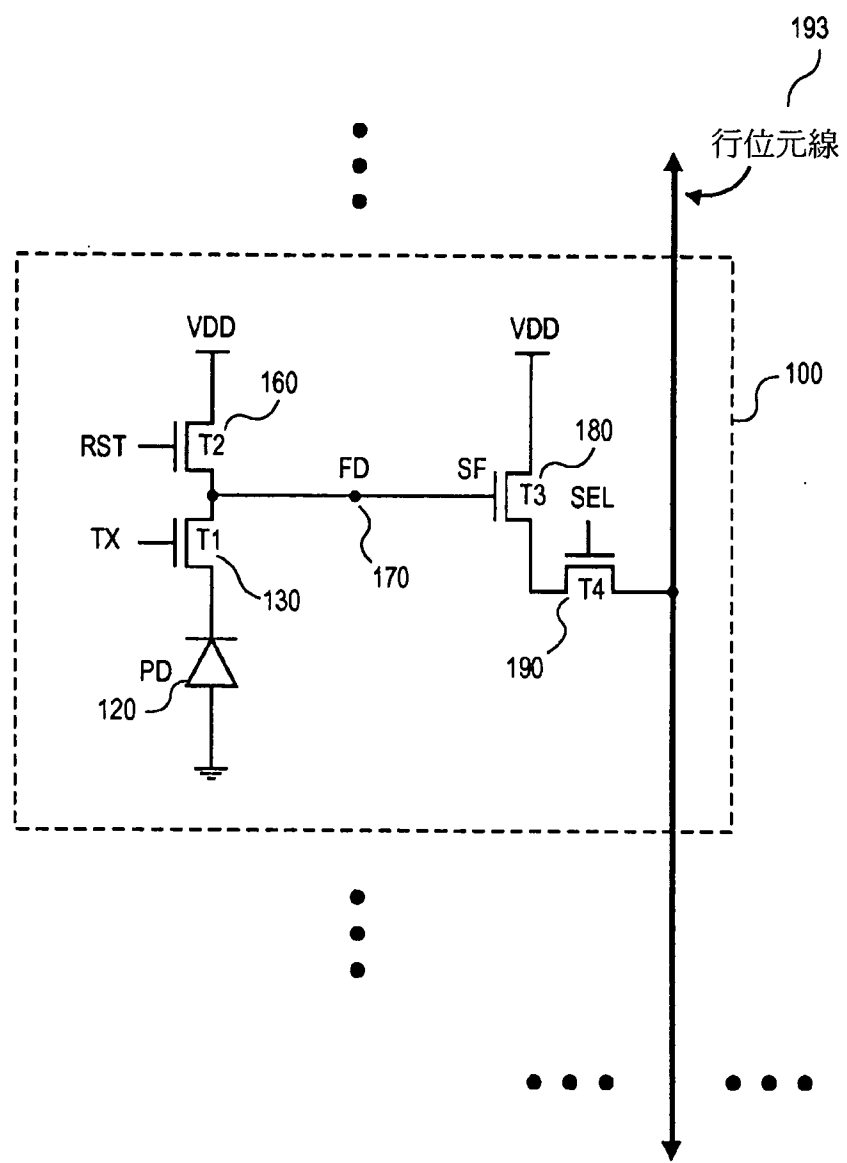


圖 1

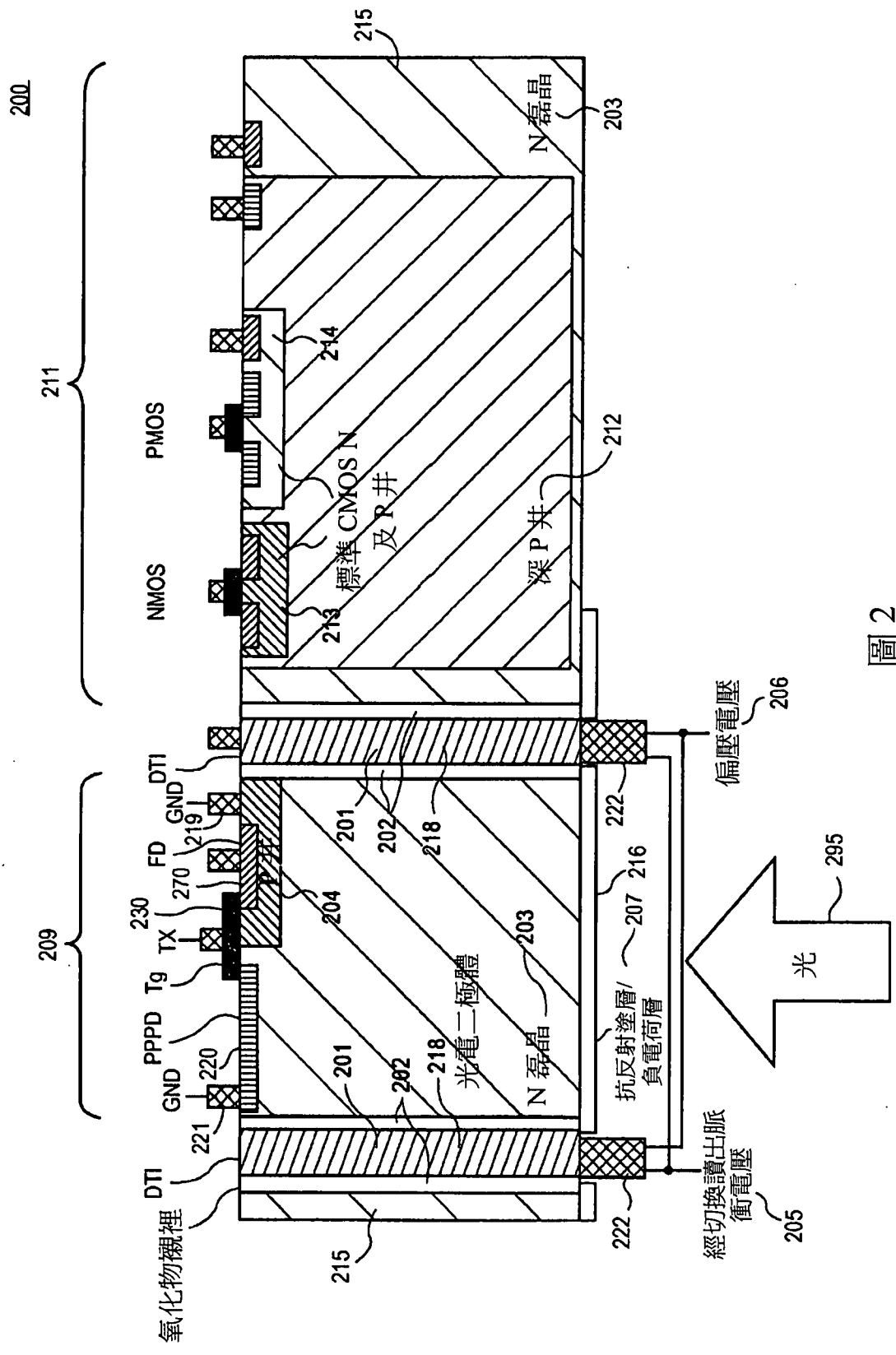


圖 2

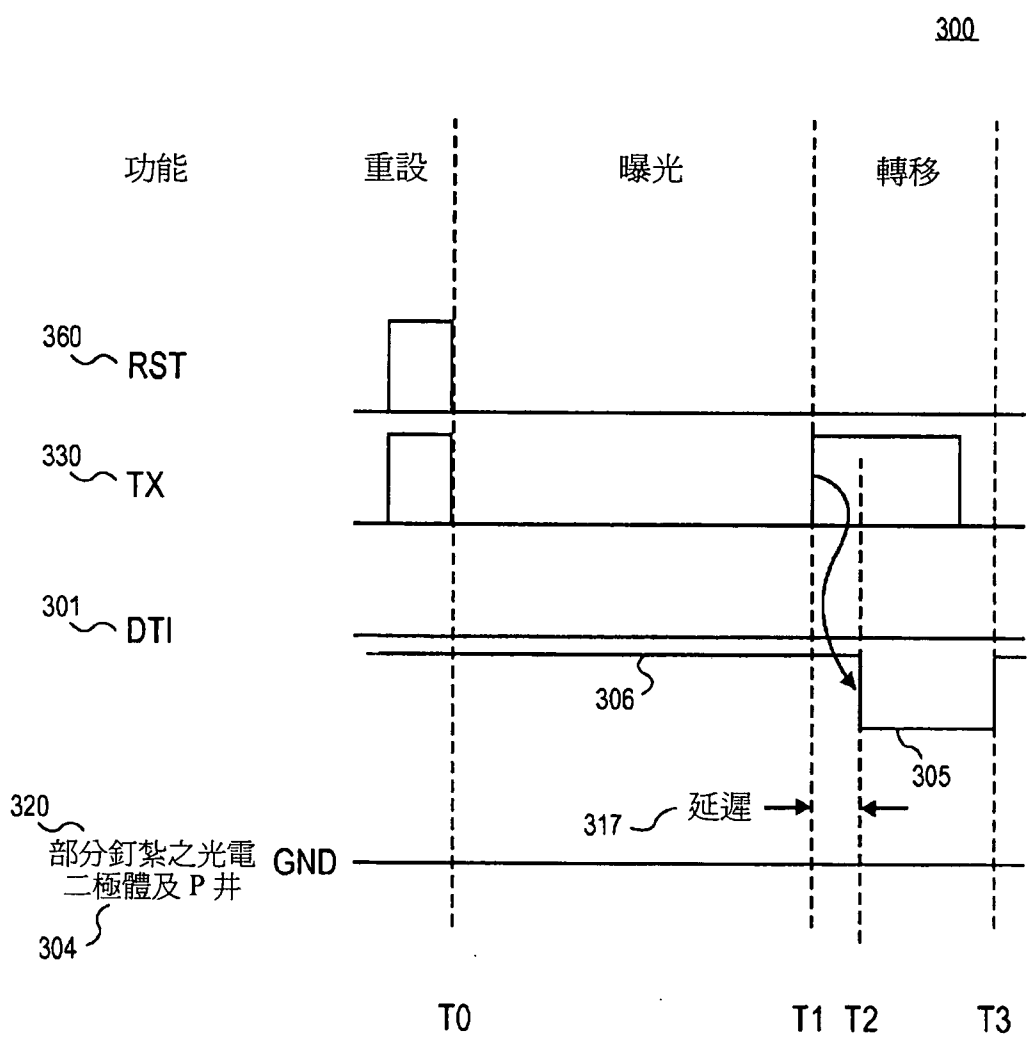


圖 3

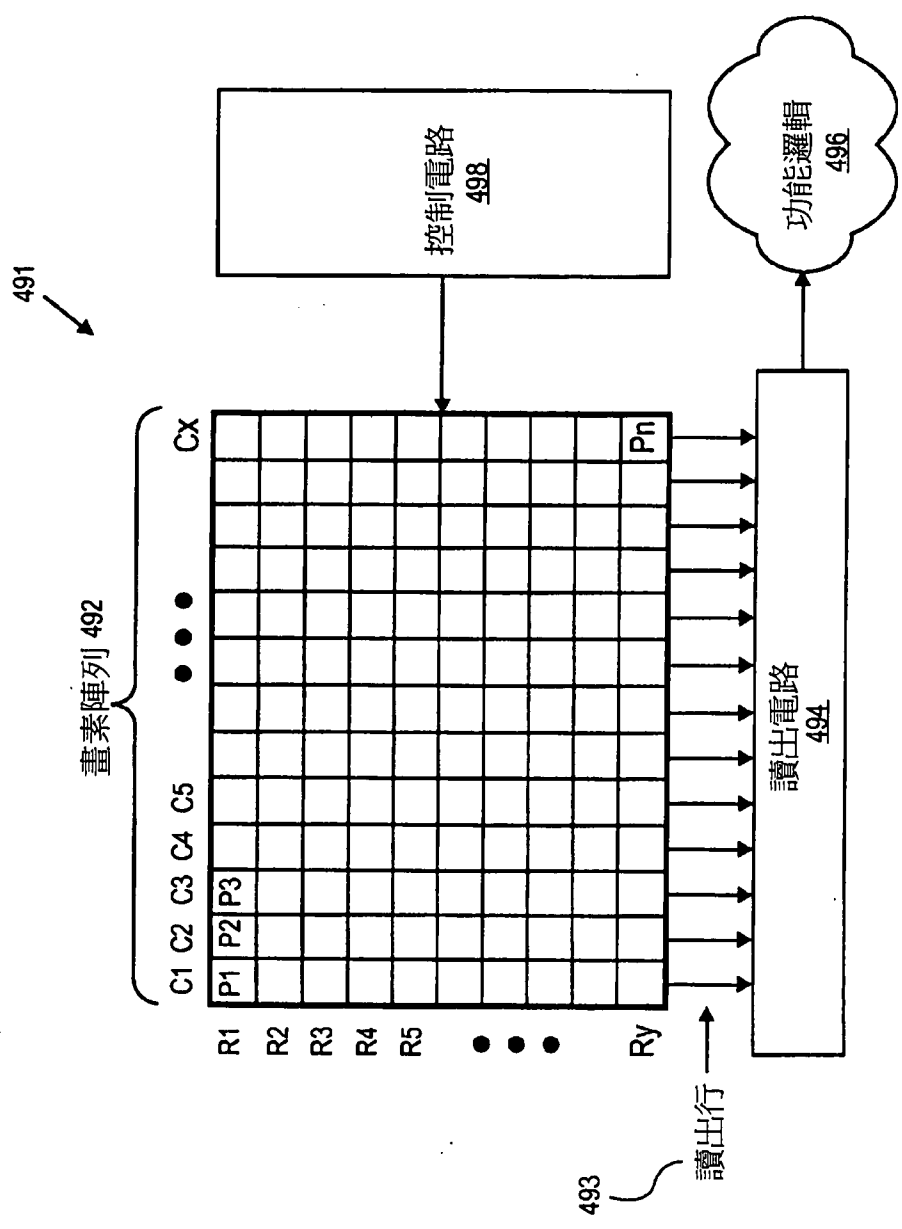


圖 4