



(21) 申請案號：107147109

(22) 申請日：中華民國 107 (2018) 年 12 月 26 日

(51) Int. Cl. : **G01R23/12 (2006.01)**

(71) 申請人：致茂電子股份有限公司 (中華民國) CHROMA ATE INC. (TW)

桃園市龜山區華亞一路 66 號

(72) 發明人：朱慶華 CHU, CHING-HUA (TW) ; 張正賢 CHANG, CHENG-HSIEN (TW) ; 黃豐猛 HUANG, FENG-MENG (TW)

(74) 代理人：林育慶

申請實體審查：有 申請專利範圍項數：15 項 圖式數：4 共 18 頁

(54) 名稱

信號週期測量電路與方法

(57) 摘要

本發明提供一種信號週期測量電路與方法，所述信號週期測量電路包含時脈計算模組、波形產生模組、信號取樣模組以及週期記錄模組。時脈計算模組於第一時脈的每一個週期產生時脈計數值。波形產生模組用以由第一時脈的每一個週期產生 M 個週期波形，所述 M 個週期波形對應第一時脈的 M 個相位。信號取樣模組電性連接波形產生模組，用以依據所述 M 個週期波形取樣輸入信號，以產生相位取樣值。週期記錄模組電性連接時脈計算模組與信號取樣模組，用以記錄目前的時脈計數值與對應的相位取樣值。其中 M 為大於 1 的自然數。

A circuit and a method for measuring signal period is disclosed. The circuit for measuring signal period comprises a clock counting module, a waveform generating module, a signal sampling module, and a period recording module. The clock counting module generates a clock count in every period of a first clock signal. The waveform generating module generates M periodical waveforms according to the first clock signal, and the M periodical waveforms relate to M phases of the first clock signal. The signal sampling module, coupled to the waveform generating module, samples an input signal according to the M periodical waveforms, and generates a phase count. The period recording module, coupled to the clock counting module and the signal sampling module, records the current clock count and the corresponding phase count. Wherein M is a natural number larger than 1.

指定代表圖：

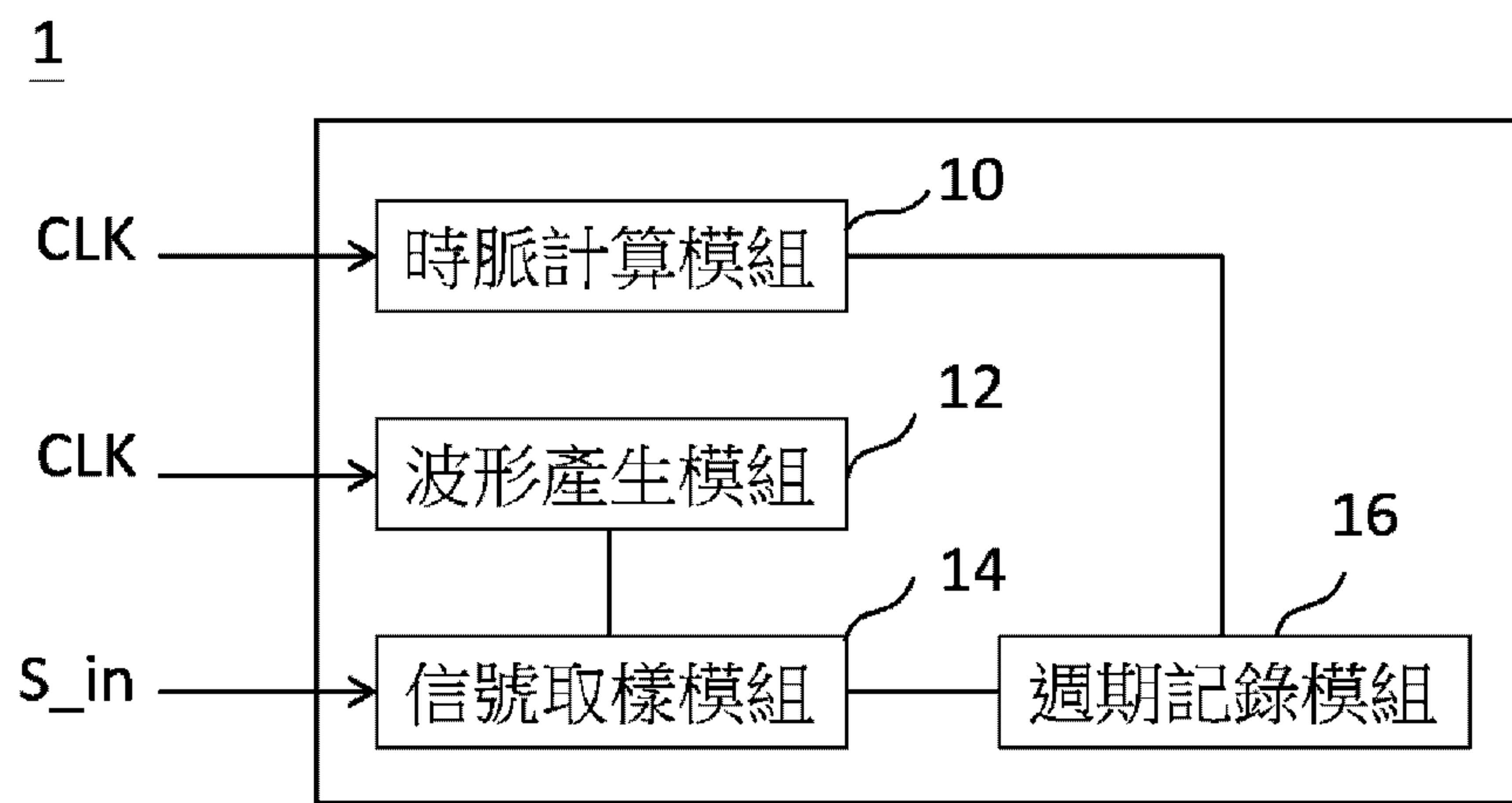


圖2

符號簡單說明：

1:信號週期測量電路

10:時脈計算模組

12:波形產生模組

14:信號取樣模組

16:週期記錄模組

CLK:第一時脈

S\_in:輸入信號



202024649

**【發明摘要】****【中文發明名稱】** 信號週期測量電路與方法**【英文發明名稱】** CIRCUIT AND METHOD FOR MEASURING SIGNAL

PERIOD

**【中文】**

本發明提供一種信號週期測量電路與方法，所述信號週期測量電路包含時脈計算模組、波形產生模組、信號取樣模組以及週期記錄模組。時脈計算模組於第一時脈的每一個週期產生時脈計數值。波形產生模組用以由第一時脈的每一個週期產生M個週期波形，所述M個週期波形對應第一時脈的M個相位。信號取樣模組電性連接波形產生模組，用以依據所述M個週期波形取樣輸入信號，以產生相位取樣值。週期記錄模組電性連接時脈計算模組與信號取樣模組，用以記錄目前的時脈計數值與對應的相位取樣值。其中M為大於1的自然數。

**【英文】**

A circuit and a method for measuring signal period is disclosed. The circuit for measuring signal period comprises a clock counting module, a waveform generating module, a signal sampling module, and a period recording module. The clock counting module generates a clock count in every period of a first clock signal. The waveform generating module generates M periodical waveforms according to the first clock signal, and the M periodical waveforms relate to M phases of the first clock signal. The signal sampling module, coupled to the waveform generating module, samples an input signal according to the M periodical waveforms, and generates a phase count. The period recording module, coupled to the clock counting module and the signal

sampling module, records the current clock count and the corresponding phase count.

Wherein M is a natural number larger than 1.

**【指定代表圖】** 圖 2

**【代表圖之符號簡單說明】**

1	信號週期測量電路
10	時脈計算模組
12	波形產生模組
14	信號取樣模組
16	週期記錄模組
CLK	第一時脈
S_in	輸入信號

# 【發明說明書】

【中文發明名稱】 信號週期測量電路與方法

【英文發明名稱】 CIRCUIT AND METHOD FOR MEASURING SIGNAL PERIOD

## 【技術領域】

【0001】 本發明係關於一種信號週期測量電路與方法，特別是關於一種將時脈分成不同相位，再分別進行信號週期測量的電路與方法。

## 【先前技術】

【0002】 傳統的測試裝置要測量週期性的輸入信號時，只能藉由系統時脈(system clock)的正緣去抓取輸入信號，從而藉由標記抓到輸入信號的時間點，估計輸入信號的週期長短。然而，若是系統時脈頻率不高，常常有解析度不足的問題，無法正確估計輸入信號的週期長短。舉例來說，請參考圖1，圖1係繪示傳統的輸入信號與系統時脈的示意圖。如圖1所示，系統時脈clk於第1個週期抓到高位準的輸入信號S\_in後，系統時脈clk於第10個週期再次抓到高位準的輸入信號S\_in，則可以估計輸入信號的長度是9個系統時脈週期。如果某一個系統時脈的週期是5ns，輸入信號的長度也就是45ns。

【0003】 然而，從圖1可以看出，實際上輸入信號的長度更接近於8個系統時脈週期，誤差可以達到一個系統時脈。若輸入信號的週期更短，那麼顯然測量出來的週期誤差相對更大。因此，業界需要一種解析度更高的信號週期測量電路與方法。

## 【發明內容】

【0004】 本發明提供了一種信號週期測量電路，可以將時脈分為多個不同相位的週期波形，並依據所述多個週期波形測量輸入信號的週期，從而可以有更高的解析度。

【0005】 本發明提供一種信號週期測量電路，包含時脈計算模組、波形產生模組、信號取樣模組以及週期記錄模組。時脈計算模組於第一時脈的每一個週期產生時脈計數值。波形產生模組用以由第一時脈的每一個週期產生M個週期波形，所述M個週期波形對應第一時脈的M個相位。信號取樣模組電性連接波形產生模組，用以依據所述M個週期波形取樣輸入信號，以產生相位取樣值。週期記錄模組電性連接時脈計算模組與信號取樣模組，用以記錄目前的時脈計數值與對應的相位取樣值。其中M為大於1的自然數。

【0006】 於一些實施例中，波形產生模組可以依序延遲第一時脈以產生所述M個週期波形，其中第i個週期波形的正緣和第i+1個週期波形的正緣有一個時間間隔，i為自然數且i小於M。此外，相位取樣值可以對應所述M個週期波形分別取樣輸入信號的取樣結果。另外，相位取樣值可以具有M個位元，M個位元依序對應第一時脈的M個相位，相位取樣值的第j個位元可以對應第j個週期波形取樣輸入信號的取樣結果，j為自然數且j不大於M。

【0007】 於一些實施例中，信號取樣模組更可以判斷相位取樣值於第一時脈的不同週期是否有變化，當信號取樣模組判斷相位取樣值有變化時，週期記錄模組記錄目前的時脈計數值與對應的相位取樣值。此外，週期記錄模組包含記憶體，記憶體用以儲存目前的時脈計數值與對應的相位取樣值。當信號取樣模組判斷相位取樣值沒有變化時，週期記錄模組不記錄目前的時脈計數值與對應的相位取樣值。

【0008】 本發明提供了一種信號週期測量方法，可以將時脈分為多個不同相位的週期波形，並依據所述多個週期波形測量輸入信號的週期，從而可以有更高的解析度。

【0009】 本發明提供一種信號週期測量方法，包含下列步驟。於第一時脈的每一個週期產生時脈計數值。由第一時脈的每一個週期產生M個週期波形，所述M個週期波形對應第一時脈的M個相位。依據所述M個週期波形取樣輸入信號，以產生相位取樣值。記錄目前的時脈計數值與對應的相位取樣值。其中M為大於1的自然數。

【0010】 綜上所述，本發明提供的信號週期測量電路與方法，可以將時脈分為多個不同相位的週期波形，並利用每個週期波形取樣輸入信號，從而取樣次數更多且取樣間隔可以更加地縮短，從而可以更準確、更高解析度地判斷輸入信號的週期。

#### 【圖式簡單說明】

【0011】 圖1係繪示先前技術取樣輸入信號的示意圖。

【0012】 圖2係繪示依據本發明一實施例的信號週期測量電路的功能方塊圖。

【0013】 圖3係繪示依據本發明一實施例於取樣輸入信號的示意圖。

【0014】 圖4係繪示依據本發明一實施例的信號週期測量方法的步驟流程圖。

#### 【實施方式】

【0015】 下文將進一步揭露本發明之特徵、目的及功能。然而，以下所述者，僅為本發明之實施例，當不能以之限制本發明之範圍，即但凡依本發明申請專利範圍所作之均等變化及修飾，仍將不失為本發明之要意所在，亦不脫離本發明之精神和範圍，故應將視為本發明的進一步實施態樣。

【0016】 請參閱圖2，圖2係繪示依據本發明一實施例的信號週期測量電路的功能方塊圖。如圖2所示，本實施例揭露了信號週期測量電路1用來測量輸入信號S\_in的週期，信號週期測量電路1包含時脈計算模組10、波形產生模組12、信號取樣模組14以及週期記錄模組16。實務上，信號週期測量電路1可以用來標記輸入信號S\_in的信號開始時間點與信號結束時間點，並將所述信號開始時間點與信號結束時間點記錄起來，再交由其他的測試裝置換算出週期。換句話說，信號週期測量電路1可以組裝在其他的測試裝置中，或者外接到其他的測試裝置。當然，本實施例並不以此為限，例如，信號週期測量電路1也可以自己換算出輸入信號S\_in的週期。以下從各個模組分別說明信號週期測量電路1的整體功能。

【0017】 時脈計算模組10於第一時脈CLK的每一個週期產生時脈計數值。於一個例子中，第一時脈CLK可以是系統時脈(system clock)、基頻時脈或者任一指定的時脈，本實施例不加以限制。此外，時脈計算模組10接收到第一時脈CLK後，可以受第一時脈CLK的正緣觸發，而計數第一時脈CLK。於所屬技術領域具有通常知識者，應當可以明白正緣觸發或負緣觸發都可以達到同樣的效果，為了方便說明，以下實施例採用正緣觸發說明。為了方便說明，請一併參閱圖2與圖3，圖3係繪示依據本發明一實施例於取樣輸入信號的示意圖。如圖所示，時脈計算模組10產生的時脈計數值可以標示為CLK\_count，初始值可以是任一自然數N。

【0018】 於一個例子中，時脈計算模組10計數第一時脈CLK時，可以累加於時脈計數值CLK\_count，累加的數值可以是1或其他固定值，本實施例在此不加以限制。換句話說，在圖3繪示的例子中，時脈計算模組10一開始(例如第1個週期)可以傳送時脈計數值CLK\_count為N給週期記錄模組16，於第一時脈CLK的



下一個週期(例如第2個週期)時，可以傳送時脈計數值CLK\_count為N+1給週期記錄模組16，以此類推。

【0019】 波形產生模組12用以由第一時脈CLK的每一個週期產生M個週期波形，所述M個週期波形對應第一時脈的M個相位。在圖3繪示的例子中，波形產生模組12可以依據第一時脈CLK，產生4個週期波形CLK\_1、CLK\_2、CLK\_3、CLK\_4，每一個週期波形的相位相差90度。於一個例子中，波形產生模組12可以包含鎖相迴路(phase-locked loop, PLL)，利用鎖相迴路延遲第一時脈CLK，以產生多個不同相位的週期波形。本實施例雖然以波形產生模組12產生4個週期波形為例，但不以此為限，例如波形產生模組12也可以產生8個或16個週期波形。

【0020】 信號取樣模組14電性連接波形產生模組12，用以依據所述M個週期波形取樣輸入信號S\_in，以產生相位取樣值。於一個例子中，信號取樣模組14可以利用週期波形的正緣取樣輸入信號S\_in。以圖3繪示的例子來說，在第一時脈CLK的第1個週期(時脈計數值CLK\_count為N到N+1之間)時，信號取樣模組14可以判斷週期波形CLK\_1沒有取樣到輸入信號S\_in，因為在週期波形CLK\_1正緣時，輸入信號S\_in仍為低位準。而信號取樣模組14可以判斷週期波形CLK\_2、CLK\_3、CLK\_4有取樣到輸入信號S\_in，因為在週期波形CLK\_2、CLK\_3、CLK\_4正緣時，輸入信號S\_in為高位準。據此，信號取樣模組14可以將相位取樣值phase\_count記錄為0111，表示輸入信號S\_in是從第2個相位開始。在此，本實施例示範了相位取樣值phase\_count的位元數可以對應週期波形的數目，且經由位元的順序可以了解輸入信號S\_in的信號開始時間點可以對應到哪一個相位(哪一個週期波形)。

【0021】 同樣地，在第一時脈CLK的第10個週期(時脈計數值CLK\_count為N+9到N+10之間)時，信號取樣模組14可以判斷週期波形CLK\_1、CLK\_2、

CLK\_3沒有取樣到輸入信號S\_in，因為在週期波形CLK\_1、CLK\_2、CLK\_3正緣時，輸入信號S\_in仍為低位準。而信號取樣模組14可以判斷週期波形CLK\_4有取樣到輸入信號S\_in，因為在週期波形CLK\_4正緣時，輸入信號S\_in為高位準。據此，信號取樣模組14可以將相位取樣值phase\_count記錄為0001，表示下一週期的輸入信號S\_in是從第4個相位開始。由於輸入信號S\_in是連續的信號，藉由測量下一週期的輸入信號S\_in信號開始時間點，即等於測知前一週期的輸入信號S\_in的信號結束時間點。於一個例子中，信號取樣模組14可以在4個週期波形CLK\_1、CLK\_2、CLK\_3、CLK\_4全部取樣完輸入信號S\_in之後，再產生相位取樣值phase\_count，並且在第一時脈CLK的下一個週期輸出給週期記錄模組16。

【0022】 於一個例子中，信號取樣模組14可以判斷何種相位取樣值有物理上的意義。舉例來說，如果前一個相位取樣值phase\_count記錄為0000，目前的相位取樣值phase\_count仍記錄為0000，表示輸入信號S\_in一直位於低準位，從而信號取樣模組14記錄這樣的相位取樣值對測量週期沒有幫助。同樣地，如果前一個相位取樣值phase\_count記錄為1111，目前的相位取樣值phase\_count同樣記錄為1111，表示輸入信號S\_in都位於高準位，從而信號取樣模組14記錄這樣的相位取樣值對測量週期也沒有幫助。但是，如果前一個相位取樣值phase\_count記錄為0000，目前的相位取樣值phase\_count同樣記錄為0111，信號取樣模組14在相位取樣值phase\_count上發現變化，則信號取樣模組14可以判斷目前的相位取樣值phase\_count有意義，進而可以將相位取樣值phase\_count輸出給週期記錄模組16。反之，信號取樣模組14若判斷目前的相位取樣值phase\_count沒有意義，則可以不將相位取樣值phase\_count輸出給週期記錄模組16。

【0023】 週期記錄模組16電性連接時脈計算模組10與信號取樣模組14，用以記錄目前的時脈計數值CLK\_count與對應的相位取樣值phase\_count。以圖3繪示的例子來說，雖然輸入信號S\_in的正緣在第一時脈CLK的第1個週期內，但是

於所屬技術領域具有通常知識者可以明白的是，電路元件無法在同一個週期內既要取樣又要立刻將取樣結果批次送出，因此實際上週期記錄模組16還是要等到第一時脈CLK的下一個週期(第2個週期)才可能收到來自信號取樣模組14的資料。據此，週期記錄模組16會記錄到輸入信號S\_in的信號開始時間點，對應到的時脈計數值CLK\_count為N+1且相位取樣值phase\_count為0111。

【0024】 同理，雖然輸入信號S\_in的次一個正緣在第一時脈CLK的第10個週期內，實際上週期記錄模組16還是要等到第一時脈CLK的下一個週期(第11個週期)才可能收到來自信號取樣模組14的資料。據此，週期記錄模組16會記錄到輸入信號S\_in的信號結束時間點，對應到的時脈計數值CLK\_count為N+10且相位取樣值phase\_count為0001。換句話說，輸入信號S\_in的一個週期在時脈計數值CLK\_count相差了9個週期，且相位取樣值phase\_count相差了2個相位。假設當第一時脈CLK的1個週期對應4ns時，4個相位的每個相位恰好間隔1ns。以圖3繪示的例子來說，第一時脈CLK的9個週期可換算成36ns，且第一時脈CLK的2個相位可以換算成2ns，因此可以藉由時脈計數值CLK\_count與相位取樣值phase\_count，很快地推算出輸入信號S\_in的週期是38ns。

【0025】 在此，於所屬技術領域具有通常知識者可以發現，週期記錄模組16何時取得相位取樣值phase\_count並不影響推算輸入信號S\_in的週期。舉例來說，縱使週期記錄模組16等到第一時脈CLK的下5個週期才收到來自信號取樣模組14的資料，則輸入信號S\_in的信號開始時間點，改成對應到的時脈計數值CLK\_count為N+5且相位取樣值phase\_count為0111。同樣的，輸入信號S\_in的信號結束時間點，改成對應到的時脈計數值CLK\_count為N+14且相位取樣值phase\_count為0001。由於延遲誤差會被減除，仍然可以計算出輸入信號S\_in的一個週期在時脈計數值CLK\_count相差了9個週期，且相位取樣值phase\_count相差

了2個相位。據此，同樣可以推算出輸入信號S\_in的週期是38ns，不影響輸入信號S\_in的週期測量的結果。

【0026】 值得一提的是，雖然前述信號取樣模組14是取樣兩次輸入信號S\_in的正緣，從而取得輸入信號S\_in一個完整週期的開始與結束時間點。但是，本實施例不以此為限，例如信號取樣模組14也可以取樣輸入信號S\_in的正緣與接下來的負緣，從而取得輸入信號S\_in一個半週期的開始與結束時間點。如此，仍然可以經由半週期推算出完整週期的時間長度。

【0027】 前述的例子中，週期記錄模組16除了記錄時脈計數值CLK\_count與相位取樣值phase\_count之外，也可以進一步換算出輸入信號S\_in的週期。當然，於另一個例子中，週期記錄模組16可以僅用來標記輸入信號S\_in的信號開始時間點與信號結束時間點，並將時脈計數值CLK\_count與相位取樣值phase\_count存放在一個記憶體中，再交由其他的測試裝置換算出週期。舉例來說，信號週期測量電路1可以是一種現場可程式化邏輯閘陣列(field programmable gate array, FPGA)，而週期記錄模組16的記憶體可以是FPGA中的區塊隨機存取記憶體(block RAM)。

【0028】 為了說明本案的信號週期測量方法，請一併參閱圖2、圖3與圖4，圖4係繪示依據本發明一實施例的信號週期測量方法的步驟流程圖。如圖所示，於步驟S20中，時脈計算模組10於第一時脈CLK的每一個週期產生時脈計數值CLK\_count。於步驟S22中，波形產生模組12用以由第一時脈CLK的每一個週期產生M個週期波形，所述M個週期波形對應第一時脈的M個相位。於步驟S24中，信號取樣模組14電性連接波形產生模組12，用以依據所述M個週期波形取樣輸入信號S\_in，以產生相位取樣值phase\_count。於步驟S26中，週期記錄模組16電性連接時脈計算模組10與信號取樣模組14，用以記錄目前的時脈計數值CLK\_count

與對應的相位取樣值phase\_count。由於本實施例的信號週期測量方法，於前述實施例都已經充分說明與支持，在此不予贅述。

【0029】 綜上所述，本發明提供的信號週期測量電路與方法，可以將時脈分為多個不同相位的週期波形，並利用每個週期波形取樣輸入信號，從而取樣次數更多且取樣間隔可以更加地縮短，從而可以更準確、更高解析度地判斷輸入信號的週期。

### 【符號說明】

#### 【0030】

1	信號週期測量電路
10	時脈計算模組
12	波形產生模組
14	信號取樣模組
16	週期記錄模組
S20~S26	步驟流程
clk	系統時脈
CLK	第一時脈
CLK_1~CLK_4	週期波形
S_in	輸入信號
CLK_count	時脈計數值
Phase_count	相位取樣值

## 【發明申請專利範圍】

【第1項】 一種信號週期測量電路，包含：

一時脈計算模組，於一第一時脈的每一該週期產生一時脈計數值；

一波形產生模組，用以由該第一時脈的每一該週期產生M個週期波形，

該M個週期波形對應該第一時脈的M個相位；

一信號取樣模組，電性連接該波形產生模組，用以依據該M個週期波形

取樣一輸入信號，以產生一相位取樣值；以及

一週期記錄模組，電性連接該時脈計算模組與該信號取樣模組，用以

記錄目前的該時脈計數值與對應的該相位取樣值；

其中M為大於1的自然數。

【第2項】 如請求項1所述之信號週期測量電路，其中該波形產生模組依序延遲該第一時脈以產生該M個週期波形，其中第i個週期波形的正緣和第i+1個週期波形的正緣有一時間間隔，i為自然數且i小於M。

【第3項】 如請求項1所述之信號週期測量電路，其中該相位取樣值對應該M個週期波形分別取樣該輸入信號的取樣結果。

【第4項】 如請求項3所述之信號週期測量電路，其中該相位取樣值具有M個位元，該M個位元依序對應該第一時脈的該M個相位。

【第5項】 如請求項4所述之信號週期測量電路，其中該相位取樣值的第j個位元對應第j個週期波形取樣該輸入信號的取樣結果，j為自然數且j不大於M。

【第6項】 如請求項1所述之信號週期測量電路，其中該信號取樣模組更判斷該相位取樣值於該第一時脈的不同週期是否有變化，當該信號取樣模組判斷該

相位取樣值有變化時，該週期記錄模組記錄目前的該時脈計數值與對應的該相位取樣值。

【第7項】如請求項6所述之信號週期測量電路，其中該週期記錄模組包含一記憶體，該記憶體用以儲存目前的該時脈計數值與對應的該相位取樣值。

【第8項】如請求項6所述之信號週期測量電路，其中當該信號取樣模組判斷該相位取樣值沒有變化時，該週期記錄模組不記錄目前的該時脈計數值與對應的該相位取樣值。

【第9項】一種信號週期測量方法，包含：

於一第一時脈的每一該週期產生一時脈計數值；

由該第一時脈的每一該週期產生M個週期波形，該M個週期波形對應該

第一時脈的M個相位；

依據該M個週期波形取樣一輸入信號，以產生一相位取樣值；以及

記錄目前的該時脈計數值與對應的該相位取樣值；

其中M為大於1的自然數。

【第10項】如請求項9所述之信號週期測量方法，其中由該第一時脈的每一該週期產生M個週期波形的步驟中，更包含：

依序延遲該第一時脈以產生該M個週期波形；

其中第i個週期波形的正緣和第i+1個週期波形的正緣有一時間間隔，i

為自然數且i小於M。

【第11項】如請求項9所述之信號週期測量方法，其中該相位取樣值對應該M個週期波形分別取樣該輸入信號的取樣結果。

【第12項】 如請求項11所述之信號週期測量方法，其中該相位取樣值具有M個位元，該M個位元依序對應該第一時脈的該M個相位。

【第13項】 如請求項12所述之信號週期測量方法，其中該相位取樣值的第j個位元對應第j個週期波形取樣該輸入信號的取樣結果，j為自然數且j不大於M。

【第14項】 如請求項9所述之信號週期測量方法，其中於依據該M個週期波形取樣該輸入信號，以產生該相位取樣值的步驟中，更包含：

判斷該相位取樣值於該第一時脈的不同週期是否有變化；

當判斷該相位取樣值有變化時，記錄目前的該時脈計數值與對應的該相位取樣值。

【第15項】 如請求項14所述之信號週期測量方法，其中當判斷該相位取樣值沒有變化時，不記錄目前的該時脈計數值與對應的該相位取樣值。



【發明圖式】

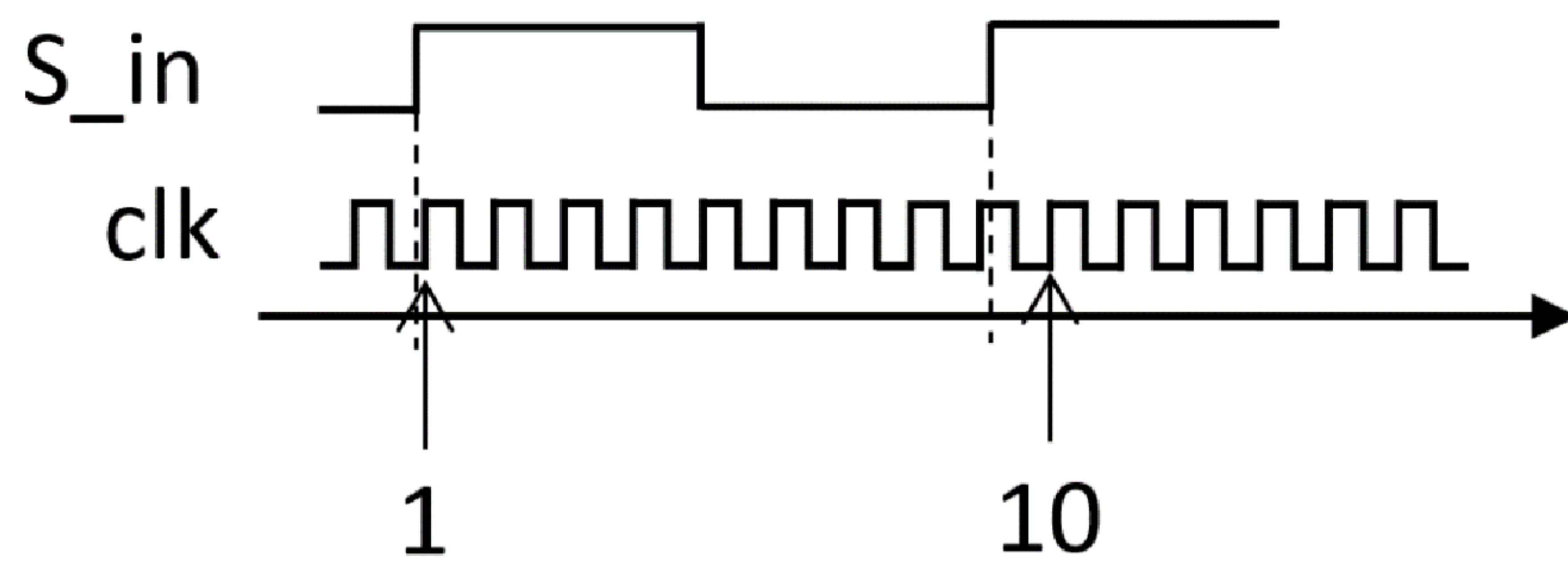


圖1

1

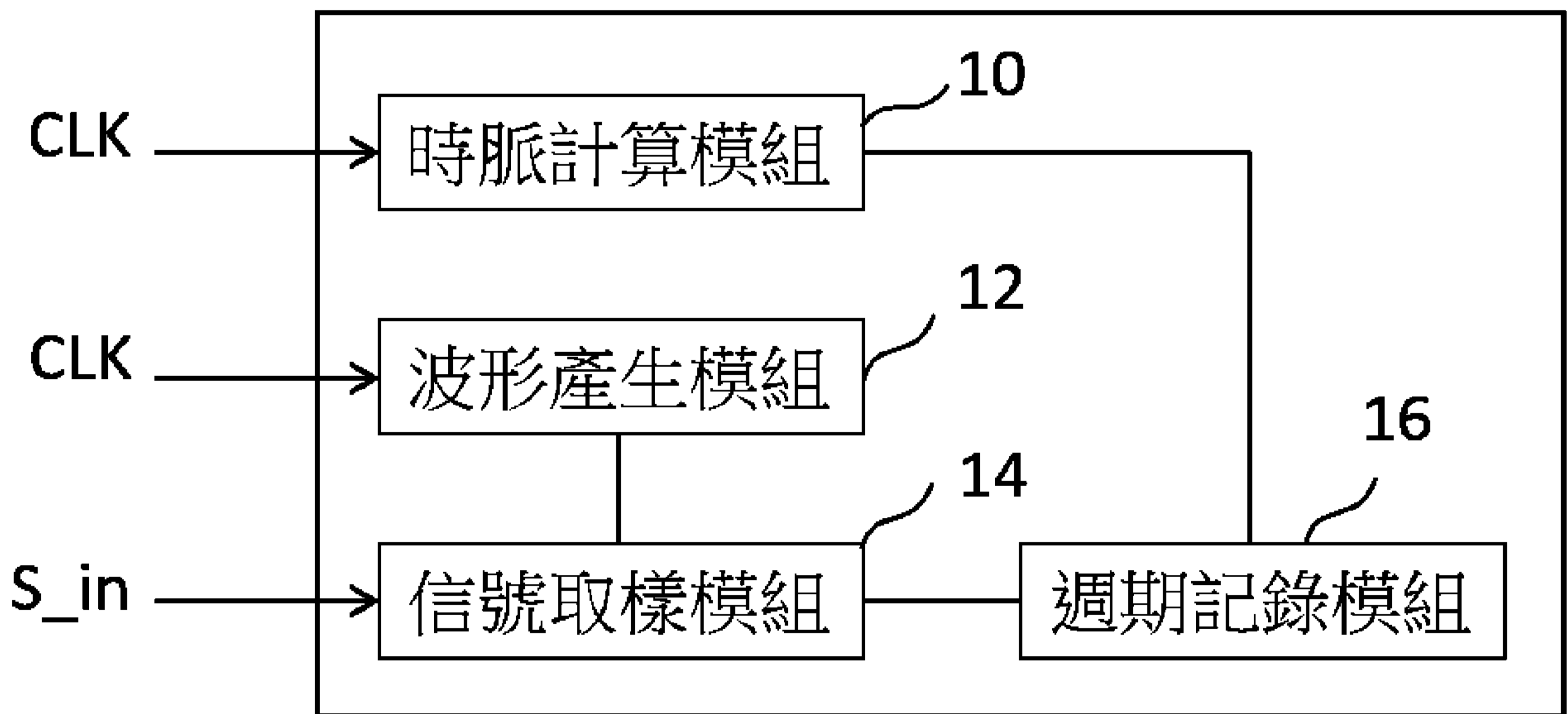


圖2

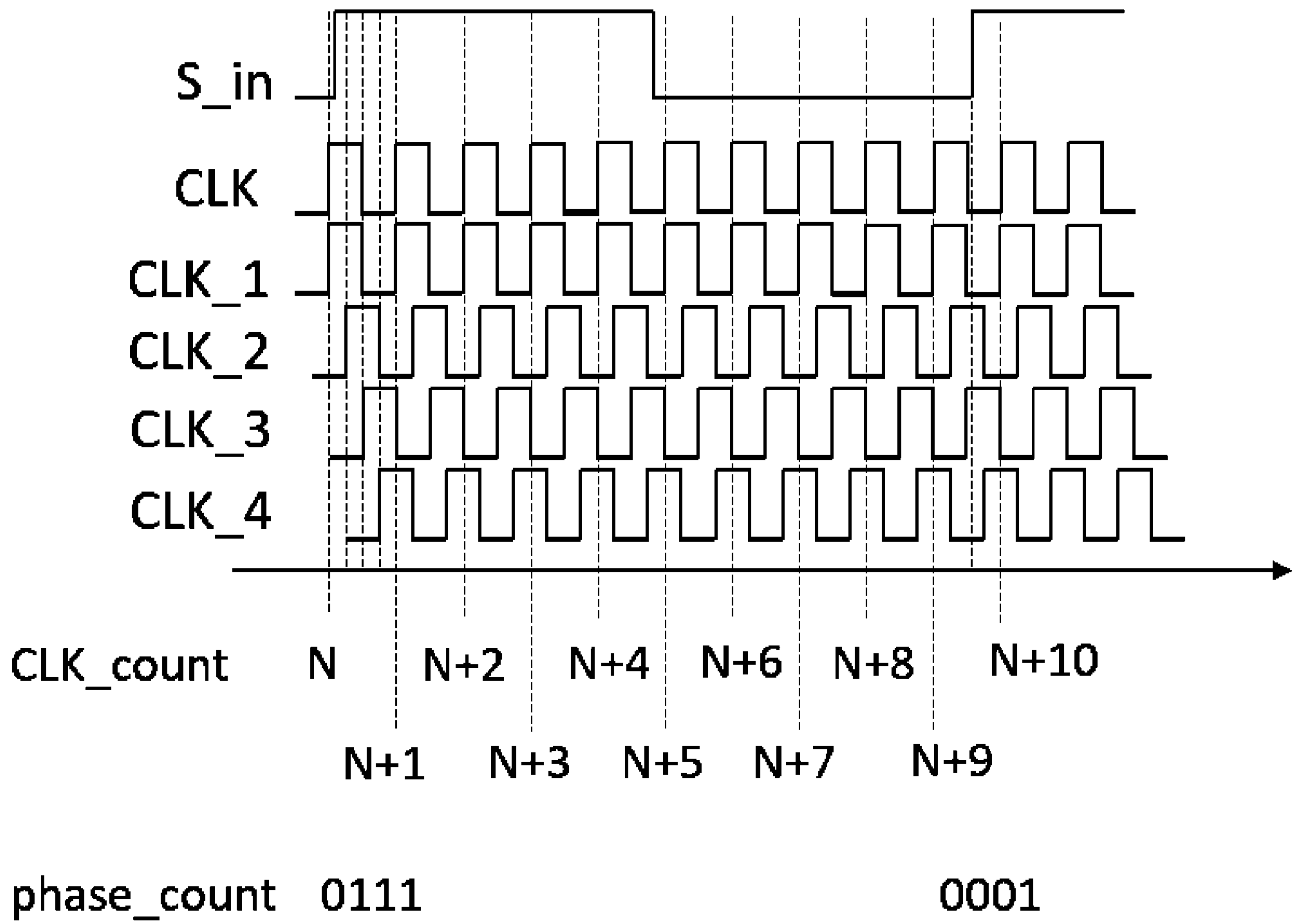


圖3

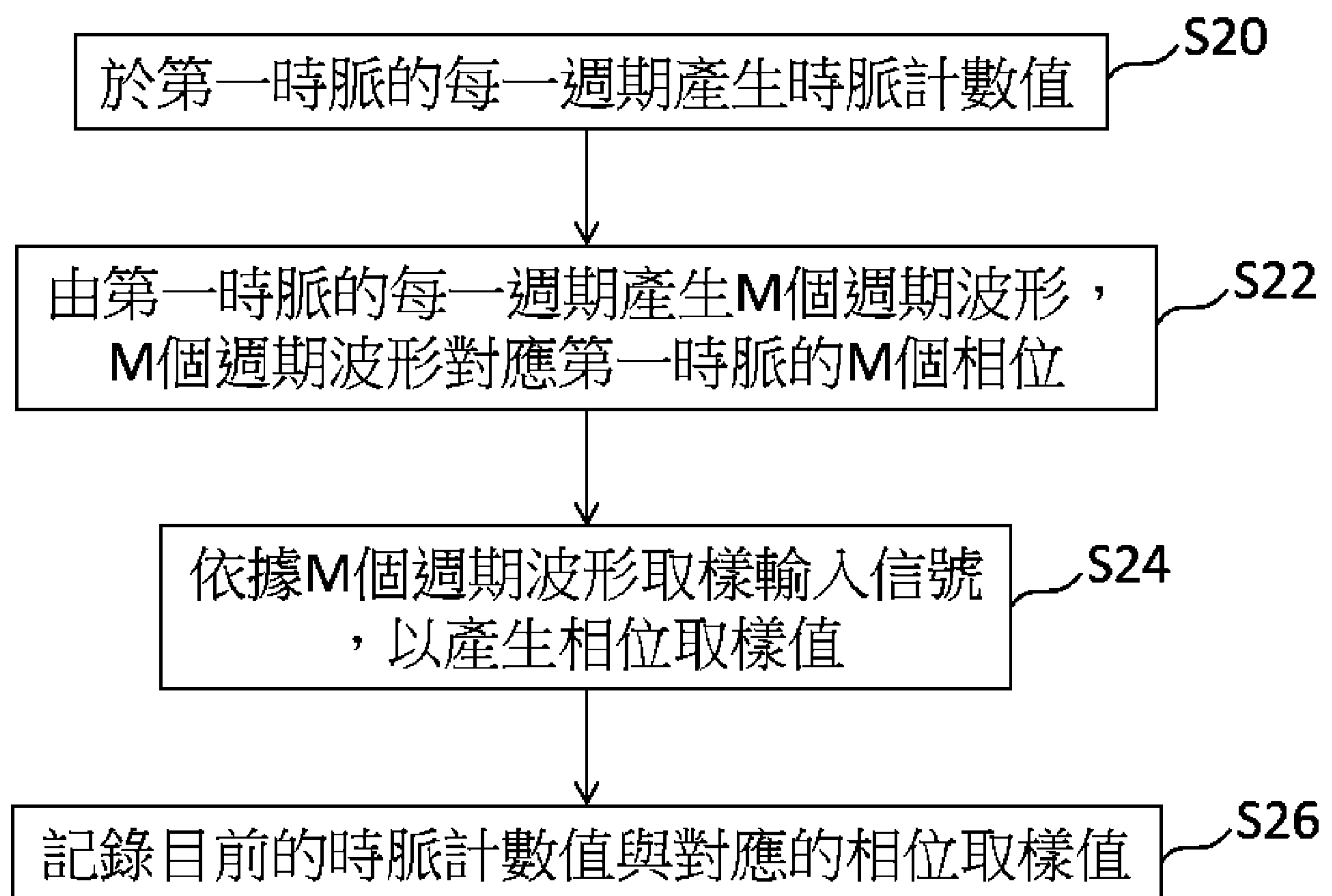


圖4