



(12) 发明专利申请

(10) 申请公布号 CN 113517231 A

(43) 申请公布日 2021.10.19

(21) 申请号 202110444445.9

(22) 申请日 2021.04.23

(71) 申请人 长鑫存储技术有限公司

地址 230011 安徽省合肥市经济开发区空
港工业园兴业大道388号

(72) 发明人 杨蒙蒙 白杰

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 朱颖 臧建明

(51) Int. Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

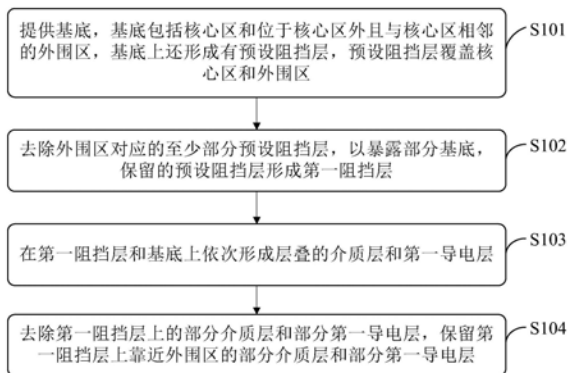
权利要求书2页 说明书11页 附图28页

(54) 发明名称

半导体结构的制作方法

(57) 摘要

本发明提供一种半导体结构的制作方法
及半导体结构,涉及半导体制造技术领域,用于解
决基底内的器件损伤的技术问题,该制作方法包
括:提供基底,基底包括核心区和位于核心区外
且相邻的外围区,基底上形成有预设阻挡层,预
设阻挡层覆盖核心区和外围区;去除外围区对
应的至少部分预设阻挡层,以暴露部分基底,保
留的预设阻挡层形成第一阻挡层;在第一阻挡层
和基底上依次形成层叠的介质层和第一导电层;
去除第一阻挡层上的部分介质层和部分第一导电
层,保留第一阻挡层上靠近外围区的部分介质层
和部分第一导电层。通过第一阻挡层和介质层部
分重叠,减少基底暴露,降低基底被去除部分的
风险,进而降低了基底内的器件暴露甚至损伤的
风险。



1. 一种半导体结构的制作方法,其特征在于,包括:

提供基底,所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区,所述基底上还形成有预设阻挡层,所述预设阻挡层覆盖所述核心区和所述外围区;

去除所述外围区对应的至少部分所述预设阻挡层,以暴露部分所述基底,保留的所述预设阻挡层形成第一阻挡层;

在所述第一阻挡层和所述基底上依次形成层叠的介质层和第一导电层;

去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层。

2. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合,且重合区域的宽度尺寸为20nm-100nm。

3. 根据权利要求1所述的半导体结构的制作方法,其特征在于,去除所述外围区对应的至少部分所述预设阻挡层,以暴露部分所述基底,保留的所述预设阻挡层形成第一阻挡层的步骤包括:

在所述预设阻挡层上形成第一光刻胶层,所述第一光刻胶层至少覆盖所述核心区对应的所述预设阻挡层;

以所述第一光刻胶层为掩膜刻蚀所述预设阻挡层,以形成所述第一阻挡层;

去除所述第一光刻胶层。

4. 根据权利要求1所述的半导体结构的制作方法,其特征在于,去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤包括:

在所述第一导电层上形成第二光刻胶层,所述第二光刻胶层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合;

以所述第二光刻胶层为掩膜刻蚀所述第一导电层和所述介质层,以暴露所述第一阻挡层;

去除所述第二光刻胶层。

5. 根据权利要求1所述的半导体结构的制作方法,其特征在于,所述基底内还设置有源区;

去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后,所述半导体结构的制作方法还包括:

在所述第一阻挡层和所述基底上形成位线接触孔,所述位线接触孔的底部暴露所述核心区内的所述有源区;

在所述位线接触孔内形成第二导电层,所述第二导电层与所述第一阻挡层齐平;

在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层;

在所述第三导电层上形成第二阻挡层。

6. 根据权利要求5所述的半导体结构的制作方法,其特征在于,在所述第三导电层上形成第二阻挡层的步骤之后,所述半导体结构的制作方法还包括:

对所述第二阻挡层背离所述基底的表面进行平坦化处理,平坦化处理后的所述第二阻

挡层未暴露出所述第三导电层。

7. 根据权利要求6所述的半导体结构的制作方法,其特征在于,通过化学机械研磨对所述第二阻挡层背离所述基底的表面进行平坦化处理。

8. 根据权利要求6所述的半导体结构的制作方法,其特征在于,在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层的步骤包括:

在所述第一阻挡层、所述第二导电层和所述第一导电层上沉积氮化钛层;

在所述氮化钛层上沉积钨层。

9. 根据权利要求5所述的半导体结构的制作方法,其特征在于,去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后,所述半导体结构的制作方法还包括:

在所述外围区内的部分所述有源区上外延生长外延层,所述外延层含有预设金属。

10. 根据权利要求9所述的半导体结构的制作方法,其特征在于,所述有源区和所述外延层的材质均为硅,所述预设金属为锗。

11. 根据权利要求1-10任一项所述的半导体结构的制作方法,其特征在于,所述核心区的周向边缘设有所述外围区,且所述核心区位于所述第一阻挡层在所述基底上的正投影的内部。

12. 根据权利要求1-10任一项所述的半导体结构的制作方法,其特征在于,所述第一阻挡层的材质包括氮化硅,所述第一导电层的材质包括多晶硅。

13. 一种半导体结构,其特征在于,包括:

基底,所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区,所述基底内还设置有源区;

设置在所述基底上的第一阻挡层,所述第一阻挡层至少覆盖所述核心区;

设置在所述基底和部分所述第一阻挡层上的介质层;

设置在所述介质层上的第一导电层。

14. 根据权利要求13所述的半导体结构,其特征在于,所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合,且重合区域的宽度尺寸为20nm-100nm。

15. 根据权利要求13或14所述的半导体结构,其特征在于,所述半导体结构还包括:设置在所述第一阻挡层和所述第一导电层上的第三导电层,以及设置在所述第三导电层上的第二阻挡层,所述第二阻挡层背离所述基底的表面齐平。

16. 根据权利要求13或14所述的半导体结构,其特征在于,所述第一阻挡层形成有位线接触孔,所述位线接触孔延伸至所述基底,且位线接触孔的底部暴露所述核心区内的所述有源区;

所述位线接触孔内填充有第二导电层,所述第二导电层与所述第一阻挡层齐平。

半导体结构的制作方法及其半导体结构

技术领域

[0001] 本发明实施例涉及半导体制造技术领域,尤其涉及一种半导体结构的制作方法及其半导体结构。

背景技术

[0002] 半导体结构一般应用在存储器、控制器等电子器件上;半导体结构应用在存储器上时,存储数据的阵列区内通常形成有电容器,阵列区外的边缘区内通常形成有金属氧化物场效应晶体管(Metal Oxide Semiconductor Field Effect Transistor,简称MOSFET)。金属氧化物场效应晶体管一般根据掺杂类型的不同,可包括P型晶体管(PMOS)和N型晶体管(NMOS),这两种类型的晶体管中通常设置高介电常数(high-k)的介质层,以提高晶体管的击穿电压。

[0003] 相关技术中,制作半导体结构时,通常先在基底上形成第一阻挡层,其中,基底包括核心区和设置在核心区外的外围区;去除外围区的第一阻挡层,保留核心区的第一阻挡层;在第一阻挡层和位于外围区的基底上依次层叠形成介质层和第一导电层;去除核心区的介质层和第一导电层,保留外围区的介质层和第一导电层。

[0004] 然而,在上述制作半导体结构的过程中,去除核心区的介质层和第一导电层后,易在位于外围区的介质层与位于核心区的第一阻挡层之间出现断口,该断口的存在导致暴露出来的基底被去除,甚至导致基底内的器件损伤。

发明内容

[0005] 鉴于上述问题,本发明实施例提供一种半导体结构的制作方法及其半导体结构,用于降低基底内的器件损伤的风险。

[0006] 为了实现上述目的,本发明实施例提供如下技术方案:

[0007] 第一方面,本发明实施例提供一种半导体结构的制作方法,其包括:提供基底,所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区,所述基底上还形成有预设阻挡层,所述预设阻挡层覆盖所述核心区和所述外围区;去除所述外围区对应的至少部分所述预设阻挡层,以暴露部分所述基底,保留的所述预设阻挡层形成第一阻挡层;在所述第一阻挡层和所述基底上依次形成层叠的介质层和第一导电层;去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层。

[0008] 本发明实施例提供的半导体结构的制作方法具有如下优点:

[0009] 本发明实施例提供的半导体结构的制作方法中,提供基底,基底包括核心区和位于核心区外且与核心区相邻的外围区,基底上还形成有预设阻挡层,预设阻挡层覆盖核心区和外围区;去除外围区对应的至少部分预设阻挡层,以暴露部分基底,保留的预设阻挡层形成第一阻挡层;在第一阻挡层和基底上依次形成层叠的介质层和第一导电层;去除第一阻挡层上的部分介质层和部分第一导电层,保留第一阻挡层上靠近外围区的部分介质层和

部分第一导电层。通过形成第一阻挡层,并保留第一阻挡层上的部分介质层和部分第一导电层,使得基底的部分区域覆盖第一阻挡层,基底的部分区域覆盖介质层,且第一阻挡层和介质层部分重叠,从而减少基底的暴露,降低基底被去除部分的风险,进而降低了基底内的器件暴露甚至损伤的风险。

[0010] 如上所述的半导体结构的制作方法,所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合,且重合区域的宽度尺寸为20nm-100nm。

[0011] 如上所述的半导体结构的制作方法,去除所述外围区对应的至少部分所述预设阻挡层,以暴露部分所述基底,保留的所述预设阻挡层形成第一阻挡层的步骤包括:在所述预设阻挡层上形成第一光刻胶层,所述第一光刻胶层至少覆盖所述核心区对应的所述预设阻挡层;以所述第一光刻胶层为掩膜刻蚀所述预设阻挡层,以形成所述第一阻挡层;去除所述第一光刻胶层。

[0012] 如上所述的半导体结构的制作方法,去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤包括:在所述第一导电层上形成第二光刻胶层,所述第二光刻胶层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合;以所述第二光刻胶层为掩膜刻蚀所述第一导电层和所述介质层,以暴露所述第一阻挡层;去除所述第二光刻胶层。

[0013] 如上所述的半导体结构的制作方法,所述基底内还设置有源区;去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后,所述半导体结构的制作方法还包括:在所述第一阻挡层和所述基底上形成位线接触孔,所述位线接触孔的底部暴露所述核心区内的所述有源区;在所述位线接触孔内形成第二导电层,所述第二导电层与所述第一阻挡层齐平;在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层;在所述第三导电层上形成第二阻挡层。

[0014] 如上所述的半导体结构的制作方法,在所述第三导电层上形成第二阻挡层的步骤之后,所述半导体结构的制作方法还包括:对所述第二阻挡层背离所述基底的表面进行平坦化处理,平坦化处理后的所述第二阻挡层未暴露出所述第三导电层。

[0015] 如上所述的半导体结构的制作方法,通过化学机械研磨对所述第二阻挡层背离所述基底的表面进行平坦化处理。

[0016] 如上所述的半导体结构的制作方法,在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层的步骤包括:在所述第一阻挡层、所述第二导电层和所述第一导电层上沉积氮化钛层;在所述氮化钛层上沉积钨层。

[0017] 如上所述的半导体结构的制作方法,去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层,保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后,所述半导体结构的制作方法还包括:在所述外围区内的部分所述有源区上外延生长外延层,所述外延层含有预设金属。

[0018] 如上所述的半导体结构的制作方法,所述有源区和所述外延层的材质均为硅,所述预设金属为锗。

[0019] 如上所述的半导体结构的制作方法,所述核心区的周向边缘设有所述外围区,且

所述核心区位于所述第一阻挡层在所述基底上的正投影的内部。

[0020] 如上所述的半导体结构的制作方法,所述第一阻挡层的材质包括氮化硅,所述第一导电层的材质包括多晶硅。

[0021] 第二方面,本发明实施例提供一种半导体结构,其包括:基底,所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区,所述基底内还设置有源区;设置在所述基底上的第一阻挡层,所述第一阻挡层至少覆盖所述核心区;设置在所述基底和部分所述第一阻挡层上的介质层;设置在所述介质层上的第一导电层。

[0022] 本发明实施例提供的半导体结构具有如下优点:

[0023] 本发明实施例提供的半导体结构包括基底、第一阻挡层、介质层和第一导电层,其中,基底包括核心区和位于核心区外且与核心区相邻的外围区,基底内还设置有源区;第一阻挡层设置在基底上,第一阻挡层至少覆盖核心区;介质层设置在基底和部分第一阻挡层上,第一导电层设置在介质层上。通过在基底和部分第一阻挡层上设置介质层,使得基底的部分区域覆盖第一阻挡层,基底的部分区域覆盖介质层,且第一阻挡层和介质层部分重叠,从而减少基底的暴露,降低基底被去除部分的风险,进而降低了基底内的器件暴露甚至损伤的风险。

[0024] 如上所述的半导体结构,所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合,且重合区域的宽度尺寸为20nm-100nm。

[0025] 如上所述的半导体结构,所述半导体结构还包括:设置在所述第一阻挡层和所述第一导电层上的第三导电层,以及设置在所述第三导电层上的第二阻挡层,所述第二阻挡层背离所述基底的表面齐平。

[0026] 如上所述的半导体结构,所述第一阻挡层形成有位线接触孔,所述位线接触孔延伸至所述基底,且所述位线接触孔的底部暴露所述核心区内的所述有源区;所述位线接触孔内填充有第二导电层,所述第二导电层与所述第一阻挡层齐平。

附图说明

[0027] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0028] 图1为相关技术中的形成第一光刻胶层后第一截面在核心区的剖视图;

[0029] 图2为相关技术中的形成第一光刻胶层后第二截面在核心区的剖视图;

[0030] 图3为相关技术中的形成第一光刻胶层后第二截面在外围区剖视图;

[0031] 图4为相关技术中的去除外围区对应的第一阻挡层后第一截面在核心区的剖视图;

[0032] 图5为相关技术中的去除外围区对应的第一阻挡层后第二截面在核心区的剖视图;

[0033] 图6为相关技术中的去除外围区对应的第一阻挡层后第二截面在外围区的剖视图;

[0034] 图7为相关技术中的形成介质层和第一导电层后第一截面在核心区的剖视图;

- [0035] 图8为相关技术中的形成介质层和第一导电层后第二截面在核心区的剖视图；
- [0036] 图9为相关技术中的形成介质层和第一导电层后第二截面在外围区剖视图；
- [0037] 图10为相关技术中的形成第二光刻胶层后第一截面在核心区的剖视图；
- [0038] 图11为相关技术中的形成第二光刻胶层后第二截面在核心区的剖视图；
- [0039] 图12为相关技术中的形成第二光刻胶层后第二截面在外围区的剖视图；
- [0040] 图13为相关技术中的去除核心区对应的介质层和第一导电层后第一截面在核心区的剖视图；
- [0041] 图14为相关技术中的去除核心区对应的介质层和第一导电层后第二截面在核心区的剖视图；
- [0042] 图15为相关技术中的去除核心区对应的介质层和第一导电层后第二截面在外围区剖视图；
- [0043] 图16为相关技术中的核心区 and 外围区交接区域的示意图；
- [0044] 图17为本发明实施例中的半导体结构的制作方法的流程图；
- [0045] 图18为本发明实施例中的形成第一光刻胶层后第二截面的剖视图；
- [0046] 图19为本发明实施例中的基底的俯视图；
- [0047] 图20为本发明实施例中的形成第一光刻胶层后第一截面在核心区的剖视图；
- [0048] 图21为本发明实施例中的形成第一光刻胶层后第三截面在核心区的剖视图；
- [0049] 图22为本发明实施例中的形成第一光刻胶层后的俯视图；
- [0050] 图23为本发明实施例中的去除部分第一阻挡层后第二截面的剖视图；
- [0051] 图24为本发明实施例中的去除部分第一阻挡层后第一截面在核心区的剖视图；
- [0052] 图25为本发明实施例中的去除部分第一阻挡层后第三截面在核心区的剖视图；
- [0053] 图26为本发明实施例中的去除第一光刻胶层后第二截面的剖视图；
- [0054] 图27为本发明实施例中的去除第一光刻胶层后第一截面在核心区的剖视图；
- [0055] 图28为本发明实施例中的去除第一光刻胶层后第三截面在核心区的剖视图；
- [0056] 图29为本发明实施例中的形成介质层后第二截面的剖视图；
- [0057] 图30为本发明实施例中的形成介质层后第一截面在核心区的剖视图；
- [0058] 图31为本发明实施例中的形成介质层后第三截面在核心区的剖视图；
- [0059] 图32为本发明实施例中的形成第一导电层后第二截面的剖视图；
- [0060] 图33为本发明实施例中的形成第一导电层后第一截面在核心区的剖视图；
- [0061] 图34为本发明实施例中的形成第一导电层后第三截面在核心区的剖视图；
- [0062] 图35为本发明实施例中的形成第一光刻胶层后第二截面的剖视图；
- [0063] 图36为本发明实施例中的形成第一光刻胶层后第一截面在核心区的剖视图；
- [0064] 图37为本发明实施例中的形成第一光刻胶层后第三截面在核心区的剖视图；
- [0065] 图38为本发明实施例中的去除部分介质层和第一导电层后第二截面的剖视图；
- [0066] 图39为本发明实施例中的去除部分介质层和第一导电层后第一截面在核心区的剖视图；
- [0067] 图40为本发明实施例中的去除部分介质层和第一导电层后第三截面在核心区的剖视图；
- [0068] 图41为本发明实施例中的去除第二光刻胶层后第二截面的剖视图；

- [0069] 图42为本发明实施例中的去除第二光刻胶层后的俯视图；
- [0070] 图43为本发明实施例中的去除第二光刻胶层后第一截面在核心区的剖视图；
- [0071] 图44为本发明实施例中的去除第二光刻胶层后第三截面在核心区的剖视图；
- [0072] 图45为本发明实施例中的形成第三导电层和第二阻挡层后第二截面的剖视图；
- [0073] 图46为本发明实施例中的形成第三导电层和第二阻挡层后第一截面在核心区的剖视图；
- [0074] 图47为本发明实施例中的平坦化处理第二截面的剖视图；
- [0075] 图48为本发明实施例中的平坦化处理第一截面在核心区的剖视图；
- [0076] 图49为本发明实施例中的外延层的示意图。
- [0077] 附图标记说明：
- | | | | |
|--------|-------------|------------|-------------|
| [0078] | 100-基底； | 110-有源区； | 120-浅槽隔离结构； |
| [0079] | 130-字线； | 140-氮化物层； | 200-第一阻挡层； |
| [0080] | 210-预设阻挡层； | 300-介质层； | 400-第一导电层； |
| [0081] | 500-第三导电层； | 600-第二阻挡层； | 710-第一光刻胶层； |
| [0082] | 720-第二光刻胶层； | 800-第二导电层； | 900-外延层。 |

具体实施方式

[0083] 参照图1至图16,制作半导体结构时,通常先在提供基底100,基底100包括核心区和位于核心区外且与核心区相邻的外围区,基底100上设置有第一阻挡层200;如图1至图3所示,在核心区对应的第一阻挡层200上形成第一光刻胶层710,第一光刻胶层710覆盖图1和图2所示核心区上的第一阻挡层200,图3所示外围区上的第一阻挡层200暴露;如图4至图6所示,去除外围区对应的第一阻挡层200,保留图4和图5所示核心区上的第一阻挡层200;如图7至图9所示,在核心区对应的第一阻挡层200上和外围区对应的基底100上依次沉积介质层300和第一导电层400,介质层300覆盖图7和图8所示核心区上的第一阻挡层200,且覆盖图9所示外围区上的基底100,第一导电层400覆盖介质层300;如图10至图12所示,在外围区对应的第一导电层400上形成第二光刻胶层720,图10和图11所示核心区的第一导电层400暴露;如图13至图15所示,去除核心区对应的第一导电层400和介质层300,保留被第二光刻胶层720覆盖的第一导电层400和介质层300,图13和图14所示核心区的第一阻挡层200暴露。

[0084] 然而,参照图16,在上述制作半导体结构的过程中,核心区对应的第一阻挡层200和外围区对应的介质层300之间易出现断口,暴露在断口中的基底100会被去除部分,如图16所示虚线区域,基底100内的器件易暴露甚至损伤,导致半导体结构的良率较低。

[0085] 需要说明的是,图1至图16中的第一截面与第二截面相垂直,第一截面垂直于字线130的延伸方向,第二截面平行于字线130的延伸方向。其中,第一截面位于相邻两个有源区110之间,第二截面过有源区110的中心。

[0086] 本发明实施例提供一种半导体的制作方法,通过形成第一阻挡层,并保留第一阻挡层上的部分介质层和部分第一导电层,使得基底的部分区域覆盖第一阻挡层,基底的部分区域覆盖介质层,且第一阻挡层和介质层部分重叠,从而减少基底的暴露,降低基底被去除部分的风险,进而降低了基底内的器件暴露甚至损伤的风险。

[0087] 为了使本发明实施例的上述目的、特征和优点能够更加明显易懂,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例,均属于本发明保护的范围。

[0088] 实施例一

[0089] 参照图17,本发明实施例提供一种半导体结构的制作方法,该制作方法包括以下步骤:

[0090] 步骤S101、提供基底,基底包括核心区和位于核心区外且与核心区相邻的外围区,基底上还形成有预设阻挡层,预设阻挡层覆盖核心区和外围区。

[0091] 参照图18至图21,基底100包括核心区和外围区,核心区和外围区可以相邻,核心区如图18至图21中所示的A区,外围区如图18至图21所示的B区。示例性的,如图19所示,核心区的周向边缘设置外围区,即外围区环绕核心区一周。

[0092] 基底100内还通常设置有源区110,参照图18,部分有源区110位于核心区,部分有源区110位于外围区。位于核心区内的有源区110间隔较小,位于外围区内的有源区110间隔较大。有源区110之间设置浅槽隔离结构120,浅槽隔离结构120内通常填充氧化物,例如氧化硅,以将各有源区110之间隔开。如图18所示,有源区110上还覆盖氧化物,避免有源区110暴露。

[0093] 需要说明的是,如图18所示,位于外围区的浅槽隔离结构120内还填充有氮化物层140,例如氮化硅层。示例性的,在基底100的外围区形成第一凹槽;在第一凹槽内沉积第一氧化物层,第一氧化物层围设成第二凹槽;在第二凹槽内沉积氮化物层140,氮化物层140围设成第三凹槽;在第三凹槽内沉积第二氧化物层,第二氧化物层填满第三沟槽,以形成浅槽隔离结构120。

[0094] 参照图20和图21,基底100内通常还设置有埋入式字线130。图18所示的截面为平行于字线的延伸方向的截面,且过有源区110的中心,即图18所示截面为第二截面,图20和图21所示的截面为垂直于字线的延伸方向的截面,且位于字线的延伸方向上的不同位置。图20所示的第一截面与图21所示的第三截面平行,图20所示的第一截面位于相邻两个有源区110的中心,图21所示的第三截面过有源区110的中心位置处。

[0095] 继续参照图18至图21,基底100上设置有预设阻挡层210,预设阻挡层210覆盖基底100的核心区和外围区。示例性的,预设阻挡层210的材质可以为氮化硅,预设阻挡层210的厚度可以为200nm-600nm。

[0096] 预设阻挡层210可以通过沉积工艺形成在基底100上,例如,预设阻挡层210通过化学气相沉积(Chemical Vapor Deposition,简称CVD)工艺、物理气相沉积(Physical Vapor Deposition,简称PVD)工艺或者原子层沉积(Atomic Layer Deposition,简称ALD)等工艺形成在基底100上。

[0097] 步骤S102、去除外围区对应的至少部分预设阻挡层,以暴露部分基底,保留的预设阻挡层形成第一阻挡层。

[0098] 参照图18至图28,去除部分预设阻挡层210,以形成第一阻挡层200。例如,去除外围区对应的预设阻挡层210,保留核心区对应的预设阻挡层210,核心区上形成第一阻挡层

200, 外围区暴露。

[0099] 或者, 去除外围区中远离核心区的一部分预设阻挡层210, 暴露外围区的一部分基底100, 保留核心区上以及靠近核心区的一部分外围区上的预设阻挡层210, 即保留的预设阻挡层210部分位于外围区上, 部分位于核心区上。示例性的, 核心区位于第一阻挡层200在基底100上的正投影的内部, 例如, 核心区位于该正投影的中心区域。

[0100] 在一种可能的示例中, 去除外围区对应的至少部分预设阻挡层210, 以暴露部分基底100, 保留的预设阻挡层210形成第一阻挡层200的步骤包括:

[0101] 如图18至图21所示, 在预设阻挡层210上形成第一光刻胶层710, 第一光刻胶层710至少覆盖核心区对应的预设阻挡层210。其中, 第一光刻胶层710可以只覆盖核心区, 或者, 如图18至图21所示, 第一光刻胶层710覆盖核心区且延伸至外围区。

[0102] 如图22至图25所示, 以第一光刻胶层710为掩膜刻蚀预设阻挡层210, 以形成第一阻挡层200。第一光刻胶层710覆盖的预设阻挡层210保留, 形成第一阻挡层200, 第一光刻胶层710未覆盖的预设阻挡层210去除, 暴露出基底100。第一阻挡层200至少覆盖核心区, 参照图22所示的俯视图, 第一光刻胶层710下方即为第一阻挡层200, 第一阻挡层200覆盖核心区与位于核心区边缘的外围区。

[0103] 如图26至图28所示, 去除第一光刻胶层710。第一光刻胶层710可以通过灰化(Ashing)去除, 去除第一光刻胶层710后, 第一阻挡层200显露。

[0104] 步骤S103、在第一阻挡层和基底上依次形成层叠的介质层和第一导电层4。

[0105] 参照图29至图31, 在第一阻挡层200和暴露的基底100上沉积介质层300, 介质层300的厚度可以为50nm-200nm。介质层300可以具有较高的介电常数, 以使该层绝缘性较好, 提高包含该层的器件的击穿电压。如图29所示, 位于第一阻挡层200上的介质层300和位于基底100上的介质层300之间形成台阶。

[0106] 参照图32至图34, 在介质层300上沉积第一导电层400, 第一导电层400的厚度可以为300nm-600nm, 如图32所示, 第一导电层400中与第一阻挡层200对应的部分高于其他部分。第一导电层400的材质可以为多晶硅(polycrystalline silicon)。

[0107] 步骤S104、去除第一阻挡层上的部分介质层和部分第一导电层, 保留第一阻挡层上靠近外围区的部分介质层和部分第一导电层。

[0108] 参照图35至图44, 去除第一阻挡层200上远离外围区的一部分介质层300和一部分第一导电层400。参照图41, 介质层300在基底100上的正投影与第一阻挡层200在基底100上的正投影部分重合, 重合区域的宽度尺寸为20nm-100nm。

[0109] 可以理解的是, 介质层300与第一阻挡层200部分重叠, 如图41虚线所示, 重叠部分在基底100上的正投影即为重合区域, 重合区域水平方向(X方向)的尺寸为20nm-100nm。

[0110] 在一种可能的示例中, 参照图42所示的俯视图, 重合区域可以为环状, 重合区域如图42所示的H处。如图42所示, 内部的虚线所围合的区域为核心区, 套设的两实线之间的区域为介质层300在基底100上的正投影, 位于外侧的虚线所围合的区域为第一阻挡层200在基底100上的正投影。

[0111] 重合区域的形状与核心区的形状相适配, 例如重合区域的形状为方环形。方形环的各内边与相对应的外边之间的间距可以相等, 该间距位于20nm-100nm之间。

[0112] 当然, 方形环的各内边与相对应的外边之间的间距也可以不等, 即方形环中, 部分

内边与相对应的外边之间的间距大于另一部分内边与相对应的外边之间的间距,且各间距均位于20nm-100nm之间。

[0113] 可以理解的是,介质层300和第一阻挡层200部分重叠,以避免核心区和/或外围区的基底100暴露而被去除部分,即去除介质层300和第一导电层400时,基底100上还覆盖第一阻挡层200,从而避免去除介质层300和第一导电层400时会去除部分基底100。

[0114] 在一种可能的示例中,去除第一阻挡层200上的部分介质层300和部分第一导电层400,保留第一阻挡层200上靠近外围区的部分介质层300和部分第一导电层400的步骤包括:

[0115] 参照图35至图37,在第一导电层400上形成第二光刻胶层720,第二光刻胶层720在基底100上的正投影与第一阻挡层200在基底100上的正投影部分重合。

[0116] 如图35至图37所示,第二光刻胶层720沉积在第一导电层400上,且第二光刻胶层720与第一导电层400部分重叠,以使第二光刻胶层720在基底100上的正投影与第一阻挡层200在基底100上的正投影部分重合。第二光刻胶层720在基底100上的正投影与第一阻挡层200在基底100上的正投影重合区域的尺寸可以为20nm-100nm。

[0117] 需要说明的是,第二光刻胶层720背离基底100的表面可以不齐平,如图35所示,第一阻挡层200对应的第二光刻胶层720的上表面可以高于其余区域的第二光刻胶层720的上表面。

[0118] 参照图38至图40,以第二光刻胶层720为掩膜刻蚀第一导电层400和介质层300,以暴露第一阻挡层200。如图38至图40示,保留第二光刻胶层720遮挡的部分第一导电层400和介质层300,去除暴露的部分第一导电层400和介质层300,刻蚀后,第一阻挡层200显露。

[0119] 参照图41至图44,去除第二光刻胶层720。如图41至图44所示,去除第二光刻胶层720后,第一导电层400显露,介质层300和第一阻挡层200部分重叠,核心区和外围区交界处附近的基底100未暴露。

[0120] 本发明实施例提供的半导体结构的制作方法中,提供基底100,基底100包括核心区和位于核心区外且与核心区相邻的外围区,基底100上还形成有预设阻挡层210,预设阻挡层210覆盖核心区和外围区;去除外围区对应的至少部分预设阻挡层210,以暴露部分基底100,保留的预设阻挡层210形成第一阻挡层200;在第一阻挡层200和基底100上依次形成层叠的介质层300和第一导电层400;去除第一阻挡层200上的部分介质层300和部分第一导电层400,保留第一阻挡层200上靠近外围区的部分介质层300和部分第一导电层400。通过形成第一阻挡层200,并保留第一阻挡层200上的部分介质层300和部分第一导电层400,使得基底100的部分区域覆盖第一阻挡层200,基底100的部分区域覆盖介质层300,且第一阻挡层200和介质层300部分重叠,从而减少基底100的暴露,降低基底100被去除部分的风险,进而降低了基底100内的器件暴露甚至损伤的风险。

[0121] 需要说明的是,参照图18至图46,本发明实施例中的基底100内还设置有源区110,去除第一阻挡层200上的部分介质层300和部分第一导电层400,保留第一阻挡层200上靠近外围区的部分介质层300和部分第一导电层400的步骤之后,半导体结构的制作方法还包括以下步骤:

[0122] 在第一阻挡层200和基底100上形成位线接触孔,位线接触孔的底部暴露核心区内的有源区110。如图45和图46所示,刻蚀第一阻挡层200和基底100,在第一阻挡层200和基底

100内形成位线接触孔,位线接触孔暴露有源区110。

[0123] 在第一阻挡层200和基底100上形成位线接触孔之后,在位线接触孔内形成第二导电层800,第二导电层800与第一阻挡层200齐平。在位线接触孔内沉积第二导电层800,以使第二导电层800填满位线接触孔,以用于后续形成位线接触。

[0124] 如图45和图46所示,第二导电层800的上表面与第一阻挡层200的上表面齐平,即第二导电层800背离基底100的表面与第一阻挡层200背离基底100的表面等高,以便于在第二导电层800和第一阻挡层200上形成其他膜层。

[0125] 需要说明的是,在形成第二导电层800时,第一阻挡层200上还具有氧化层(未图示),第二导电层800沉积在位线接触孔内且沉积在氧化层(未图示)上。先以氧化层(未图示)为停止层对第二导电层800进行化学机械研磨,当第二导电层800被研磨至与氧化层(未图示)平齐时,对第二导电层800进行回刻蚀,使第二导电层800的上表面与第一阻挡层200平齐,再去除氧化层(未图示)。

[0126] 在位线接触孔内形成第二导电层800之后,在第一阻挡层200、第二导电层800和第一导电层400上形成第三导电层500。第三导电层500的厚度可以为50nm-200nm。

[0127] 示例性的,在第一阻挡层200、第二导电层800和第一导电层400上沉积氮化钛层;在氮化钛层上沉积钨层。氮化钛层和钨层构成第三导电层500。如图45和图46所示,第三导电层500覆盖第一阻挡层200、第二导电层800和第一导电层400。

[0128] 需要说明的是,氮化钛层与第一导电层400之间还设置有金属层,例如钴(Co)层或者钛(Ti)层,即在形成氮化钛层之前,在第一导电层400上沉积金属层。在氮化钛层上沉积钨层后,进行退火处理,以使第一导电层400与金属层反应,形成金属化合物(例如金属硅化物)的欧姆接触,降低界面电阻,提高半导体结构的性能。

[0129] 在第一阻挡层200、第二导电层800和第一导电层400上形成第三导电层500之后,在第三导电层500上形成第二阻挡层600。继续参照图45和图46,在第三导电层500上沉积第二阻挡层600,第二阻挡层600的材质可以为氮化硅。如图45和图46所示,第二阻挡层600覆盖第三导电层500。

[0130] 需要说明的是,如图45所示,第一阻挡层200与第一导电层400具有一定高度差,沉积第三导电层500和第二阻挡层600后,第二阻挡层600背离基底100的表面不平整。

[0131] 参照图47和图48,在第三导电层500上形成第二阻挡层600的步骤之后,对第二阻挡层600背离基底100的表面进行平坦化处理,平坦化处理后的第二阻挡层600未暴露出第三导电层500。

[0132] 示例性的,通过化学机械研磨(Chemical Mechanical Polishing,简称CMP)对第二阻挡层600背离基底100的表面进行平坦化处理,以获得较为平整的表面。如图47所示,核心区对应的第二阻挡层600与外围区对应的第二阻挡层600齐平,且第二阻挡层600覆盖第三导电层500。

[0133] 如图47所示,核心区的基底100内设置有第二导电层800,第二导电层800后续可以形成位线接触,核心区的基底100上依次设置有第三导电层500和第二阻挡层600,核心区对应的第三导电层500后续可以形成位线,核心区对应的第二阻挡层600后续形成位线的隔离结构。

[0134] 如图47所示,外围区的基底100上依次形成有介质层300、第三导电层500和第二阻

挡层600,介质层300、第三导电层500与基底100中的有源区110可以后续形成器件,例如晶体管,外围区对应的第二阻挡层600后续形成器件的隔离结构。介质层300可以具有高介电常数(high-k),例如介质层300的材质可以包括氧化铪、掺硅氧化铪、掺硅氧化锆等,以使器件具有较高的击穿电压。

[0135] 需要说明的是,参照图49,去除第一阻挡层200上的部分介质层300和部分第一导电层400,保留第一阻挡层200上靠近外围区的部分介质层300和部分第一导电层400的步骤之后,半导体结构的制作方法还包括:在外围区内的部分有源区110上外延生长外延层900,外延层900含有预设金属。

[0136] 如图49所示,位于外围区内的部分有源区110上形成外延层900,例如,通过外延生长等工艺在有源区110上形成外延层900,外延层900含有预设金属。

[0137] 外延层900的材质可以与有源区110的材质相同,例如,有源区110与外延层的材质均为硅,外延层900中可以含有锗。当然,有源区110和外延层900的材质不是限定的,外延层900的材质可以与有源区110的材质不同,预设金属可以为锗,也可以为其他金属。

[0138] 在一些可能的示例中,部分有源区110上不设置外延层900,该部分有源区110后续形成NMOS;部分有源区110上设置外延层900,该部分有源区110后续形成PMOS。

[0139] 实施例二

[0140] 参照图47,本发明实施例提供一种半导体结构,该半导体结构包括基底100、第一阻挡层200、介质层300和第一导电层400。其中,基底100包括核心区和外围区,核心区和外围区可以相邻接,核心区如图46中所示的A区,外围区如图46所示的B区。示例性的,核心区的周向边缘设置外围区,即外围区环绕核心区一周。

[0141] 基底100内还通常设置有源区110,参照图46,部分有源区110位于核心区,部分有源区110位于外围区。位于核心区内的有源区110间隔较小,位于外围区内的有源区110间隔较大。有源区110之间设置浅槽隔离结构120,浅槽隔离结构120内通常填充氧化物,例如氧化硅,以将各有源区110之间隔开。如图46所示,有源区110上还覆盖氧化物,避免有源区110暴露。

[0142] 继续参照图46,基底100内通常还设置有埋入式字线130,图46所示的第二截面为平行于字线130的延伸方向且过有源区110的中心的平面。基底100上还设置有第一阻挡层200,第一阻挡层200至少覆盖核心区。第一阻挡层200可以设置在基底100的核心区上,或者第一阻挡层200可以设置在基底100的核心区以及靠近核心区的部分外围区上。

[0143] 在一种可能的示例中,如图46所示,第一阻挡层200覆盖核心区和部分外围区,即核心区位于第一阻挡层200在基底100上的正投影的内部区域。第一阻挡层200的材质可以为氮化硅,第一阻挡层200的厚度可以为200nm-600nm。

[0144] 介质层300设置在基底100和部分第一阻挡层200上,即介质层300与第一阻挡层200部分重叠。介质层300的厚度可以为50nm-200nm,介质层300可以具有较高的介电常数,其材质可以为氧化铪、掺硅氧化铪、掺硅氧化锆等。

[0145] 如图46所示,介质层300覆盖外围区的基底100以及靠近外围区的部分第一阻挡层200。示例性的,介质层300在基底100上的正投影与第一阻挡层200在基底100上的正投影的重合,重合区域的宽度尺寸为20nm-100nm。

[0146] 第一导电层400设置在介质层300上,如图46所示,第一导电层400覆盖介质层300

的上表面。第一导电层400的材质可以为多晶硅,第一导电层400的厚度可以为300nm-600nm。

[0147] 继续参照图46,半导体结构还包括第三导电层500和第二阻挡层600,第三导电层500设置在第一阻挡层200和第一导电层400上,第二阻挡层600设置在第三导电层500上。

[0148] 第三导电层500可以包括靠近基底100的氮化钛层,以及设置在氮化钛层上的钨层,第三导电层500的厚度可以为50nm-200nm,第二阻挡层600的材质可以为氮化硅。

[0149] 继续参照图46,第二阻挡层600背离基底100的表面齐平,且第三导电层500的上表面未显露,即第二阻挡层600覆盖第三导电层500的上表面。如图46所示,介质层300、第一导电层400和第三导电层500的上表面在第一阻挡层200与基底100的交界区域形成有台阶,第二阻挡层600的上表面齐平。

[0150] 需要说明的是,第一阻挡层200的上表面形成有位线接触孔,位线接触孔延伸至基底100,且位线接触孔的底部暴露核心区内的有源区110,位线接触孔内填充第二导电层800。第二导电层800可以与第一阻挡层200齐平。可以理解的是,第三导电层500设置在第一阻挡层200和第二导电层800上,且第二导电层800与第三导电层500电连接。

[0151] 参照图48和图49,位于外围区内的部分有源区110上设置有外延层900,外延层900含有预设金属。如图48所示,部分有源区110上不设置外延层900,该部分有源区110后续形成NMOS;如图49所示,部分有源区110上设置外延层900,该部分有源区110后续形成PMOS。其中,有源区110和外延层900的材质可以为硅,预设金属可以为锗。

[0152] 本发明实施例提供的半导体结构包括基底100、第一阻挡层200、介质层300和第一导电层400,其中,基底100包括核心区和位于核心区外且与核心区相邻的外围区,基底100内还设置有有源区110;第一阻挡层200设置在基底100上,第一阻挡层200至少覆盖核心区;介质层300设置在基底100和部分第一阻挡层200上,第一导电层400设置在介质层300上。通过在基底100和部分第一阻挡层200上设置介质层300,使得基底100的部分区域覆盖第一阻挡层200,基底100的部分区域覆盖介质层300,且第一阻挡层200和介质层300部分重叠,从而减少基底100的暴露,降低基底100被去除部分的风险,进而降低了基底100内的器件暴露甚至损伤的风险。

[0153] 本说明书中各实施例或实施方式采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分相互参见即可。

[0154] 在本说明书的描述中,参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施方式或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且,描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

[0155] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

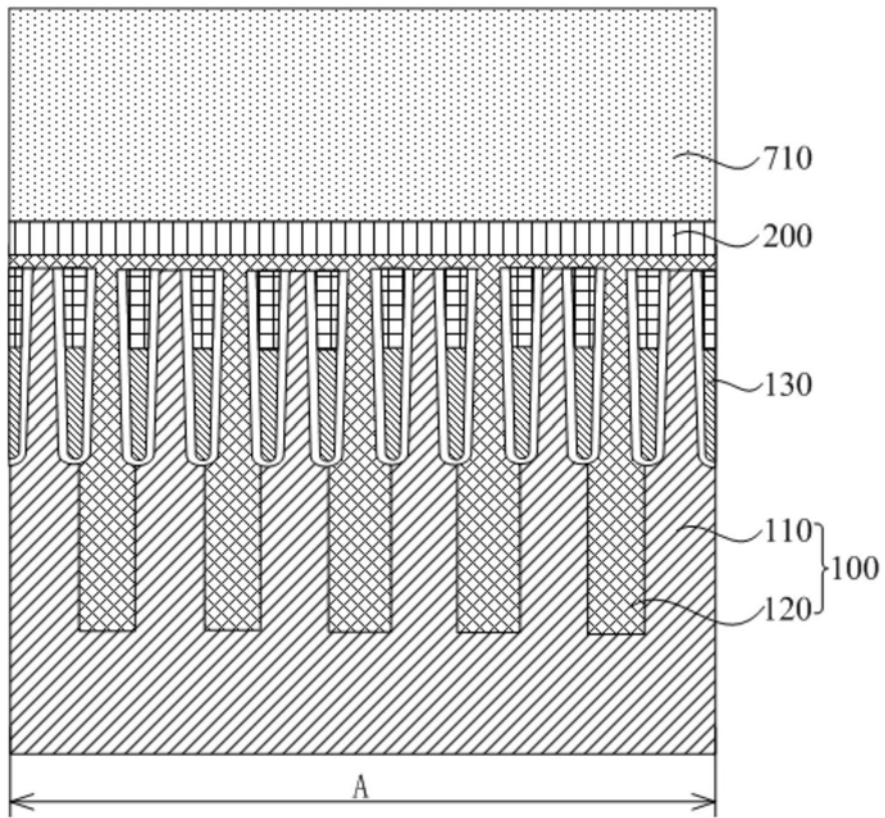


图1

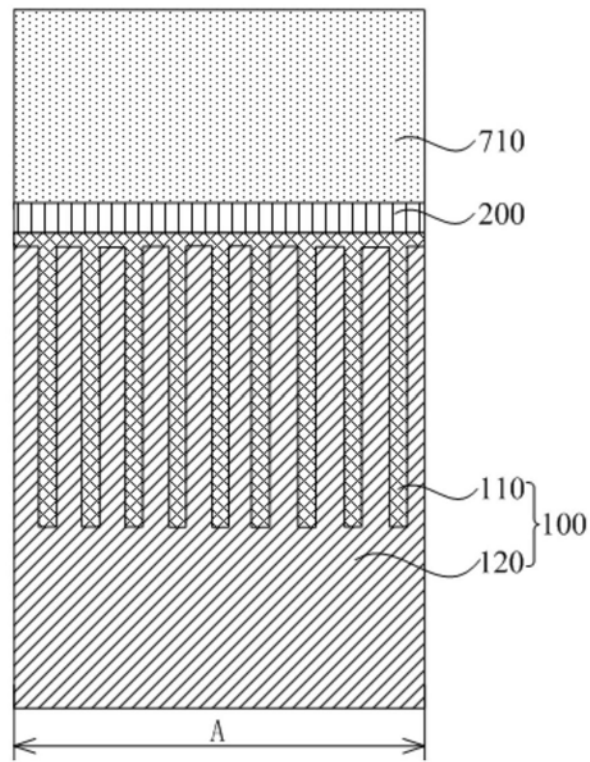


图2

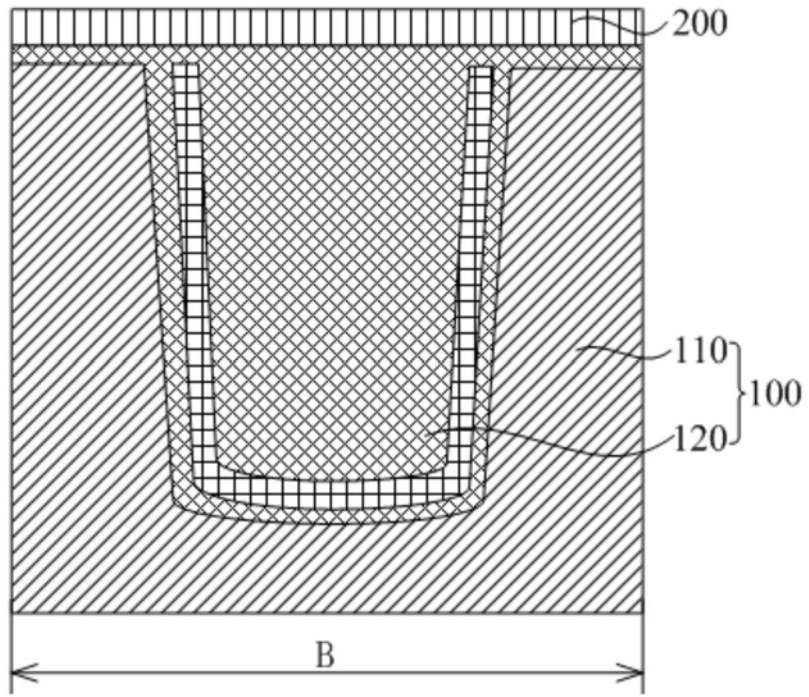


图3

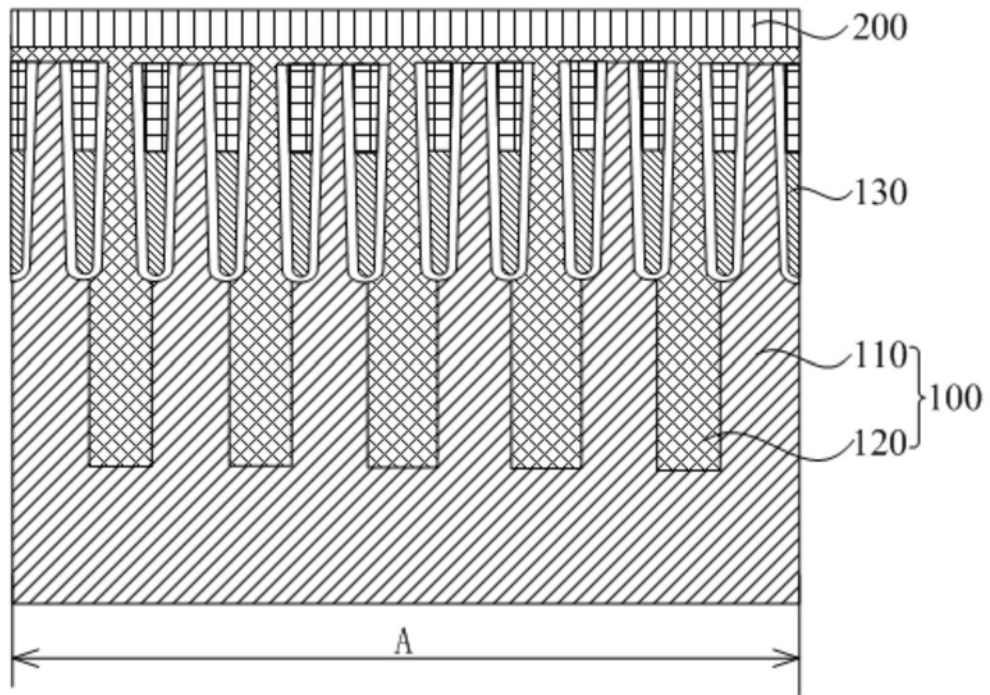


图4

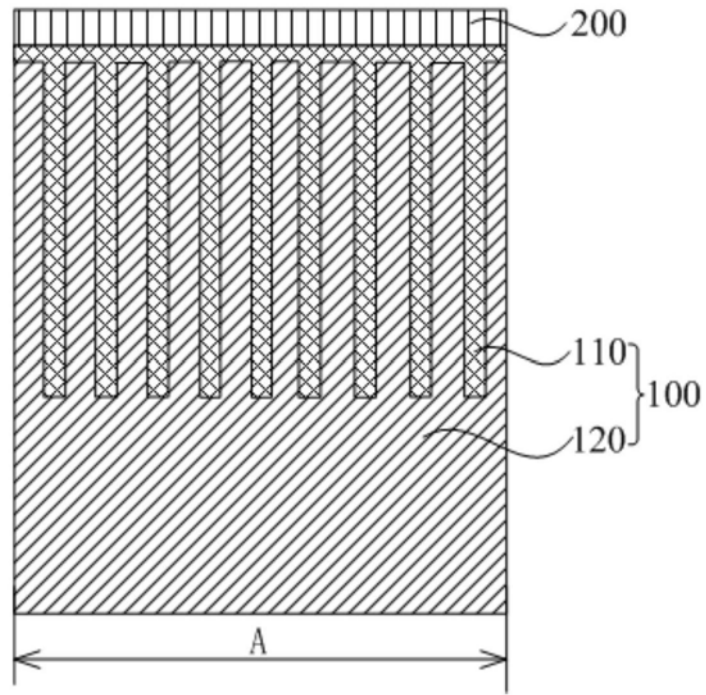


图5

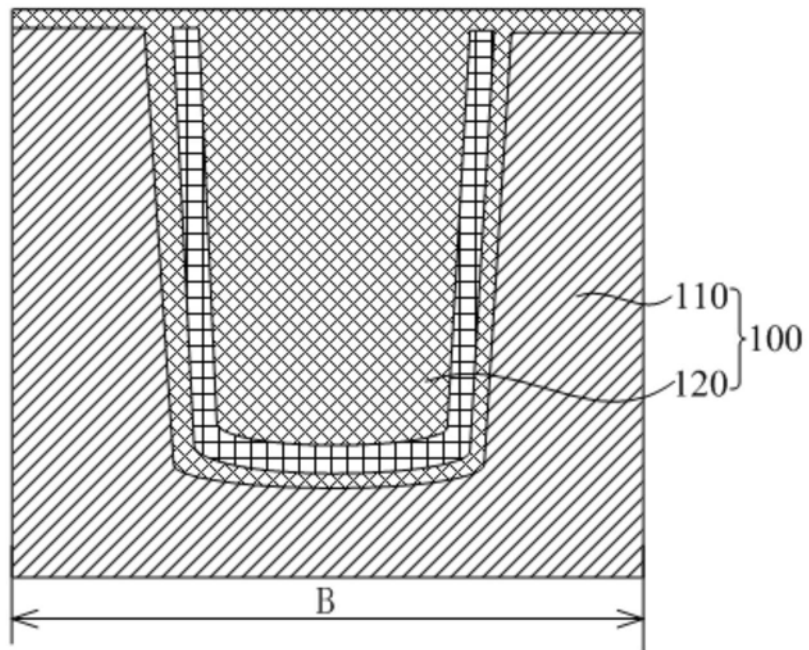


图6

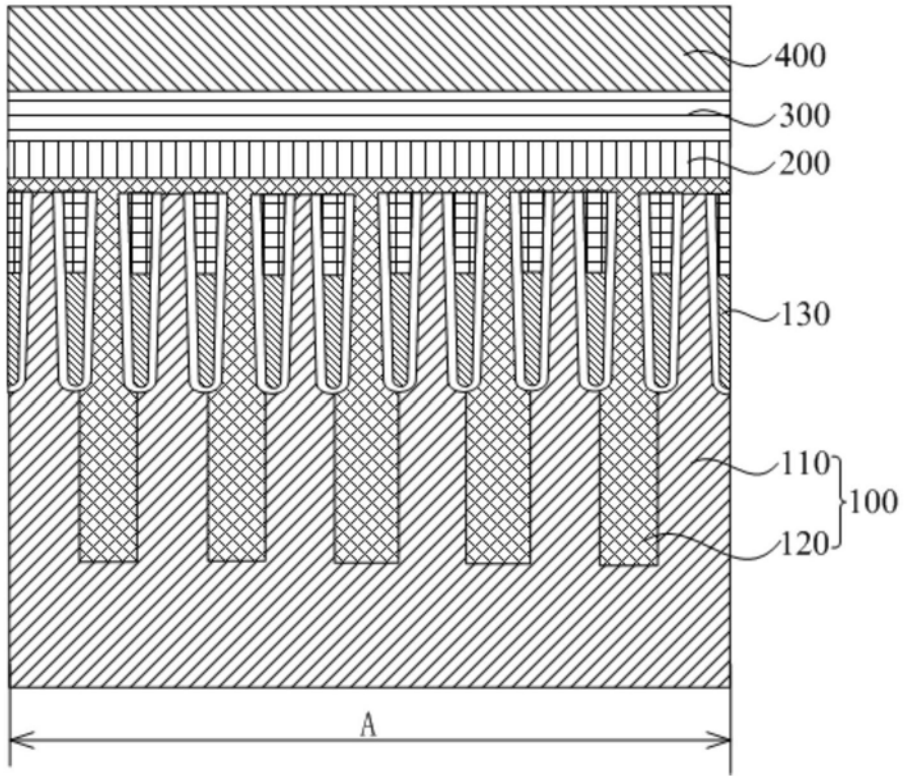


图7

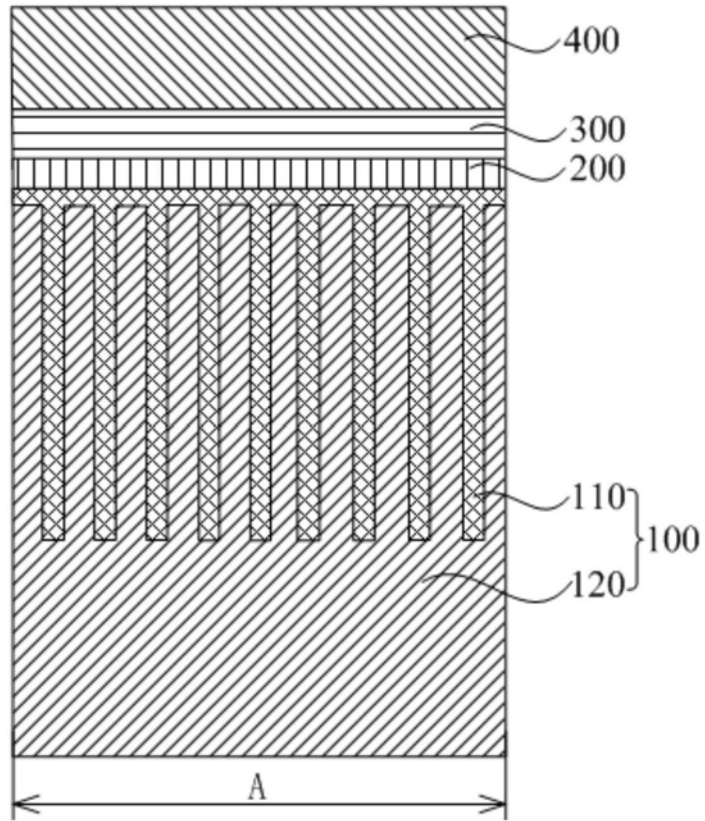


图8

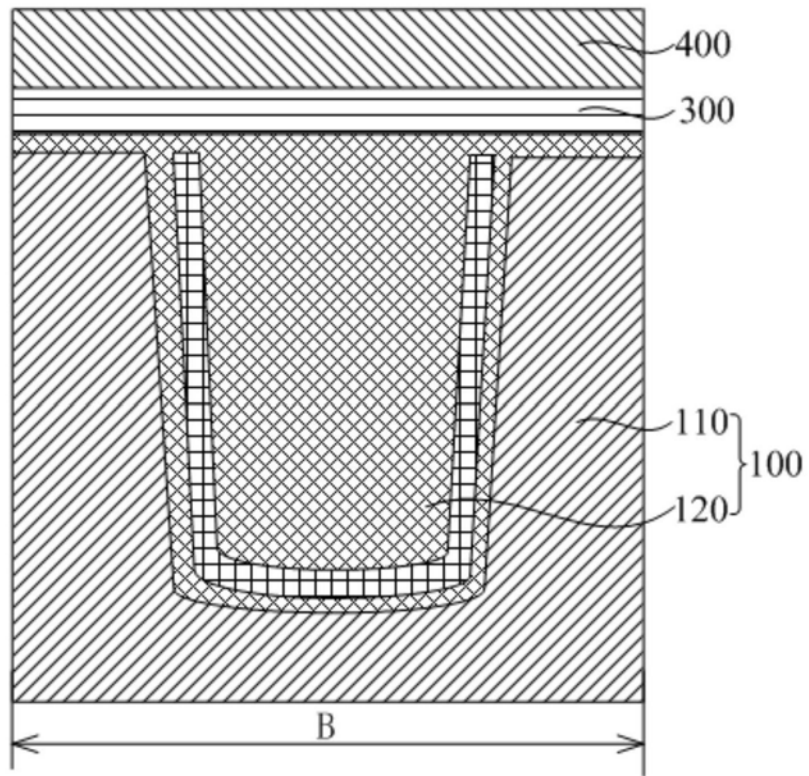


图9

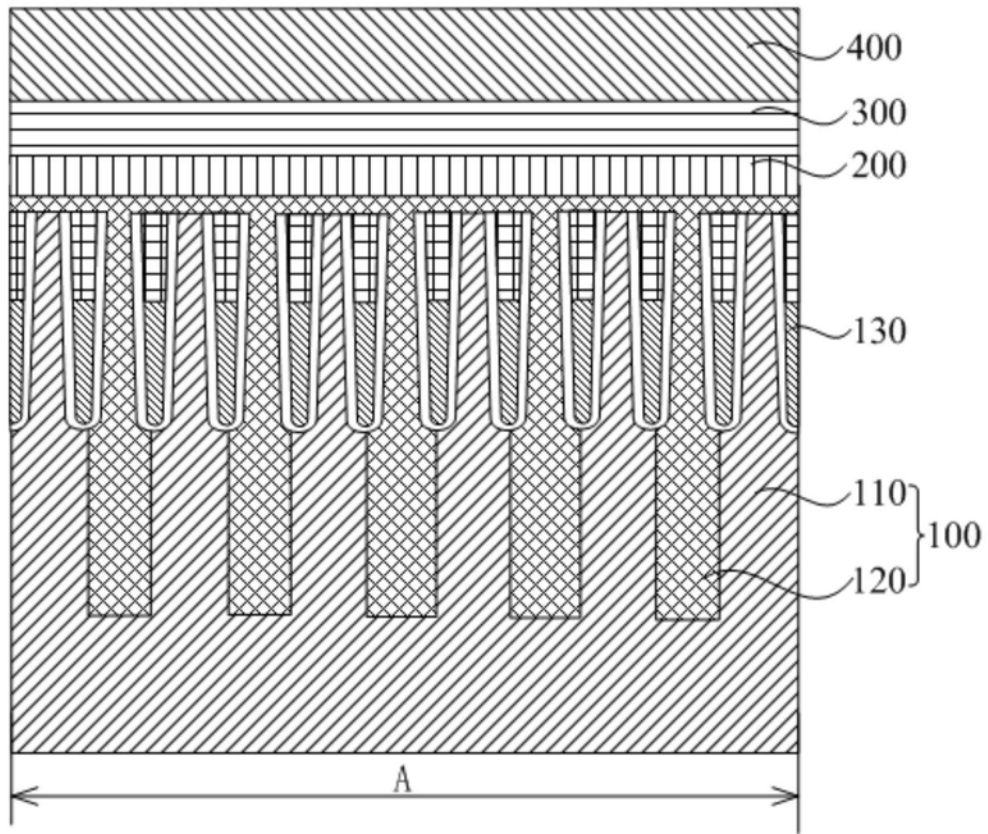


图10

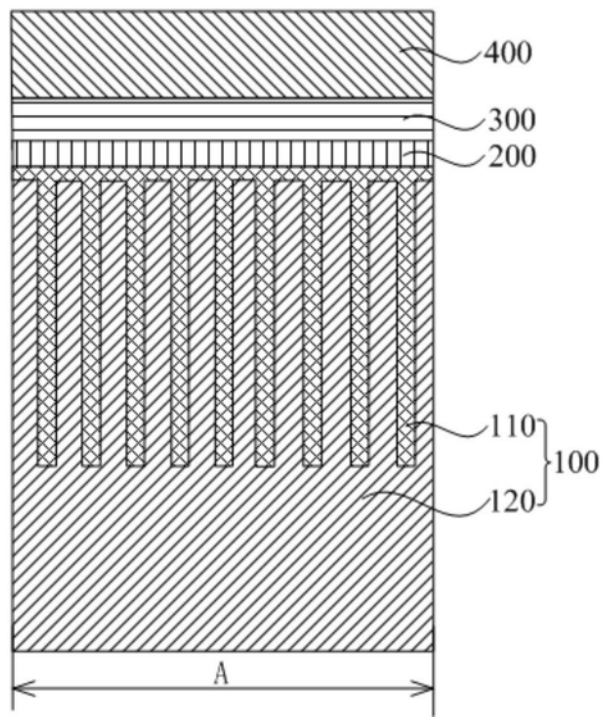


图11

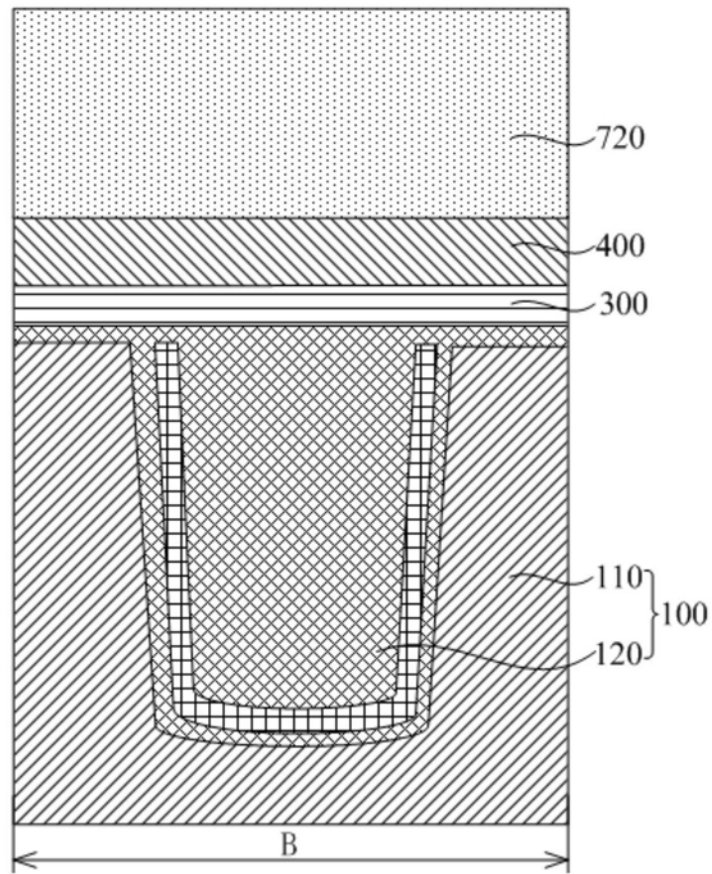


图12

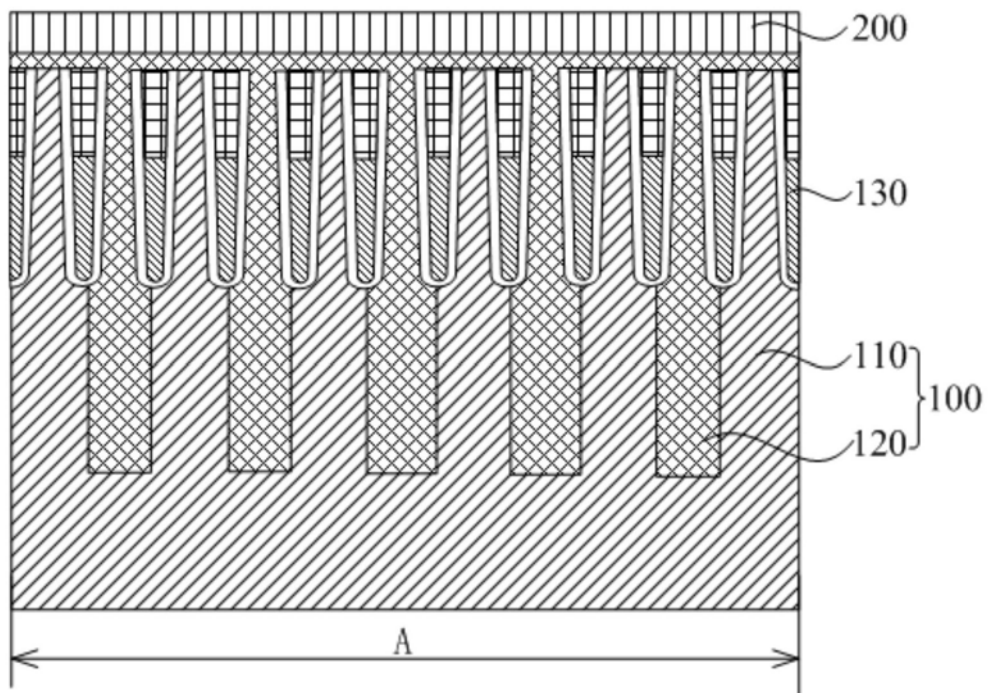


图13

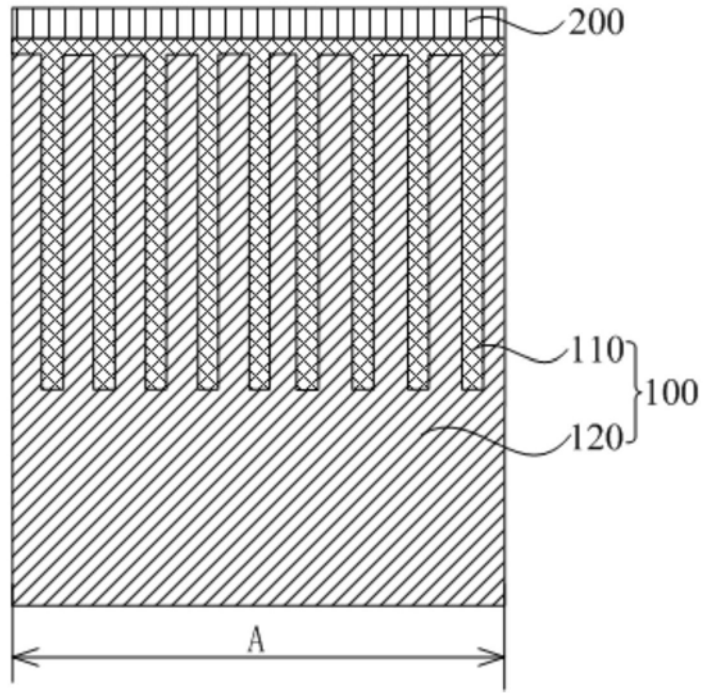


图14

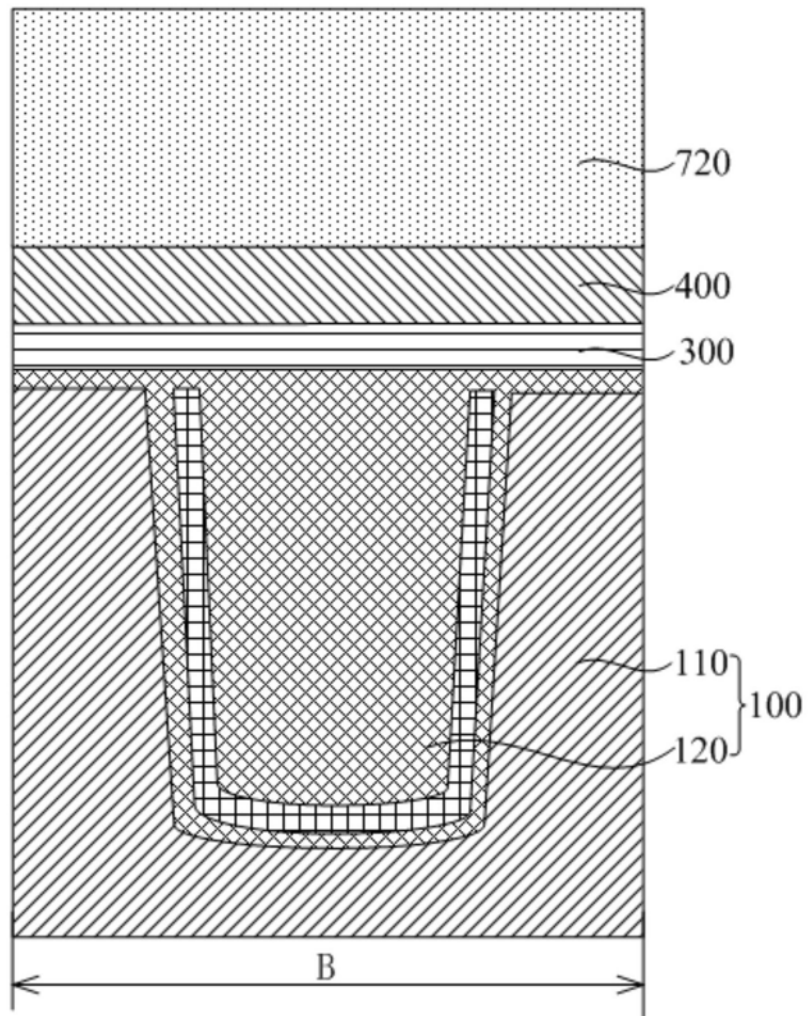


图15

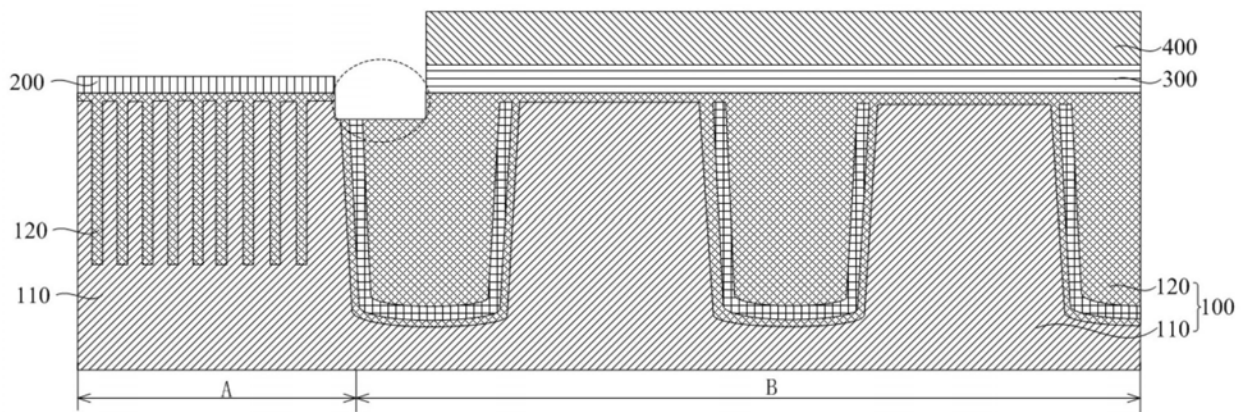


图16

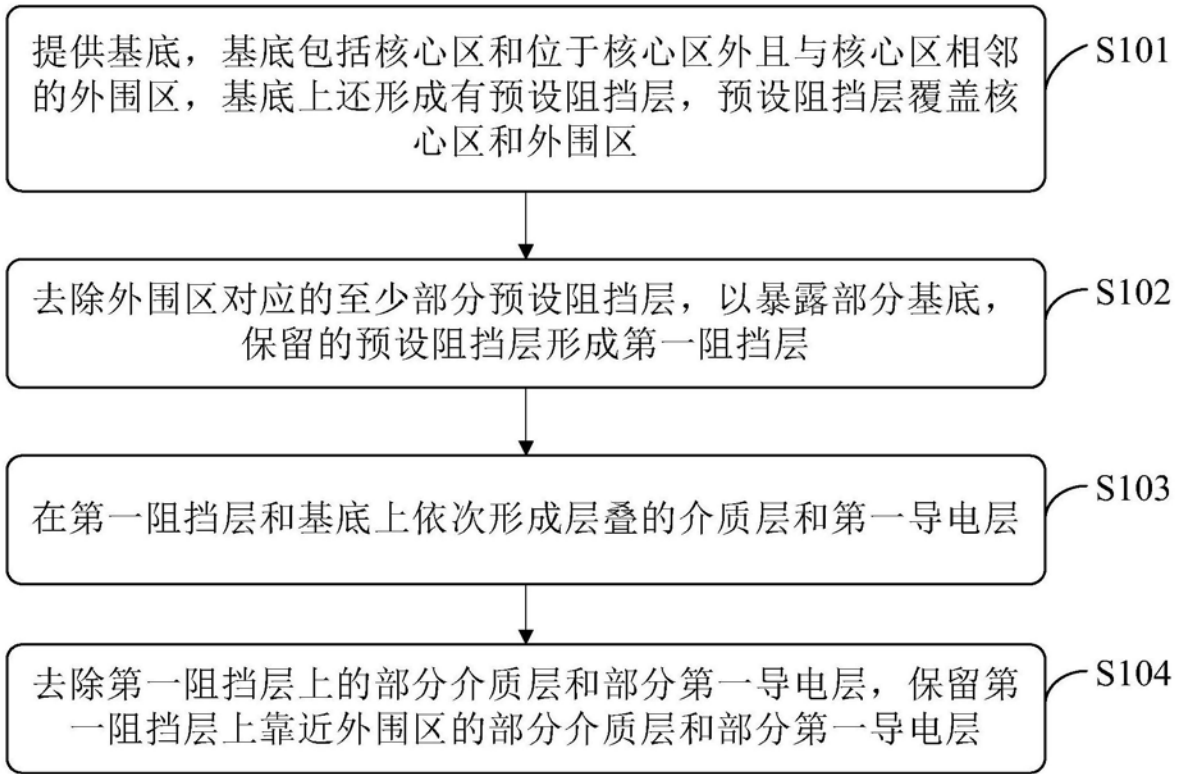


图17

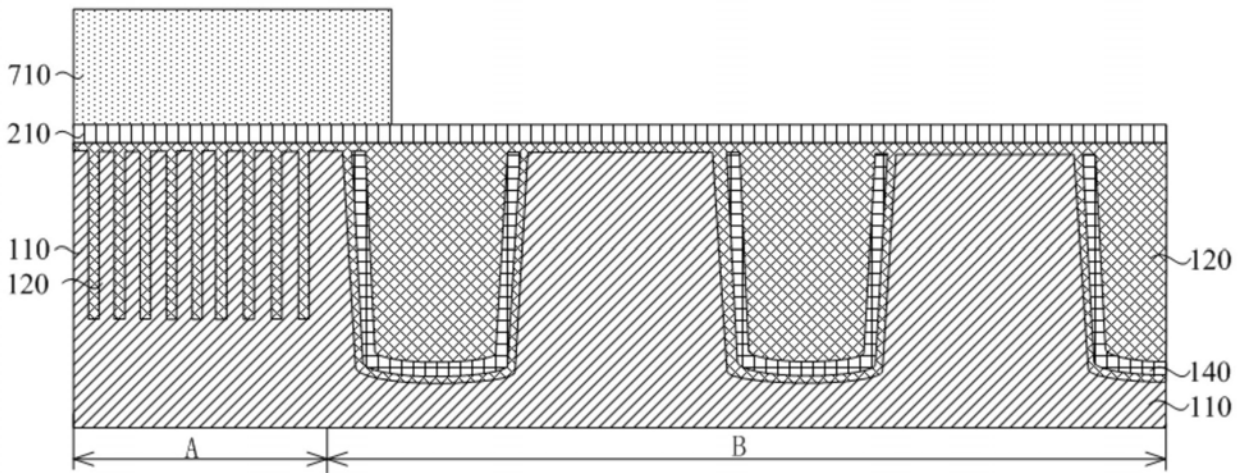


图18

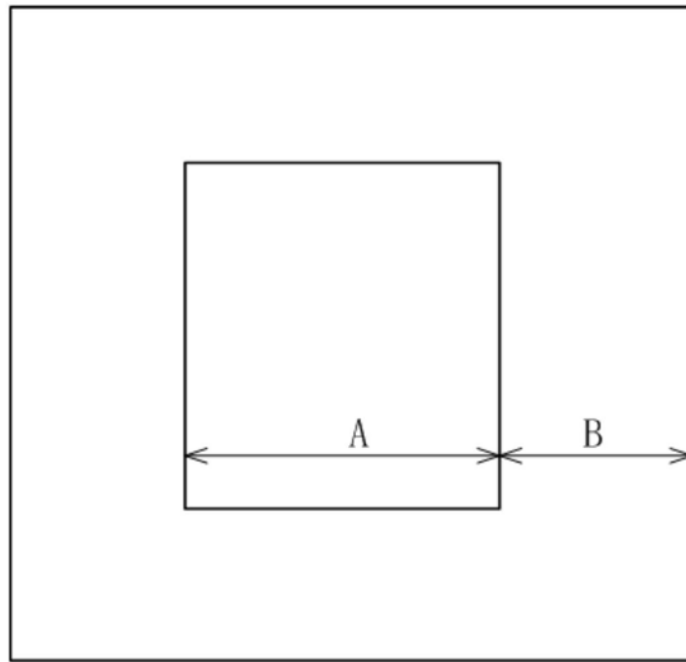


图19

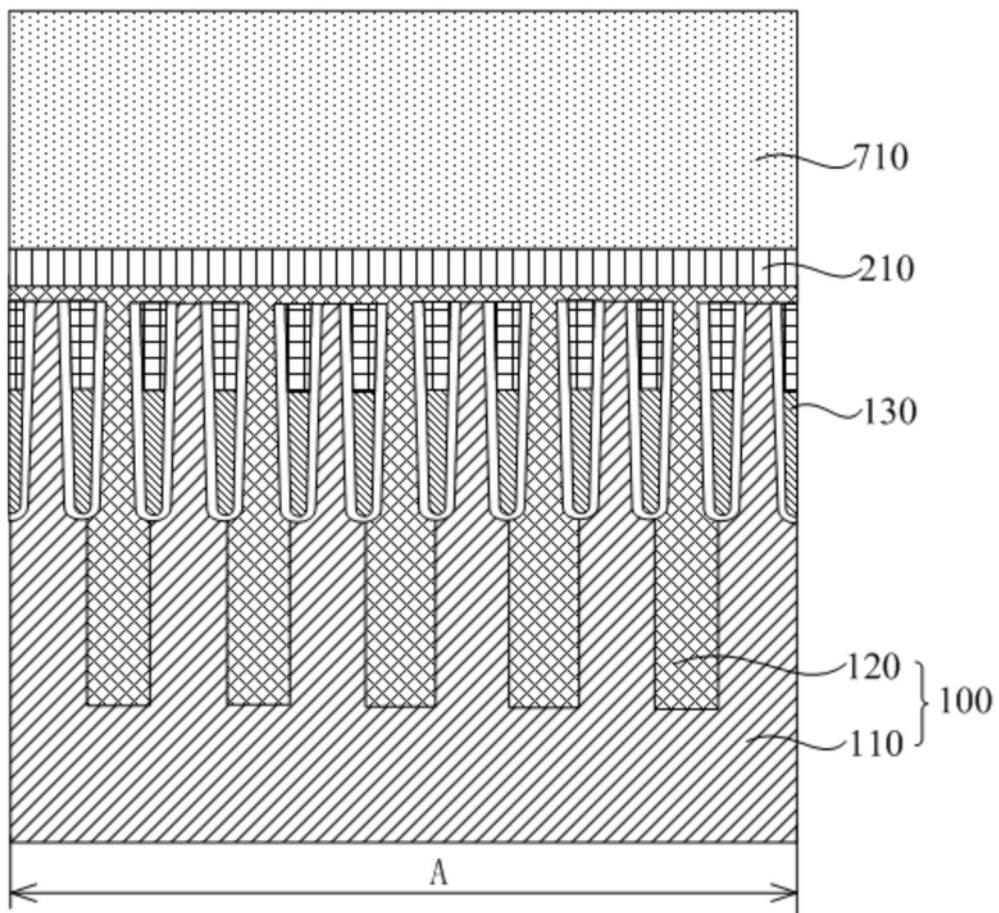


图20

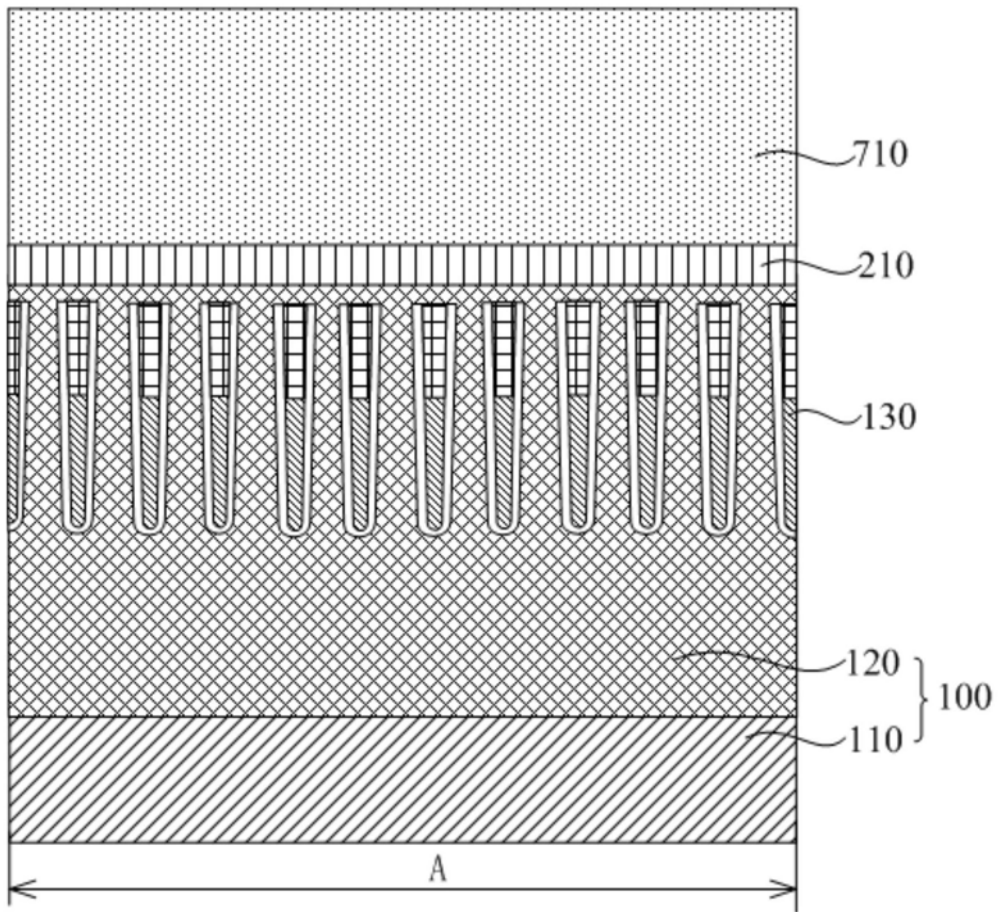


图21

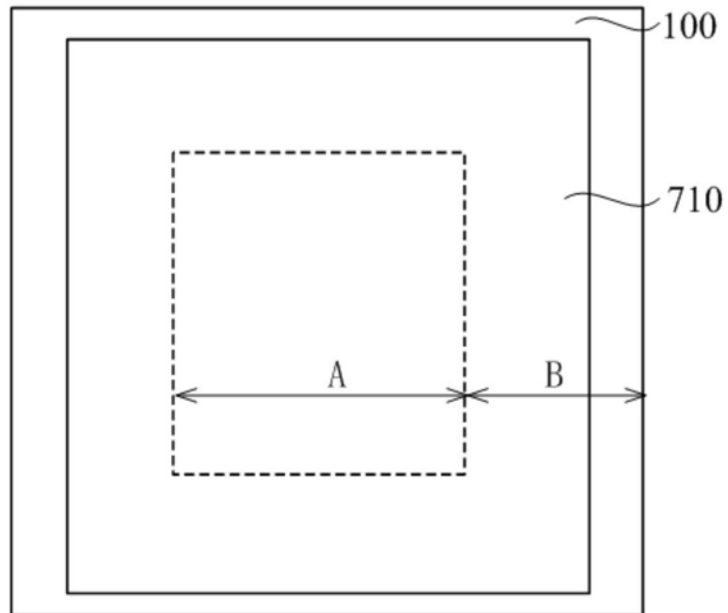


图22

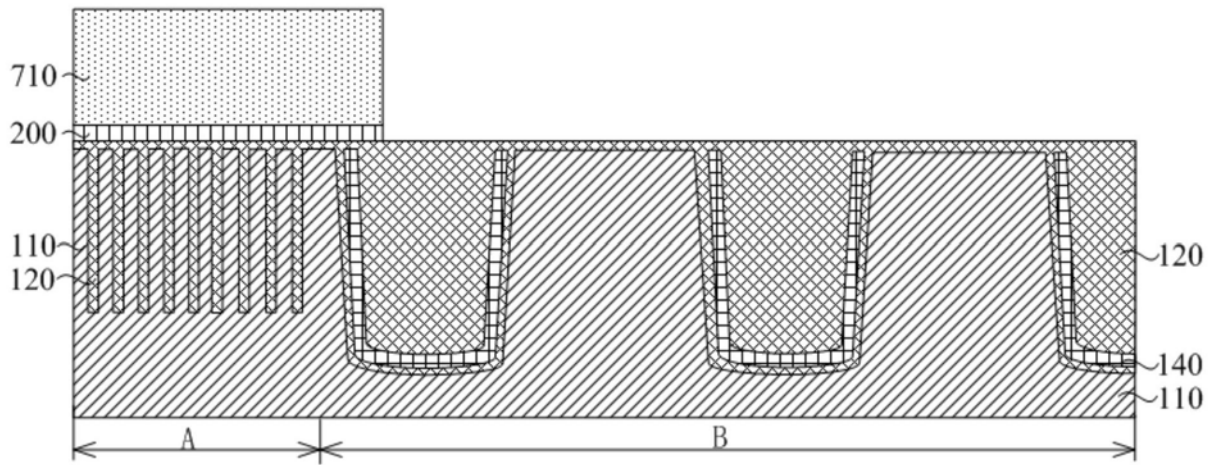


图23

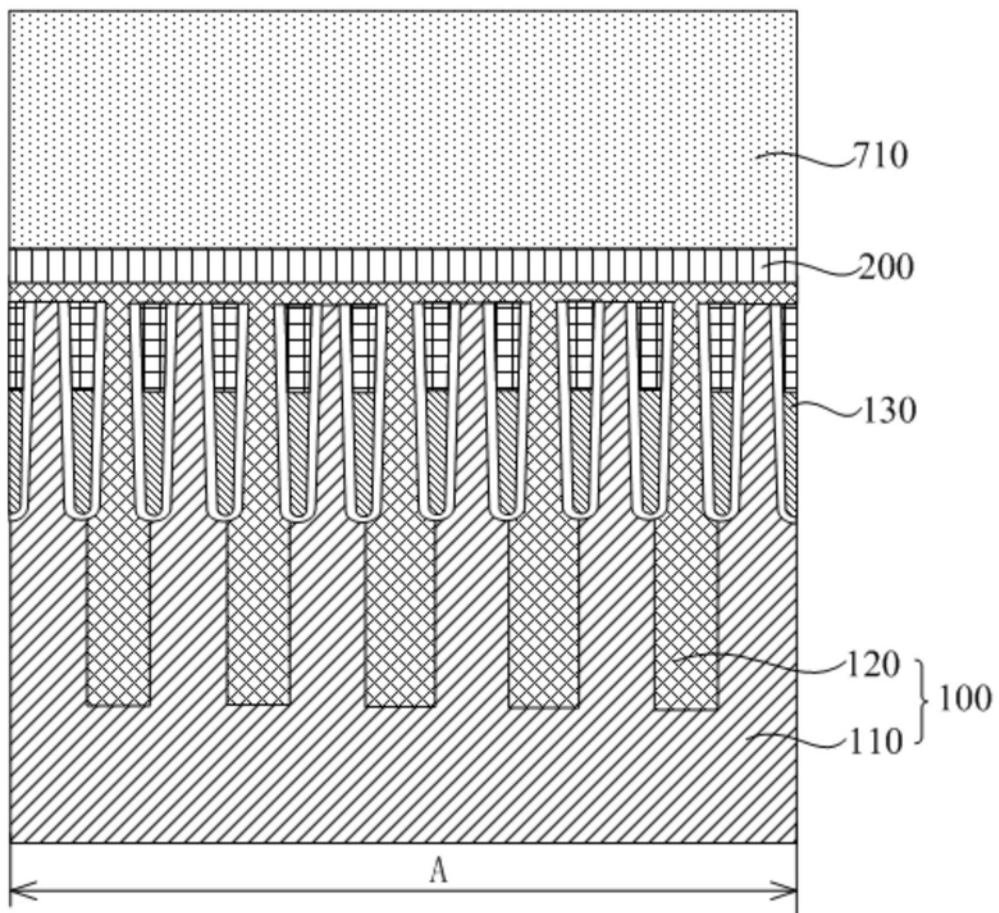


图24

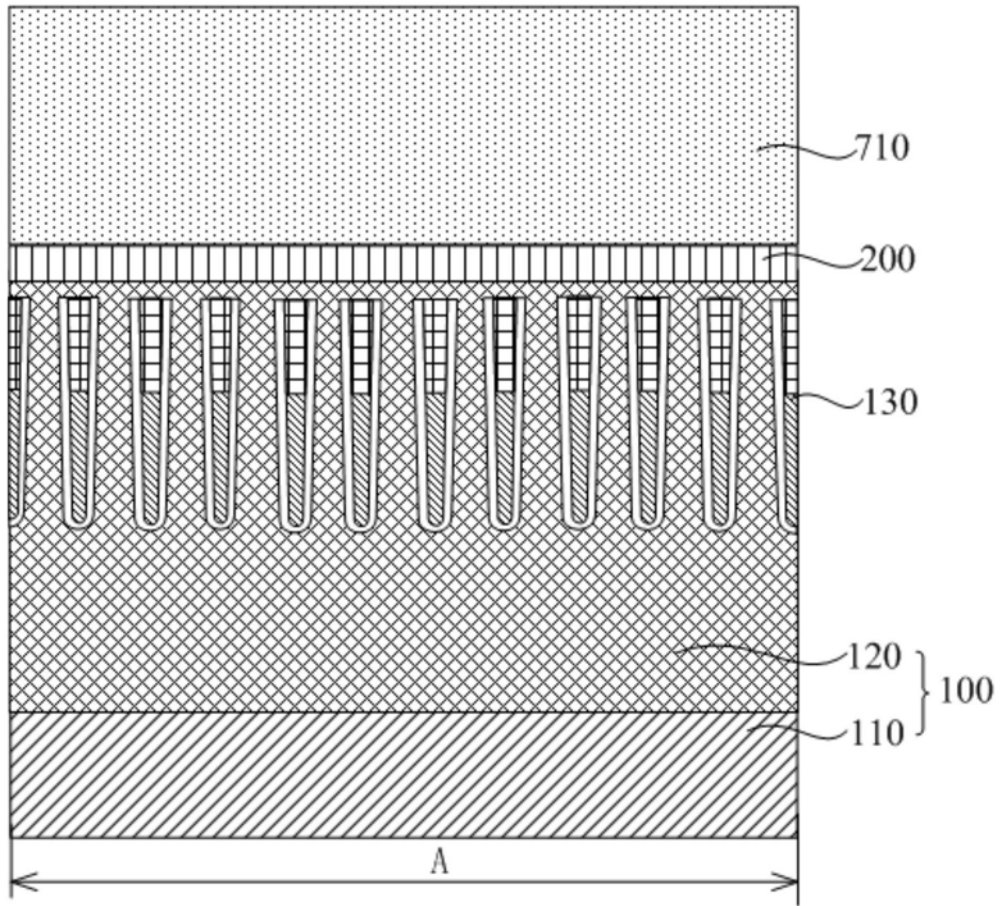


图25

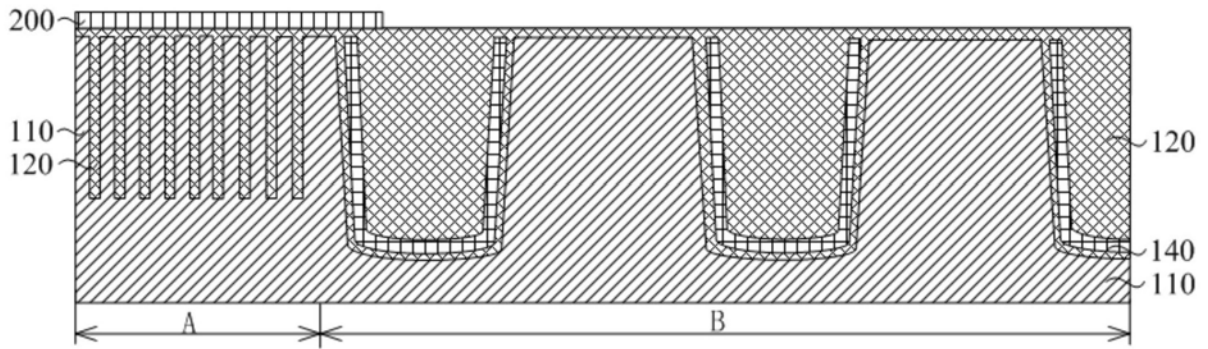


图26

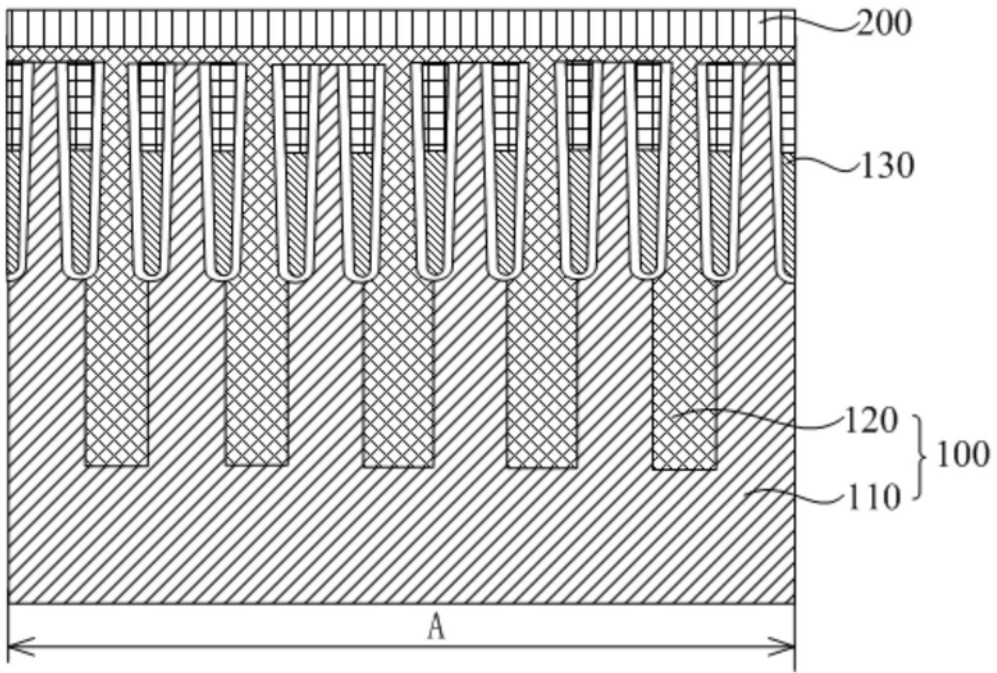


图27

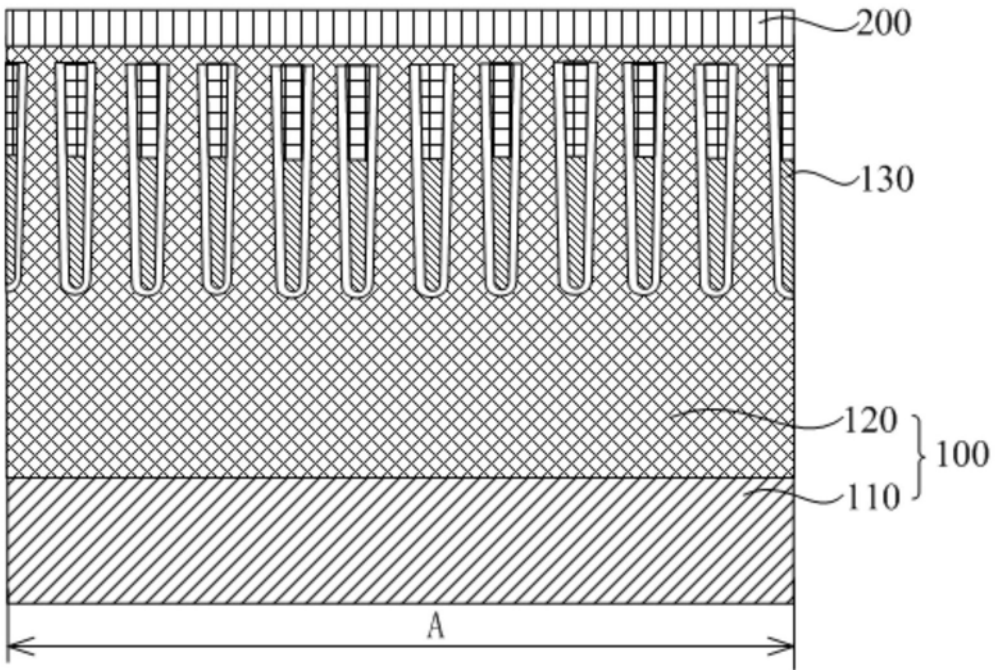


图28

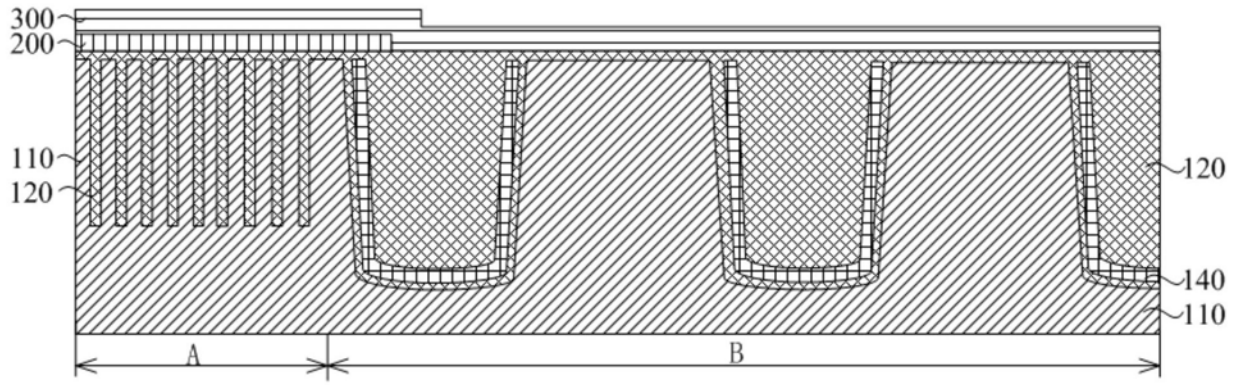


图29

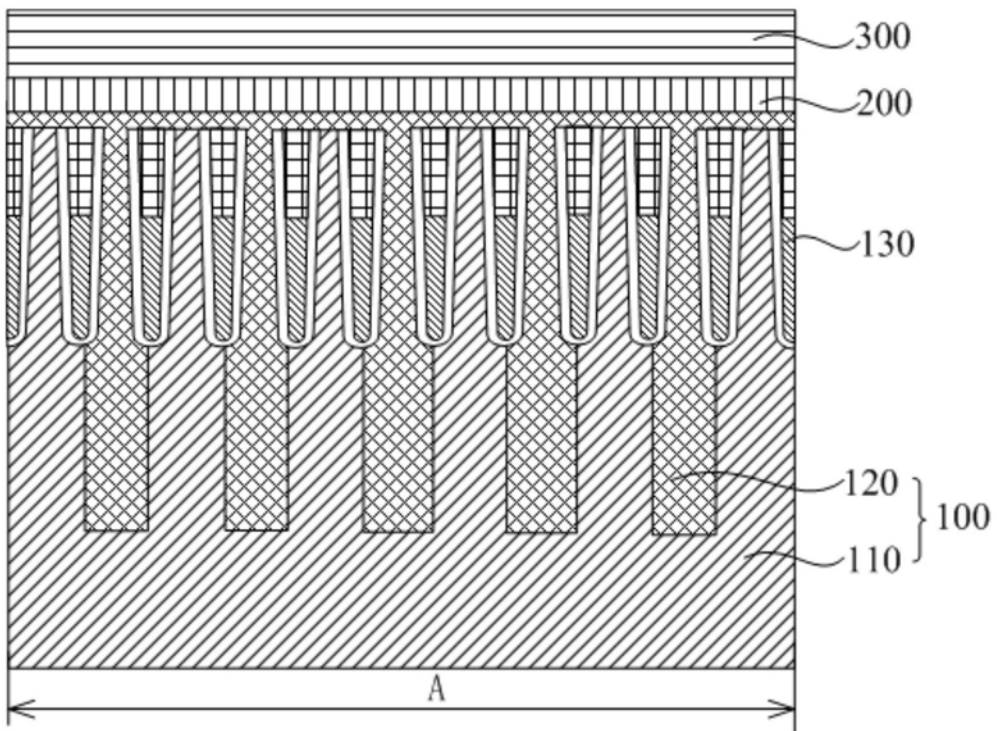


图30

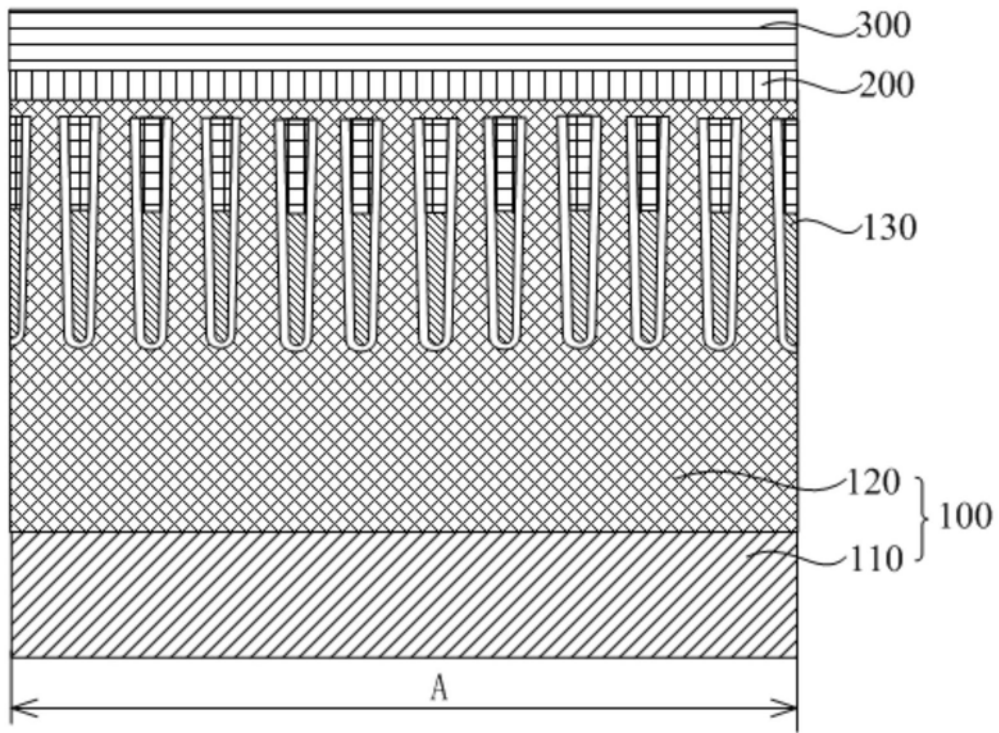


图31

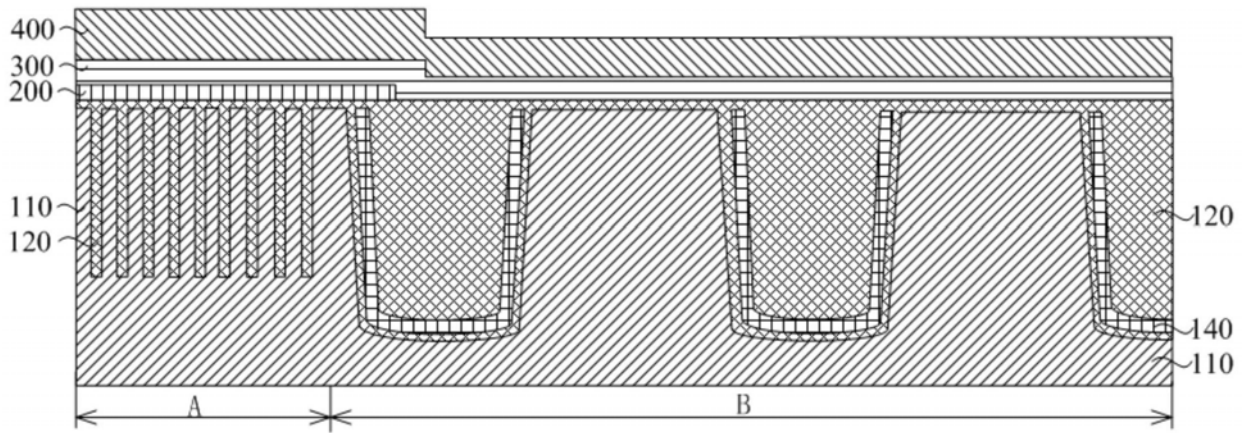


图32

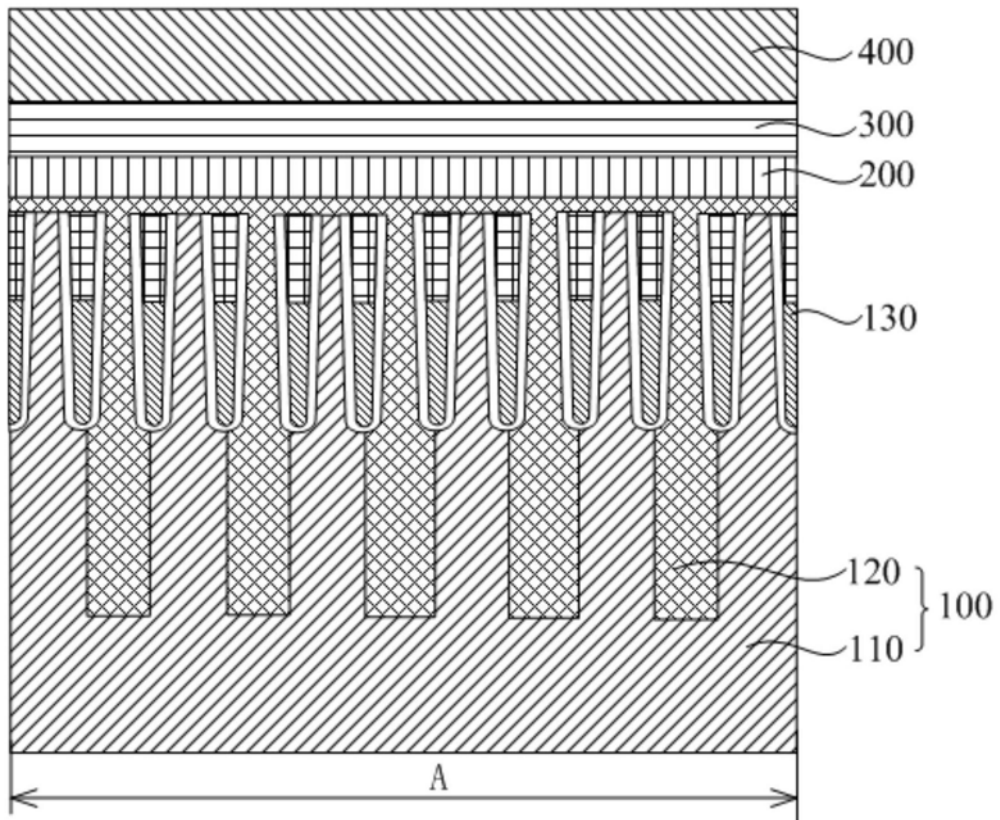


图33

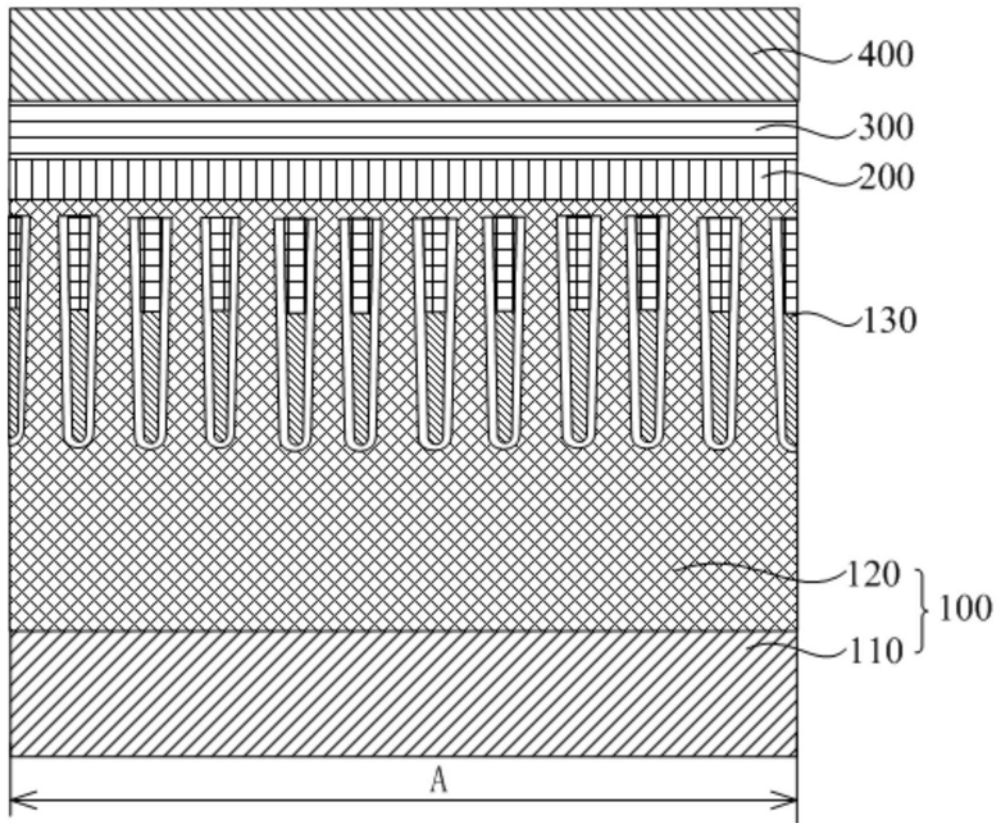


图34

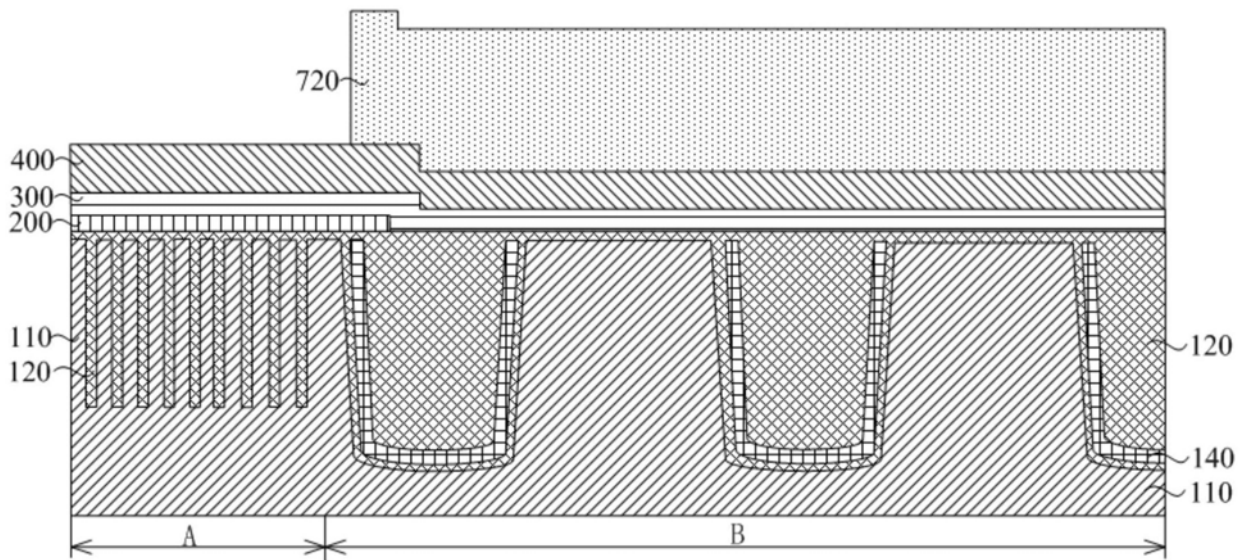


图35

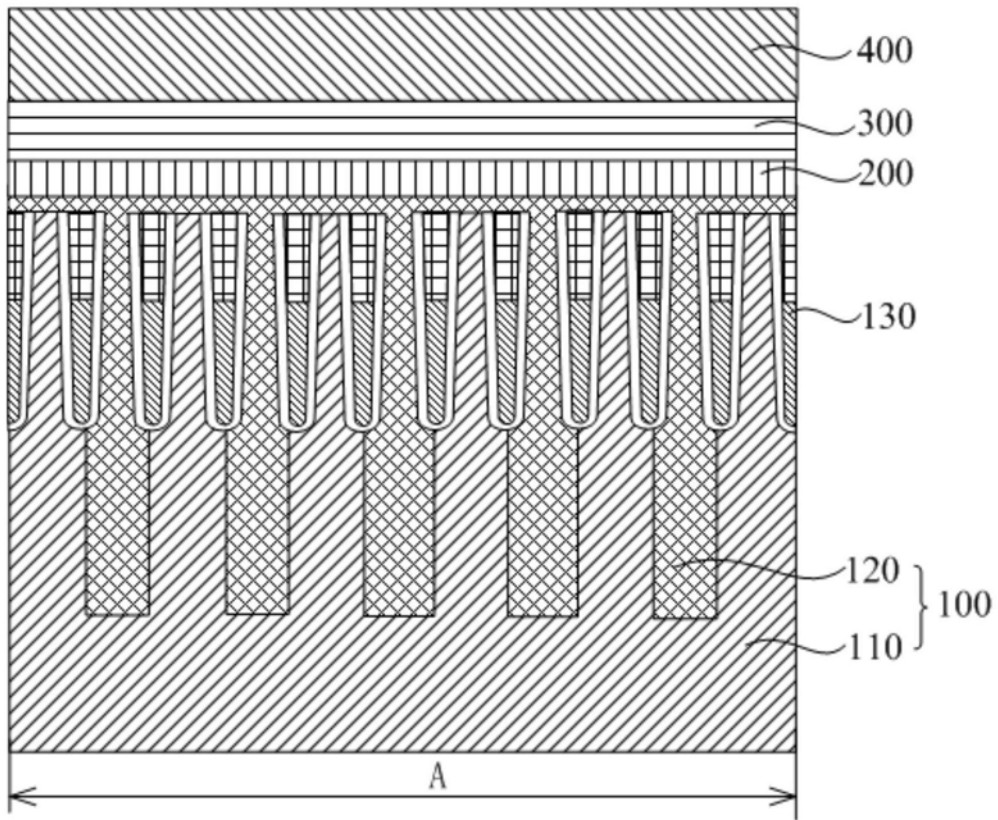


图36

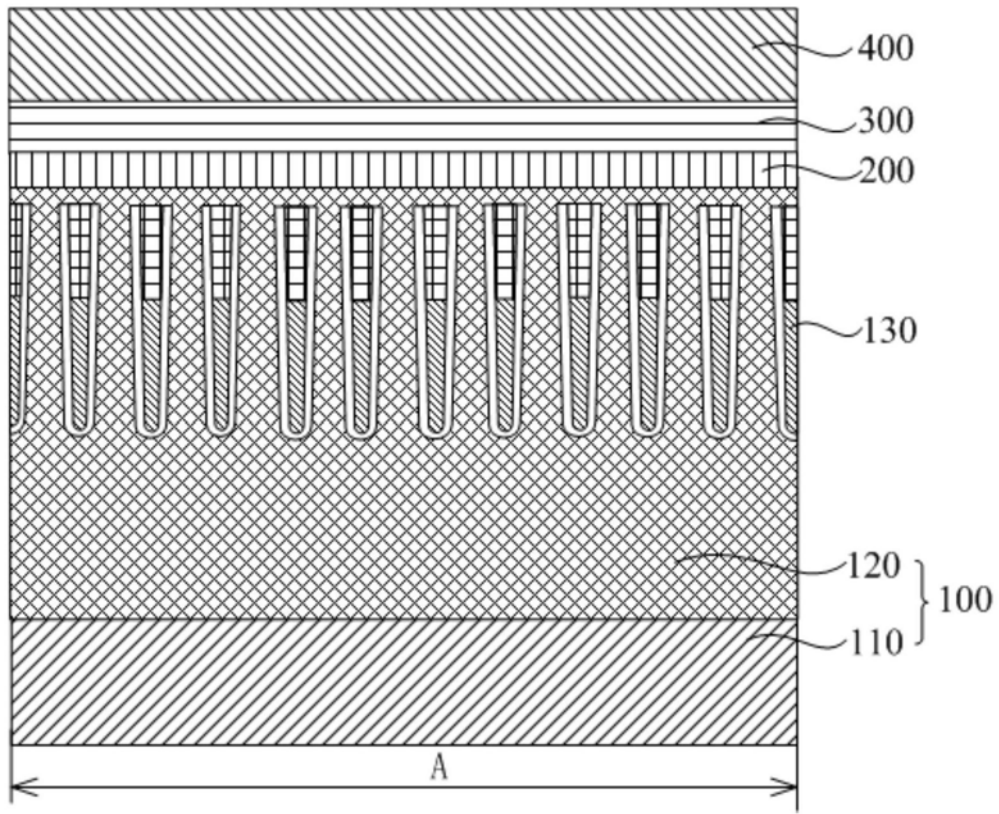


图37

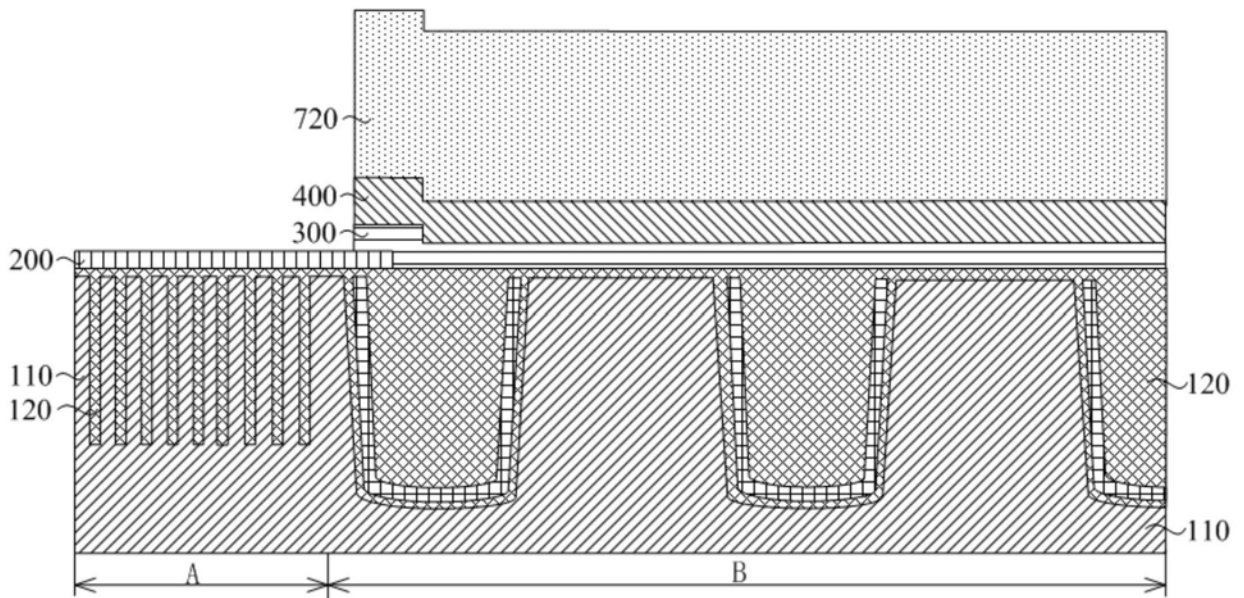


图38

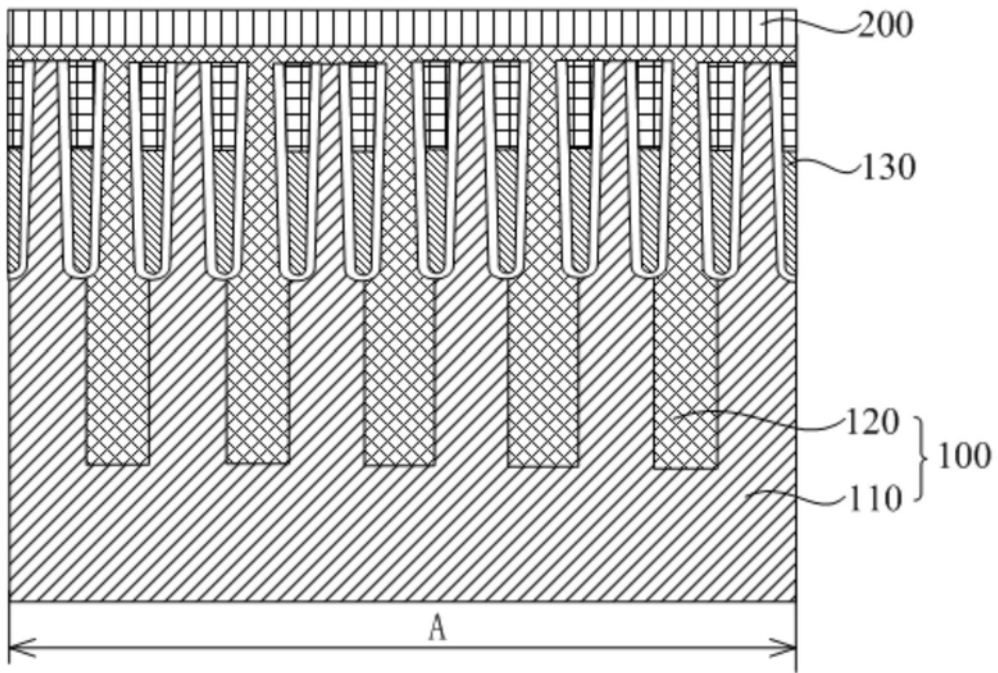


图39

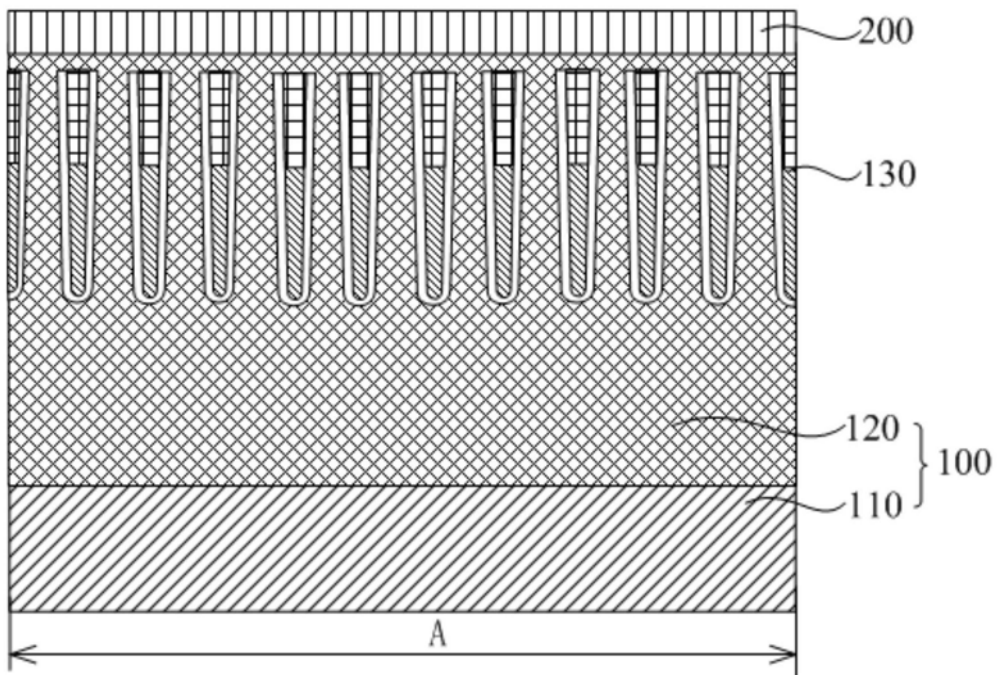


图40

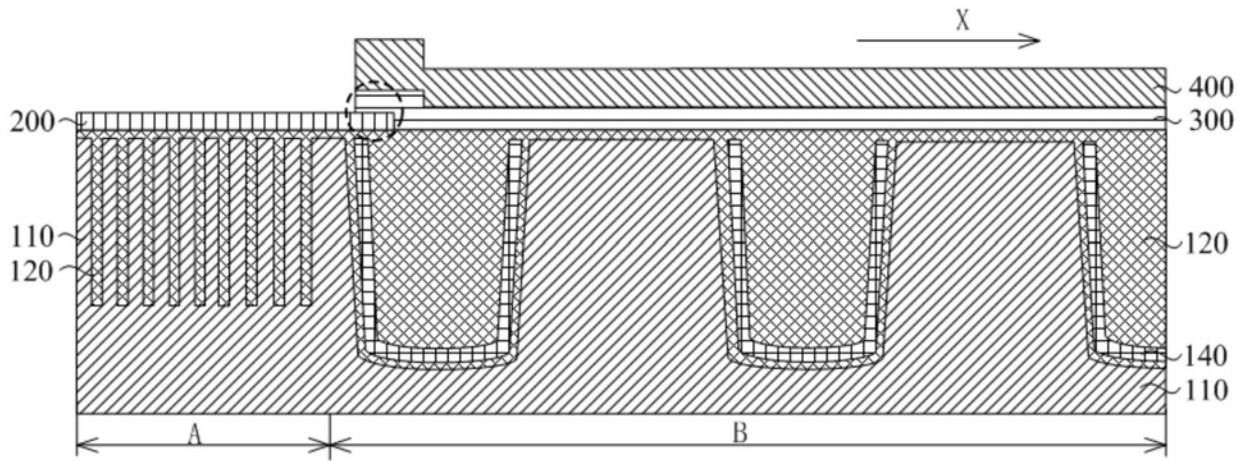


图41

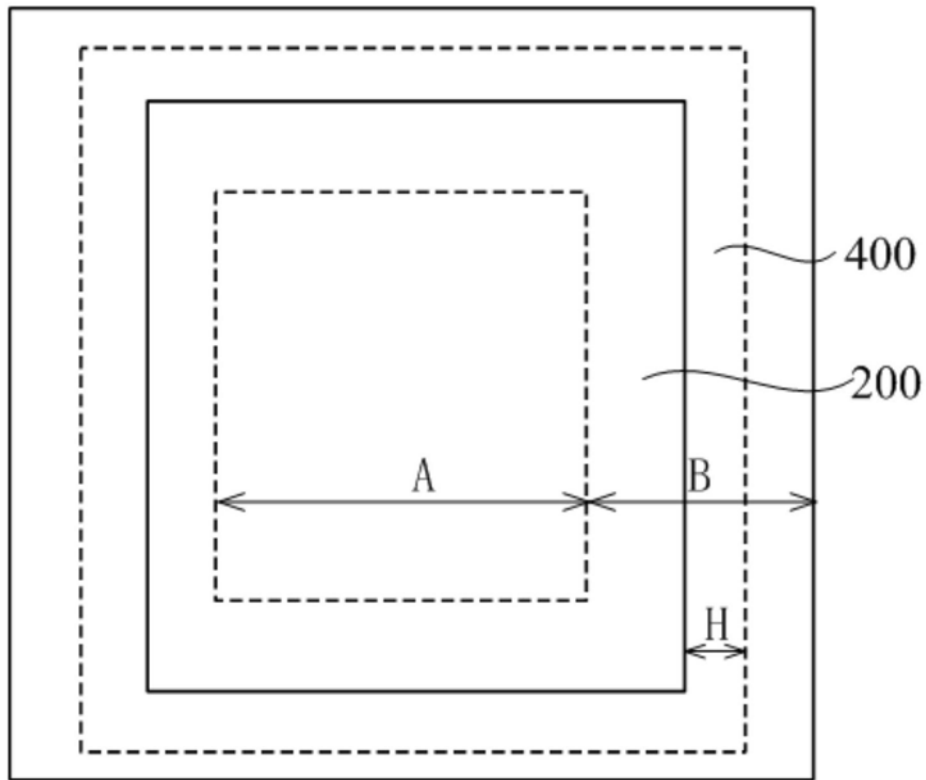


图42

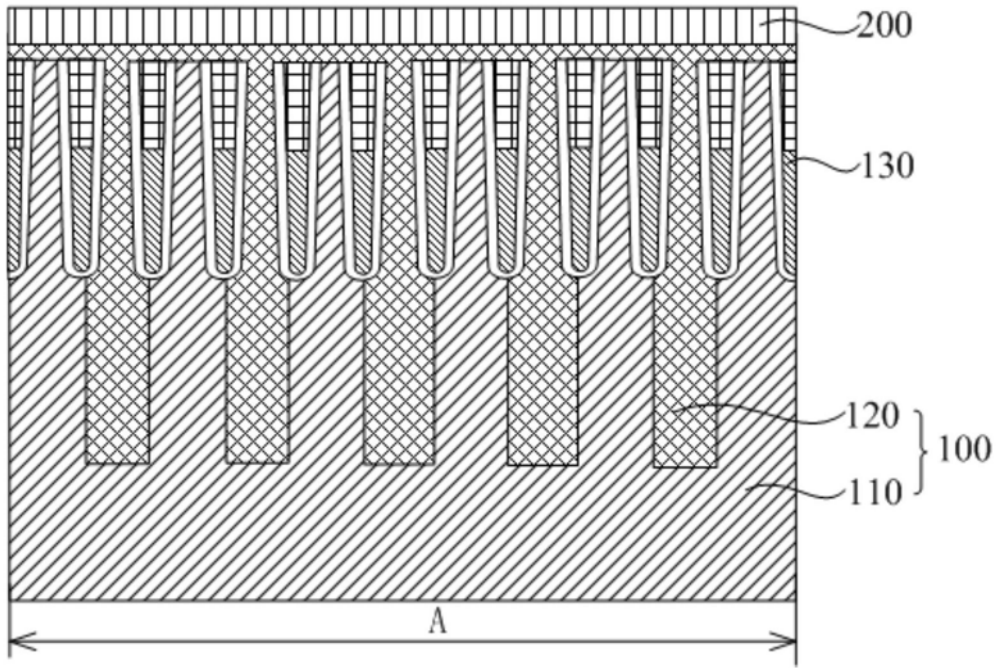


图43

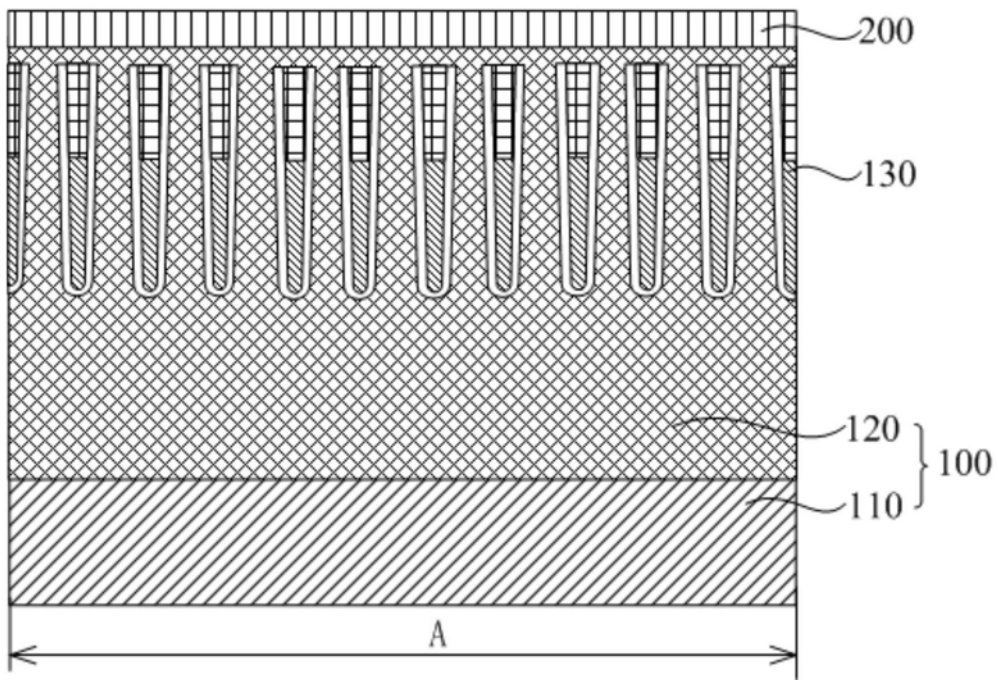


图44

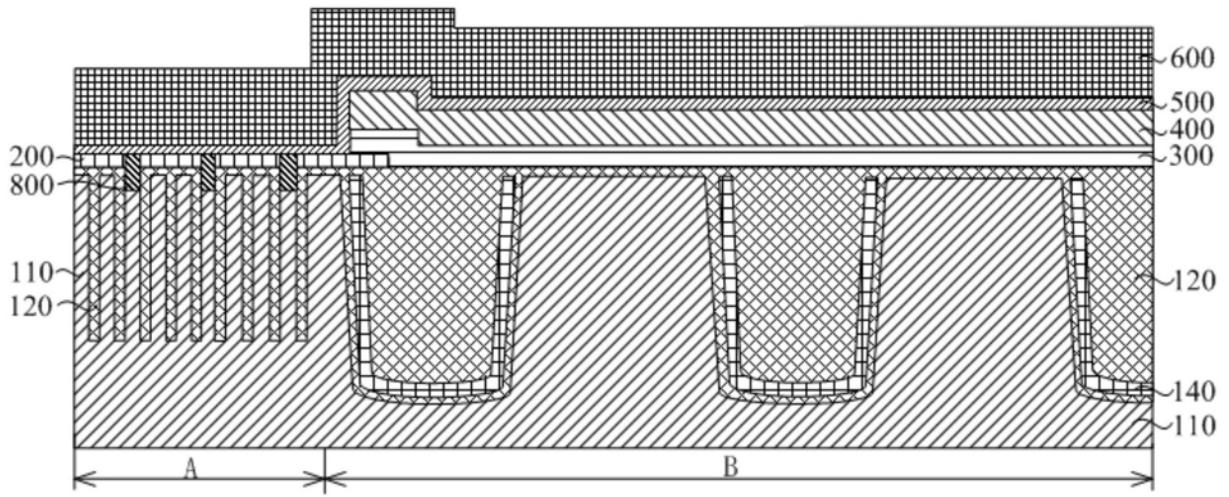


图45

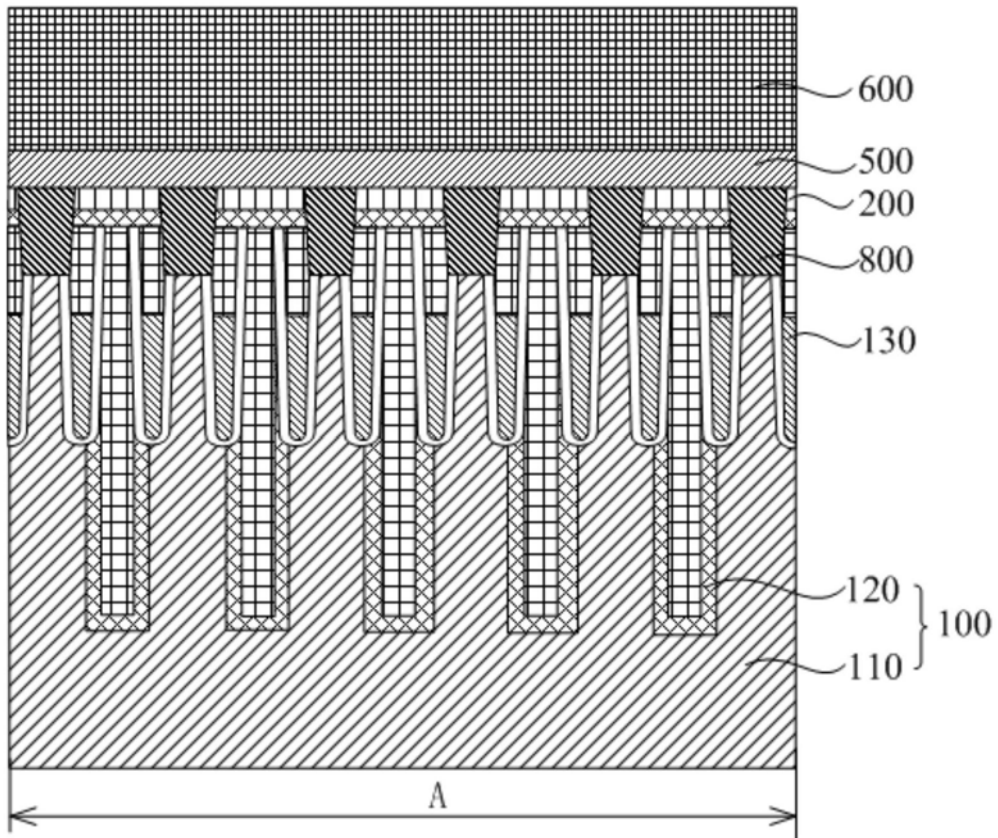


图46

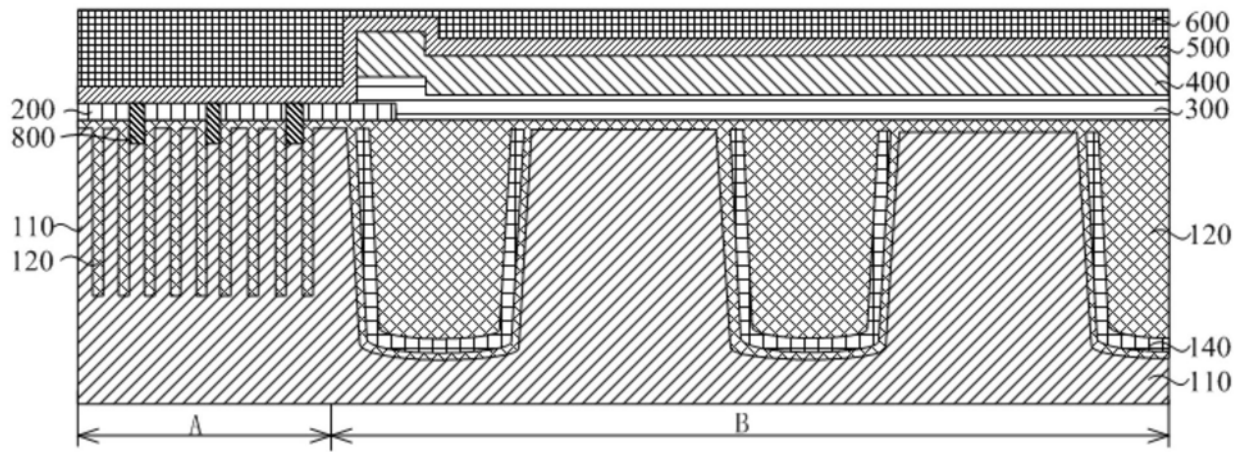


图47

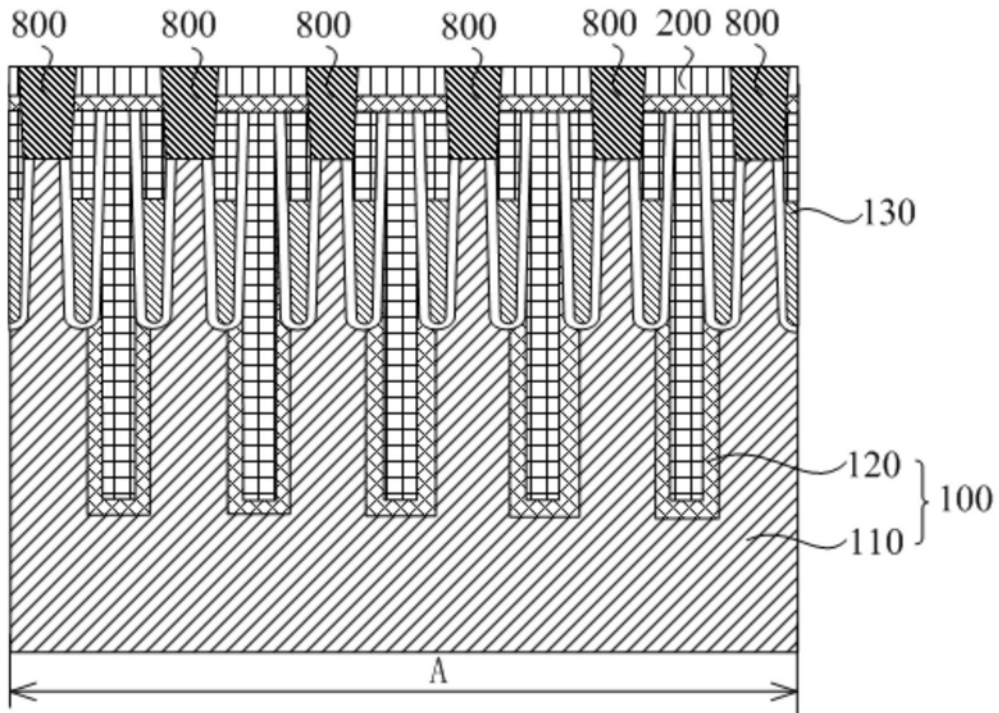


图48

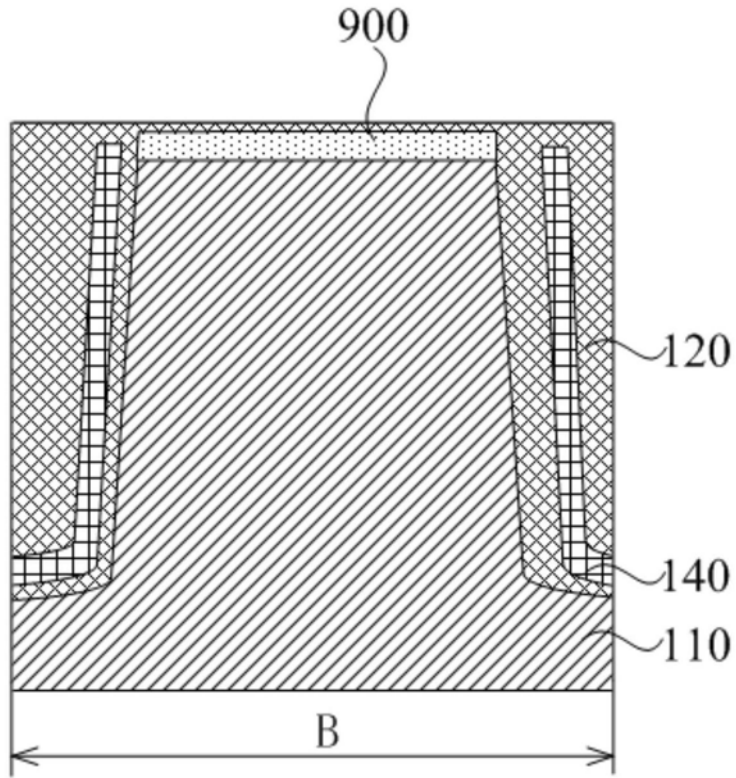


图49