



(10) **DE 10 2010 039 141 B4** 2014.05.08

(12) **Patentschrift**

(21) Aktenzeichen: **10 2010 039 141.7**
 (22) Anmeldetag: **10.08.2010**
 (43) Offenlegungstag: **07.04.2011**
 (45) Veröffentlichungstag
 der Patenterteilung: **08.05.2014**

(51) Int Cl.: **H03K 17/567 (2006.01)**
H03K 17/10 (2006.01)
H03K 19/0175 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2009-224437 29.09.2009 JP

(72) Erfinder:
Yamamoto, Masahiro, Tokyo, JP

(73) Patentinhaber:
Mitsubishi Electric Corp., Tokyo, JP

(56) Ermittelter Stand der Technik:

(74) Vertreter:
PRÜFER & PARTNER GbR, 81479, München, DE

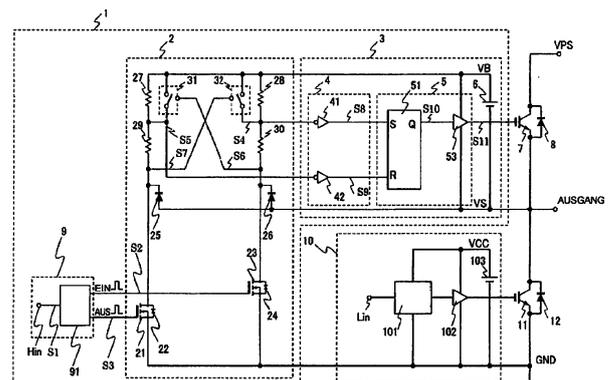
DE	102 22 777	A1
US	2003 / 0 016 054	A1
JP	H09- 172 366	A
JP	2000- 252 809	A

(54) Bezeichnung: **Halbleiterschaltung**

(57) Hauptanspruch: Halbleiterschaltung mit einem ersten Potential als einem gemeinsamen Potential und einem zweiten Potential als einem Referenzpotential, wobei sich das erste Potential von dem zweiten Potential unterscheidet, zum Ansteuern und Regeln einer Halbleiterschalteneinrichtung, die mit dem zweiten Potential gesteuert wird, wobei die Halbleiterschaltung aufweist:

- eine Niveaushiftungsschaltung mit mehreren Ausgabeabschnitten zum Ausgeben eines Hauptbefehlssignals über jeden Ausgabeabschnitt, das ein pulsgeformtes EIN-Befehlssignal oder ein pulsgeformtes AUS-Befehlssignal umfasst, relativ zu dem zweiten Potential als dem Referenzpotential, in Reaktion auf eine Eingabe eines Aktivierungssignals, das ein pulsgeformtes EIN-Signal oder ein pulsgeformtes AUS-Signal umfasst, das relativ zu dem ersten Potential als einem Referenzpotential ist und das die Halbleiterschalteneinrichtung in einen leitfähigen Zustand oder einen nicht leitfähigen Zustand versetzt;
- eine Verriegelungsschaltung, die in Reaktion auf das Hauptbefehlssignal ein Signal ausgibt, um die Halbleiterschalteneinrichtung in ihrem leitfähigen oder nicht leitfähigen Zustand zu halten; und
- eine Niveaushiftungssignallunterdrückungseinrichtung, die dazu dient, wenn ein Signal an einem der Ausgabeabschnitte der Niveaushiftungsschaltung erzeugt wird, zu verhindern, dass ein Signal an dem anderen Ausgabeabschnitt erzeugt wird;
- wobei die Niveaushiftungsschaltung in der Lage ist, an jedem Ausgabeabschnitt in Reaktion auf das diesem eingegebene Aktivierungssignal gleichzeitig erste und zweite niveaushiftete Signale zu erzeugen, die von verschiedenen Spannungsabfällen resultieren;

- wobei das Hauptbefehlssignal ein in der Wellenform modifiziertes Signal ist, das von dem ersten niveaushifteten Signal abgeleitet ist, das von einem kleineren Spannungsabfall resultiert als das zweite niveaushiftete Signal;
- wobei die Niveaushiftungssignallunterdrückungseinrichtung dazu dient, zu verhindern, dass das erste niveaushiftete Signal an einem Ausgabeabschnitt in Reaktion auf das zweite niveaushiftete Signal erzeugt wird, das von dem anderen Ausgabeabschnitt ausgegeben wird;
- wobei die Niveaushiftungsschaltung in jedem Ausgabeabschnitt aufweist:
- einen ersten Lastwiderstand, der das erste niveaushiftete Signal liefert,
- einen zweiten Lastwiderstand, der in Serie mit dem ersten Lastwiderstand verbunden ist und das zweite niveaushiftete Signal liefert, und ...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf Halbleiterschaltungen und insbesondere auf einen Schalteinrichtungssteuerkreis zum Ansteuern und Regeln einer Halbleiterschaltanordnung, in der ein Potential, das sich von einem gemeinsamen Potential unterscheidet, als ein Referenzpotential dient.

[0002] In einer Anwendungsschaltung, wie beispielsweise einem PWM-Umrichter, einem synchronen Kommutationsabwärtswandler sowie einem D-Verstärker, wurde in jüngeren Jahren eine Pegel- oder Niveauverschiebungsschaltung mittels einer integrierten Hochspannungsschaltung als eine Schaltung zum Ansteuern einer Hochspannungsseitenschaltanordnung in zwei Schalteinrichtungen verwendet, die zwischen hohen und niedrigen Potentialen in Serie miteinander geschaltet sind.

[0003] Eine Niveauverschiebungsschaltung dieser Art hat eine Konfiguration derart, dass, um einen Energieverbrauch zu reduzieren, nur wenn ein Signal zwischen extern zugeführten Befehlssignalen auftritt, die dazu verwendet werden, eine Halbleiterschaltanordnung auf der Hochspannungsseite leitfähig oder nicht leitfähig zu machen, ein kurzer EIN- oder AUS-Impuls in der Größenordnung einiger hundert Nanosekunden erzeugt wird und der erzeugte Impuls an den Schalteinrichtungssteuerkreis auf der Hochspannungsseite übertragen wird, wo eine Verriegelungsschaltung die Schalteinrichtung in ihrem EIN- oder AUS-Zustand verriegelt.

[0004] In einer derartigen Niveauverschiebungsschaltung verändert sich ein VS-Potential, welches eine Referenzspannung der Hochspannungsseitenschaltanordnung ist, mit einer Leitung/Nichtleitung der Schalteinrichtung, was in einer Anwendung einer größeren Spannungsveränderung dV/dt auf die Niveauverschiebungsschaltung resultiert. In einigen Fällen bewirkt dieses einen unbeabsichtigten EIN-/AUS-Impuls (Fehlerimpuls). In dieser Hinsicht existiert eine Niveauverschiebungsschaltung, die eine Signaldeaktivierungsschaltung aufweist, die die Erzeugung des Fehlerimpulses verhindert, so dass die Hochspannungsseitenschaltanordnung selbst in solchen Fällen nicht falsch arbeiten kann (vgl. zum Beispiel die ungeprüfte japanische Patentanmeldung Veröffentlichungsnummer 2000-252809, die im Folgenden als Patentdokument 1 bezeichnet wird).

[0005] In der in Patentdokument 1 offenbarten Signaldeaktivierungsschaltung wird ein Ausgangssignal von einem EIN-Impulsabschnitt in der Niveauverschiebungsschaltung durch ein Ausgangssignal von einem AUS-Impulsabschnitt in der Niveauverschiebungsschaltung maskiert, während das Ausgangssignal von dem AUS-Impulsabschnitt in der Niveauverschiebungsschaltung umgekehrt von dem

Ausgangssignal von dem EIN-Impulsabschnitt in der Niveauverschiebungsschaltung maskiert wird. Da die Fehlerimpulse aufgrund der Anwendung der Veränderung dV/dt im Wesentlichen gleichzeitig sowohl an den EIN- wie an den AUS-Impulsabschnitten in der Niveauverschiebungsschaltung auftreten, macht es eine derartige Schaltungskonfiguration möglich, zwischen einem normalen Signal und einem Fehlersignal zu unterscheiden, um dadurch nur das Fehlersignal aufzuheben.

[0006] Aufgrund einer Veränderung in den logischen Schwellenwerten und/oder den Lastwiderständen innerhalb der Niveauverschiebungsschaltung und aufgrund des Einflusses einer Verdrahtungsimpedanz, werden die Fehlerimpulse – die normalerweise gleichzeitig sowohl an den EIN- wie den AUS-Impulsabschnitten in der Niveauverschiebungsschaltung auftreten würden – jedoch in einigen Situationen mit einer gewissen Phasendifferenz erzeugt.

[0007] Zu diesem Zwecke wird in Patentdokument 1 eine Niveauverschiebungsschaltung offenbart, die durch ein vollständiges Maskieren einer Pulsbreite des normalen Signals unter Verwendung derjenigen eines Maskierungssignals nicht falsch arbeitet, obwohl Fehlerimpulse mit der Phasendifferenz erzeugt werden.

[0008] In der oben beschriebenen Niveauverschiebungsschaltung gemäß Patentdokument 1 muss jedoch ein Problem überwunden werden, wie es unten beschrieben wird.

[0009] Damit die maskierende Pulsbreite die Pulsbreite des normalen Signals vollständig maskiert, muss ein Schwellenwert einer NICHT-Schaltung zum Maskieren kleiner gemacht werden als derjenige des normalen Signals. Dieser Unterschied zwischen den Schwellenwerten repräsentiert den Unterschied zwischen der Pulsbreite des normalen Signals und derjenigen für das Maskieren. Somit wird der Unterschied zwischen beiden Breiten vorzugsweise größer gemacht, um ein zuverlässiges Maskieren zu erreichen. Die NICHT-Schaltung verwendet im Allgemeinen einen N-MOS-Transistor sowie einen P-MOS-Transistor, die in Serie miteinander verbunden sind, und ein Verhältnis beider Transistorgrößen wird eingestellt, um einen gewünschten Schwellenwert zu erhalten.

[0010] Wenn der Schwellenwert jedoch verringert werden soll, ohne eine Steuerfähigkeit der maskierenden NICHT-Schaltung zu verschlechtern, muss die Größe des P-MOS-Transistors erhöht werden. Aus diesem Grund kann der Schwellenwert der maskierenden NICHT-Schaltung aufgrund von Flächenbeschränkungen des IC-Chips nicht viel kleiner gemacht werden, wodurch der Fähigkeit, die Fehlerimpulse mit der Phasendifferenz zu entfernen, eine Grenze gesetzt wird.

[0011] Obwohl es offenbart ist, dass eine Vergleichseinrichtung mit einer anderen Referenzspannung anstelle der NICHT-Schaltung verwendet wird, und dass verschiedene Verzögerungsschaltungen individuell auf das normale Signal und das maskierende Signal angewendet werden, um dadurch die Pulsbreite zu verringern oder zu vergrößern, wird des weiteren ein Problem dadurch erzeugt, dass jede dieser offenbarten Techniken die gesamte Schaltung komplexer macht, was somit in einer erhöhten IC-Chip-Größe resultiert.

[0012] Die vorliegende Erfindung ist darauf gerichtet, die oben genannten Probleme zu überwinden, und es ist eine Aufgabe der Erfindung, eine Halbleiterschaltung zu schaffen, die eine Verhinderung einer falschen Funktion aufgrund einer Anwendung einer Spannungsveränderung dV/dt gewährleistet, indem eine einfache Konfiguration der Schaltung verwendet wird.

[0013] Ähnliche Halbleiterschaltungen sind bekannt aus den Dokumenten JP 9-172 366 A, DE 102 22 777 A1, und US 2003/0016054 A1.

[0014] Die oben genannte Aufgabe wird gelöst durch eine Halbleiterschaltung nach Anspruch 1 sowie durch eine Halbleiterschaltung nach Anspruch 5. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0015] Eine Halbleiterschaltung gemäß der vorliegenden Erfindung weist ein erstes Potential als ein gemeinsames Potential und ein zweites Potential als ein Referenzpotential auf, wobei sich das erste Potential von dem zweiten Potential unterscheidet, um eine Halbleiterschalteneinrichtung anzusteuern und zu regeln, die mit dem zweiten Potential gesteuert wird. Die Halbleiterschaltung weist auf: eine Pegel- oder Niveaueverschiebungsschaltung, die mehrere Ausgabeabschnitte aufweist, um über jeden Ausgabeabschnitt ein Hauptbefehlssignal auszugeben, das ein pulsgeformtes EIN-Befehlssignal oder ein pulsgeformtes AUS-Befehlssignal umfasst, relativ zu dem zweiten Potential als dem Referenzpotential, in Reaktion auf eine Eingabe eines Aktivierungssignals, das ein pulsgeformtes EIN-Signal oder ein pulsgeformtes AUS-Signal umfasst, das relativ zu dem ersten Potential als einem Referenzpotential ist und das die Halbleiterschalteneinrichtung in einen leitfähigen Zustand oder einen nicht leitfähigen Zustand versetzt; eine Verriegelungsschaltung, die in Reaktion auf das Hauptbefehlssignal ein Signal ausgibt, um die Halbleiterschalteneinrichtung in ihrem leitfähigen oder nicht leitfähigen Zustand zu halten; und eine Pegel- oder Niveaueverschiebungsschaltung, die dazu dient, wenn ein Signal an einem der Ausgabeabschnitte der Niveaueverschiebungsschaltung erzeugt wird, zu verhindern, dass ein Signal an dem anderen Ausgabeabschnitt erzeugt

wird. Die Halbleiterschaltung gemäß der vorliegenden Erfindung weist im übrigen die weiteren Merkmale gemäß Anspruch 1 oder alternativ die weiteren Merkmale gemäß Anspruch 5 auf.

[0016] Die Halbleiterschaltung gemäß der vorliegenden Erfindung dient dazu, wenn ein Signal an einem der Ausgabeabschnitte zum Ausgeben eines EIN-Signals und eines AUS-Signals (im Folgenden "Niveaueverschiebungsschaltungs-EIN-Abschnitt" und "Niveaueverschiebungsschaltungs-AUS-Abschnitt" genannt) in der Niveaueverschiebungsschaltung erzeugt wird, zu verhindern, dass ein Signal an dem anderen Ausgabeabschnitt erzeugt wird. Somit wird theoretisch kein Fehlersignal erzeugt, selbst wenn die Halbleiterschaltung einem vorübergehenden Spannungsrauschen ausgesetzt ist, und darüber hinaus wird kein Fehlersignal erzeugt, selbst wenn es eine Veränderung in dem Schaltungskoeffizienten zwischen den Niveaueverschiebungsschaltungs-EIN- und -AUS-Abschnitten gibt, was die Unterdrückung einer falschen Funktion der Halbleiterschaltung gewährleistet. Des weiteren wird die vorhergehende Funktion durch eine einfache Schaltung erreicht, wodurch eine erhöhte IC-Chip-Größe verhindert wird. Diese und weitere Merkmale, Vorteile und Gegenstände der vorliegenden Erfindung ergeben sich für den Fachmann des weiteren unter Bezugnahme auf die nachfolgenden Zeichnungen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0017] Fig. 1 ist ein Schaltungsdiagramm, das eine Konfiguration der Ausführungsform 1 gemäß der vorliegenden Erfindung darstellt;

[0018] Fig. 2 ist ein Zeitdiagramm, das einen Betrieb der Ausführungsform 1 gemäß der vorliegenden Erfindung darstellt;

[0019] Fig. 3 ist ein Schaltungsdiagramm, das eine Konfiguration der Ausführungsform 2 gemäß der vorliegenden Erfindung darstellt;

[0020] Fig. 4 ist ein Schaltungsdiagramm, das eine Konfiguration der Ausführungsform 3 gemäß der vorliegenden Erfindung darstellt;

[0021] Fig. 5 ist ein Schaltungsdiagramm, das eine Konfiguration der Ausführungsform 4 gemäß der vorliegenden Erfindung darstellt; und

[0022] Fig. 6 ist ein Schaltungsdiagramm, das eine Konfiguration der Ausführungsform 5 gemäß der vorliegenden Erfindung darstellt.

BESCHREIBUNG DER BEVORZUGTEN
AUSFÜHRUNGSFORMEN

Ausführungsform 1

[0023] Fig. 1 zeigt eine Ausführungsform einer Halbleiterschaltung gemäß der vorliegenden Erfindung. Unter Bezugnahme auf Fig. 1 sind Halbleiterschalt-einrichtungen **7** und **11**, wie beispielsweise IGBTs, in Serie zwischen einem Hauptstromquellenpotential GND, das als ein erstes Potential oder das gemeinsame Potential wirkt, und einem Hauptstromquellenpotential VPS eines hohen Potentials geschaltet, was eine Halb-Brücken-Umrichterschaltung bildet. Zusätzlich sind Rücklauf-(oder Freilauf-)Dioden **8** und **12** antiparallel zu den Halbleiterschalt-einrichtungen **7** bzw. **11** geschaltet, und eine nicht dargestellte Last kann an einem Anschluss – d. h. einem Anschluss AUSGANG – zwischen den Halbleiterschalt-einrichtungen **7** und **11** angeschlossen sein.

[0024] Unter Bezugnahme auf Fig. 1 wird die Halbleiterschalt-einrichtung **7** als Hochspannungsseitenschalt-einrichtung bezeichnet, da sie Schaltvorgänge zwischen einem Potential an dem Anschluss AUSGANG – dem zweiten Potential –, das als ein Referenzpotential dient, und der Hauptstromquelle VPS des hohen Potentials ausführt.

[0025] Des weiteren wird eine Halbleiterschalt-einrichtung **11** als Niederspannungsseitenschalt-einrichtung bezeichnet, da sie Schaltvorgänge zwischen einem Hauptstromquellenpotential GND, das als das Referenzpotential dient, und dem Potential an dem Anschluss AUSGANG ausführt.

[0026] Somit ist ein in Fig. 1 dargestellter Schalt-einrichtungssteuerkreis unterteilt in einen Schalt-einrichtungssteuerkreis **1** auf der Hochspannungsseite und einen Schalt-einrichtungssteuerkreis **10** auf der Niederspannungsseite.

[0027] Darüber hinaus ist der Steuerkreis **1** der Hochspannungsseitenschalt-einrichtung unterteilt in einen Niederspannungsschaltungsabschnitt **9**, in dem das Hauptstromquellenpotential GND des niedrigen Potentials als das Referenzpotential dient, einen Hochspannungsschaltungsabschnitt **3**, in dem der Anschluss AUSGANG der Schalt-einrichtung als das Referenzpotential dient und eine gleitende Stromquelle **6**, deren negative Elektrode mit diesem Referenzpotential verbunden ist, als eine Stromquelle dient, sowie eine Pegel- oder Niveaushiftschaltung **2**, die ein Signal von dem Niederspannungsschaltungsabschnitt **9** an den Hochspannungsschaltungsabschnitt **3** überträgt.

[0028] Ein Eingangssignal S1, das von einem externen Mikroprozessor oder dergleichen zur Verfügung gestellt wird und das als ein Befehl dient,

die Hochspannungsseitenschalt-einrichtung leitfähig oder nicht leitfähig zu machen, wird an einen Eingangsanschluss Hin des Niederspannungsschaltungsabschnitts **9** angelegt. Das Eingangssignal S1 ist im Allgemeinen ein digitaler Wert, der ein hohes (H) Niveau oder ein niedriges (L) Niveau hat, das relativ zu dem GND erzeugt wird, das als ein Referenzpotential dient. In einem Beispiel der vorliegenden Erfindung entspricht das H-Niveau einem Leitungsbefehl und das L-Niveau einem Nichtleitungsbefehl. Das Eingangssignal S1 wird in eine Impulserzeugungsschaltung **91** eingegeben, von der ein EIN-Impulssignal S2 und ein AUS-Impulssignal S3 erzeugt werden. Das Signal S2 ist ein impulsgeformtes EIN-Signal, das in Reaktion auf ein Ansteigen des Eingangssignals S1 erzeugt wird, während das Signal S3 ein impulsgeformtes AUS-Signal ist, das in Reaktion auf ein Abfallen des Eingangssignals S1 erzeugt wird. Das EIN-Impulssignal S2 und das AUS-Impulssignal S3 werden kollektiv als Aktivierungssignale bezeichnet.

[0029] Als nächstes wird unten eine Konfiguration einer Niveaushiftschaltung beschrieben, die die EIN- und AUS-Impulssignale S2 und S3 empfängt. Das EIN-Impulssignal S2 wird an ein Gate eines EIN-Impuls-HNMOS-Transistors **23** eingegeben, der eine erste Hochspannungshalbleiterschalt-einrichtung ist, um den HNMOS-Transistor **23** anzusteuern. Gleichmaßen wird das AUS-Impulssignal S3 an ein Gate eines AUS-Impuls-HNMOS-Transistors **21** eingegeben, der eine zweite Hochspannungshalbleiterschalt-einrichtung ist, um den HNMOS-Transistor **21** anzusteuern.

[0030] Erste Enden von ersten Lastwiderständen **27** und **28** sind mit einer positiven Elektrode (VB-Potential) der gleitenden Stromquelle **6** der Hochspannungsseite verbunden. Die anderen Enden der ersten Lastwiderstände **27** und **28** sind des weiteren mit ersten Enden von zweiten Lastwiderständen **29** und **30** verbunden und außerdem mit Eingangsenden invertierter Logikeinrichtungen **41** bzw. **42**.

[0031] Schalter **31** und **32**, die als Kurzschluss-einrichtungen dienen, sind des weiteren parallel zu den ersten Lastwiderständen **27** bzw. **28** geschaltet. Die Kurzschluss-einrichtung arbeitet als Niveaushiftsignalunterdrückungseinrichtung. Jeder der Schalter **31** und **32** hat einen Steuerungsanschluss. Bei einem Anlegen eines Niedrigniveausignals an den Steuerungsanschluss wird eine Niedrigimpedanzbahn (Kurzschlussbahn) zwischen den Hauptelektroden gebildet, während bei einem Anlegen eines Hochniveausignals daran eine Hochimpedanzbahn (offene Bahn) zwischen ihnen gebildet wird.

[0032] Die anderen Enden der zweiten Lastwiderstände **29** und **30** sind mit den Drains der HN-

MOS-Transistoren **21** bzw. **23** verbunden. Ein Anschlusspunkt zwischen dem zweiten Lastwiderstand **30** und der Drain des HNMOS-Transistors **23**, die beide den Niveauverschiebungsschaltungs-EIN-Abschnitt bilden, ist darüber hinaus mit dem Schalter **31** verbunden, der die Kurzschlusseinrichtung in dem Niveauverschiebungsschaltungs-AUS-Abschnitt ist. Gleichermaßen ist ein Anschlusspunkt zwischen dem zweiten Lastwiderstand **29** und der Drain des HNMOS-Transistors **21**, die beide den Niveauverschiebungsschaltungs-AUS-Abschnitt bilden, mit dem Schalter **32** verbunden, der die Kurzschlusseinrichtung in dem Niveauverschiebungsschaltungs-EIN-Abschnitt ist.

[0033] Zusätzlich ist die negative Elektrode (VS-Potential) der gleitenden Stromquelle **6** der Hochspannungsseite mit Anoden von Dioden **25** und **26** verbunden, deren Kathoden mit den Drains der HNMOS-Transistoren **21** bzw. **23** verbunden sind.

[0034] Mit dieser Konfiguration kommen die HNMOS-Transistoren **23** und **21** in Reaktion auf das EIN-Impulssignal S2 bzw. das AUS-Impulssignal S3 in einen Leitungszustand, wodurch bewirkt wird, dass pulsgeformte Spannungsabfälle über die ersten Lastwiderstände **28** und **27** auftreten, was erste niveaushobene Signale S4 bzw. S5 erzeugt.

[0035] Des Weiteren treten die pulsgeformten Spannungsabfälle auch gleichzeitig über die zweiten Lastwiderstände **30** und **29** auf, die in Serie zu den ersten Lastwiderständen **28** und **27** geschaltet sind, was zweite niveaushobene Signale S6 und S7 bewirkt, die, wie zuvor beschrieben, in die Steuerungsanschlüsse der Schalter **31** bzw. **32** eingegeben werden.

[0036] Als nächstes wird unten die Konfiguration des Hochspannungsschaltungsabschnitts **3** beschrieben, der die ersten niveaushobenen Signale S4 und S5 empfängt. Die erste invertierte Logikeinrichtung **41**, die ein erstes niveaushobenes Signal S4 von dem Niveauverschiebungsschaltungs-EIN-Abschnitt empfängt, gibt ein pulsgeformtes EIN-Befehlssignal S8 aus. Gleichermaßen gibt die zweite invertierte Logikeinrichtung **42**, die ein erstes niveaushobenes Signal S5 von dem Niveauverschiebungsschaltungs-AUS-Abschnitt empfängt, ein pulsgeformtes AUS-Befehlssignal S9 aus. Die EIN- und AUS-Befehlssignale S8 und S9 werden gemeinschaftlich als Hauptbefehlssignale bezeichnet.

[0037] Das EIN-Befehlssignal S8 und das AUS-Befehlssignal S9 werden in einen Einstellanschluss bzw. einen Rücksetzanschluss einer SR-Verriegelung **51** eingegeben, wodurch die Schalteinrichtung **7** der Hochspannungsseite zwischen ihren leitenden und nicht leitenden Zuständen in Reaktion auf die pulsgeformten Hauptbefehlssignale umgeschal-

tet wird, wobei der veränderte Zustand beibehalten wird. Ein Ausgangssignal S10 von einem Q-Ausgang der SR-Verriegelung **51** wird einem Eingangsanschluss eines Pufferverstärkers **53** zugeführt, der den Strom auf ein Niveau verstärkt, das ausreicht, um die Schalteinrichtung **7** der Hochspannungsseite anzusteuern.

[0038] Logische Schwellenwerte der Schalter **31** und **32**, die als die Kurzschlusseinrichtungen dienen, werden vorzugsweise so eingestellt, dass sie gleich sind. Darüber hinaus wird es bevorzugt, dass logische Schwellenwerte der ersten und zweiten invertierten Logikeinrichtungen **41** und **42** so eingestellt werden, dass sie gleich sind. Darüber hinaus werden die logischen Schwellenwerte der Schalter **31** und **32** vorzugsweise so eingestellt, dass sie kleiner sind als diejenigen der ersten invertierten Logikeinrichtung **41** und der zweiten invertierten Logikeinrichtung **42**.

[0039] Der Steuerkreis **10** der Niederspannungsseitenschalteinrichtung ist eine Schaltung, die eine Stromquelle **103** der Niederspannungsseite als Stromquelle verwendet, um die Niederspannungsseitenschalteinrichtung **11** anzusteuern. Nachdem ein Steuersignal, das extern an einen Eingangsanschluss Lin angelegt wird, durch eine Verzögerungsschaltung **101** verzögert worden ist, so dass seine Verzögerungszeit im Wesentlichen gleich einer Übertragungsverzögerungszeit in dem Steuerkreis **1** der Hochspannungsseitenschalteinrichtung gemacht wird, wird das verzögerte Steuersignal durch einen Pufferverstärker **102** auf ein Niveau stromverstärkt, das ausreicht, die Niederspannungsseitenschalteinrichtung **11** anzusteuern.

[0040] Als nächstes wird der Betrieb des Steuerkreises **1** der Hochspannungsseitenschalteinrichtung gemäß Ausführungsform 1 unter Bezugnahme auf ein in Fig. 2 dargestelltes Zeitdiagramm beschrieben.

[0041] Wie in der Beschreibung der herkömmlichen Technik, ist in diesem Fall die Beschreibung für den Fall vorgesehen, in dem die Hochspannungsseitenschalteinrichtung **7** in einen Leitungszustand kommt, d. h. ein Leitungsbefehl, der das extern zugeführte Eingangssignal S1 verwendet, wird zu einer Zeit t_0 eingegeben. Die individuelle Arbeitsweise wird in einer chronologischen Reihenfolge beschrieben. Aus einer Symmetrie der Schaltung ergibt es sich hier, dass das Gleiche auch für den Fall gilt, in dem die Hochspannungsseitenschalteinrichtung **7** nicht leitend wird.

Zeiten t_0 – t_5 :

[0042] Wie zuvor beschrieben wurde, soll hier das hohe Niveau des extern zugeführten Eingangssignals S1 als ein Leitungsbefehl fungieren, um die Hochspannungsseitenschalteinrichtung **7** leitend zu

machen, und das niedrige Niveau des Eingangssignals S1 soll als ein Nichtleitungsbehl fungieren, um die Hochspannungsseitenschaltleinrichtung 7 nicht leitend zu machen.

[0043] In Synchronisation mit dem Anstieg des Eingangssignals S1 wird ein einziger positiver Impuls, der als das EIN-Impulssignal S2 dient, von der Impulserzeugungsschaltung 91 ausgegeben (Zeiten t_0-t_3). In der Niveauverschiebungsschaltung 2, die das EIN-Impulssignal S2 empfangen hat, tritt ein Spannungsabfall über den ersten Lastwiderstand 28 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt auf, was einen einzigen negativen Impuls bewirkt, der als das erste niveauverschobene Signal S4 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt dient.

[0044] Die erste invertierte Logikeinrichtung 41, die das erste niveauverschobene Signal S4 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt empfängt, erzeugt des weiteren einen positiven Impuls, der als das EIN-Befehlssignal S8 dient. Unter der Annahme, dass der logische Schwellenwert der ersten invertierten Logikeinrichtung 41 V_{th1} ist, entspricht eine Erzeugungszeitdauer T2 dieses Impulses einer Zeitdauer, in der das erste niveauverschobene Signal S4 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt unter den Wert V_{th1} fällt, d. h. Zeiten t_2-t_4 .

[0045] Gleichzeitig tritt der Spannungsabfall auch über dem zweiten Lastwiderstand 30 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt auf, was ebenfalls einen einzigen negativen Impuls bewirkt, der als das zweite niveauverschobene Signal S6 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt dient. Dieses bewirkt einen Kurzschluss des Schalters 31, der die Kurzschlusseinrichtung in dem Niveauverschiebungsschaltungs-AUS-Abschnitt ist, wodurch wiederum bewirkt wird, dass das erste niveauverschobene Signal S5 in dem hohen Niveau bleibt, d. h. ein Niveauverschiebungsvorgang in dem Niveauverschiebungsschaltungs-AUS-Abschnitt wird unterdrückt.

[0046] Da eine Menge an Strom, die durch die Hauptelektroden des Schalters 31 in einem Kurzschlusszustand fließt, durch den zweiten Lastwiderstand 29 in dem Niveauverschiebungsschaltungs-AUS-Abschnitt begrenzt ist, fließt nicht eine übermäßige Menge an Strom, die Beschädigungen der Halbleiterschaltung bewirken kann.

[0047] Unter der Annahme, dass der logische Schwellenwert des Steuerungsanschlusses des Schalters 31 gleich V_{th2} ist, entspricht hier eine Zeitdauer T1, während der der Schalter 31 kurzgeschlossen wird, einer Zeitdauer, in der das zweite niveauverschobene Signal S6 in dem Niveauverschie-

bungsschaltungs-EIN-Abschnitt unter den Wert V_{th2} fällt, d. h. Zeiten t_1-t_5 .

[0048] Das zweite niveauverschobene Signal S6 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt ist eine Summe der Beträge der Spannungsabfälle über den ersten und den zweiten Lastwiderstand 28 und 30 in dem Niveauverschiebungsschaltungs-EIN-Abschnitt, so dass das zweite niveauverschobene Signal S6 einen größeren Betrag an Spannungsveränderung pro Einheitszeit aufweist als das erste niveauverschobene Signal S4.

[0049] Eine Zeitdauer, während der der Schalter 31 kurzgeschlossen ist – das heißt, die Zeitdauer T1, in der der Niveauverschiebungsvorgang in dem Niveauverschiebungsschaltungs-AUS-Abschnitt unterdrückt ist – maskiert somit vollständig die Zeitdauer T2, in der das EIN-Befehlssignal S8 gültig ist.

[0050] Wenn darüber hinaus angenommen wird, dass der logische Schwellenwert des Steuerungsanschlusses des Schalters 31 gleich V_{th2} ist und so eingestellt ist, dass er kleiner als der logische Schwellenwert V_{th1} der ersten invertierten Logikeinrichtung 41 ist, dann entwickelt sich eine weitere Differenz zwischen beiden Zeitdauern, wodurch ein Vorteil einer Maskierung mit größerer Zuverlässigkeit geschaffen wird.

[0051] Da nur das EIN-Befehlssignal S8, das als das Einstellsignal dient, in die SR-Verriegelungsschaltung 51 eingegeben wird, und das AUS-Befehlssignal S9, das als das Rücksetzsignal dient, dort nicht eingegeben wird, wird der Q-Ausgang S10 hoch verriegelt, um die Schalteinrichtung 7 der Hochspannungsseite durch den Pufferverstärker 53 in den leitenden Zustand zu steuern.

Zeiten t_6-t_{11} :

[0052] Als nächstes wird der Betrieb beschrieben, der auftritt, wenn ein Spannungsrauschen mit vorübergehenden Spannungsveränderungen des VS-Potentials und des VB-Potentials auftritt.

[0053] Die Leitung der Schalteinrichtung 7 der Hochspannungsseite bewirkt, dass die AUSGANG-Anschlussspannung, d. h. das VS-Potential, vorübergehend ansteigt, und dass außerdem das VB-Potential über die gleitende Stromquelle 6 vorübergehend ansteigt. Dieser vorübergehende Potentialanstieg (dV/dt) wird an Parasitärtdioden 22 und 24 angelegt, die invertiert vorgespannt und antiparallel mit den HNMOS-Transistoren 21 bzw. 23 gekoppelt sind. In diesem Fall fließt ein Verschiebestrom durch jede der Parasitärtdioden 22 und 24 von ihrer Kathode zu ihrer Anode, was außerdem unbeabsichtigte Spannungsabfälle (Fehlerimpulse) über die ersten und zweiten Lastwiderstände 27, 28, 29 und 30 bewirkt.

[0054] In Fig. 2 sind die Fehlerimpulse in den Zeiten t_6 – t_{11} in den ersten niveaushifteten Signalen S4 und S5 durch gestrichelte Wellenformlinien dargestellt. Ohne die Stromunterdrückungseinrichtung der Niveaushiftschaltung der Ausführungsform 1 bewirken diese Fehlerimpulse, dass Fehlerbefehlssignale, die durch die gestrichelte Wellenformlinie dargestellt sind, für die EIN- und AUS-Befehlssignale S8 und S9 erzeugt werden. Die Gegenwart dieser Fehlerbefehlssignale gibt an, dass das Einstellsignal und die Rücksetzsignale gleichzeitig in die SR-Verriegelung 51 eingegeben werden, was ein verbotener Zustand für die Verriegelung ist, was somit darin resultiert, dass der Q-Ausgang S10 von der SR-Verriegelung 51 instabil ist. Insbesondere ist er beträchtlich instabil, wenn die Fehlerimpulse aufgrund einer Veränderung in der Schaltungskonstanten eine gewisse Phasendifferenz haben.

[0055] Da die in der Ausführungsform 1 gemäß der Erfindung beschriebene Niveaushiftsignalunterdrückungseinrichtung jedoch bewirkt, dass die Kurzschlussrichtungen in den Niveaushiftschaltungs-EIN- und -AUS-Abschnitten, d. h. die Schalter 31 und 32, kurzgeschlossen werden, werden die beiden ersten niveaushifteten Signale S4 und S5 in den Niveaushiftschaltungs-EIN- und -AUS-Abschnitten schließlich nicht als gültige Signale erzeugt, wodurch der oben beschriebene instabile Zustand vermieden wird.

[0056] In kurzen Zeitperioden zwischen t_6 und t_7 sowie t_{10} und t_{11} , in denen die zweiten niveaushifteten Signale S6 und S7 oberhalb der logischen Schwellenwerte der Schalter 31 bzw. 32 liegen, werden Impulse mit extrem niedriger Amplitude für die ersten niveaushifteten Signale S4 und S5 erzeugt. Diese extrem niedrigen Impulse werden jedoch herausgefiltert, indem ausreichend große logische Schwellenwerte für die ersten und zweiten invertierten Logikeinrichtungen 41 und 42 eingestellt werden, wodurch sich somit kein Problem ergibt.

[0057] Wie zuvor beschrieben wurde, wird die Zeitdauer, während der die Schalter 31 und 32 kurzgeschlossen sind, so eingestellt, dass sie länger ist als diejenige möglicher Fehlerimpulse, und um die Fehlerimpulse vollständig zu maskieren, wodurch der Fehlerimpuls mit der Phasendifferenz außerdem wirksam daran gehindert wird, erzeugt zu werden.

[0058] In der Zeitdauer, während der der Verschiebungsstrom fließt, fließt der durch die Schalter 31 und 32 fließende Kurzschlussstrom durch die zweiten Lastwiderstände 29 und 30, über die ein Spannungsabfall auftritt. Somit sind die zweiten niveaushifteten Signale S7 und S6 gültig, was bewirkt, dass die Schalter 31 und 32 geschlossen bleiben. Wenn die Anwendung der Spannungsveränderung dV/dt gestoppt wird, die die Erzeugung des Verschiebe-

stroms bewirkt, fließt der Verschiebestrom nicht, und somit werden die Spannungsabfälle über die zweiten Lastwiderstände 29 und 30 nicht auftreten, wodurch bewirkt wird, dass sich die Schalter 31 und 32 öffnen, was die Schaltung in einen Zustand zurückführt, der den Niveaushiftbetrieb wieder gestattet.

Ausführungsform 2

[0059] Fig. 3 zeigt eine Halbleiterschaltung gemäß Ausführungsform 2 der vorliegenden Erfindung. Komponenten und Signale, die die gleichen wie diejenigen in Ausführungsform 1 sind, tragen im Folgenden die gleichen Bezugszeichen, und ihre Beschreibung ist nicht nochmals erforderlich.

[0060] In der vorliegenden Ausführungsform werden analoge Schalter 33 und 34 als ein spezielles Beispiel für den Schalter verwendet, der als die in Ausführungsform 1 beschriebene Kurzschlussrichtung dient. Dieses ermöglicht eine schnelle und genaue Steuerung des Kurzschlusses und der offenen Schaltung.

Ausführungsform 3

[0061] Fig. 4 zeigt eine Halbleiterschaltung gemäß Ausführungsform 3 der vorliegenden Erfindung. In der vorliegenden Ausführungsform werden Pch MOS-Transistoren 35 und 36 als ein spezielles Beispiel für den Schalter verwendet, der als die in Ausführungsform 1 beschriebene Kurzschlussrichtung dient. Die Verwendung der Pch MOS-Transistoren, die durch einen Standard-CMOS-Prozess konfigurierbar sind, ermöglicht eine Verhinderung einer Steigerung der Chipgröße der Halbleiterschaltung. Da der Schwellenwert des Pch MOS-Transistors in einem typischen Beispiel ungefähr 1 Volt beträgt, ist es des Weiteren möglich, eine Ausführungsformschaltung leicht zu implementieren, die in Ausführungsform 1 als bevorzugt beschrieben wurde, in der die logischen Schwellenwerte der Kurzschlussrichtungen so eingestellt werden, dass sie kleiner sind als diejenigen der ersten und zweiten invertierten Logikeinrichtungen 41 und 42.

Ausführungsform 4

[0062] Fig. 5 zeigt eine Halbleiterschaltung gemäß Ausführungsform 4 der vorliegenden Erfindung. In der vorliegenden Ausführungsform werden PNP-Bipolar-Transistoren 37 und 38 als ein spezielles Beispiel für den Schalter verwendet, der als die in Ausführungsform 1 beschriebene Kurzschlussrichtung dient. Da die Bipolar-Transistoren jeweils eine Stromsteuereinrichtung sind, werden die zweiten niveaushifteten Signale S6 und S7 über Basiswiderstände 39 und 40, die als Stromvorspanneinrichtungen dienen, an die Bipolar-Transistoren angelegt. Der Bipolar-Transistor hat eine gute Genauigkeit

seiner EIN-Spannung, was somit eine größere Freiheit bei der Schaltungsauslegung ermöglicht. Dieses kann die Größe der Halbleiterschaltung in ihrer Gesamtheit verringern, wodurch eine Verhinderung einer Steigerung der Halbleiterchipgröße ermöglicht wird. Da der Schwellenwert des Bipolar-Transistors in einem typischen Beispiel ungefähr 0,6–0,7 Volt beträgt, ist es möglich, eine Ausführungsform leicht zu implementieren, die in Ausführungsform 1 als bevorzugt beschrieben wurde, in der die logischen Schwellenwerte der Kurzschlusseinrichtung so eingestellt werden, dass sie kleiner sind als diejenigen der ersten und zweiten invertierten Logikeinrichtungen **41** und **42**.

Ausführungsform 5

[0063] Fig. 6 zeigt eine Halbleitereinrichtung gemäß Ausführungsform 5 der vorliegenden Erfindung. In der vorliegenden Ausführungsform weist die Niveaueverschiebungsschaltung 2 außerdem dritte Lastwiderstände **201** und **202** auf, von denen jeweils ein Ende mit dem VB-Potential verbunden ist, sowie analoge Zweigeumschalter **203** und **204**, die als Strombahnschalteinrichtungen dienen.

[0064] Die gemeinsamen Anschlüsse der analogen Zweigeumschalter **203** und **204** sind jeweils mit einem Ende der zweiten Lastwiderstände **29** und **30** verbunden, während die anderen zwei Anschlüsse der Analogschalter (ein normalerweise geschlossener Anschluss und ein normalerweise offener Anschluss) mit den anderen Enden der ersten Lastwiderstände **27** und **28** und mit denjenigen der dritten Lastwiderstände **201** und **202** verbunden sind. Zusätzlich empfangen die Zweigesteueranschlüsse der Schalter **203** und **204**, die eine negative Polarität haben, die zweiten niveaueverschobenen Signale S7 und S6.

[0065] Die analogen Zweigeumschalter **203** und **204** arbeiten vorzugsweise in einem Betrieb, der als "Wechselschalter mit Unterbrechung" bezeichnet wird, wodurch ihre gemeinsamen Anschlüsse während des Schaltvorgangs nicht in den Zustand einer offenen Schaltung gesetzt werden.

[0066] Die Widerstandswerte der Lastwiderstände **201** und **202** werden so eingestellt, dass sie kleiner sind als diejenigen der ersten Lastwiderstände **27** bzw. **28**. Genauer gesagt reicht es im allgemeinen aus, dass die über die dritten Lastwiderstände **201** und **202** auftretenden Spannungsabfälle wesentlich kleiner sind als die logischen Schwellenwerte der zweiten invertierten Logikeinrichtungen **41** und **42**.

[0067] In der vorliegenden Ausführungsform wird die Unterdrückung des Niveaueverschiebungsbetriebs nicht durch ein Kurzschließen der Strombahnen über die ersten Lastwiderstände **27** und **28** erreicht, wie

es in den Ausführungsformen 1 bis 4 dargestellt ist, sondern durch ein Umschalten der Strombahn von den ersten Lastwiderständen **27** und **28** auf die dritten Lastwiderstände **201** und **203** mit einem kleineren Widerstandswert.

[0068] Diese Konfiguration bewirkt, dass ein Strom über die dritten Widerstände **201** und **202** fließt, wenn der Niveaueverschiebungsbetrieb unterdrückt ist, wodurch eine Reduzierung des Stromverbrauchs ermöglicht wird.

[0069] Während oben verschiedene Ausführungsformen gemäß der Erfindung beschrieben und dargestellt worden sind, ist die Erfindung nicht auf diese begrenzt, und eine Vielzahl von Modifikationen und Veränderungen kann vorgenommen werden. Beispielsweise sind die in den jeweiligen Ausführungsformen beschriebenen Signalpolaritäten jeweils nur ein Beispiel. Solange wie die logischen Schritte in ähnlicher Weise ausgeführt werden, können eine andere Logikschaltung, in der verschiedene Arten einer logischen Minimierung und ihre logische Implementierung entsprechend dem De Morgan'schen Gesetz vorgenommen werden, oder eine Schaltung mit verschiedenen Hoch-aktiven und Niedrig-aktiven Signalen ebenfalls in der Halbleiterschaltung der Erfindung enthalten sein. Während in den Ausführungsformen gemäß der Erfindung die Niveaueverschiebungsschaltung derart beschrieben ist, dass ein Signal von einer Niederspannungsseite der Schaltung an ihre Hochspannungsseite übertragen wird, kann der Fachmann ohne weiteres auch eine andere Ausführungsform finden, die eine Niveaueverschiebungsschaltung verwendet, in der das Signal umgekehrt von dem niedrigen Potential an das hohe Potential übertragen wird. Somit ist diese Schaltung in dem Umfang der Erfindung enthalten. Derjenige, der die Erfindung ausführt, und der Fachmann erkennen, dass verschiedene Veränderungen und Verbesserungen an der Erfindung vorgenommen werden können, ohne von dem Gedanken des offenbarten Konzepts abzuweichen.

Patentansprüche

1. Halbleiterschaltung mit einem ersten Potential als einem gemeinsamen Potential und einem zweiten Potential als einem Referenzpotential, wobei sich das erste Potential von dem zweiten Potential unterscheidet, zum Ansteuern und Regeln einer Halbleiterschalteneinrichtung, die mit dem zweiten Potential gesteuert wird, wobei die Halbleiterschaltung aufweist:
 - eine Niveaueverschiebungsschaltung mit mehreren Ausgabeabschnitten zum Ausgeben eines Hauptbefehlssignals über jeden Ausgabeabschnitt, das ein pulsgeformtes EIN-Befehlssignal oder ein pulsgeformtes AUS-Befehlssignal umfasst, relativ zu dem zweiten Potential als dem Referenzpotential, in Reaktion auf eine Eingabe eines Aktivierungssignals, das

ein pulsgeformtes EIN-Signal oder ein pulsgeformtes AUS-Signal umfasst, das relativ zu dem ersten Potential als einem Referenzpotential ist und das die Halbleiterschalteneinrichtung in einen leitfähigen Zustand oder einen nicht leitfähigen Zustand versetzt;

- eine Verriegelungsschaltung, die in Reaktion auf das Hauptbefehlssignal ein Signal ausgibt, um die Halbleiterschalteneinrichtung in ihrem leitfähigen oder nicht leitfähigen Zustand zu halten; und

- eine Niveaushiftungssignalunterdrückungseinrichtung, die dazu dient, wenn ein Signal an einem der Ausgabeabschnitte der Niveaushiftungsschaltung erzeugt wird, zu verhindern, dass ein Signal an dem anderen Ausgabeabschnitt erzeugt wird;
- wobei die Niveaushiftungsschaltung in der Lage ist, an jedem Ausgabeabschnitt in Reaktion auf das diesem eingegebene Aktivierungssignal gleichzeitig erste und zweite niveaushiftete Signale zu erzeugen, die von verschiedenen Spannungsabfällen resultieren;

- wobei das Hauptbefehlssignal ein in der Wellenform modifiziertes Signal ist, das von dem ersten niveaushifteten Signal abgeleitet ist, das von einem kleineren Spannungsabfall resultiert als das zweite niveaushiftete Signal;

- wobei die Niveaushiftungssignalunterdrückungseinrichtung dazu dient, zu verhindern, dass das erste niveaushiftete Signal an einem Ausgabeabschnitt in Reaktion auf das zweite niveaushiftete Signal erzeugt wird, das von dem anderen Ausgabeabschnitt ausgegeben wird;

- wobei die Niveaushiftungsschaltung in jedem Ausgabeabschnitt aufweist:

- einen ersten Lastwiderstand, der das erste niveaushiftete Signal liefert,

- einen zweiten Lastwiderstand, der in Serie mit dem ersten Lastwiderstand verbunden ist und das zweite niveaushiftete Signal liefert, und

- eine Hochspannungshalbleitereinrichtung, deren Hauptanschluss in Serie mit dem zweiten Lastwiderstand geschaltet ist, wodurch eine elektrische Leitung zwischen dem Hauptanschluss und einem Referenzanschluss in Reaktion auf das Aktivierungssignal bewerkstelligt wird, das einem Steuerungsanschluss der Halbleitereinrichtung zugeführt wird; und

- wobei die Niveaushiftungssignalunterdrückungseinrichtung eine Kurzschlusseinrichtung in einem Ausgabeabschnitt aufweist, die beide Anschlüsse des ersten Lastwiderstands in Reaktion auf das zweite niveaushiftete Signal, das von dem anderen Ausgabeabschnitt ausgegeben wird, über eine Bahn niedriger Impedanz kurzschließt.

2. Halbleiterschaltung nach Anspruch 1, wobei die Kurzschlusseinrichtung einen analogen Schalter aufweist.

3. Halbleiterschaltung nach Anspruch 1, wobei die Kurzschlusseinrichtung einen MOS-Transistor aufweist.

4. Halbleiterschaltung nach Anspruch 2, wobei die Kurzschlusseinrichtung einen Bipolar-Transistor aufweist.

5. Halbleiterschaltung mit einem ersten Potential als einem gemeinsamen Potential und einem zweiten Potential als einem Referenzpotential, wobei sich das erste Potential von dem zweiten Potential unterscheidet, zum Ansteuern und Regeln einer Halbleiterschalteneinrichtung, die mit dem zweiten Potential gesteuert wird, wobei die Halbleiterschaltung aufweist:

- eine Niveaushiftungsschaltung mit mehreren Ausgabeabschnitten zum Ausgeben eines Hauptbefehlssignals über jeden Ausgabeabschnitt, das ein pulsgeformtes EIN-Befehlssignal oder ein pulsgeformtes AUS-Befehlssignal umfasst, relativ zu dem zweiten Potential als dem Referenzpotential, in Reaktion auf eine Eingabe eines Aktivierungssignals, das ein pulsgeformtes EIN-Signal oder ein pulsgeformtes AUS-Signal umfasst, das relativ zu dem ersten Potential als einem Referenzpotential ist und das die Halbleiterschalteneinrichtung in einen leitfähigen Zustand oder einen nicht leitfähigen Zustand versetzt;

- eine Verriegelungsschaltung, die in Reaktion auf das Hauptbefehlssignal ein Signal ausgibt, um die Halbleiterschalteneinrichtung in ihrem leitfähigen oder nicht leitfähigen Zustand zu halten; und

- eine Niveaushiftungssignalunterdrückungseinrichtung, die dazu dient, wenn ein Signal an einem der Ausgabeabschnitte der Niveaushiftungsschaltung erzeugt wird, zu verhindern, dass ein Signal an dem anderen Ausgabeabschnitt erzeugt wird;
- wobei die Niveaushiftungsschaltung in der Lage ist, an jedem Ausgabeabschnitt in Reaktion auf das diesem eingegebene Aktivierungssignal gleichzeitig erste und zweite niveaushiftete Signale zu erzeugen, die von verschiedenen Spannungsabfällen resultieren;

- wobei das Hauptbefehlssignal ein in der Wellenform modifiziertes Signal ist, das von dem ersten niveaushifteten Signal abgeleitet ist, das von einem kleineren Spannungsabfall resultiert als das zweite niveaushiftete Signal;

- wobei die Niveaushiftungssignalunterdrückungseinrichtung dazu dient, zu verhindern, dass das erste niveaushiftete Signal an einem Ausgabeabschnitt in Reaktion auf das zweite niveaushiftete Signal erzeugt wird, das von dem anderen Ausgabeabschnitt ausgegeben wird;

- wobei die Niveaushiftungsschaltung in jedem Ausgabeabschnitt aufweist:

- einen ersten Lastwiderstand, der das erste niveaushiftete Signal liefert,

- einen zweiten Lastwiderstand, der das zweite niveaushiftete Signal liefert,

- einen dritten Lastwiderstand, der in seinem Widerstandswert kleiner ist als der erste Lastwiderstand, und

- eine Hochspannungshalbleitereinrichtung, deren Hauptanschluss in Serie mit dem zweiten Lastwider-

stand verbunden ist, wodurch eine elektrische Leitung zwischen dem Hauptanschluss und dem Referenzanschluss in Reaktion auf das Aktivierungssignal bewerkstelligt wird, das einem Steuerungsanschluss der Halbleitereinrichtung zugeführt wird; und

- wobei die Niveauverschiebungssignalunterdrückungseinrichtung einen Strombahnschalter in einem Ausgabeabschnitt aufweist, der den ersten Lastwiderstand mit dem zweiten Lastwiderstand verbindet, während kein zweites niveauverschobenes Signal von dem anderen Ausgabeabschnitt ausgegeben wird, und der den zweiten Lastwiderstand mit dem dritten Lastwiderstand verbindet, während das zweite niveauverschobene Signal von dem anderen Ausgabeabschnitt ausgegeben wird.

6. Halbleiterschaltung nach Anspruch 5, wobei der Strombahnschalter einen analogen Zweiwegeschalter aufweist, dessen gemeinsamer Anschluss mit dem zweiten Lastwiderstand verbunden ist und dessen zwei andere Anschlüsse, die in Abhängigkeit von dem zweiten niveauverschobenen Signal jeweils elektrisch mit dem gemeinsamen Anschluss verbunden sind, mit den ersten bzw. dritten Lastwiderständen verbunden sind.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

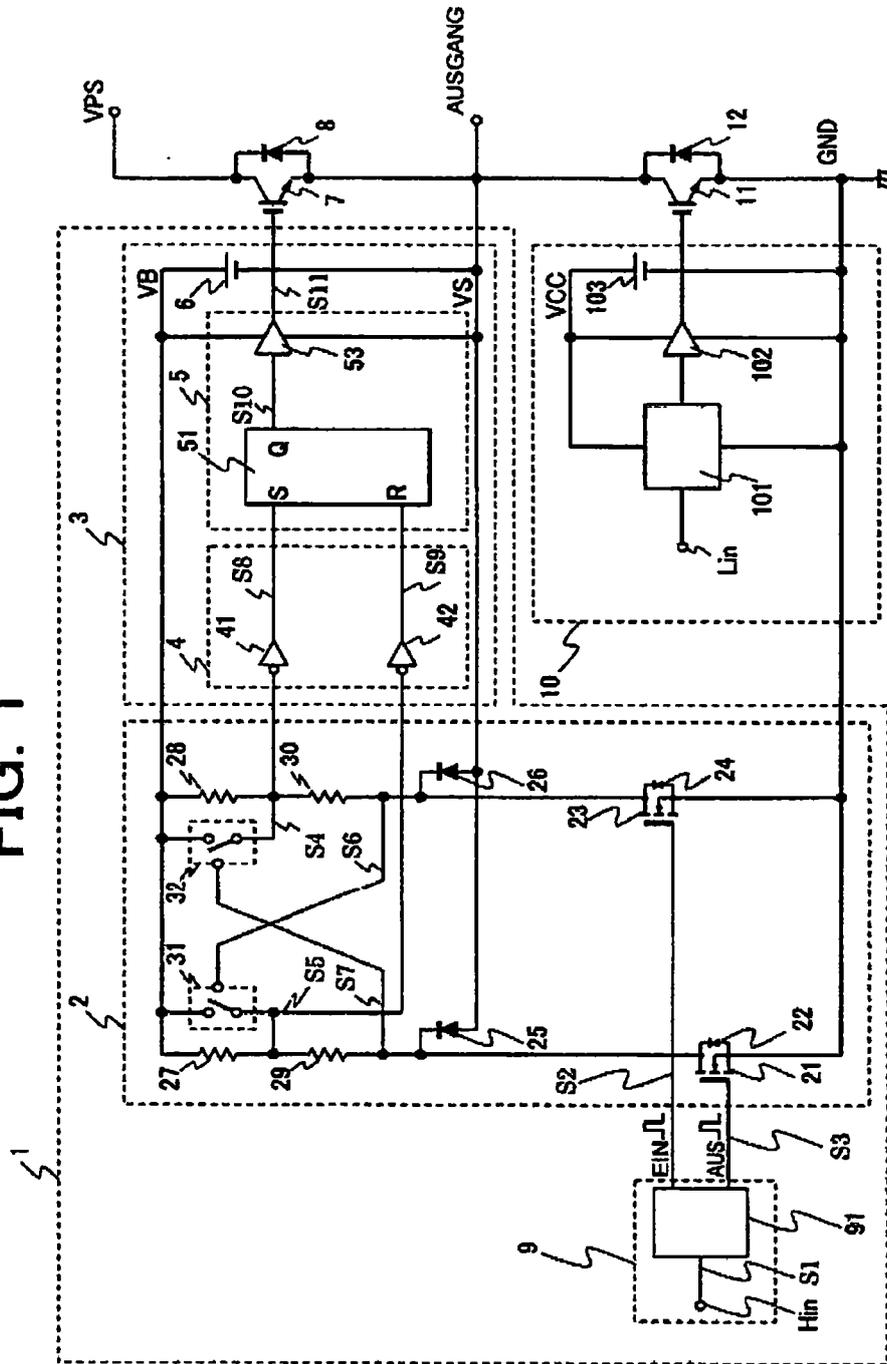


FIG. 2

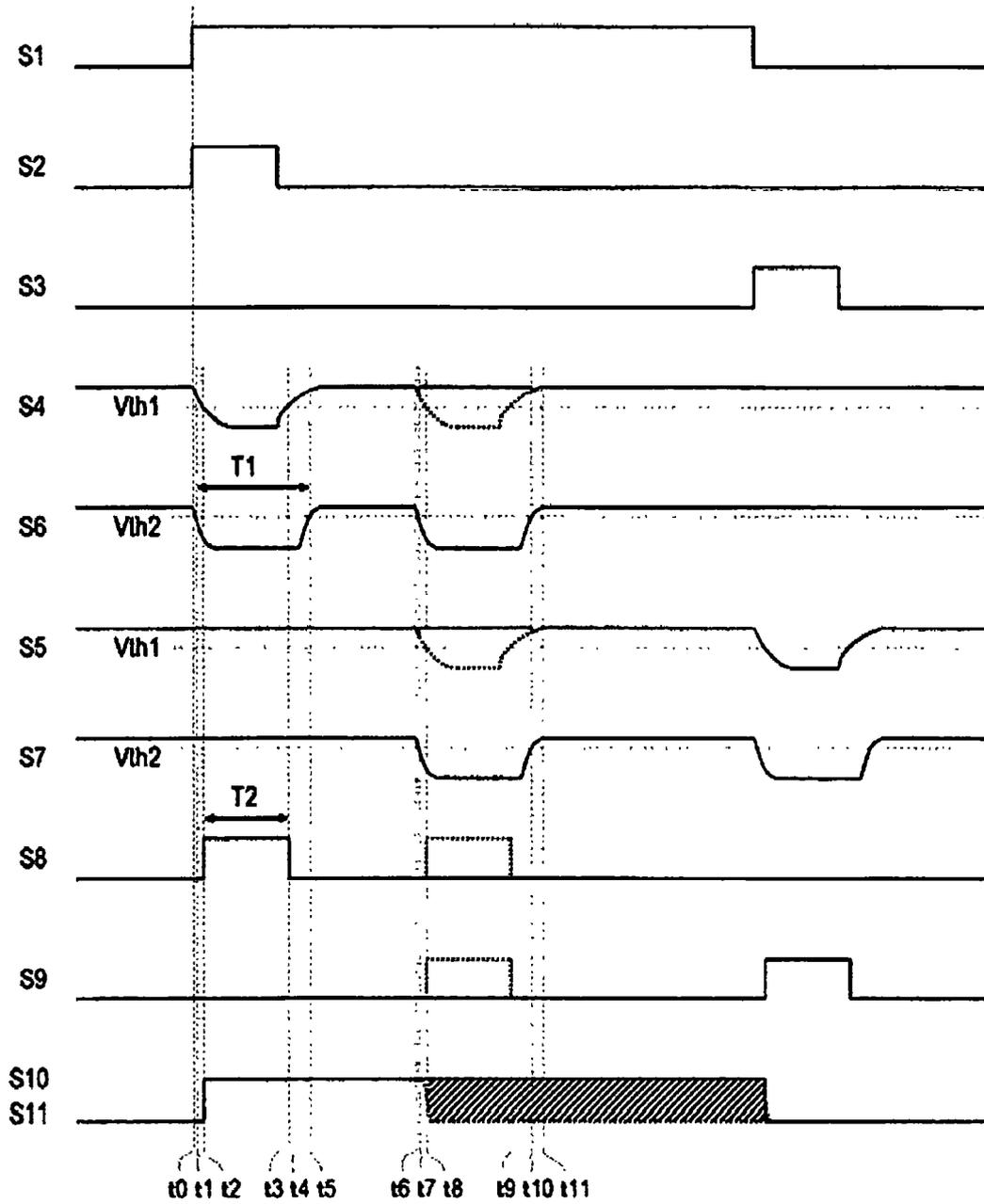


FIG. 3

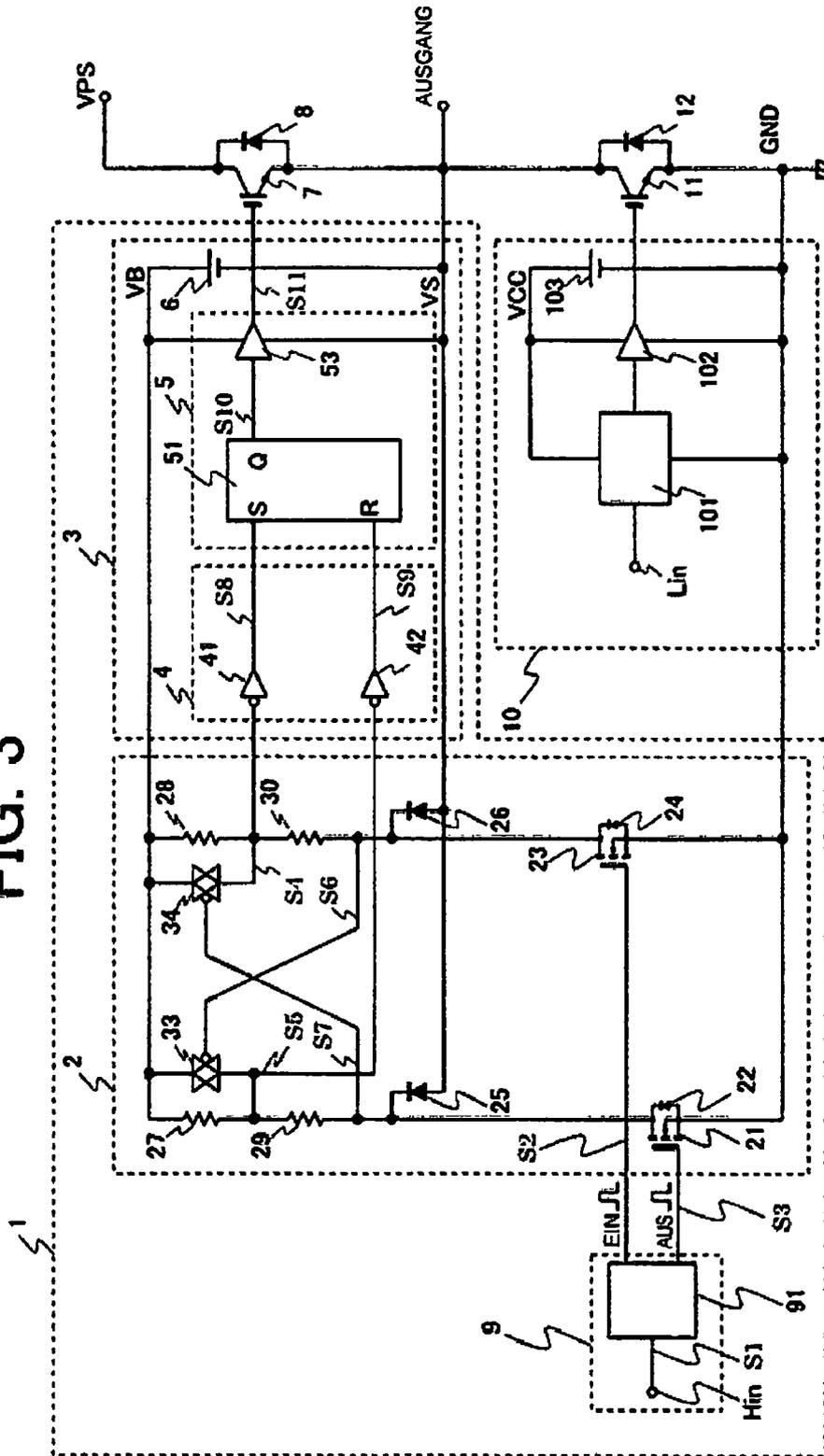


FIG. 5

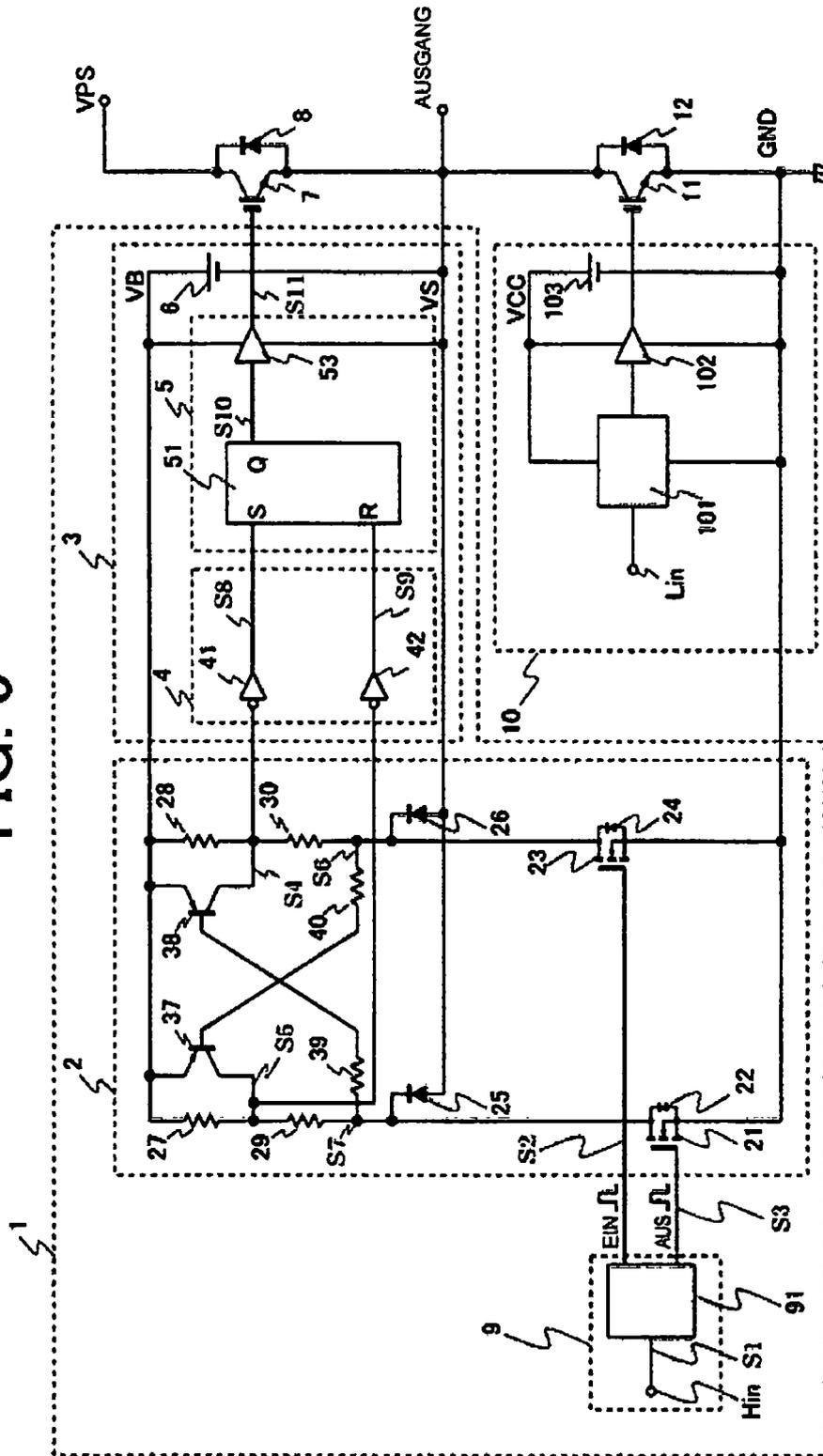


FIG. 6

