

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5176883号
(P5176883)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int.Cl.		F I			
GO 1 R	31/28	(2006.01)	GO 1 R	31/28	G
HO 3 K	3/356	(2006.01)	HO 3 K	3/356	D
HO 3 K	3/037	(2006.01)	HO 3 K	3/037	B

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2008-287186 (P2008-287186)	(73) 特許権者	000005223
(22) 出願日	平成20年11月7日(2008.11.7)		富士通株式会社
(65) 公開番号	特開2010-112893 (P2010-112893A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成22年5月20日(2010.5.20)	(74) 代理人	100074099
審査請求日	平成23年8月8日(2011.8.8)		弁理士 大菅 義之
		(74) 代理人	100133570
			弁理士 ▲徳▼永 民雄
		(72) 発明者	金成 克直
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	関根 洋之

最終頁に続く

(54) 【発明の名称】 ラッチ回路及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

データ入力端子とクロック入力端子とスキャンデータ入力端子と第1のスキヤククロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第1のスキヤククロック入力端子から第1のスキヤククロックが入力された場合に前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力する第1のラッチと、

第2のスキヤククロック入力端子と動作モード入力端子を有し、前記第2のスキヤククロック入力端子から入力される第2のスキヤククロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第2のラッチを有することを特徴とするラッチ回路。

【請求項2】

前記ラッチ回路は

前記動作モード入力端子に電源電位又は接地電位を接続することにより、

前記第1のラッチが保持する前記データを第1のマスターデータとして出力し、

10

20

前記第2のラッチが保持する前記データを第2のマスターデータとして出力することを特徴とする請求項1記載のラッチ回路。

【請求項3】

前記ラッチ回路は

前記動作モード入力端子にスキャンモードを入力することにより、

前記第1のラッチが保持する前記データをマスターデータとして出力し、

前記第2のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力することを特徴とする請求項1記載のラッチ回路。

【請求項4】

前記第1のスキャンクロックは、前記第2のスキャンクロックと交互に入力されることを特徴とする請求項3記載のラッチ回路。

10

【請求項5】

前記ラッチ回路はさらに、

前記第1のラッチが保持する前記データ又は前記スキャンデータを出力する第1のバッファと、

前記第2のラッチが保持する前記データ又は前記スキャンデータを出力する第2のバッファを有することを特徴とする請求項1～4のいずれか1項に記載のラッチ回路。

【請求項6】

前記所定の論理演算は論理積又は否定的論理和であることを特徴とする請求項1記載のラッチ回路。

20

【請求項7】

複数のラッチ回路を有する回路であって、

前記複数のラッチ回路の各々は、

データ入力端子とクロック入力端子とスキャンデータ入力端子と第1のスキャンクロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第1のスキャンクロック入力端子から第1のスキャンクロックが入力された場合に前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力する第1のラッチと、

第2のスキャンクロック入力端子と動作モード入力端子を有し、前記第2のスキャンクロック入力端子から入力される第2のスキャンクロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

30

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第2のラッチを有し、

前記複数のラッチ回路のうち一のラッチ回路は

前記動作モード入力端子に電源電位又は接地電位を接続することにより、

前記第1のラッチが保持する前記データを第1のマスターデータとして出力し、

前記第2のラッチが保持する前記データを第2のマスターデータとして出力し、

前記複数のラッチ回路のうち他の一のラッチ回路は

前記動作モード入力端子にスキャンモードを入力することにより、

前記第1のラッチが保持する前記データをマスターデータとして出力し、

前記第2のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力することを特徴とする回路。

40

【請求項8】

データ入力端子とクロック入力端子とスキャンデータ入力端子と第1のスキャンクロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第1のスキャンクロック

50

入力端子から第1のスキヤククロックが入力された場合に前記スキヤクデータ入力端子から入力される前記スキヤクデータを保持して出力する第1のラッチと、

第2のスキヤククロック入力端子と動作モード入力端子を有し、前記第2のスキヤククロック入力端子から入力される第2のスキヤククロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキヤクデータを保持する第2のラッチを有することを特徴とする半導体装置。

10

【請求項9】

データ入力端子とクロック入力端子とスキヤクデータ入力端子と第1のスキヤククロック入力端子を有する第1のラッチと、前記第1のラッチの出力端子に接続されるアップデート入力端子を有する第2のラッチと、第2のスキヤククロック入力端子と、動作モード入力端子とを有するラッチ回路の制御方法であって、

前記第2のスキヤククロック入力端子と前記動作モード入力端子に電源電位又は接地電位を接続し、

前記第2のスキヤククロック入力端子から入力される前記電源電位又は接地電位と前記動作モード入力端子から入力される前記電源電位又は接地電位との所定の論理演算を行い、前記第2のラッチに出力し、

20

前記クロック入力端子にクロックを入力し、

前記データ入力端子にデータを入力し、

前記第1のラッチが、前記データ入力端子から入力される前記データを保持して出力し、

前記第1のラッチから出力される前記データを第1のマスタデータとして出力し、

前記第2のラッチが、前記アップデート入力端子から入力される前記データを保持して第2のマスタデータとして出力し、

前記第2のスキヤククロック入力端子に第2のスキヤククロックを入力し、

前記動作モード入力端子にスキヤクモードを入力し、

30

前記第2のスキヤククロック入力端子から入力される前記第2のスキヤククロックと前記動作モード入力端子から入力される前記スキヤクモードとの所定の論理演算を行い、アップデートクロックを生成して前記第2のラッチに出力し、

前記第1のスキヤククロック入力端子に第1のスキヤククロックを入力し、

前記スキヤクデータ入力端子にスキヤクデータを入力し、

前記第1のラッチが、前記スキヤクデータ入力端子から入力される前記スキヤクデータを保持して出力し、

前記第1のラッチから出力される前記スキヤクデータをマスタデータとして出力し、

前記第2のラッチが、前記アップデート入力端子から入力される前記スキヤクデータを保持してスキヤクアウトデータとして出力することを特徴とする制御方法。

40

【請求項10】

データ入力端子とクロック入力端子とスキヤクデータ入力端子と第1のスキヤククロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第1のスキヤククロック入力端子から第1のスキヤククロックが入力された場合に前記スキヤクデータ入力端子から入力される前記スキヤクデータを保持して出力する第1のラッチと、

第2のスキヤククロック入力端子と動作モード入力端子を有し、前記第2のスキヤククロック入力端子から入力される第2のスキヤククロックと前記動作モード入力端子から入力される動作モードの否定的論理和を演算し、アップデートクロックを生成して出力する否定的論理和回路と、

50

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記否定的論理和回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第2のラッチを有することを特徴とするラッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ入力端子とスキャンデータ入力端子を有するラッチ回路及びその制御方法に関する。

10

【背景技術】

【0002】

Dラッチ回路にテスト又は初期設定に使用されるスキャン機能を持たせるためには、第1のラッチに、通常動作には不要な第2のラッチを追加する必要がある。この場合、第2のラッチは、システム動作を行うシステムクロックとは異なるスキャン用のクロックで駆動される。

【0003】

図7は、スキャン機能を有する従来のDラッチ回路の構成例を示している。このDラッチ回路は、スキャンクロック入力端子11、15、クロック入力端子12、データ入力端子13、スキャンデータ入力端子14、スイッチ16、17、19、ラッチ部18、20、バッファ21、22、及びデータ出力端子23、24を備える。このうち、スイッチ16、17及びラッチ部18は第1のラッチを構成し、スイッチ19及びラッチ部20は第2のラッチを構成する。

20

【0004】

スキャンクロック入力端子15及び11には、第1のスキャンクロック信号SCANCLK_A及び第2のスキャンクロック信号SCANCLK_Bがそれぞれ入力される。クロック入力端子12、データ入力端子13、及びスキャンデータ入力端子14には、クロック信号CLK、データ信号DATA_IN、及びスキャンデータ信号SCAN_INがそれぞれ入力される。

【0005】

30

スイッチ16は、クロック信号CLKがハイレベル(H)のときにオンとなり、ローレベル(L)のときにオフとなる。スイッチ17は、スキャンクロック信号SCANCLK_AがHのときにオンとなり、Lのときにオフとなる。ラッチ部18は、入力される信号の値を保持してスイッチ19及びバッファ22に出力する。したがって、クロック信号CLK又はスキャンクロック信号SCANCLK_AがHのときにスイッチ16又は17への入力信号がラッチ部18の出力端子へ伝達され、Lのときにラッチ部18の出力信号が保持される。

【0006】

スイッチ19は、スキャンクロック信号SCANCLK_BがHのときにオンとなり、Lのときにオフとなる。ラッチ部20は、入力される信号の値を保持してバッファ21に出力する。したがって、スキャンクロック信号SCANCLK_BがHのときにスイッチ19への入力信号がラッチ部20の出力端子へ伝達され、Lのときにラッチ部20の出力信号が保持される。

40

【0007】

バッファ21及び22は、入力される信号を一定時間遅延させてデータ出力端子23及び24にそれぞれ出力する。

このDラッチ回路の使用方法としては、例えば、次の2通りが考えられる。

(1) 第1の使用方法

通常動作時において、スキャンクロック信号SCANCLK_AをLに固定し、クロック信号CLKにより第1のラッチを駆動する。また、スキャンクロック信号SCANCLK

50

K__BをHに固定することで第2のラッチをスルー状態にして、第1のラッチの出力データをそのままデータ出力端子23に出力する。この場合、データ出力端子23及び24から出力されるマスタデータ信号MASTER2及びMASTER1は、後段の回路においてそれぞれ遅いマスタデータ及び速いマスタデータとして使用される。

【0008】

一方、スキャン動作時においては、クロック信号CLKをLに固定し、スキャンクロック信号SCANCLK__Aにより第1のラッチを駆動する。また、スキャンクロック信号SCANCLK__Bにより第2のラッチを駆動する。この場合、データ出力端子23からスキャンデータ信号がスキャンアウトデータ信号として出力される。

【0009】

(2) 第2の使用方法

通常動作時において、スキャンクロック信号SCANCLK__AをLに固定し、クロック信号CLKにより第1のラッチを駆動する。また、スキャンクロック信号SCANCLK__BをLに固定し、第2のラッチを閉じておく。この場合、データ出力端子24から後段の回路にマスタデータ信号MASTER1のみが出力される。

【0010】

一方、スキャン動作時においては、クロック信号CLKをLに固定し、スキャンクロック信号SCANCLK__Aにより第1のラッチを駆動する。また、スキャンクロック信号SCANCLK__Bにより第2のラッチを駆動する。この場合、データ出力端子23からスキャンデータ信号がスキャンアウトデータ信号として出力される。

【0011】

図8は、図7のDラッチ回路の詳細な回路構成例を示している。このDラッチ回路は、クロック入力端子31、スキャンクロック入力端子32、34、データ入力端子35、スキャンデータ入力端子33、及びデータ出力端子81、82を備える。

【0012】

Dラッチ回路は、さらにP-channel Metal Oxide Semiconductor Field Effect Transistor (MOSFET) 41、43、46、48、50、51、54、56、58、60、62、63、66、68、70、及び72を備える。Dラッチ回路は、さらにN-channel MOSFET 42、44、47、49、52、53、55、57、59、61、64、65、67、69、71、及び73を備える。Dラッチ回路は、さらにトランスファゲート45を備える。

【0013】

以下では、P-channel MOSFET及びN-channel MOSFETをそれぞれPMOS及びNMOSと記す。PMOS 41、43、46、48、50、54、56、58、60、62、66、68、70、及び72のソース電極は電源電位VDDに接続され、NMOS 42、44、47、49、53、55、57、59、61、65、67、69、71、及び73のソース電極は接地電位に接続されている。

【0014】

クロック入力端子31には、クロック信号CLKを反転した反転クロック信号ICKKが入力され、スキャンクロック入力端子32及び34には、スキャンクロック信号SCANCLK__A及びSCANCLK__Bがそれぞれ入力される。データ入力端子35及びスキャンデータ入力端子33には、データ信号DATA__IN及びスキャンデータ信号SCAN__INがそれぞれ入力される。データ出力端子81からは、マスタデータ信号MASTER1が出力され、データ出力端子82からは、マスタデータ信号MASTER2又はスキャンアウトデータ信号が出力される。

【0015】

PMOS 41及びNMOS 42はインバータを構成し、反転クロック信号ICKKを反転して、トランスファゲート45のNMOS側ゲート電極75に出力する。トランスファゲート45のPMOS側ゲート電極74には、反転クロック信号ICKKが入力される。PMOS 43及びNMOS 44はインバータを構成し、データ信号DATA__INを反転

10

20

30

40

50

して、トランスファゲート 45 の入力端子に出力する。

【0016】

トランスファゲート 45 は、PMOS 側ゲート電極 74 及び NMOS 側ゲート電極 75 がそれぞれ L 及び H になったときに、入力データ信号を出力端子からデータ信号 PCM1 として出力する。

【0017】

PMOS 46 及び NMOS 47 はインバータを構成し、データ信号 PCM1 を反転して、マスタデータ信号 MASTER1 を出力する。

PMOS 48、50、51 及び NMOS 49、52、53 はクロックドインバータを構成し、スキャンクロック信号 SCANCLK__A が H のときに、スキャンデータ信号 SCAN__IN を反転してデータ信号 PCM1 を出力する。

10

【0018】

PMOS 54 及び NMOS 55 はインバータを構成し、データ信号 PCM1 を反転してデータ信号 PAM1 を出力する。PMOS 56 及び NMOS 57 はインバータを構成し、データ信号 PAM1 を反転してデータ信号 PCM1 を出力する。PMOS 54、56 及び NMOS 55、57 は、図 7 のラッチ部 18 に対応する。

【0019】

PMOS 58 及び NMOS 59 はインバータを構成し、スキャンクロック信号 SCANCLK__B を反転して出力する。PMOS 60、62、63 及び NMOS 61、64、65 はクロックドインバータを構成し、スキャンクロック信号 SCANCLK__B を反転した信号が L のときに、つまり、スキャンクロック信号 SCANCLK__B が H のときに、データ信号 PAM1 を反転してデータ信号 PCS1 を出力する。

20

【0020】

PMOS 66 及び NMOS 67 はインバータを構成し、データ信号 PCS1 を反転して出力する。PMOS 68 及び NMOS 69 はインバータを構成し、PMOS 66 及び NMOS 67 から出力されたデータ信号を反転してデータ信号 PCS1 を出力する。PMOS 66、68 及び NMOS 67、69 は、図 7 のラッチ部 20 に対応する。

【0021】

PMOS 70 及び NMOS 71 はインバータを構成し、PMOS 66 及び NMOS 67 から出力されたデータ信号を反転して出力する。PMOS 72 及び NMOS 73 はインバータを構成し、PMOS 70 及び NMOS 71 から出力されたデータ信号を反転して、マスタデータ信号 MASTER2 又はスキャンアウトデータ信号を出力する。

30

【0022】

トランスファゲート 45 は、図 7 のスイッチ 16 に対応し、PMOS 48、50、51 及び NMOS 49、52、53 から構成されるクロックドインバータは、図 7 のスイッチ 17 に対応する。また、PMOS 60、62、63 及び NMOS 61、64、65 から構成されるクロックドインバータは、図 7 のスイッチ 19 に対応する。

【0023】

第 1 ラッチ及び第 2 ラッチを含み、スキャンテストを行わないときに第 2 ラッチへのクロック信号の供給を停止するパルスラッチ回路も知られている。スレーブラッチにトランスミッションゲートを設け、モード信号によりトランスミッションゲートを非道通にするフリップフロップ回路も知られている。また、通常動作時にマスタ部のトランスファゲートを閉じて周辺回路からの信号供給を遮断する D フリップフロップ回路も知られている。

40

【特許文献 1】特開 2006 - 339948 号公報

【特許文献 2】特開平 09 - 270677 号公報

【特許文献 3】特開 2005 - 221352 号公報

【発明の開示】

【発明が解決しようとする課題】

【0024】

上述した従来の D ラッチ回路には、次のような問題がある。

50

第1の使用方法では、通常動作時においても第2のラッチ及びバッファ21が動作するため、無駄な電力消費が発生する。また、第2の使用方法では、通常動作時の電力消費は抑えられるが、後段の回路で遅いマスタデータを使用することはできない。

【0025】

特に、集積回路(IC)チップ等の半導体装置に複数のDラッチ回路が含まれている場合、スキャンクロック信号SCANCLK_BはそれらのDラッチ回路に共通の信号であるため、Dラッチ回路毎に使用方法を異ならせることはできない。

【0026】

本発明の課題は、スキャン機能を有するラッチ回路の通常動作時に、電力消費を抑える動作と遅いマスタデータを出力する動作のいずれかを選択可能にすることである。

10

【課題を解決するための手段】

【0027】

開示のラッチ回路は、第1及び第2のラッチと論理回路を有する。

第1のラッチは、データ入力端子とクロック入力端子とスキャンデータ入力端子と第1のスキャンクロック入力端子を有する。そして、クロック入力端子からクロックが入力された場合にデータ入力端子から入力されるデータを保持して出力する。また、第1のスキャンクロック入力端子から第1のスキャンクロックが入力された場合にスキャンデータ入力端子から入力されるスキャンデータを保持して出力する。

【0028】

論理回路は、第2のスキャンクロック入力端子と動作モード入力端子を有する。そして、第2のスキャンクロック入力端子から入力される第2のスキャンクロックと動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する。

20

【0029】

第2のラッチは、第1のラッチの出力端子に接続されるアップデート入力端子と論理回路の出力端子に接続されるアップデートクロック入力端子を有する。そして、アップデートクロック入力端子からアップデートクロックが入力された場合に、アップデート入力端子から入力されるデータ又はスキャンデータを保持する。

【0030】

第2のスキャンクロックと動作モードとの所定の論理演算の結果が第2のラッチのアップデートクロック入力端子に出力され、第2のラッチが駆動される。このため、第2のスキャンクロックのレベルを固定した場合でも、動作モードのレベルにより第2のラッチの動作を制御することができる。

30

【発明の効果】

【0031】

ラッチ回路がスキャン動作を行わない通常動作時において、第2のラッチを使用するかどうかを選択することができる。したがって、ラッチ回路毎に、2種類の通常動作のいずれかを選択的に行わせることが可能になる。

【発明を実施するための最良の形態】

【0032】

以下、図面を参照しながら、最良の実施形態を詳細に説明する。

制御用の動作モード信号の接続を変更することにより、1つのラッチ回路を高速/高駆動力ラッチ回路に切り替えることもでき、省電力ラッチ回路に切り替えることもできる。これにより、設計の最終段階で遅延に余裕がある場合等に、動作モード信号を繋ぐだけで電力を削減することが可能になる。

40

【0033】

図1は、スキャン機能を有する実施形態のDラッチ回路の構成例を示している。このDラッチ回路は、図7に示したDラッチ回路に、動作モード入力端子101及び所定の論理回路としての論理積(AND)回路102を追加した構成を有し、ICチップ等の半導体装置内に設けられる。

50

【 0 0 3 4 】

A N D回路 1 0 2 の出力端子は、スイッチ 1 9 のアップデートクロック入力端子 1 1 1 に接続され、ラッチ部 1 8 の出力端子は、スイッチ 1 9 のアップデート入力端子 1 1 2 に接続される。

【 0 0 3 5 】

動作モード入力端子 1 0 1 には、動作モード信号 S C A N _ M O D E が入力される。A N D回路 1 0 2 は、動作モード信号 S C A N _ M O D E とスキャンクロック信号 S C A N C L K _ B の論理積を演算し、アップデートクロック信号を生成してアップデートクロック入力端子 1 1 1 に出力する。

【 0 0 3 6 】

スイッチ 1 9 は、アップデートクロック信号が H のときにオンとなり、L のときにオフとなる。したがって、スイッチ 1 9 は、動作モード信号 S C A N _ M O D E とスキャンクロック信号 S C A N C L K _ B がともに H のときにオンとなり、いずれか一方が L のときにオフとなる。スイッチ 1 6、1 7、ラッチ部 1 8、2 0、及びバッファ 2 1、2 2 の動作は、図 7 の場合と同様である。

【 0 0 3 7 】

この D ラッチ回路の動作モードとしては、例えば、次の 3 通りが考えられる。

(1) 第 1 の通常動作モード

スキャンクロック信号 S C A N C L K _ A を L に固定し、クロック信号 C L K により第 1 のラッチを駆動する。また、動作モード信号 S C A N _ M O D E を H に固定し、スキャンクロック信号 S C A N C L K _ B を H に固定することで第 2 のラッチをスルー状態にする。この場合、データ出力端子 2 3 及び 2 4 からマスタデータ信号 M A S T E R 2 及び M A S T E R 1 がそれぞれ出力される。

【 0 0 3 8 】

(2) 第 2 の通常動作モード

スキャンクロック信号 S C A N C L K _ A を L に固定し、クロック信号 C L K により第 1 のラッチを駆動する。また、動作モード信号 S C A N _ M O D E 又はスキャンクロック信号 S C A N C L K _ B の少なくとも一方を L にすることで、第 2 のラッチを閉じておく。この場合、データ出力端子 2 4 からマスタデータ信号 M A S T E R 1 のみ出力される。

【 0 0 3 9 】

(3) スキャン動作モード

クロック信号 C L K を L に固定し、スキャンクロック信号 S C A N C L K _ A により第 1 のラッチを駆動する。また、動作モード信号 S C A N _ M O D E を H にすることで、スキャンクロック信号 S C A N C L K _ B により第 2 のラッチを駆動する。スキャンクロック信号 S C A N C L K _ A の信号値 H は、スキャンクロック信号 S C A N C L K _ B の信号値 H と交互に入力される。この場合、データ出力端子 2 3 からスキャンデータ信号がスキャンアウトデータ信号として出力される。

【 0 0 4 0 】

このように、第 1 の通常動作モードでは、遅いマスタデータを後段の回路に出力することができ、第 2 の通常動作モードでは、第 2 のラッチを駆動しないことでダイナミック電力を削減することができる。

【 0 0 4 1 】

例えば、設計初期には、動作モード信号 S C A N _ M O D E を動作モード入力端子 1 0 1 に接続せずに、動作モード入力端子 1 0 1 を電源電位に固定して、遅いマスタデータが使えるようにしておく。そして、設計後期において遅いマスタデータが不要になったときに、動作モード信号 S C A N _ M O D E を動作モード入力端子 1 0 1 に接続するようにする。これにより、設計の最終段階で、I C チップのバルクや他の配線を変更することなく、容易にダイナミック電力を削減することができる。

【 0 0 4 2 】

10

20

30

40

50

図2は、AND回路の代わりに所定の論理回路として否定的論理和(NOR)回路を用いたDラッチ回路の詳細な回路構成例を示している。このDラッチ回路は、図8に示したDラッチ回路において、PMOS58及びNMOS59を削除し、動作モード入力端子201、PMOS211、212、及びNMOS213、214を追加した構成を有する。したがって、トランジスタの数が図8のDラッチ回路の場合より2個多いだけで済むという利点を有する。

【0043】

PMOS211のソース電極は電源電位VDDに接続され、NMOS213及び214のソース電極は接地電位に接続されている。

動作モード入力端子201には、動作モード信号SCAN_MODEが入力される。PMOS211、212及びNMOS213、214はNOR回路を構成し、動作モード信号SCAN_MODEとスキャンクロック信号SCANCLK_Bの否定的論理和を演算して出力する。このNOR回路は、図1のAND回路102の代わりに用いられる。

【0044】

PMOS60、62、63及びNMOS61、64、65から構成されるクロックインバータは、否定的論理和がLのときに、データ信号PAM1を反転してデータ信号PCS1を出力する。他の回路素子の動作は、図8の場合と同様である。

【0045】

それぞれの動作モードにおける図2のDラッチ回路の動作は、以下の通りである。

(1) 第1の通常動作モード

図3に示すように、スキャンクロック信号SCANCLK_AをLに固定することで、PMOS48、50、51及びNMOS49、52、53から構成されるクロックインバータをオフにする。そして、反転クロック信号ICLKによりトランスファゲート45を駆動する。

【0046】

また、動作モード信号SCAN_MODEをHに固定し、スキャンクロック信号SCANCLK_BをLに固定することで、PMOS60、62、63及びNMOS61、64、65から構成されるクロックインバータをオンにする。

【0047】

これにより、反転クロック信号ICLKの立下りエッジでデータ信号DATA_INの値aが第1のラッチにデータ信号PAM1として格納されるとともに、マスタデータ信号MASTER1として出力される。また、データ信号PAM1はクロックインバータを通過して第2のラッチにも格納され、マスタデータ信号MASTER2として出力される。こうして、マスタデータ信号MASTER1及びMASTER2の値はxからaに変化する。

【0048】

(2) 第2の通常動作モード

図4に示すように、スキャンクロック信号SCANCLK_AをLに固定することで、PMOS48、50、51及びNMOS49、52、53から構成されるクロックインバータをオフにする。そして、反転クロック信号ICLKによりトランスファゲート45を駆動する。

【0049】

また、動作モード信号SCAN_MODE及びスキャンクロック信号SCANCLK_BをLに固定することで、PMOS60、62、63及びNMOS61、64、65から構成されるクロックインバータをオフにする。

【0050】

これにより、反転クロック信号ICLKの立下りエッジでデータ信号DATA_INの値aが第1のラッチにデータ信号PAM1として格納されるとともに、マスタデータ信号MASTER1として出力される。しかし、データ信号PAM1はクロックインバータを通過しないため、第2のラッチには格納されず、マスタデータ信号MASTER2の値

10

20

30

40

50

x は変化しない。したがって、マスタデータ信号MASTER 1の値のみが x から a に変化する。

【0051】

(3) スキャン動作モード

図5に示すように、反転クロック信号ICKをHに固定することで、トランスファゲート45をオフにする。そして、スキャンクロック信号SCANCLK_Aにより、PMOS48、50、51及びNMOS49、52、53から構成されるクロックドインバータを駆動する。

【0052】

また、動作モード信号SCAN_MODEをLに固定し、スキャンクロック信号SCANCLK_Bにより、PMOS60、62、63及びNMOS61、64、65から構成されるクロックドインバータを駆動する。スキャンクロック信号SCANCLK_Aの信号値Hは、スキャンクロック信号SCANCLK_Bの信号値Hと交互に入力される。

10

【0053】

図5では、データ出力端子82から出力されるデータ信号は、マスタデータ信号MASTER 2ではなく、スキャンアウトデータ信号SCAN_OUTとして記されている。

まず、スキャンクロック信号SCANCLK_Aの立上りエッジ501でスキャンデータ信号SCAN_INの値 c が第1のラッチにデータ信号PAM1として格納されるとともに、マスタデータ信号MASTER 1として出力される。これにより、マスタデータ信号MASTER 1の値が x から c に変化する。

20

【0054】

このとき、スキャンクロック信号SCANCLK_BはLになっているため、PMOS60、62、63及びNMOS61、64、65から構成されるクロックドインバータはオフのままであり、データ信号PAM1は第2のラッチには格納されない。したがって、スキャンアウトデータ信号SCAN_OUTの値 x は変化しない。

【0055】

次に、スキャンクロック信号SCANCLK_Bの立上りエッジ511で、PMOS60、62、63及びNMOS61、64、65から構成されるクロックドインバータがオンとなり、データ信号PAM1の値 c が第2のラッチに格納される。これにより、スキャンアウトデータ信号SCAN_OUTの値が x から c に変化する。

30

【0056】

次に、スキャンクロック信号SCANCLK_Aの立上りエッジ502でスキャンデータ信号SCAN_INの値 d が第1のラッチにデータ信号PAM1として格納されるとともに、マスタデータ信号MASTER 1として出力される。これにより、マスタデータ信号MASTER 1の値が c から d に変化する。このとき、スキャンクロック信号SCANCLK_BはLになっているため、スキャンアウトデータ信号SCAN_OUTの値 c は変化しない。

【0057】

次に、スキャンクロック信号SCANCLK_Bの立上りエッジ512で、PMOS60、62、63及びNMOS61、64、65から構成されるクロックドインバータがオンとなり、データ信号PAM1の値 d が第2のラッチに格納される。これにより、スキャンアウトデータ信号SCAN_OUTの値が c から d に変化する。

40

【0058】

図6は、図1のDラッチ回路を複数個含む回路の例を示している。この回路は、Dラッチ回路601～603及び組み合わせ回路611、612を含み、ICチップ等の半導体装置内に設けられる。

【0059】

Dラッチ回路601～603の入力端子CK、SM、ACK、及びBCKは、図1のクロック入力端子12、動作モード入力端子101、スキャンクロック入力端子15、及びスキャンクロック入力端子11にそれぞれ対応する。入力端子SI及びDINは、図1の

50

スキャンデータ入力端子 14 及びデータ入力端子 13 にそれぞれ対応する。また、出力端子 M1 及び M2 は、図 1 のデータ出力端子 24 及び 23 にそれぞれ対応する。

【0060】

Dラッチ回路 601 ~ 603 の入力端子 CK には、クロック信号 CLK が入力される。また、Dラッチ回路 601 ~ 603 の入力端子 ACK 及び BCK には、スキャンクロック信号 SCANCLK_A 及び SCANCLK_B がそれぞれ入力される。図を簡単にするため、これらのスキャンクロック信号の信号線は省略されている。

【0061】

Dラッチ回路 601 及び 603 の入力端子 SM には、動作モード信号 SCAN_MODE が入力され、Dラッチ回路 602 の入力端子 SM は電源電位 VDD に接続され、H に固定されている。

10

【0062】

Dラッチ回路 601 の入力端子 SI 及び DIN には、スキャンデータ信号 SCAN_IN 及びデータ信号 DATA_IN が入力される。Dラッチ回路 601 の出力端子 M1 及び M2 は、組み合わせ回路 611 の入力端子及び Dラッチ回路 602 の入力端子 SI にそれぞれ接続され、組み合わせ回路 611 の出力端子は、Dラッチ回路 602 の入力端子 DIN に接続されている。

【0063】

また、Dラッチ回路 602 の出力端子 M1 は、組み合わせ回路 612 の入力端子に接続され、Dラッチ回路 602 の出力端子 M2 は、組み合わせ回路 612 の別の入力端子及び Dラッチ回路 603 の入力端子 SI に接続されている。さらに、組み合わせ回路 612 の出力端子は、Dラッチ回路 603 の入力端子 DIN に接続されている。

20

【0064】

この場合、Dラッチ回路 601 及び 603 の入力端子 SM には動作モード信号 SCAN_MODE が供給されるため、Dラッチ回路 601 及び 603 は、第 2 の通常動作モード又はスキャン動作モードで動作することが可能である。動作モード信号 SCAN_MODE が L のときは第 2 の通常動作モードで動作し、H のときはスキャン動作モードで動作する。

【0065】

スキャン動作モードにおいて、Dラッチ回路 601 の出力端子 M2 は、スキャンアウトデータ信号を Dラッチ回路 602 に出力するために使用され、Dラッチ回路 603 の出力端子 M2 は、スキャンアウトデータ信号を後段の回路（不図示）に出力するために使用される。

30

【0066】

一方、Dラッチ回路 602 の入力端子 SM は H に固定されているため、Dラッチ回路 602 は、第 1 の通常動作モード又はスキャン動作モードで動作することが可能である。スキャンクロック信号 SCANCLK_B が H のときは第 1 の通常動作モードで動作し、スキャンクロック信号 SCANCLK_B がパルス信号のときはスキャン動作モードで動作する。

【0067】

Dラッチ回路 602 の出力端子 M2 は、第 1 の通常動作モードにおいて、マスタデータ信号 MASTER2 を組み合わせ回路 612 に出力するために使用される。また、スキャン動作モードにおいては、スキャンアウトデータ信号を Dラッチ回路 603 に出力するために使用される。

40

【0068】

図 6 の回路において、図 1 の Dラッチ回路の代わりに図 2 の Dラッチ回路を用いることも可能である。この場合、Dラッチ回路 601 ~ 603 の入力端子 CK には、クロック信号 CLK の代わりに反転クロック信号 ICLK が入力される。また、Dラッチ回路 601 及び 603 の入力端子 SM は、接地電位に接続されて L に固定され、Dラッチ回路 602 の入力端子 SM には、動作モード信号 SCAN_MODE が入力される。

50

【 0 0 6 9 】

これにより、Dラッチ回路601及び603は、図4及び図5に示したように、第2の通常動作モード又はスキャン動作モードで動作することができる。一方、Dラッチ回路602は、図3及び図5に示したように、第1の通常動作モード又はスキャン動作モードで動作することができる。

【 0 0 7 0 】

なお、図6には3個のDラッチ回路と2個の組み合わせ回路が示されているが、Dラッチ回路及び組み合わせ回路の数はこれに限られるものではなく、1つ以上であればよい。

以上、図1から図6までを参照しながら説明した実施形態に関し、さらに以下の付記を開示する。

10

【 0 0 7 1 】

(付記1)

データ入力端子とクロック入力端子とスキャンデータ入力端子と第1のスキヤククロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第1のスキヤククロック入力端子から第1のスキヤククロックが入力された場合に前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力する第1のラッチと、

第2のスキヤククロック入力端子と動作モード入力端子を有し、前記第2のスキヤククロック入力端子から入力される第2のスキヤククロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

20

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第2のラッチを有することを特徴とするラッチ回路。

(付記2)

前記ラッチ回路は

前記動作モード入力端子に電源電位又は接地電位を接続することにより、

前記第1のラッチが保持する前記データを第1のマスターデータとして出力し、

30

前記第2のラッチが保持する前記データを第2のマスターデータとして出力することを特徴とする付記1記載のラッチ回路。

(付記3)

前記ラッチ回路は

前記第2のスキヤククロック入力端子に電源電位又は接地電位を接続し、前記クロック入力端子に前記クロックを入力することにより、

前記第1のラッチが保持する前記データを前記第1のマスターデータとして出力し、

前記第2のラッチが保持する前記データを前記第2のマスターデータとして出力し、

前記第1のスキヤククロック入力端子に前記第1のスキヤククロックを入力し、前記第2のスキヤククロック入力端子に前記第2のスキヤククロックを入力することにより、

40

前記第1のラッチが保持する前記スキャンデータを前記アップデート入力端子に出力し、

前記第2のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力することを特徴とする付記2記載のラッチ回路。

(付記4)

前記ラッチ回路は

前記動作モード入力端子にスキャンモードを入力することにより、

前記第1のラッチが保持する前記データをマスターデータとして出力し、

前記第2のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力することを特徴とする付記1記載のラッチ回路。

50

(付記 5)

前記ラッチ回路は

前記動作モード入力端子又は前記第 2 のスキャンクロック入力端子の少なくとも一方にローレベルのスキャンモードを入力し、前記クロック入力端子に前記クロックを入力することにより、

前記第 1 のラッチが保持する前記データを前記マスタデータとして出力し、

前記動作モード入力端子にハイレベルのスキャンモードを入力し、前記第 1 のスキャンクロック入力端子に前記第 1 のスキャンクロックを入力し、前記第 2 のスキャンクロック入力端子に前記第 2 のスキャンクロックを入力することにより、

前記第 1 のラッチが保持する前記スキャンデータを前記アップデート入力端子に出力し

10

、
前記第 2 のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力することを特徴とする付記 4 記載のラッチ回路。

(付記 6)

前記第 1 のスキャンクロックは、前記第 2 のスキャンクロックと交互に入力されることを特徴とする付記 4 記載のラッチ回路。

(付記 7)

前記ラッチ回路はさらに、

前記第 1 のラッチが保持する前記データ又は前記スキャンデータを出力する第 1 のバッファと、

20

前記第 2 のラッチが保持する前記データ又は前記スキャンデータを出力する第 2 のバッファを有することを特徴とする付記 1 ~ 6 のいずれか 1 項に記載のラッチ回路。

(付記 8)

前記所定の論理演算は論理積又は否定的論理和であることを特徴とする付記 1 記載のラッチ回路。

(付記 9)

複数のラッチ回路を有する回路であって、

前記複数のラッチ回路の各々は、

データ入力端子とクロック入力端子とスキャンデータ入力端子と第 1 のスキャンクロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第 1 のスキャンクロック入力端子から第 1 のスキャンクロックが入力された場合に前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力する第 1 のラッチと、

30

第 2 のスキャンクロック入力端子と動作モード入力端子を有し、前記第 2 のスキャンクロック入力端子から入力される第 2 のスキャンクロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

前記第 1 のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第 2 のラッチを有し

40

、
前記複数のラッチ回路のうち一のラッチ回路は

前記動作モード入力端子に電源電位又は接地電位を接続することにより、

前記第 1 のラッチが保持する前記データを第 1 のマスタデータとして出力し、

前記第 2 のラッチが保持する前記データを第 2 のマスタデータとして出力し、

前記複数のラッチ回路のうち他の一のラッチ回路は

前記動作モード入力端子にスキャンモードを入力することにより、

前記第 1 のラッチが保持する前記データをマスタデータとして出力し、

前記第 2 のラッチが保持する前記スキャンデータをスキャンアウトデータとして出力す

50

ることを特徴とする回路。

(付記 10)

データ入力端子とクロック入力端子とスキャンデータ入力端子と第 1 のスキャンクロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第 1 のスキャンクロック入力端子から第 1 のスキャンクロックが入力された場合に前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力する第 1 のラッチと、

第 2 のスキャンクロック入力端子と動作モード入力端子を有し、前記第 2 のスキャンクロック入力端子から入力される第 2 のスキャンクロックと前記動作モード入力端子から入力される動作モードとの所定の論理演算を行い、アップデートクロックを生成して出力する論理回路と、

前記第 1 のラッチの出力端子に接続されるアップデート入力端子と前記論理回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第 2 のラッチを有することを特徴とする半導体装置。

(付記 11)

データ入力端子とクロック入力端子とスキャンデータ入力端子と第 1 のスキャンクロック入力端子を有する第 1 のラッチと、前記第 1 のラッチの出力端子に接続されるアップデート入力端子を有する第 2 のラッチと、第 2 のスキャンクロック入力端子と、動作モード入力端子とを有するラッチ回路の制御方法であって、

前記第 2 のスキャンクロック入力端子と前記動作モード入力端子に電源電位又は接地電位を接続し、

前記第 2 のスキャンクロック入力端子から入力される前記電源電位又は接地電位と前記動作モード入力端子から入力される前記電源電位又は接地電位との所定の論理演算を行い、前記第 2 のラッチに出力し、

前記クロック入力端子にクロックを入力し、

前記データ入力端子にデータを入力し、

前記第 1 のラッチが、前記データ入力端子から入力される前記データを保持して出力し、

前記第 1 のラッチから出力される前記データを第 1 のマスタデータとして出力し、

前記第 2 のラッチが、前記アップデート入力端子から入力される前記データを保持して第 2 のマスタデータとして出力し、

前記第 2 のスキャンクロック入力端子に第 2 のスキャンクロックを入力し、

前記動作モード入力端子にスキャンモードを入力し、

前記第 2 のスキャンクロック入力端子から入力される前記第 2 のスキャンクロックと前記動作モード入力端子から入力される前記スキャンモードとの所定の論理演算を行い、アップデートクロックを生成して前記第 2 のラッチに出力し、

前記第 1 のスキャンクロック入力端子に第 1 のスキャンクロックを入力し、

前記スキャンデータ入力端子にスキャンデータを入力し、

前記第 1 のラッチが、前記スキャンデータ入力端子から入力される前記スキャンデータを保持して出力し、

前記第 1 のラッチから出力される前記スキャンデータをマスタデータとして出力し、

前記第 2 のラッチが、前記アップデート入力端子から入力される前記スキャンデータを保持してスキャンアウトデータとして出力することを特徴とする制御方法。

(付記 12)

データ入力端子とクロック入力端子とスキャンデータ入力端子と第 1 のスキャンクロック入力端子を有し、前記クロック入力端子からクロックが入力された場合に前記データ入力端子から入力されるデータを保持して出力するとともに、前記第 1 のスキャンクロック入力端子から第 1 のスキャンクロックが入力された場合に前記スキャンデータ入力端子か

10

20

30

40

50

ら入力される前記スキャンデータを保持して出力する第1のラッチと、

第2のスキャンクロック入力端子と動作モード入力端子を有し、前記第2のスキャンクロック入力端子から入力される第2のスキャンクロックと前記動作モード入力端子から入力される動作モードの否定的論理和を演算し、アップデートクロックを生成して出力する否定的論理和回路と、

前記第1のラッチの出力端子に接続されるアップデート入力端子と前記否定的論理和回路の出力端子に接続されるアップデートクロック入力端子を有するとともに、前記アップデートクロック入力端子から前記アップデートクロックが入力された場合に、前記アップデート入力端子から入力される前記データ又は前記スキャンデータを保持する第2のラッチを有することを特徴とするラッチ回路。

10

【図面の簡単な説明】

【0072】

【図1】実施形態の第1のDラッチ回路の構成図である。

【図2】実施形態の第2のDラッチ回路の構成図である。

【図3】第1の通常動作モードを示すタイミングチャートである。

【図4】第2の通常動作モードを示すタイミングチャートである。

【図5】スキャン動作モードを示すタイミングチャートである。

【図6】複数のDラッチ回路を含む回路の構成図である。

【図7】従来の第1のDラッチ回路の構成図である。

【図8】従来の第2のDラッチ回路の構成図である。

20

【符号の説明】

【0073】

11、15、32、34 スキャンクロック入力端子

12、31 クロック入力端子

13、35 データ入力端子

14、33 スキャンデータ入力端子

16、17、19 スイッチ

18、20 ラッチ部

21、22 バッファ

23、24、81、82 データ出力端子

41、43、46、48、50、51、54、56、58、60、62、63、66、
68、70、72、211、212 PMOS

30

42、44、47、49、52、53、55、57、59、61、64、65、67、
69、71、73、213、214 NMOS

45 トランスファゲート

101、201 動作モード入力端子

102 AND回路

111 アップデートクロック入力端子

112 アップデート入力端子

501、502、511、512 立上りエッジ

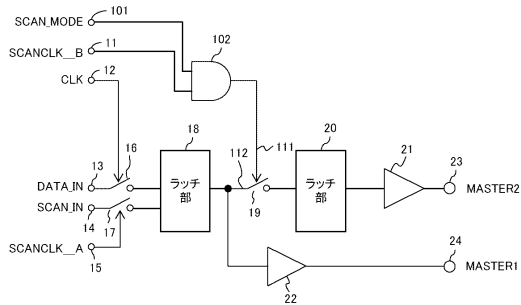
40

601、602、603 Dラッチ回路

611、612 組み合わせ回路

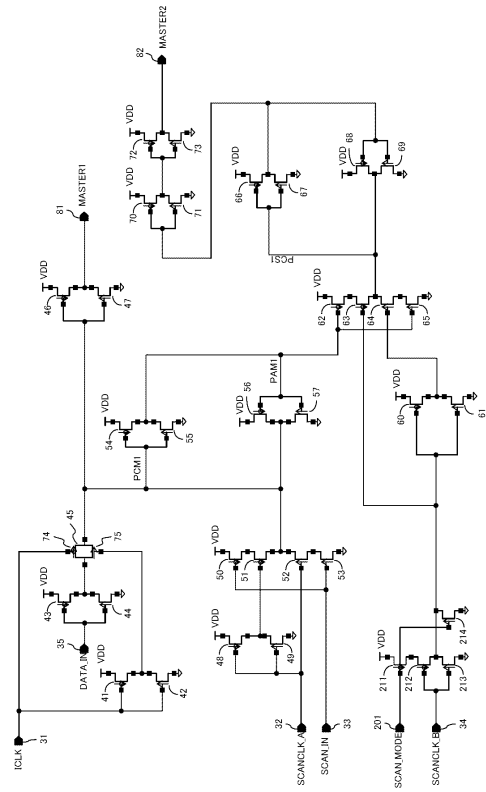
【 図 1 】

実施形態の第1のDラッチ回路の構成図



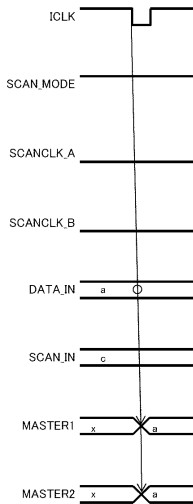
【 図 2 】

実施形態の第2のDラッチ回路の構成図



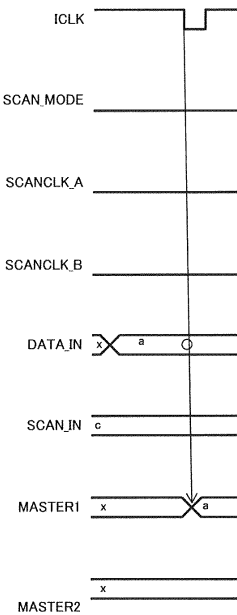
【 図 3 】

第1の通常動作モードを示す
タイミングチャート



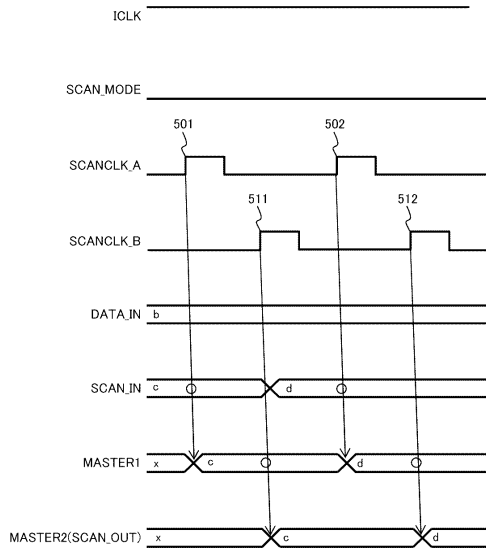
【 図 4 】

第2の通常動作モードを示す
タイミングチャート



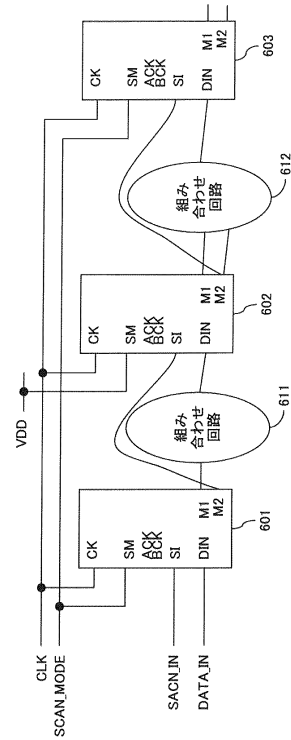
【 図 5 】

スキャン動作モードを示す
タイミングチャート



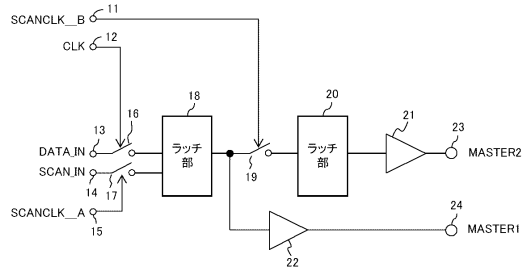
【 図 6 】

複数のDラッチ回路を含む
回路の構成図



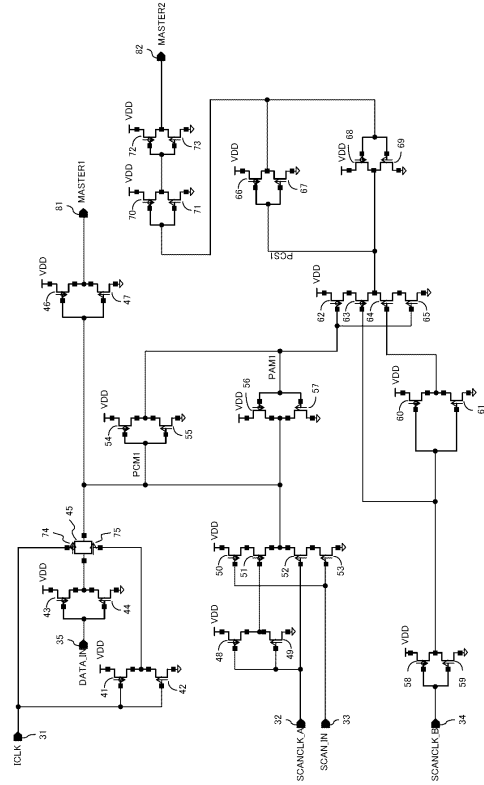
【 図 7 】

従来の第1のDラッチ回路の構成図



【 図 8 】

従来の第2のDラッチ回路の構成図



フロントページの続き

(56)参考文献 特開2005-300308(JP,A)
特開平5-75401(JP,A)
特開2006-17707(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28 - 31/3193
H03K 3/037
H03K 3/356