

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-262358  
(P2006-262358A)

(43) 公開日 平成18年9月28日(2006.9.28)

(51) Int. Cl.	F I	テーマコード (参考)
HO4N 5/335 (2006.01)	HO4N 5/335 E	4M118
HO1L 27/146 (2006.01)	HO4N 5/335 U	5CO24
	HO1L 27/14 A	

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号 特願2005-80081 (P2005-80081)  
(22) 出願日 平成17年3月18日 (2005.3.18)

(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(74) 代理人 100090273  
弁理士 園分 孝悦  
(72) 発明者 小倉 正徳  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
(72) 発明者 小泉 徹  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
(72) 発明者 沖田 彰  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

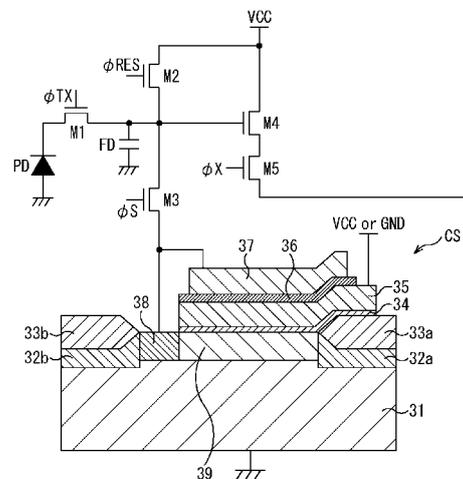
(54) 【発明の名称】 固体撮像装置及びカメラ

(57) 【要約】

【課題】 ダイナミックレンジを拡大させることと、画素のサイズを可及的に小さくさせることを同時に実現する。

【解決手段】 Pウェル31、第1の拡散層38、第1の誘電体膜34、第1のポリシリコン層35、第2の誘電体膜35、及び第2のポリシリコン層37を積層して、第1及び第2の拡散層38、39とPウェル31により形成される第1の静電容量と、第2の拡散層38、第1のポリシリコン層35、及び第1の誘電体膜34により形成される第2の静電容量と、第1のポリシリコン層35、第2のポリシリコン層37、及び第2の誘電体膜35により形成される第3の静電容量とを用いて付加容量CSを構成する。これにより、フォトダイオードPDから溢れた電荷を蓄積する付加容量CSのサイズを可及的に小さくしつつ、付加容量CSに必要な容量値を確保させることができる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

入射した光によって発生した電荷を蓄積する光電変換部と、  
 前記光電変換部に蓄積された電荷を転送するための第 1 の転送スイッチと、  
 前記光電変換部に蓄積された電荷が前記第 1 の転送スイッチを介して流入するフローティングディフュージョン領域と、  
 前記光電変換部から溢れた電荷の少なくとも一部を蓄積する電荷蓄積部と、  
 前記電荷蓄積部に蓄積された電荷を前記フローティングディフュージョン領域に転送するための第 2 の転送スイッチとを有する画素を複数含み、  
 前記電荷蓄積部は、前記光電変換部から溢れた電荷を蓄積するための容量が形成された部分を複数有し、それら複数の部分が積み重なっていることを特徴とする固体撮像装置。 10

## 【請求項 2】

入射した光によって発生した電荷を蓄積する光電変換部と、  
 前記光電変換部に蓄積された電荷を転送するための第 1 の転送スイッチと、  
 前記光電変換部に蓄積された電荷が前記第 1 の転送スイッチを介して流入するフローティングディフュージョン領域と、  
 前記光電変換部から溢れた電荷の少なくとも一部を蓄積する電荷蓄積部と、  
 前記電荷蓄積部に蓄積された電荷を前記フローティングディフュージョン領域に転送するための第 2 の転送スイッチとを有する画素を複数含み、  
 前記電荷蓄積部は、第 1 の導電型の半導体基板の一部と、 20  
 前記半導体基板の一部の上に形成された第 1 の誘電体膜と、  
 前記第 1 の誘電体膜の上に形成された第 1 の電極層と、  
 前記第 1 の半導体膜の上に形成された第 2 の誘電体膜と、  
 前記第 2 の誘電体膜の上に形成された第 2 の電極層とを有することを特徴とする固体撮像装置。

## 【請求項 3】

前記第 1 の誘電体膜と上下方向で隣接するように前記半導体基板内に形成され、前記第 1 の導電型と反対の第 2 の導電型の不純物を含む第 1 の不純物拡散層と、  
 前記第 1 の不純物拡散層と横方向で隣接するように前記半導体基板内に形成され、前記第 2 の導電型の不純物を含む第 2 の不純物拡散層とを有することを特徴とする請求項 2 に記載の固体撮像装置。 30

## 【請求項 4】

前記第 1 の電極層は、電源電位又はグランド電位に接続され、  
 前記第 2 の不純物拡散層と、前記第 2 の電極層と、前記第 2 の転送スイッチとが相互に接続されていることを特徴とする請求項 3 に記載の固体撮像装置。

## 【請求項 5】

前記第 2 の転送スイッチは、前記半導体基板の一部と、  
 前記半導体基板の表面に形成される絶縁膜と、  
 前記第 2 の不純物拡散層と、  
 前記絶縁膜の下方の領域を介して前記第 2 の不純物拡散層と対向する位置に形成され、 40  
 前記第 2 の導電型の不純物を含む第 3 の不純物拡散層と、  
 前記絶縁膜上に形成される電極層とを有することを特徴とする請求項 4 に記載の固体撮像装置。

## 【請求項 6】

前記第 1 の誘電体膜の下方の領域と隣接するように、前記半導体基板内に形成され、前記第 1 の導電型と反対の第 2 の導電型の不純物を含む不純物拡散層を有することを特徴とする請求項 2 に記載の固体撮像装置。

## 【請求項 7】

前記第 2 の転送スイッチは、前記半導体基板の一部と、  
 前記半導体基板の表面に形成される絶縁膜と、

前記不純物拡散層と、

前記絶縁膜の下方の領域を介して前記不純物拡散層と対向する位置に形成され、前記第2の導電型の不純物を含む第2の不純物拡散層と、

前記絶縁膜上に形成される電極層とを有することを特徴とする請求項6に記載の固体撮像装置。

【請求項8】

前記拡散層と、前記第2の電極層と、前記第2の転送スイッチとが相互に接続され、

前記第1の電極層は、電源電位又はグランド電位に接続されていることを特徴とする請求項6又は7に記載の固体撮像装置。

【請求項9】

前記第1の電極層に、電源電位をハイレベル、グランド電位をロウレベルとしたパルス信号を供給するパルス信号供給手段を有し、

前記拡散層と、前記第2の電極層と、前記第2の転送スイッチとが相互に接続され、に接続されていることを特徴とする請求項6又は7に記載の固体撮像装置。

【請求項10】

前記光電変換部とその他の素子と間に形成されるポテンシャル障壁のうち、前記光電変換部と前記電荷蓄積部との間のポテンシャル障壁が最も低いことを特徴とする請求項1～9の何れか1項に記載の固体撮像装置。

【請求項11】

前記第2の電極層は、電源電位又はグランド電位に接続され、

前記第1の電極層と、前記第2の転送スイッチとが相互に接続され、

前記第2の拡散層は、グランド電位に接続されていることを特徴とする請求項3に記載の固体撮像装置。

【請求項12】

前記請求項1～11の何れか1項に記載の固体撮像装置と、

前記固体撮像装置に光学像を結像させるためのレンズと、

前記レンズを通る光量を可変するための絞りとを有することを特徴とするカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置及びカメラに関し、特に、CMOSエリアセンサに用いて好適なものである。

【背景技術】

【0002】

近年、フォトダイオードとMOSトランジスタとを1チップ化したCMOSエリアセンサが固体撮像素子として用いられている。CMOSエリアセンサは、CCDと比較して、消費電力が小さくなる、駆動電力が低くなる、高速化が可能になるなどの利点を有している。したがって、今後は、COMSエリアセンサの需要が拡大することが予想される。

【0003】

そして、このようなCMOSエリアセンサを利用して、固体撮像素子のダイナミックレンジを拡大するという提案がなされている。

例えば、フォトダイオードと、フローティングディフュージョン(floating diffusion; 浮遊拡散)領域と、前記フォトダイオードから前記フローティングディフュージョン領域に電荷を転送するための第1の転送トランジスタと、前記フォトダイオードから溢れた電荷を蓄積する付加容量と、前記付加容量から前記フローティングディフュージョン領域に電荷を転送するための第2の転送トランジスタと、前記フローティングディフュージョン領域及び前記付加容量を所定の電位にリセットするためのリセットトランジスタとを有する複数の画素をマトリックス(行列)状に形成して構成されたCMOSエリアセンサを有する固体撮像装置がある(非特許文献1を参照)。

【0004】

10

20

30

40

50

この非特許文献1に記載されている技術では、前記付加容量を用いて、前記フォトダイオードから溢れた電荷を蓄積し、蓄積した電荷を、前記第2の転送トランジスタを用いて前記フローティングディフュージョン領域へ転送している。これにより、前記付加容量に蓄積された電荷と、前記フォトダイオードに蓄積された電荷とを用いて画素信号を形成する事ができ、CMOSエリアセンサのダイナミックレンジを拡大させることができる。この場合、前記付加容量の容量値を大きくすれば、より多くの電荷を蓄積することができ、CMOSエリアセンサのダイナミックレンジをより一層拡大させることができる。

【0005】

【非特許文献1】Shigetoshi Sugawa,他5名,"A 100db Dynamic Range CMOS Image Sensor Using a lateral Overflow Integration Capacitor", ISSCC 2005/SESSION19/IMAGES/1 10  
9.4,DIGEST OF TECHNICAL PAPERS,2005 IEEE International Solid-State Circuit Conference, February 8,2005,P352-353,603

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、前述した従来技術では、前記付加容量についての具体的な考察がなされていない。したがって、前記付加容量の容量値を大きくすると、前記付加容量のサイズが大きくなる虞がある。前記付加容量は、画素内に形成されるので、前記付加容量のサイズが大きくなると画素のサイズが大きくなる虞がある。

【0007】

本発明は、このような問題点に鑑みてなされたものであり、ダイナミックレンジを拡大させることと、画素のサイズを可及的に小さくさせることとを実現した固体撮像装置及びその固体撮像装置を用いたカメラを提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の固体撮像装置は、入射した光によって発生した電荷を蓄積する光電変換部と、前記光電変換部に蓄積された電荷を転送するための第1の転送スイッチと、前記光電変換部に蓄積された電荷が前記第1の転送スイッチを介して流入するフローティングディフュージョン領域と、前記光電変換部から溢れた電荷の少なくとも一部を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された電荷を前記フローティングディフュージョン領域に転送 30  
するための第2の転送スイッチとを有する画素を複数含み、前記電荷蓄積部は、前記光電変換部から溢れた電荷を蓄積するための容量が形成された部分を複数有し、それら複数の部分が積み重なっていることを特徴とする。

また、本発明の他の特徴とするところは、入射した光によって発生した電荷を蓄積する光電変換部と、前記光電変換部に蓄積された電荷を転送するための第1の転送スイッチと、前記光電変換部に蓄積された電荷が前記第1の転送スイッチを介して流入するフローティングディフュージョン領域と、前記光電変換部から溢れた電荷の少なくとも一部を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された電荷を前記フローティングディフュージョン領域に転送するための第2の転送スイッチとを有する画素を複数含み、前記電荷蓄積部は、第1の導電型の半導体基板の一部と、前記半導体基板の一部の上に形成された第1 40  
の誘電体膜と、前記第1の誘電体膜の上に形成された第1の電極層と、前記第1の半導体膜の上に形成された第2の誘電体膜と、前記第2の誘電体膜の上に形成された第2の電極層とを有することを特徴とする。

【0009】

本発明のカメラは、前記固体撮像装置と、前記固体撮像装置に光学像を結像させるためのレンズと、前記レンズを通る光量を可変するための絞りとを有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、光電変換部から溢れた電荷を蓄積するための容量を積み重ねるようにしたので、横方向の面積を可及的に小さくしつつ、可及的に大きな容量値を確保できる電 50

荷蓄積部を実現できる。これにより、固体撮像装置のダイナミックレンジを拡大することと、画素のサイズを小さくすることとを同時に実現できる。

【発明を実施するための最良の形態】

【0011】

(第1の実施形態)

次に、図面を参照しながら、本発明の第1の実施形態について説明する。

図1は、本実施形態の固体撮像装置に設けられる画素の概略構成の一例を示す図である。

図1において、本実施形態の固体撮像装置は、フォトダイオードPDと、第1の転送MOSトランジスタM1と、リセットMOSトランジスタM2と、第2の転送MOSトランジスタM3と、ソースフォロアMOSトランジスタM4と、選択MOSトランジスタM5とを備える複数の画素を、 $n$ 行 $\times$  $m$ 列( $n$ 、 $m$ は自然数)の2次元マトリックス状に配置して構成されている。

10

【0012】

フォトダイオードPDは、第1の転送MOSトランジスタM1を介して、フローティングディフュージョン領域FDに接続されている。このフローティングディフュージョン領域FDには、リセットMOSトランジスタM2、ソースフォロアMOSトランジスタM4、及び第2の転送MOSトランジスタM3も接続されている。また、第2の転送MOSトランジスタM3には、フォトダイオードPDから溢れた電荷を蓄積する付加容量CSが接続されている。

20

ソースフォロアMOSトランジスタM4は、選択MOSトランジスタM5と相互に接続されており、フローティングディフュージョン領域FDに転送された電荷に基づく信号を増幅する。

【0013】

第1の転送MOSトランジスタM1、リセットMOSトランジスタM2、第2の転送MOSトランジスタM3、及び選択MOSトランジスタM5は、それぞれゲートに供給される制御信号(ゲート信号)によりオン、オフ制御される。なお、第1の転送MOSトランジスタM1、リセットMOSトランジスタM2、第2の転送MOSトランジスタM3、及び選択MOSトランジスタM5は、ハイレベルのゲート信号がゲートに供給されるとオン(導通)状態となり、ロウレベルのゲート信号がゲートに供給されるとオフ(遮断)状態となるものとする。

30

【0014】

具体的に、第1の転送MOSトランジスタM1のゲートには、制御信号TXが供給され、第2の転送MOSトランジスタM3には、制御信号Sが供給され、選択MOSトランジスタM5のゲートには、制御信号Xが供給され、リセットMOSトランジスタM2のゲートには、制御信号RESが供給される。

【0015】

ここで、制御信号TXは、フォトダイオードPDに蓄積された電荷をフローティングディフュージョン領域FDに転送するための制御信号である。制御信号Sは、フォトダイオードPDから溢れて付加容量CSに蓄積された電荷をフローティングディフュージョン領域FDに転送するための制御信号である。制御信号Xは、画素を選択するための制御信号である。制御信号RESは、フローティングディフュージョン領域FDの電位を電源電位 $V_{CC}$ (例えば+5V)にリセットするための制御信号である。

40

【0016】

本実施形態の固体撮像装置では、図1のような画素が形成される画素領域の外部に、フローティングディフュージョン領域FDに転送された信号レベル(S)と、リセットレベル(N)とを加算したレベルの信号を保持する信号レベル保持容量と、リセットレベル(N)の信号を保持するリセットレベル保持容量とを有するメモリ回路が設けられている。

【0017】

そして、前記信号レベル保持容量Csに保持された信号レベル(S)と、リセットレベ

50

ル(N)とが加算された信号と、前記リセットレベル保持容量に保持されたリセットレベル(N)の信号との差分信号(信号レベル(S)の信号)を増幅する差動アンプが設けられている。固体撮像装置は、この差動アンプで得られた信号を出力する。

【0018】

ここで、図2のタイミングチャートを参照しながら、本実施形態の固体撮像装置の画素の読み出し動作の一例について説明する。

まず、時刻 $t_1$ において、ハイレベルの制御信号Sが第2の転送MOSトランジスタM3に供給されており、且つハイレベルの制御信号Xが選択MOSトランジスタM5に供給されている状態で、ハイレベルの制御信号RESを、リセットMOSトランジスタM2のゲートに供給する。そうすると、リセットMOSトランジスタM2、第2の転送MOSトランジスタM3、及び選択MOSトランジスタM5がオンする。すなわち、選択MOSトランジスタM5がオンすることにより、その選択MOSトランジスタM5が属する画素が選択された状態で、フローティングディフュージョン領域FDと、付加容量CSとが電源電圧 $V_{CC}$ にリセットされる。

10

【0019】

時刻 $t_2$ において、ロウレベルの制御信号RESを、リセットMOSトランジスタM2に供給して、リセットMOSトランジスタM2をオフし、フローティングディフュージョン領域FDと、付加容量CSのリセット動作を終了する。このリセット動作が行われると、フローティングディフュージョン領域FD及び付加容量CSにおけるリセットレベル(N2)が読み出される。

20

時刻 $t_3$ において、ロウレベルの制御信号Xを選択MOSトランジスタM5に供給する。これにより、選択MOSトランジスタM5がオフし、フォトダイオードPDで発生した電荷の蓄積が開始する。そして、時刻 $t_3 \sim t_4$ において、フォトダイオードPDに電荷が蓄積されると共に、フォトダイオードPDから溢れた電荷が、図3に示すオーバーフローレイン領域31と、付加容量CSが形成されている領域とに流入する。オーバーフローレイン領域31に流入した電荷は、フローティングディフュージョンFDに蓄積される。一方、付加容量CSが形成されている領域に流入した電荷は、その領域(付加容量CS)に蓄積される。

【0020】

時刻 $t_4$ において、ハイレベルの制御信号Xを選択MOSトランジスタM5に供給すると共に、ロウレベルの制御信号Sを第2の転送MOSトランジスタM3に供給する。これにより、選択MOSトランジスタM5がオンすると共に、第2の転送MOSトランジスタM3がオフし、フォトダイオードPDで発生した電荷の蓄積動作が終了する。

30

時刻 $t_5$ において、制御信号RESをリセットMOSトランジスタM2に供給する。これにより、リセットMOSトランジスタM2がオンし、フローティングディフュージョン領域FDが電源電圧 $V_{CC}$ にリセットされる。

【0021】

時刻 $t_6$ において、ロウレベルの制御信号RESを、リセットMOSトランジスタM2に供給して、リセットMOSトランジスタM2をオフし、フローティングディフュージョン領域FDのリセット動作を終了する。このリセット動作により、フローティングディフュージョン領域FDにおけるリセットレベル(N1)が読み出される。

40

時刻 $t_7$ において、ハイレベルの制御信号TXを第1の転送MOSトランジスタM1に供給する。これにより、第1の転送MOSトランジスタM1がオンし、フォトダイオードPDに蓄積された電荷がフローティングディフュージョン領域FDに転送される。なお、後述するように本実施形態では、ハイレベルの制御信号TXとして5[V]の信号を用いている。

【0022】

時刻 $t_8$ において、ロウレベルの制御信号TXを第1の転送MOSトランジスタM1に供給する。これにより、第1の転送MOSトランジスタM1がオフし、フォトダイオードPDに蓄積された電荷の転送動作が終了する。この転送動作が行われると、フローティ

50

ングディフュージョン領域FDにおけるリセットレベル(N1)と、フローティングディフュージョン領域FDに蓄積された電荷に基づく信号レベル(S1)とが加算された状態で読み出される。なお、後述するように本実施形態では、ロウレベルの制御信号TXとして-1[V]の信号を用いている。

#### 【0023】

時刻t9において、ハイレベルの制御信号TXを第1の転送MOSトランジスタM1に供給すると共に、ハイレベルの制御信号Sを第2の転送MOSトランジスタM3に供給する。これにより、第1の転送MOSトランジスタM1と第2の転送MOSトランジスタM3とがオンする。この動作により、フローティングディフュージョン領域FDに蓄積された電荷に基づく信号レベル(S1)と、付加容量CSに蓄積された電荷に基づく信号レベル(S2)と、フローティングディフュージョン領域FDにおけるリセットレベル(N1)と、フローティングディフュージョン領域FD及び付加容量CSにおけるリセットレベルと略同量のリセットレベル(N2')とが加算されて読み出される。

10

最後に、時刻t10において、ロウレベルの制御信号TXを第1の転送MOSトランジスタM1に供給して、第1の転送MOSトランジスタM1をオフして1周期の動作を終える。

#### 【0024】

本実施形態では、以上のような構成と動作を行う画素に配設された付加容量CSを以下のように構成している。以下、図3を用いて本実施形態の付加容量CSについて説明する。

20

図3は、本実施形態の付加容量CSの構成の一例を示す側断面図である。なお、図3では、図1に示した画素における付加容量CSの接続状態も示している。

図3において、付加容量CSは、p型のウェル(Pウェル)31と、チャンネルストッパー層32と、選択酸化膜33と、第1の誘電体膜34と、第1のポリシリコン層35と、第2の誘電体膜36と、第2のポリシリコン層37と、第1の拡散層38と、第2の拡散層39とを有している。

#### 【0025】

第1及び第2の拡散層38、39は、Pウェル31の表面領域に、n型不純物をドーピング(添加)することにより形成される。

フォトダイオードPDから溢れた電荷は、n型領域(n型不純物を含む領域)である第1および第2の拡散層38、39と、p型領域(p型不純物を含む領域)であるPウェル31との間の容量(キャパシタンス)を有する領域に蓄積される。そして、この領域に蓄積された電荷が、第1及び第2の拡散層38、39を介して、第2の転送MOSトランジスタM3に移動する。このように、第1及び第2の拡散層38、39は、電荷が移動する領域であるので、第1及び第2の拡散層38、39内のn型不純物の濃度や厚さを調節する(濃度を大きくしたり、厚さを薄くしたりする)等して、第1及び第2の拡散層38、39の抵抗値が可及的に小さくなるようにするのが好ましい。

30

#### 【0026】

また、第1の拡散層38は、第2の転送MOSトランジスタM3とアルミ配線を用いて接続されるので、本実施形態では、第1の拡散層38におけるn型不純物の濃度を、第2の拡散層39におけるn型不純物の濃度よりも大きくしている。

40

ただし、第1の拡散層38におけるn型不純物の濃度を、第2の拡散層39におけるn型不純物の濃度と同じにしてもよいし、第1の拡散層39におけるn型不純物の濃度を、第2の拡散層38におけるn型不純物の濃度よりも小さくしてもよい。

#### 【0027】

チャンネルストッパー32a、32bは、それぞれ第2及び第1の拡散層39、38に横方向で隣接する位置に形成される。チャンネルストッパー32a、32bは、他の素子との間でチャンネル(Nチャンネル)が形成されるのを防止するためのものであり、SiO<sub>2</sub>膜等の絶縁膜である。

#### 【0028】

50

選択酸化膜 33 a、33 b は、それぞれチャネルストッパー 32 a、32 b の上に形成される。選択酸化膜 33 a、33 b は、付加容量 C S と他の素子とを分離するためのものであり、例えば L O C O S (Local Oxidation of Silicon) 法により形成された SiO<sub>2</sub> 膜等の絶縁膜である。

#### 【0029】

第 1 の誘電体膜 34 は、第 2 の拡散層 39 及び選択酸化膜 33 a の上に形成される。第 1 の誘電体膜 34 は、SiO<sub>2</sub> 膜と SiN<sub>2</sub> 膜とが積層されたものである。第 1 の誘電体膜 34 は、その厚さが薄いほど、キャパシタンス (容量) が大きくなる。したがって、第 1 の誘電体膜 34 の上に形成される第 1 のポリシリコン層 35 と、第 2 の拡散層 39 との間に印加される電圧により第 1 の誘電体膜 34 の絶縁が破壊又は劣化しない限度において、第 1 の誘電体膜 34 の厚さを薄くするのが好ましい。なお、本実施形態のように SiO<sub>2</sub> 膜と SiN<sub>2</sub> 膜とを積層して第 1 の誘電体膜 34 を形成すれば、第 1 の誘電体膜 34 からリークする電流を可及的に低減させることができ好ましいが、必ずしも SiO<sub>2</sub> 膜と SiN<sub>2</sub> 膜とを積層して第 1 の誘電体膜 34 を形成する必要はない。例えば、SiO<sub>2</sub> 膜及び SiN<sub>2</sub> 膜の何れかを単独で用いて第 1 の誘電体膜 34 を形成してもよい。

10

#### 【0030】

第 1 のポリシリコン層 35 は、第 1 の誘電体膜 34 の上に形成される。この第 1 のポリシリコン層 35 は、電源電位 V<sub>CC</sub> 又はグランド電位 GND に接続される。

フォトダイオード PD から溢れた電荷は、第 1 のポリシリコン層 35 と第 2 の拡散層 39 との間に形成される第 1 の誘電体膜 34 に蓄積される。そして、この第 1 の誘電体膜 34 に蓄積された電荷も、第 1 及び第 2 の拡散層 38、39 を介して、第 2 の転送 MOS トランジスタ M3 に移動する。

20

#### 【0031】

第 2 の誘電体膜 36 は、第 1 のポリシリコン層 35 の上に形成される。第 2 の誘電体膜 36 も、第 1 の誘電体膜 34 と同様に、SiO<sub>2</sub> 膜と SiN<sub>2</sub> 膜とが積層されたものである。また、厚さが薄いほど、キャパシタンス (容量) が大きくなることも第 1 の誘電体膜 34 と同様である。したがって、第 2 の誘電体膜 35 の上に形成される第 2 のポリシリコン層 37 と、第 1 のポリシリコン層 35 との間に印加される電圧により第 2 の誘電体膜 35 の絶縁が破壊又は劣化しない限度において、第 2 の誘電体膜 35 の厚さを薄くするのが好ましい。さらに、第 2 の誘電体膜 35 を、例えば、SiO<sub>2</sub> 膜及び SiN<sub>2</sub> 膜の何れかを単独で用いて形成してもよいことも第 1 の誘電体膜 34 と同様である。

30

#### 【0032】

第 2 のポリシリコン層 37 は、第 2 の誘電体膜 37 の上に形成される。第 2 のポリシリコン層 37 は、第 2 の転送 MOS トランジスタ M3 及び第 1 の拡散層 39 とアルミ配線等の金属配線を用いて接続される。

フォトダイオード PD から溢れた電荷は、第 1 のポリシリコン層 35 と第 2 のポリシリコン層 37 との間に形成される第 2 の誘電体膜 36 に蓄積される。そして、この第 2 の誘電体膜 36 に蓄積された電荷は、第 2 のポリシリコン層 37 を介して、第 2 の転送 MOS トランジスタ M3 に移動する。

なお、第 1 のポリシリコン層 35 及び第 2 のポリシリコン層 36 は、不純物がドーブ (添加) されること等によって導電性を有する。また、第 1 のポリシリコン層 35 及び第 2 のポリシリコン層 36 は、導電性を有する材料であれば、必ずしもポリシリコンを用いる必要はない。

40

#### 【0033】

以上のように本実施形態では、n 型領域である第 1 および 2 の拡散層 38、39 と、p 型領域である P ウェル 31 とにより第 1 の静電容量が形成される。また、第 2 の拡散層 39 と、第 1 のポリシリコン層 35 と、第 1 の誘電体膜 34 とにより第 2 の静電容量が形成される。さらに、第 1 のポリシリコン層 35 と、第 2 のポリシリコン層 37 と、第 2 の誘電体膜 35 とにより第 3 の静電容量が形成される。そして、これら第 1 ~ 第 3 の静電容量を形成するために、P ウェル 31、第 2 の拡散層 39、第 1 の誘電体膜 34、第 1 のポリ

50

シリコン層 35、第2の誘電体膜 35、及び第2のポリシリコン層 37を積層させるようにしたので、横方向の面積を可及的に小さくして付加容量CSを形成することができる。これにより、付加容量CSのサイズを可及的に小さくしつつ、付加容量CSに可及的に大きな容量値を持たせることができる。したがって、固体撮像装置のダイナミックレンジを拡大することと、画素のサイズを小さくすることを同時に実現することができる。

**【0034】**

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。なお、本実施形態と第1の実施形態とは、付加容量CSの接続方法が異なるだけである。よって、第1の実施形態と同一の部分については、図1～図3に付した符号と同一の符号を付して詳細な説明を省略する。

10

**【0035】**

図4は、本実施形態の付加容量CSの構成の一例を示す側断面図である。なお、図4では、図1に示した画素における付加容量CSの接続状態も示している。

図4に示すように、本実施形態では、第2の拡散層38をグランド電位GNDに接続し、第2のポリシリコン層37を電源電位 $V_{CC}$ 又はグランド電位GNDに接続し、第1のポリシリコン層35を第2の転送MOSトランジスタM3に接続するようにしている。このように、Pウェル31と第2の拡散層38とをグランド電位GND(同電位)としているので、前述した第1の実施形態のように、n型領域である第1及び第2の拡散層38、39と、p型領域であるPウェル31との間に、前述した第1の静電容量が形成されなくなる。よって、本実施形態では、第2の拡散層39、第1のポリシリコン層35、及び第1の誘電体膜34により形成される第2の静電容量と、第1のポリシリコン層35、第2のポリシリコン層37、及び第2の誘電体膜35により形成される第3の静電容量とを用いて、付加容量CSが構成される。

20

**【0036】**

すなわち、フォトダイオードPDから溢れた電荷は、第1の誘電体膜34と第2の誘電体膜35に蓄積される。そして、これら第1の誘電体膜34と第2の誘電体膜35に蓄積された電荷は、第1のポリシリコン層35を介して、第2の転送MOSトランジスタM3に移動する。

**【0037】**

このように、本実施形態では、前述した第1の静電容量が形成されないため、本実施形態の付加容量CSの容量値は、第1の実施形態の付加容量CSよりも小さくなる。しかしながら、本実施形態では、n型領域である第1及び第2の拡散層38、39と、p型領域であるPウェル31との間に生じるリーク電流に基づく電荷がグランド電位GNDに吸収される。したがって、このリーク電流に基づく電荷が第2の転送MOSトランジスタM3に流れ込むことを可及的に防止できる。よって、このリーク電流に基づく電荷によるノイズが、画素信号に含まれることを可及的に防止することができるという効果がある。

30

**【0038】**

(第3の実施形態)

次に、本発明の第3の実施形態について説明する。なお、本実施形態と第1の実施形態とは、付加容量CSの構造と接続方法の一部が異なるだけである。よって、第1の実施形態と同一の部分については、図1～図3に付した符号と同一の符号を付して詳細な説明を省略する。

40

**【0039】**

図5は、本実施形態の付加容量CSの構成の一例を示す側断面図である。なお、図5では、図1に示した画素における付加容量CSの接続状態も示している。

図5に示すように、本実施形態の付加容量CSは、第1の実施形態の静電容量CSから第2の拡散層39を除いた構造を有している。また、第1の実施形態の静電容量CSでは、第1のポリシリコン層35を電源電位 $V_{CC}$ 又はグランド電位GNDに接続するようだったが、本実施形態の静電容量CSでは、電源電位 $V_{CC}$ に接続するようにする。

**【0040】**

50

このようにして、第1のポリシリコン層35に電源電位 $V_{CC}$ を与えると、第1の誘電体膜34と接するPウェル51の表面領域に、実質的にn型の反転層52が形成される。この反転層52が、第1の実施形態における第2の拡散層39と同様の役割を果たす。よって、この反転層52と、Pウェル51とにより、容量値は異なるが、前述した第1の静電容量と同様の静電容量が形成される。

【0041】

また、この反転層52と、第1のポリシリコン層35と、第1の誘電体層34とにより、容量値は異なるが、前述した第2の静電容量と同様の静電容量が形成される。また、第1のポリシリコン層35と、第2のポリシリコン層37と、第2の誘電体層36とにより、前述した第3の静電容量が形成される。

10

なお、付加容量CSに蓄積された電荷が、第2の転送MOSトランジスタM3に移動する経路は、第1の実施形態と同じである。

【0042】

以上のように、本実施形態では、第1の誘電体膜34と接するPウェル51の表面領域に、反転層52を形成するようにしたので、第1の実施形態のように、第1の誘電体膜34が、第2の拡散層39内のn型不純物により酸化(増速酸化)してしまうことを可及的に防止することができる。これにより、この反転層52と、第1のポリシリコン層35と、第1の誘電体層34とにより形成される静電容量が減少することを可及的に防止することができる。したがって、反転層52と、第1のポリシリコン層35と、第1の誘電体層34とにより形成される静電容量の容量値を、前述した第2の静電容量の容量値よりも大きくすることができる。

20

【0043】

(第4の実施形態)

次に、本発明の第4の実施形態について説明する。なお、本実施形態と第3の実施形態とは、付加容量CSの接続方法の一部が異なるだけである。よって、第3の実施形態と同一の部分については、図1~図3、及び図5に付した符号と同一の符号を付して詳細な説明を省略する。

【0044】

図6は、本実施形態の付加容量CSの構成の一例を示す側断面図である。なお、図6では、図1に示した画素における付加容量CSの接続状態も示している。

30

図6に示すように、本実施形態では、第1のポリシリコン層35には、一定の電圧ではなく、パルス信号61を与えるようにしている。このパルス信号61は、図2に示したタイミングチャートにおいて、制御信号RESがハイレベルであるときにロウレベル(グランド電位GND)となり、制御信号RESがロウレベルであるときにハイレベル(電源電位 $V_{CC}$ )となる。

【0045】

このようにすると、リセット動作を行っているときには、パルス信号61がロウレベル(グランド電位GND)になり、第1の誘電体膜34と接するPウェル51の表面領域に、反転層52が形成されない。よって、付加容量CSには、第1のポリシリコン層35と、第2のポリシリコン層37と、第2の誘電体層36とに基づく、前述した第3の静電容量だけが形成される。

40

【0046】

ところで、ある容量値C[F]を有する容量をリセットしたときに発生するノイズ電荷 $Q_N$ [C]は、ボルツマン定数をk、絶対温度をTとすると、以下の(1)式により表される。

$$Q_N = (kTC)^{1/2} \cdots (1)$$

また、このノイズ電荷 $Q_N$ に基づいて発生するノイズ電圧 $V_N$ は、以下の(2)式により表される。

$$V_N = ((kTC)^{1/2} / C) \cdots (2)$$

【0047】

50

そうすると、本実施形態の付加容量CSをリセットしたときに発生するノイズ電荷 $Q_N$  [C]は、前述した第3の静電容量の容量値を $C_3$ とすると、以下の(3)式により表される。

$$Q_N = (kTC_3)^{1/2} \cdots (3)$$

【0048】

前述したように、リセット動作を行っているときの本実施形態の付加容量CSの容量値は、第3の静電容量の容量値 $C_3$ である。よって、リセット動作を行っているときのノイズ電圧 $V_N$ は、以下の(4)式により表される。

$$V_N = ((kTC_3)^{1/2} / C_3) = (kT / C_3)^{1/2} \cdots (4)$$

【0049】

一方、リセット動作を行っていないときには、パルス信号61がハイレベル(電源電位 $V_{CC}$ )になり、第1の誘電体膜34と接するPウェル51の表面領域に、反転層52が形成される。よって、第3の実施形態と同様に、付加容量CSは、反転層52及びPウェル51により形成される静電容量(容量値を $C_1$ とする)と、反転層52、第1のポリシリコン層35、及び第1の誘電体層34により形成される静電容量(容量値を $C_2$ とする)と、前述した第3の静電容量とが並列接続される。

【0050】

そうすると、リセット動作を行っていないときの本実施形態の付加容量CSの容量値は、容量値 $C_1$ 、 $C_2$ 、 $C_3$ を加算したものになる。よって、リセット動作を行っていないときのノイズ電圧 $V_N$ は、以下の(5)式により表される。

$$V_N = ((kTC_3)^{1/2} / C_1 + C_2 + C_3) \cdots (5)$$

よって、前記(5式)の右辺の分子の値は、リセット動作を行っているときにもハイレベル(電源電位 $V_{CC}$ )の信号を与えた場合の値(= $(kT(C_1 + C_2 + C_3))^{1/2}$ )よりも小さくなる。よって、第1のポリシリコン層35にハイレベル(電源電位 $V_{CC}$ )の信号を与え続けた場合よりも、パルス信号61を与えた場合の方が、ノイズ電圧 $V_N$ を低減させることができる。

【0051】

以上のように本実施形態では、リセット動作を行っているときには、第1のポリシリコン層35にロウレベルのパルス信号61を与えて、第1の誘電体膜34と接するPウェル51の表面領域に、反転層52が形成されないようにする一方、リセット動作を行っていないときには、第1のポリシリコン層35にハイレベルのパルス信号61を与えて、第1の誘電体膜34と接するPウェル51の表面領域に、反転層52が形成されるようにした。これにより、リセット動作を行っているときの付加容量CSの容量値を第3の静電容量の容量値 $C_3$ のみにすることができ、リセットノイズを低減することができる。

【0052】

(第5の実施形態)

次に、本発明の第5の実施形態について説明する。なお、本実施形態と第4の実施形態とは、付加容量CSとフォトダイオードPDとの位置が異なるだけである。よって、第4の実施形態と同一の部分については、図1~図3、及び図6に付した符号と同一の符号を付して詳細な説明を省略する。

【0053】

図7は、本実施形態の付加容量CSの構成の一例を示す側断面図である。なお、図7では、図1に示した画素における付加容量CSの接続状態も示している。

図7において、n型不純物を含むn型半導体膜72が、Pウェル51の表面側に形成されている。このn型半導体膜72の上には、フォトダイオードPDを埋め込み構造とするためのシールド層となるp型半導体層71が形成されている。以上のように、本実施形態では、n型半導体膜72とPウェル51とにより構成されるフォトダイオードPDを埋め込み構造にしている。また、選択酸化膜33cにより、フォトダイオードPDと、付加容量CS以外の他の素子とが分離されるようにし、チャンネルストッパー32cにより、フォトダイオードPDと、付加容量CS以外の他の素子との間にチャンネルが形成されるのを防

10

20

30

40

50

止するようにしている。

【0054】

本実施形態では、このような構成のフォトダイオードPDと、第1の拡散層38とが、選択酸化膜33b及びチャネルストッパー層32bを介して対向するように、付加容量CSとフォトダイオードPDとを形成している（すなわち、フォトダイオードPDとその周囲の素子とのうち、フォトダイオードPDと付加容量CSとの間の距離が最も短くなるようにしている）。

【0055】

以上のように本実施形態では、フォトダイオードPDと、第1の拡散層38とが、選択酸化膜33b及びチャネルストッパー層32bを介して対向するようにして、フォトダイオードPDとその周囲の素子との間のポテンシャル障壁のうち、フォトダイオードPDと付加容量CSとの間のポテンシャル障壁が最も小さくなるようにした。これにより、フォトダイオードPDから溢れた電荷を可及的に高い効率で付加容量CSに蓄積させることができる。これにより、固体撮像装置のダイナミックレンジをより一層拡大させることができる。

10

【0056】

なお、本実施形態では、フォトダイオードPDと、第1の拡散層38とが、選択酸化膜33b及びチャネルストッパー層32bを介して対向するようにしたが、フォトダイオードPDとその周囲の素子との間のポテンシャル障壁のうち、フォトダイオードPDと付加容量CSとの間のポテンシャル障壁が最も小さくなるようにしていれば必ずしもこのようにする必要はない。

20

【0057】

すなわち、フォトダイオードPDと付加容量CSとの間のポテンシャル障壁が最も小さくなるようにしていれば、フォトダイオードPDと付加容量CSとの間の距離を最も短くする必要はない。例えば、チャネルストッパー32b及び選択酸化膜33bの少なくとも何れか一方を形成しないようにして、フォトダイオードPDと付加容量CSとの間のポテンシャル障壁が最も小さくなるようにしてもよい。このようにした場合には、フォトダイオードPDと付加容量CSとの間の距離は、フォトダイオードPDとその他の素子との間の距離より長くなってもよい。

【0058】

また、本実施形態では、第4の実施形態に示した蓄積電荷CSを例に挙げて示したが、第1の実施形態又は第3の実施形態に示した蓄積電荷CSを用いてもよいということはいうまでもない。

30

【0059】

（第6の実施形態）

次に、本発明の第6の実施形態について説明する。なお、本実施形態と第1の実施形態とは、付加容量CSと第2の転送MOSトランジスタM3との配線方法が異なるだけである。よって、第1の実施形態と同一の部分については、図1～図3に付した符号と同一の符号を付して詳細な説明を省略する。

【0060】

図8は、本実施形態の付加容量CSと第2の転送MOSトランジスタM3との構成の一例を示す図である。図8(a)は、付加容量CSと第2の転送MOSトランジスタM3との概略構成の一例を示す側断面図である。図8(b)は、付加容量CSと第2の転送MOSトランジスタM3との概略構成の一例を示す平面図である。

40

図8において、第2の転送MOSトランジスタM3は、Pウェル31と、ゲート絶縁膜83と、ゲート電極82と、第1の拡散層38と、第3の拡散層81とを有している。

【0061】

第3の拡散層81は、Pウェル31の表面領域にn型不純物をドーブ（添加）することにより形成される。

ゲート絶縁膜83は、第1の拡散層38と第3の拡散層81とにより挟まれたPウェル

50

31の領域の上に形成される。ゲート絶縁膜82は、 $\text{SiO}_2$ 膜と $\text{SiN}_2$ 膜とが積層されたものである。ただし、絶縁膜であれば必ずしも $\text{SiO}_2$ 膜と $\text{SiN}_2$ 膜とを積層してゲート絶縁膜82を形成する必要はなく、例えば、 $\text{SiO}_2$ 膜及び $\text{SiN}_2$ 膜の何れかを単独で用いて形成してもよい。

ゲート電極82は、ゲート酸化膜83の上に形成される金属層またはポリシリコン層であり、制御信号Sを入力する。

【0062】

以上のように、本実施形態の第2のMOSトランジスタM3では、第1の拡散層38及び第3の拡散層81によりソース及びドレインが形成される。よって、付加容量CSと第2のMOSトランジスタM3とで第1の拡散層38を共有している。

10

【0063】

チャネルストッパー32dは、第3の拡散層81に隣接する位置に形成され、第2のMOSトランジスタM3と、付加容量CS以外の他の素子との間にチャネルが形成されるのを防止するためのものである。選択酸化膜33dは、チャネルストッパー32dの上に形成され、第2のMOSトランジスタM3と、付加容量CS以外の他の素子とを分離するためのものである。

【0064】

図9は、前述した第1の実施形態の付加容量CSと第2の転送MOSトランジスタM3との構成の一例を示す図である。図9(a)は、前述した第1の実施形態の付加容量CSと第2の転送MOSトランジスタM3との概略構成の一例を示す側断面図である。図9(b)は、前述した第1の実施形態の付加容量CSと第2の転送MOSトランジスタM3との概略構成の一例を示す平面図である。なお、図9において、図3及び図8と同一の部分については、図8と同一の符号を付している。

20

【0065】

図9において、第2の転送MOSトランジスタM3は、Pウェル31と、ゲート絶縁膜83と、ゲート電極82と、第3の拡散層81と、第4の拡散層91とを有している。

【0066】

第4の拡散層91は、Pウェル31の表面領域にn型不純物をドーブ(添加)することにより形成される。

ゲート絶縁膜83は、第3の拡散層81と第4の拡散層91とにより挟まれたPウェル31の領域の上に形成される。

30

ゲート電極82は、ゲート酸化膜83の上に形成される金属層またはポリシリコン層であり、制御信号Sを入力する。

【0067】

なお、第1の実施形態で説明したように、チャネルストッパー32bにより、付加容量CSと第2のMOSトランジスタM3との間にチャネルが形成されるのを防止し、選択酸化膜33dにより、付加容量CSと第2のMOSトランジスタM3とを分離している。

また、前述したように、チャネルストッパー32dにより、第2のMOSトランジスタM3と、付加容量CS以外の他の素子との間にチャネルが形成されるのを防止する。選択酸化膜33dにより、第2のMOSトランジスタM3と、付加容量CS以外の他の素子と

40

【0068】

図9に示すように、第1の実施形態では、第1の拡散層38と、第2のポリシリコン層37と、第4の拡散層91とをアルミ配線等の金属配線を用いて相互に接続するようにしている。

これに対し本実施形態では、図8に示すように、付加容量CSと第2のMOSトランジスタM3とで第1の拡散層38を共有するようにし、付加容量CSの電極の1つと、第2のMOSトランジスタM3の電極の1つとを、Pウェル31の活性領域(Active領域、すなわち素子が形成される領域)で接続するようにした。これにより、選択酸化膜33b及びチャネルストッパー32bを含む素子分離領域を形成する必要がなくなると共に、配線

50

数を少なくすることができる。したがって、画素のサイズをより一層小さくすることができる。

【0069】

なお、本実施形態では、第1の実施形態に示した蓄積電荷CSを例に挙げて示したが、第3の実施形態又は第4の実施形態に示した蓄積電荷CSを用いてもよいということはない。

【0070】

(他の実施形態)

図10に基づいて、前述した各実施形態の固体撮像装置をスチルカメラに適用した場合の一実施形態について詳述する。

図10は、前述した各実施形態の固体撮像装置を「スチルビデオカメラ」に適用した場合を示すブロック図である。

図10において、1301は、レンズのプロテクトとメインスイッチを兼ねるバリアであり、1302は、被写体の光学像を固体撮像素子1304に結像させるレンズであり、1303は、レンズ1302を通った光量を可変するための絞りであり、1304は、レンズ1302で結像された被写体を画像信号として取り込むための固体撮像素子であり、1306は、固体撮像素子1304より出力される画像信号のアナログーデジタル変換を行うA/D変換器である。

【0071】

1307は、A/D変換器1306より出力された画像データに各種の補正を行ったりデータを圧縮したりする信号処理部であり、1308は、固体撮像素子1304、撮像信号処理回路1305、A/D変換器1306、及び信号処理部1307に、各種タイミング信号を出力するタイミング発生部であり、1309は、各種演算とスチルビデオカメラ全体を制御する全体制御・演算部であり、1310は、画像データを一時的に記憶する為のメモリ部であり、1311は、記録媒体に記録または読み出しを行うためのインターフェース部であり、1312は、画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体であり、1313は、外部コンピュータ等と通信する為のインターフェース部である。

【0072】

次に、前述の構成における撮影時のスチルビデオカメラの動作について説明する。

バリア1301がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器1306などの撮像系回路の電源がオンされる。

それから、露光量を制御する為に、全体制御・演算部1309は絞り1303を開放にし、固体撮像素子1304から出力された信号はA/D変換器1306で変換された後、信号処理部1307に入力される。

そのデータを基に露出の演算を全体制御・演算部1309で行う。

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部1309は絞りを制御する。

【0073】

固体撮像素子1304から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部1309で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。

そして、合焦が確認された後に本露光が始まる。

露光が終了すると、固体撮像素子1304から出力された画像信号はA/D変換器1306でA/D変換され、信号処理部1307を通り全体制御・演算部1309によりメモリ部書き込まれる。

【0074】

その後、メモリ部1310に蓄積されたデータは、全体制御・演算部1309の制御により記録媒体制御I/F部を通り半導体メモリ等の着脱可能な記録媒体1312に記録される。また、外部I/F部1313を通り直接コンピュータ等に入力して画像の加工を行

10

20

30

40

50

ってもよい。

【0075】

次に、図11に基づいて、前述した各実施形態の固体撮像装置をビデオカメラに適用した場合の一実施例について詳述する。

図11は、前述した各実施形態の固体撮像装置を「ビデオカメラ」に適用した場合を示すブロック図である。図6において、1401は撮影レンズであり、焦点調節を行うためのフォーカスレンズ1401A、ズーム動作を行うズームレンズ1401B、及び結像用のレンズ1401Cを備えている。

1402は絞りであり、1403は、撮像面に結像された被写体像を光電変換して電気的な撮像信号に変換する固体撮像素子であり、1404は、固体撮像素子3より出力された撮像信号をサンプルホールドし、さらに、レベルをアンプするサンプルホールド回路(S/H回路)であり、映像信号を出力する。 10

【0076】

1405は、サンプルホールド回路1404から出力された映像信号にガンマ補正、色分離、ブランキング処理等の所定の処理を施すプロセス回路であり、輝度信号Yおよびクロマ信号Cを出力する。プロセス回路1405から出力されたクロマ信号Cは、色信号補正回路1421で、ホワイトバランス及び色バランスの補正がなされ、色差信号R-Y, B-Yとして出力される。

【0077】

また、プロセス回路1405から出力された輝度信号Yと、色信号補正回路1421から出力された色差信号R-Y, B-Yとは、エンコーダ回路(ENC回路)1424で変調され、標準テレビジョン信号として出力される。そして、図示しないビデオレコーダ、あるいはモニタEVF(Electric View Finder)等の電子ビューファインダへと供給される。 20

1406はアイリス制御回路であり、サンプルホールド回路1404から供給される映像信号に基づいてアイリス駆動回路1407を制御し、映像信号のレベルが所定レベルの一定値となるように、絞り1402の開口量を制御すべくi gメータを自動制御するものである。

【0078】

1413、1414は、サンプルホールド回路1404から出力された映像信号中より 30  
合焦検出を行うために必要な高周波成分を抽出する異なった帯域制限のバンドパスフィルタ(BPF)である。第一のバンドパスフィルタ1413(BPF1)、及び第二のバンドパスフィルタ1414(BPF2)から出力された信号は、ゲート回路1415及びフォーカスゲート枠信号で各々ゲートされ、ピーク検出回路1416でピーク値が検出されてホールドされると共に、論理制御回路1417に入力される。

この信号を焦点電圧と呼び、この焦点電圧によってフォーカスを合わせている。

【0079】

また、1418はフォーカスレンズ1401Aの移動位置を検出するフォーカスエンコーダであり、1419はズームレンズ1401Bの焦点距離を検出するズームエンコーダであり、1420は絞り1402の開口量を検出するアイリスエンコーダである。これら 40  
のエンコーダの検出値は、システムコントロールを行う論理制御回路1417へと供給される。

論理制御回路1417は、設定された合焦検出領域内に相当する映像信号に基づいて、被写体に対する合焦検出を行い、焦点調節を行う。即ち、各々のバンドパスフィルタ1413、1414より供給された高周波成分のピーク値情報を取り込み、高周波成分のピーク値が最大となる位置へとフォーカスレンズ1401Aを駆動すべくフォーカス駆動回路1409にフォーカスマータ1410の回転方向、回転速度、回転/停止等の制御信号を供給し、これを制御する。

【0080】

なお、前述した各実施形態は、何れも本発明を実現するにあがったの具体化のほんの一 50

例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはいはならない。

【図面の簡単な説明】

【0081】

【図1】本発明の第1の実施形態を示し、固体撮像装置に設けられる画素の概略構成の一例を示す図である。

【図2】本発明の第1の実施形態を示し、固体撮像装置の画素の読み出し動作の一例について説明するタイミングチャートである。

【図3】本発明の第1の実施形態を示し、付加容量の構成の一例を示す側断面図である。

【図4】本発明の第2の実施形態を示し、付加容量の構成の一例を示す側断面図である。

10

【図5】本発明の第3の実施形態を示し、付加容量の構成の一例を示す側断面図である。

【図6】本発明の第4の実施形態を示し、付加容量の構成の一例を示す側断面図である。

【図7】本発明の第5の実施形態を示し、付加容量の構成の一例を示す側断面図である。

【図8】本発明の第6の実施形態を示し、付加容量と第2の転送MOSトランジスタとの構成の一例を示す図である。

【図9】本発明の第1の実施形態を示し、付加容量と第2の転送MOSトランジスタとの構成の一例を示す図である。

【図10】本発明の他の実施形態を示し、スチルビデオカメラの構成の一例を示すブロック図である。

【図11】本発明の他の実施形態を示し、ビデオカメラの構成の一例を示すブロック図である。

20

【符号の説明】

【0082】

C S 付加容量

M 1 第1の転送MOSトランジスタ

M 2 リセットMOSトランジスタ

M 3 第2の転送MOSトランジスタ

M 4 ソースフォロアMOSトランジスタ

M 5 選択MOSトランジスタ

P D フォトダイオード

30

F D フローティングディフュージョン領域

3 1、5 1 Pウェル

3 2 チャネルストッパー

3 3 選択酸化膜

3 4 第1の誘電体層

3 5 第1のポリシリコン層

3 6 第2の誘電体層

3 7 第2のポリシリコン層

3 8 第1の拡散層

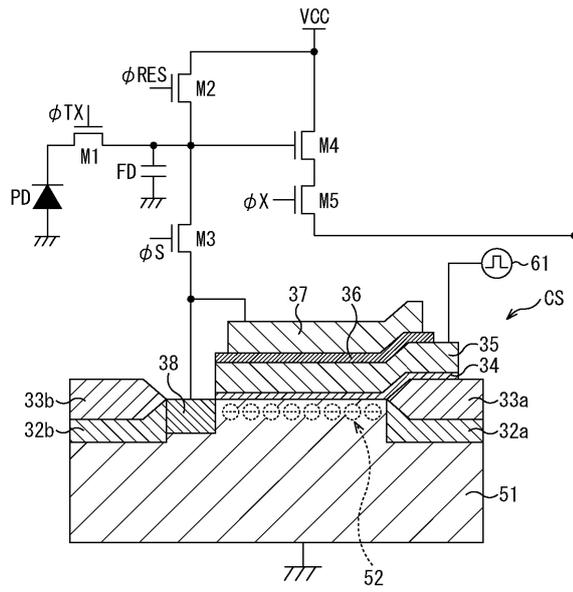
3 9 第2の拡散層

40

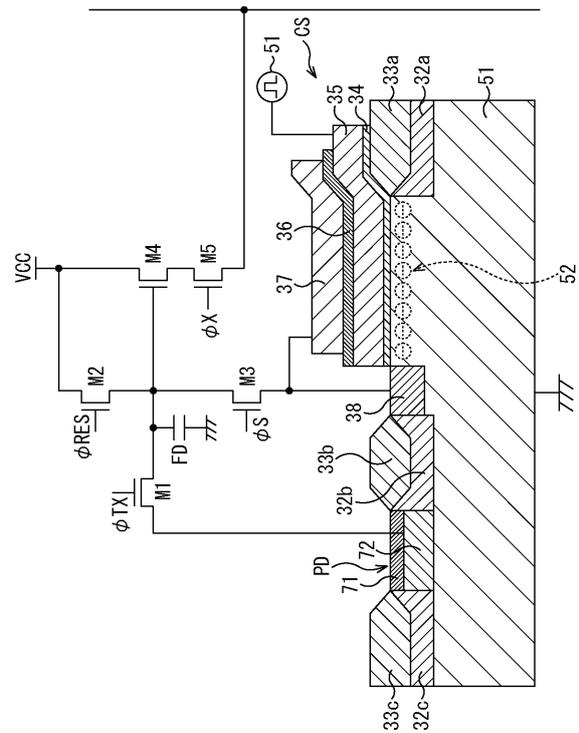
5 2 反転層



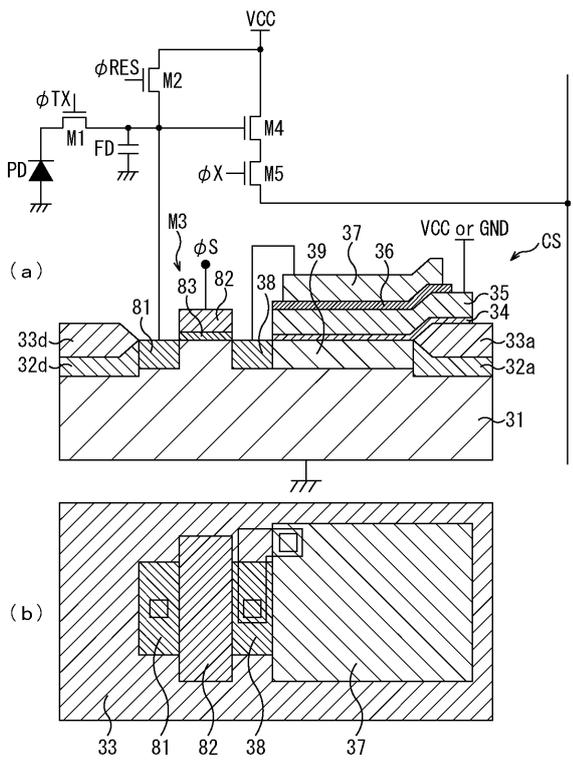
【 図 6 】



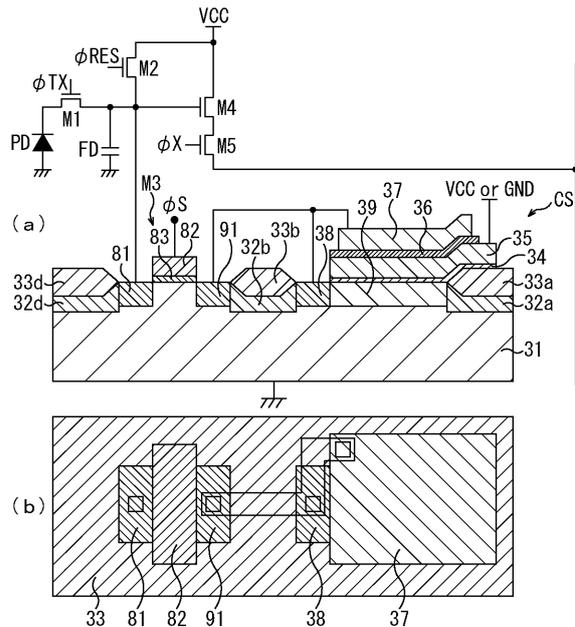
【 図 7 】



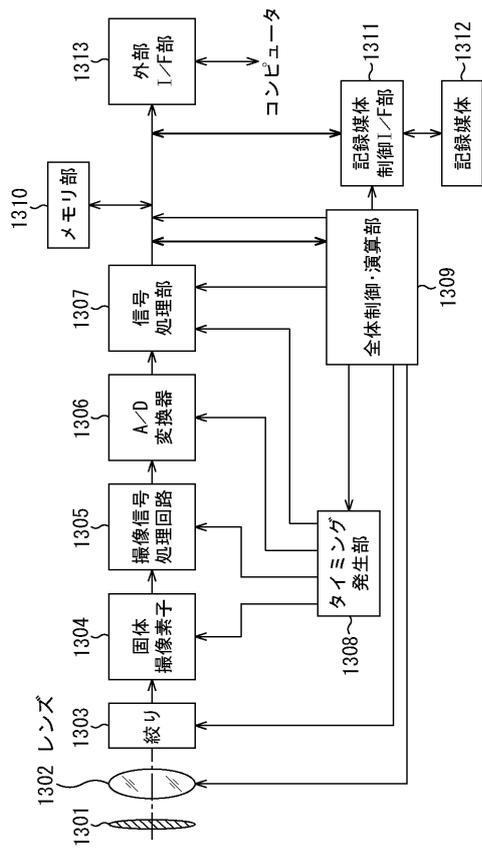
【 図 8 】



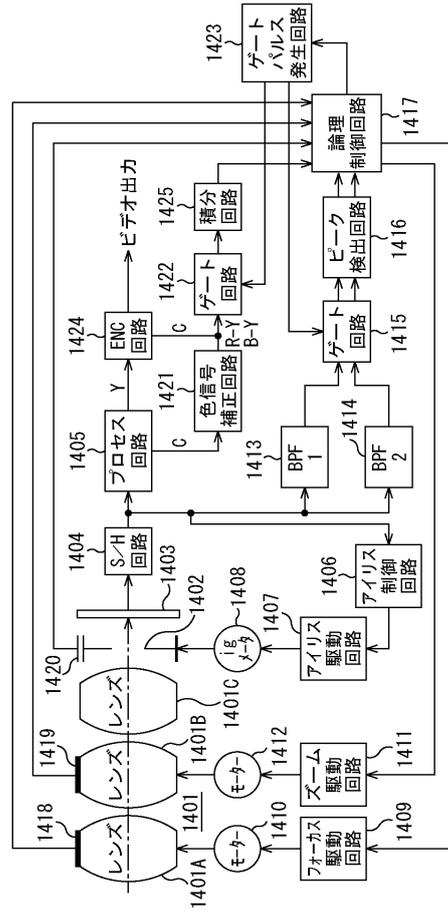
【 図 9 】



【 図 1 0 】



【 図 1 1 】



---

フロントページの続き

(72)発明者 板野 哲也

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 菊池 伸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M118 AA02 AA10 AB01 BA14 CA02 DB09 DD04 DD11 DD12 FA06  
FA33  
5C024 AX01 BX01 CX45 GX12 GX18 GY31 HX01 HX02