

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5576704号  
(P5576704)

(45) 発行日 平成26年8月20日 (2014. 8. 20)

(24) 登録日 平成26年7月11日 (2014. 7. 11)

(51) Int. Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 612D
	G09G 3/20 612K
	G09G 3/20 621A
請求項の数 9 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2010-105415 (P2010-105415)	(73) 特許権者	512187343
(22) 出願日	平成22年4月30日 (2010. 4. 30)		三星ディスプレイ株式会社
(65) 公開番号	特開2010-262296 (P2010-262296A)		Samsung Display Co., Ltd.
(43) 公開日	平成22年11月18日 (2010. 11. 18)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成25年4月2日 (2013. 4. 2)		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2009-0038072	(74) 代理人	110000051
(32) 優先日	平成21年4月30日 (2009. 4. 30)		特許業務法人共生国際特許事務所
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 在 訓
			大韓民国ソウル特別市衿川区始興5洞218-41番地3階
最終頁に続く			

(54) 【発明の名称】 ゲート駆動回路及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、

各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第1ノードと、

前記第1ノードのハイ電圧にตอบสนองして第1クロック信号をゲート信号として出力端子に出力する出力部と、

前記各ステージの次段ステージから出力されたゲート信号にตอบสนองして前記出力端子に第1ロー電圧を印加する第1ホールディング部と、

前記各ステージの前記次段ステージの後段ステージのうちいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第1ノードに前記第1ロー電圧より低い第2ロー電圧を印加する第2ホールディング部と、

前記出力端子にゲート信号が出力されるとき、前記第2ロー電圧が印加されるように構成される第2ノードと、

前記第2ノードの信号にตอบสนองし、前記第1ノードに前記第2ロー電圧を印加される第3ホールディング部を有し、

前記第2ホールディング部は第6トランジスタを含み、前記第6トランジスタは前記遮断ステージの前記後段ステージのうち、いずれの一つのステージから出力される前記ゲート信号を受信する第3入力端子に接続されるゲート電極、前記第2ロー電圧を受信する第

2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含み

前記第 3 ホールディング部は第 1 0 トランジスタを含み、前記第 1 0 トランジスタは前記第 2 ノードに接続されるゲート電極、前記第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含むことを特徴とするゲート駆動回路。

【請求項 2】

前記第 1 ノードは、前記第 2 ノードの電圧に基づいて前記第 2 ロー電圧が印加されるように構成されることを特徴とする請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記第 1 ノードは、前記出力端子にゲート信号が出力されるとき、ブートストラップ (boot strap) され、ブートストラップされた直後に前記第 1 ロー電圧が印加され、前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第 2 ロー電圧が印加されることを特徴とする請求項 1 に記載のゲート駆動回路。

【請求項 4】

複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、

各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第 1 ノードと、

前記第 1 ノードのハイ電圧にตอบสนองして第 1 クロック信号をゲート信号として出力端子に出力する出力部と、

前記各ステージの次段ステージから出力されたキャリア信号にตอบสนองして前記出力端子に第 1 ロー電圧を印加する第 1 ホールディング部と、

前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたキャリア信号にตอบสนองして前記第 1 ノードに前記第 1 ロー電圧より低い第 2 ロー電圧を印加する第 2 ホールディング部と、

前記出力端子にゲート信号が出力されるとき、前記第 2 ロー電圧が印加されるように構成される第 2 ノードと、

前記第 2 ノードの信号にตอบสนองし、前記第 1 ノードに前記第 2 ロー電圧を印加される第 3 ホールディング部を有し、

前記第 2 ホールディング部は第 6 トランジスタを含み、前記第 6 トランジスタは前記遮断ステージの前記後段ステージのうち、いずれの一つのステージから出力される前記キャリア信号又は前記垂直開始信号を受信する第 3 入力端子に接続されるゲート電極、前記第 2 ロー電圧を受信する第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含み、

前記第 3 ホールディング部は第 1 0 トランジスタを含み、前記第 1 0 トランジスタは前記第 2 ノードに接続されるゲート電極、前記第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含むことを特徴とするゲート駆動回路。

【請求項 5】

前記第 1 ノードは、前記第 2 ノードの電圧に基づいて前記第 2 ロー電圧が印加されるように構成されることを特徴とする請求項 4 に記載のゲート駆動回路。

【請求項 6】

前記第 1 ノードは、前記出力端子にゲート信号が出力されるとき、ブートストラップされ、ブートストラップされた直後に前記第 1 ロー電圧が印加され、前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第 2 ロー電圧が印加されることを特徴とする請求項 4 に記載のゲート駆動回路。

【請求項 7】

複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、

各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนอง

10

20

30

40

50

してハイ電圧に転換される電圧を有する第 1 ノードと、

前記第 1 ノードのハイ電圧にตอบสนองして第 1 クロック信号をゲート信号として出力端子に出力する出力部と、

前記各ステージの次段ステージから出力されたゲート信号にตอบสนองして前記出力端子に第 1 ロー電圧を印加する第 1 ホールディング部と、

前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第 1 ノードにダイナミックロー電圧を印加する第 2 ホールディング部と、

前記出力端子にゲート信号が出力されるとき、前記第 1 ロー電圧より低い第 2 ロー電圧が印加されるように構成される第 2 ノードと、

10

前記第 2 ノードの信号にตอบสนองし、前記第 1 ノードに前記ダイナミックロー電圧を印加される第 3 ホールディング部を有し、

前記ダイナミックロー電圧は、前記第 1 ロー電圧と前記第 2 ロー電圧とを選択的に有し、

前記第 2 ホールディング部は第 6 トランジスタを含み、前記第 6 トランジスタは前記遮断ステージの前記後段ステージのうち、いずれの一つのステージから出力される前記ゲート信号を受信する第 3 入力端子に接続されるゲート電極、前記第 2 ロー電圧を受信する第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含み、

前記第 3 ホールディング部は第 10 トランジスタを含み、前記第 10 トランジスタは前記第 2 ノードに接続されるゲート電極、前記第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含むことを特徴とするゲート駆動回路。

20

#### 【請求項 8】

複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、

各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第 1 ノードと、

前記第 1 ノードのハイ電圧にตอบสนองして第 1 クロック信号をゲート信号として出力端子に出力する出力部と、

前記各ステージの次段ステージから出力されたキャリア信号にตอบสนองして前記出力端子に第 1 ロー電圧を印加する第 1 ホールディング部と、

30

前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたキャリア信号にตอบสนองして前記第 1 ノードにダイナミックロー電圧を印加する第 2 ホールディング部と、

前記出力端子にゲート信号が出力されるとき、前記第 1 ロー電圧より低い第 2 ロー電圧が印加されるように構成される第 2 ノードと、

前記第 2 ノードの信号にตอบสนองし、前記第 1 ノードに前記ダイナミックロー電圧を印加される第 3 ホールディング部を有し、

前記ダイナミックロー電圧は、前記第 1 ロー電圧と前記第 2 ロー電圧とを選択的に有し、

40

前記第 2 ホールディング部は第 6 トランジスタを含み、前記第 6 トランジスタは前記遮断ステージの前記後段ステージのうち、いずれの一つのステージから出力される前記キャリア信号又は前記垂直開始信号を受信する第 3 入力端子に接続されるゲート電極、前記ダイナミックロー電圧を受信する第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含み、

前記第 3 ホールディング部は第 10 トランジスタを含み、前記第 10 トランジスタは前記第 2 ノードに接続されるゲート電極、前記第 2 電圧端子に接続されるソース電極及び前記第 1 ノードに接続されるドレイン電極を含むことを特徴とするゲート駆動回路。

#### 【請求項 9】

前記第 1 ノードは、前記第 2 ノードの電圧に基づいて前記第 2 ロー電圧が印加されるよ

50

うに構成されることを特徴とする請求項 8 に記載のゲート駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート駆動回路及びその駆動方法に関し、より詳しくは、駆動信頼性を向上させることができるゲート駆動回路及びその駆動方法に関する。

【背景技術】

【0002】

近年、表示装置用パネルモジュールの製造原価を節減し、全体サイズを減らすためのパネルの表示領域に位置するスイッチング素子形成工程進行のとき、パネルの周辺領域にゲート駆動回路を同時に形成する、言わば、ASG (Amorphous Silicon Gate) 技術が適用されている。

10

【0003】

また、最近ではパネルの消費電力を減らすためにゲート駆動回路を構成するトランジスタのサイズを減らすために努力している。微小工程の発達によってトランジスタの微小化が可能になっている。このように、トランジスタのサイズを減らす場合、低い電圧でも駆動することができて消費電力を減らすことができる。

【0004】

しかしながら、トランジスタのサイズが小さくなると、漏洩電流が発生して高温ノイズを誘発するといった問題が発生する。つまり、ゲート駆動回路を高温で駆動する場合にゲートオフ信号区間に非正常的なゲートオン信号が現れるノイズ不良が発生するという問題がある。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】韓国特許第 0847092 号明細書

【特許文献 2】韓国特許出願公開第 2006 - 0078570 号明細書

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

そこで、本発明は上記表示装置用パネルのゲート駆動回路における問題点に鑑みてなされたものであって、本発明の目的は、駆動信頼性を向上させることのできるゲート駆動回路を提供することにある。

また、本発明の他の目的は、上記のゲート駆動回路の駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明によるゲート駆動回路は、複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号に応答してハイ電圧に転換される電圧を有する第 1 ノードと、前記第 1 ノードのハイ電圧に応答して第 1 クロック信号をゲート信号として出力端子に出力する出力部と、前記各ステージの次段ステージから出力されたゲート信号に応答して前記出力端子に第 1 ロー電圧を印加する第 1 ホールディング部と、前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号に応答して前記第 1 ノードに前記第 1 ロー電圧より低い第 2 ロー電圧を印加する第 2 ホールディング部とを有することを特徴とする。

40

【0008】

前記各ステージは、前記出力端子にゲート信号が出力されるとき、前記第 2 ロー電圧が印加されるように構成される第 2 ノードをさらに含み、前記第 1 ノードは、前記第 2 ノードの電圧に基づいて前記第 2 ロー電圧が印加されるように構成されることが好ましい。

50

前記第1ノードは、前記出力端子にゲート信号が出力されるとき、ブートストラップ (boot strap) され、ブートストラップされた直後に前記第1ロー電圧が印加され、前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第2ロー電圧が印加されることが好ましい。

【0009】

また、上記目的を達成するためになされた本発明によるゲート駆動回路は、複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第1ノードと、前記第1ノードのハイ電圧にตอบสนองして第1クロック信号をゲート信号として出力端子に出力する出力部と、前記各ステージの次段ステージに出力されたキャリア信号にตอบสนองして前記出力端子に第1ロー電圧を印加する第1ホールディング部と、前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第1ノードに前記第1ロー電圧より低い第2ロー電圧を印加する第2ホールディング部とを有することを特徴とする。

10

【0010】

前記各ステージは、前記出力端子にゲート信号が出力されるとき、前記第2ロー電圧が印加されるように構成される第2ノードをさらに含み、前記第1ノードは、前記第2ノードの電圧に基づいて前記第2ロー電圧が印加されるように構成されることが好ましい。

前記第1ノードは、前記出力端子にゲート信号が出力されるとき、ブートストラップされ、ブートストラップされた直後に前記第1ロー電圧が印加され、前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第2ロー電圧が印加されることが好ましい。

20

【0011】

また、上記目的を達成するためになされた本発明によるゲート駆動回路は、複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第1ノードと、前記第1ノードのハイ電圧にตอบสนองして第1クロック信号をゲート信号として出力端子に出力する出力部と、前記各ステージの次段ステージから出力されたゲート信号にตอบสนองして前記出力端子に第1ロー電圧を印加する第1ホールディング部と、前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号にตอบสนองして前記第1ノードにダイナミックロー電圧を印加する第2ホールディング部とを有し、前記ダイナミックロー電圧は、前記第1ロー電圧と前記第1ロー電圧より低い第2ロー電圧とを選択的に有することを特徴とする。

30

【0012】

また、上記目的を達成するためになされた本発明によるゲート駆動回路は、複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路において、各ステージは、垂直開始信号又は前記各ステージの前段ステージのキャリア信号にตอบสนองしてハイ電圧に転換される電圧を有する第1ノードと、前記第1ノードのハイ電圧にตอบสนองして第1クロック信号をゲート信号として出力端子に出力する出力部と、前記各ステージの次段ステージから出力されたキャリア信号にตอบสนองして前記出力端子に第1ロー電圧を印加する第1ホールディング部と、前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたキャリア信号にตอบสนองして前記第1ノードにダイナミックロー電圧を印加する第2ホールディング部とを有し、前記ダイナミックロー電圧は、前記第1ロー電圧と前記第1ロー電圧より低い第2ロー電圧とを選択的に有することを特徴とする。

40

【0013】

前記各ステージは、前記出力端子にゲート信号が出力するとき、前記第2ロー電圧が印加されるように構成される第2ノードをさらに含み、前記第1ノードは、前記第2ノード

50

の電圧に基づいて前記第 2 ロー電圧が印加されるように構成されることが好ましい。

【 0 0 1 4 】

上記目的を達成するためになされた本発明によるゲート駆動回路の駆動方法は、複数のステージが互いに従属的に接続して複数のゲート信号を出力するゲート駆動回路の駆動方法において、垂直開始信号又は前記各ステージの前段ステージのキャリア信号に 응답して第 1 ノードの電圧をハイ電圧に転換する段階と、前記第 1 ノードのハイ電圧に 응답して、出力端子を介して第 1 クロック信号をゲート信号として出力する段階と、前記各ステージの次段ステージから出力されるゲート信号に 응답して前記出力端子に第 1 ロー電圧を印加する段階と、前記各ステージの前記次段ステージの後段ステージのうちのいずれか一つのステージから出力されたゲート信号に 응답して前記第 1 ノードに前記第 1 ロー電圧より低い第 2 ロー電圧を印加する段階とを有することを特徴とする。

10

【発明の効果】

【 0 0 1 5 】

本発明に係るゲート駆動回路及びその駆動方法によれば、ゲート信号がロー電圧を維持する区間の間、出力部のゲートとソースとの間にネガティブ電圧が印加されるように設定することができるため、高温ノイズを改善することができるという効果がある。

また、第 1 ノードの電圧をロー電圧に放電させるための放電部及び出力端子の電圧をロー電圧でプルダウンさせる第 1 ホールディング部の制御信号で、次段ステージのキャリア信号を利用することによって、長時間駆動のとき、放電部及び第 1 ホールディング部が劣化することを防ぐことができるという効果がある。

20

従って、ゲート駆動回路の長時間駆動の信頼性を向上させることができるという効果がある。

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】本発明の第 1 の実施形態による表示装置を示す平面図である。

【図 2】図 1 に示すゲート駆動回路のブロック図である。

【図 3】図 2 に示すステージに対する例示的な回路図である。

【図 4】図 3 に示すステージの入出力信号の信号タイミング図である。

【図 5】図 3 に示す第 1 トランジスタの電流 - 電圧の特性を示すグラフである。

【図 6】図 3 に示す第 m ステージの第 1 ノード Q、第 1 クロック端子 C K 1 及び出力端子 O U T における第 m ゲート信号 G m の電圧変化を示す信号タイミング図である。

30

【図 7】本発明の第 2 の実施形態によるステージに対する回路図である。

【図 8】本発明の第 3 の実施形態によるゲート駆動回路のブロック図である。

【図 9】図 8 に示すステージに対する回路図である。

【図 10】本発明の第 4 の実施形態によるゲート駆動回路のブロック図である。

【図 11】図 10 の示すステージに対する回路図である。

【図 12】本発明の第 5 の実施形態によるステージに対する回路図である。

【図 13】本発明の第 6 の実施形態によるステージに対する回路図である。

【図 14】本発明の第 7 の実施形態によるステージに対する回路図である。

【図 15】図 10 に示す第 1 ダミーステージに対する回路図である。

40

【図 16】図 10 に示す第 2 ダミーステージに対する回路図である。

【図 17】本発明の第 8 の実施形態によるステージに対する回路図である。

【図 18】本発明の第 9 の実施形態によるステージに対する回路図である。

【図 19】本発明の第 10 の実施形態によるゲート駆動回路のブロック図である。

【図 20】図 19 に示すステージに対する回路図である。

【図 21】図 20 に示す第 1 ノードと出力端子の電圧の信号タイミング図である。

【図 22】本発明の第 11 の実施形態によるステージに対する回路図である。

【図 23】本発明の第 12 の実施形態によるステージに対する回路図である。

【図 24】本発明の第 13 の実施形態によるゲート駆動回路のブロック図である。

【図 25】図 24 に示すステージに対する回路図である。

50

【図 2 6】本発明の第 1 4 の実施形態によるステージに対する回路図である

【図 2 7】本発明の第 1 5 の実施形態によるステージに対する回路図である。

【発明を実施するための最良の形態】

【 0 0 1 7 】

次に、本発明に係るゲート駆動回路及びその駆動方法を実施するための形態の具体例を図面を参照しながら説明する。

【 0 0 1 8 】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定実施形態を図面に例示し、本明細書にて詳しく説明する。しかし、これは本発明を特定の開示形態に対して限定しようとするのではなく、本発明の思想及び技術範囲に含まれる 10  
全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。

各図面を説明しながら類似する構成要素に対して同様の参照符号を使用した。添付図面において、構造物のサイズは本発明の明確性に基づくために実際より拡大して示した。第 1、第 2 などの用語は多様な構成要素を説明するにあたって使用することができるが、各構成要素は使用される用語によって限定されるものではない。

各用語は 1 つの構成要素を他の構成要素と区別する目的で使用されるものであって、例えば、明細書中において、第 1 構成要素を第 2 構成要素に書き換えることも可能であり、同様に第 2 構成要素を第 1 構成要素とすることができる。単数表現は文脈上、明白に異なる意味を有しない限り、複数の表現を含む。

【 0 0 1 9 】

本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを指定しようとするのであって、1 つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加可能性を予め排除しないことと理解されるべきである。また、層、膜、領域、板などの部分が他の部分の「上に」あるとする場合、これは他の部分の「すぐ上に」ある場合のみでなく、その中間にさらに他の部分がある場合も含む。反対に、層、膜、領域、板などの部分が他の部分の「下に」あるとする場合、これは他の部分の「すぐ下に」ある場合のみでなく、その中間にさらに他の部分がある場合も含む。

【 0 0 2 0 】

第 1 の実施形態

図 1 は、本発明の第 1 の実施形態による表示装置を示す平面図である。

図 1 を参照すると、本発明の第 1 の実施形態による表示装置は、表示パネル 1 0 0、ゲート駆動回路 2 0 0、データ駆動回路 3 0 0、及び印刷回路基板 4 0 0 を含む。

表示パネル 1 0 0 は、表示領域 D A と表示領域 D A を囲む周辺領域 P A からなってもよい。

【 0 0 2 1 】

表示領域 D A には、互いに交差するゲートライン G L とデータライン D L、及び複数個の画素部が形成される。各画素部 P はゲートライン G L 及びデータライン D L に電氣的に接続されたスイッチング素子 ( T F T ) と、スイッチング素子 ( T F T ) と電氣的に接続された液晶キャパシタ C L C 及びストレージキャパシタ C S T を含む。

液晶キャパシタ C L C の共通電極には共通電圧 V c o m が印加され、ストレージキャパシタ C S T の共通電極にはストレージ共通電圧 V s t が印加される。本実施形態においては、各画素部がストレージキャパシタを備えることと記載しているが、ストレージキャパシタは省略することもできる。

【 0 0 2 2 】

周辺領域 P A にはデータライン D L の一端部を含む第 1 周辺領域 P A 1 とゲートライン G L の一端部を含む第 2 周辺領域 P A 2 を含む。

【 0 0 2 3 】

データ駆動回路 3 0 0 は、第 1 周辺領域 P A 1 に配置される。データライン D L にデー 50

タ信号を出力するデータ駆動チップ315と、データ駆動チップ315が装着されるフレキシブル印刷回路基板325とを含む。フレキシブル印刷回路基板325は、一端が表示パネル100の第1周辺領域PA1に接続され、他端が印刷回路基板400に接続される。フレキシブル印刷回路基板325は、印刷回路基板400と表示パネル100を電氣的に接続する。

【0024】

また、本実施形態において、データ駆動チップ315がフレキシブル印刷回路基板325上に装着されることを例として説明したが、これに限定されるものではない。つまり、データ駆動チップ315は表示パネル100の直接装着されるか、または表示パネル100の第1周辺領域PA1に集積されることができるとは勿論のことである。

10

【0025】

ゲート駆動回路200は、表示パネル100の第2周辺領域PA2に集積される。一方、表示パネル100のチップオンガラス(chip on glass; COG)タイプで具現されるとき、ゲート駆動回路200は、表示パネル100の第2周辺領域PA2に集積回路形態で搭載されることができるとは勿論のことである。ゲート駆動回路200は、複数のステージが互いに従属的に接続されたシフトレジスタからなってゲートラインGLにゲート信号を順次に出力する。

【0026】

図2は、図1に示すゲート駆動回路のブロック図である。

図1及び図2を参照すると、ゲート駆動回路200は、互いに従属的に接続された複数のステージ(SRC1~SRCd2)からなるシフトレジスタを含む。

20

【0027】

複数のステージ(SRC1~SRCd2)は、n個の駆動ステージ(SRC1~SRCn)と2つのダミーステージ(SRCd1、SRCd2)を含む。n個の駆動ステージ(SRC1~SRCn)は、n個のゲートライン(G1~Gn)とそれぞれ接続されてゲートライン(G1~Gn)にゲート信号を順次に出力する。また、ダミーステージ(SRCd1、SRCd2)は最後の駆動ステージSRCnの後端に順次に接続されている。但し、ダミーステージ(SRCd1、SRCd2)の位置及び個数は、当業者の設計意図によって変更することもできる。

【0028】

30

各駆動ステージ(SRC1~SRCn)及び第1ダミーステージSRCd1は、第1クロック端子CK1、第2クロック端子CK2、第1入力端子IN1、第2入力端子IN2、第3入力端子IN3、第1電圧端子VT1、第2電圧端子VT2、キャリア端子CR、及び出力端子OUTを含む。また、第2ダミーステージSRCd2は、第1クロック端子CK1、第2クロック端子CK2、第1入力端子IN1、第2入力端子IN2、第1電圧端子VT1、第2電圧端子VT2、キャリア端子CR、及び出力端子OUTを含む。

【0029】

第1クロック端子CK1及び第2クロック端子CK2は、互いに逆の位相を有する第1クロック信号CK及び第2クロック信号CKBを受信する。例えば、奇数番目ステージ(SRC1、SRC3、...)の第1クロック端子CK1は、第1クロック信号CKを受信し、第2クロック端子CK2は、第2クロック信号CKBを受信する。偶数番目ステージ(SRC2、SRC4、...)の第1クロック端子CK1は、第2クロック信号CKBを受信し、第2クロック端子CK2は、第1クロック信号CKを受信する。

40

【0030】

第1入力端子IN1は、垂直開始信号STV又は前段ステージのキャリア信号を受信する。例えば、一番目駆動ステージである第1駆動ステージSRC1の第1入力端子IN1は、垂直開始信号STVを受信し、第1駆動ステージSRC1を除いた残りのステージ(SRC2~SRCd2)の第1入力端子IN1は、前段ステージのキャリア信号を受信する。

【0031】

50

第2入力端子IN2は、当該ステージの後段ステージのゲート信号又は垂直開始信号STVを受信する。例えば、第1駆動ステージSRC1～第n駆動ステージSRCn、及び第1ダミーステージSRCd1の第2入力端子IN2は、次段ステージ(SRC2～SRCd2)のゲート信号を受信し、第2ダミーステージSRCd2の第2入力端子IN2は垂直開始信号STVを受信する。

【0032】

第3入力端子IN3は、当該ステージの第2入力端子IN2にゲート信号を出力するステージより後段のステージのうちのいずれか一つのステージの出力端子OUTから出力されるゲート信号を受信する。例えば、k番目駆動ステージの第2入力端子IN2が、k+1番目駆動ステージのゲート信号を受信する場合に、k番目駆動ステージの第3入力端子IN3は、k+2番目ステージのゲート信号を受信する。また、第1ダミーステージSRCd1の第3入力端子IN3は垂直開始信号STVを受信する。

10

【0033】

第1電圧端子VT1は、第1ロー電圧VSS1を受信する。第1ロー電圧はシフトレジスタで、論理値「0」、つまり、ロー電圧に対応する電圧値である。本実施形態では第1ロー電圧VSS1は、約-6Vである。

【0034】

第2電圧端子VT2は、第1ロー電圧VSS1より低い第2ロー電圧VSS2を受信する。本実施形態では第2ロー電圧VSS2は、約-11Vである。

【0035】

キャリア端子CRは、当該ステージの後段に配置された次段ステージの第1入力端子IN1と電氣的に接続されて、該第1入力端子IN1にキャリア信号を出力する。

20

【0036】

出力端子OUTは、該当するゲートラインと電氣的に接続されて該当ゲートラインにゲート信号を出力する。出力端子OUTは、前段ステージの第2入力端子IN2と電氣的に接続されて、ゲート信号を前段ステージの第2入力端子IN2に提供する。

【0037】

図3は、図2に示すステージに対する例示的な回路図であり、図4は、図3に示すステージの入出力信号の信号タイミング図である。

図4において、第1クロック信号CKのデューティ比はほぼ50%であることを示す。一方、第1クロック信号CKは、30%、35%、40%などのように多様なデューティ比を有することもできる。このとき、第2クロック信号CKBのデューティ比は、70%、65%、60%などである。

30

【0038】

図3及び図4を参照すると、第mステージSRCmは、入力部、出力部210、及びホールディング部を含む。

入力部は、第1入力信号の印加を受ける第1入力端子IN1、第2入力信号の印加を受ける第2入力端子IN2及び第3入力信号IN3を含む。ここで、第1入力信号IN1は、前段ステージである第(m-1)ステージSRCm-1のキャリア信号CRm-1又は垂直開始信号STVであり、第2入力信号は、次段ステージである第(m+1)ステージSRCm+1のゲート信号Gm+1であり、第3入力信号は、当該ステージに第2入力信号を出力するステージの後段ステージのうちのいずれかの一つ、例えば、第mステージで第2入力信号として第(m+1)ステージの出力信号を受信する場合に、第(m+2)ステージSRCm+2のゲート信号Gm+2である。

40

【0039】

出力部210は、第1トランジスタT1を含む。

第1トランジスタT1は、ドレイン電極が第1クロック信号CK1に接続され、ゲート電極が第1ノードQに接続され、ソース電極が出力端子OUTに接続される。

第1ノードQは、キャリア信号によって「ハイ」レベルに昇圧される。第1ノードQが「ハイ」レベルに昇圧された後、一端が第1トランジスタT1のゲート電極に接続され、

50

他端が第1トランジスタT1のドレイン電極に接続された第1キャパシタC1が充電される。出力部210の第1トランジスタT1は、第1ノードQの信号によってターンオンされた後、第1クロック端子CK1に印加される第1クロック信号CKをゲート信号として出力する。

【0040】

第mステージSRCmは、出力部210をターンオン又はターンオフにスイッチングする出力駆動部をさらに含む。例えば、出力駆動部は、第(m-1)ステージSRCm-1のキャリア信号CRm-1又は垂直開始信号STVにตอบสนองして出力部210をターンオンさせて、第(m+1)ステージSRCm+1のゲート信号Gm+1にตอบสนองして出力部210をターンオフさせるように構成させることができる。出力駆動部は、バッファ部220、充電部230、及び放電部240を含む。

10

【0041】

バッファ部220は、第4トランジスタT4を含む。第4トランジスタT4は、ゲート電極及びドレイン電極が第1入力端子IN1に共通で接続され、ソース電極が第1ノードQに接続される。

【0042】

充電部230は、第1電極が第1ノードQに接続され、第2電極が出力端子OUTに接続された第1キャパシタC1を含む。充電部230は、第1入力端子IN1から第1ノードQに印加される第1入力信号のハイ電圧によって充電されて、第1ノードQをハイレベルで維持させる。第1キャパシタC1は第1トランジスタT1の寄生キャパシタンスで具

20

【0043】

放電部240は、第9トランジスタT9を含む。第9トランジスタT9は、ゲート電極が第2入力端子IN2に接続され、ソース電極が第1電圧端子に接続され、ドレイン電極が第1ノードQに接続される。

【0044】

第(m-1)ステージSRCm-1のキャリア信号CRm-1にตอบสนองして第4トランジスタT4がターンオンすると、キャリア信号CRm-1が第1ノードQに印加されて充電部230が充電される。その後、充電部230が第1トランジスタT1のしきい電圧以上に充電され、第1クロック端子CK1に第1クロック信号CKのハイ電圧が受信されると、第1トランジスタT1がブートストラップ(Bootstrap)される。つまり、第1トランジスタT1のゲート電極と接続された第1ノードQは第1電圧V1からブースティング電圧VBTでブースティングされる。出力部210は、第1ノードQにブースティング電圧VBTが印加される期間の間、第1クロック信号CKのハイ電圧を第mゲート信号Gmとして出力する。

30

【0045】

その後、第2入力信号のハイレベルにตอบสนองして第9トランジスタT9がターンオンされると、充電部230が第1電圧端子VT1に印加される第1ロー電圧VSS1が第1ノードQに印加され、充電部230が第1トランジスタT1のしきい電圧以下に放電されて第1トランジスタT1がターンオフされる。

40

【0046】

ホールディング部は、第1ホールディング部251、第2ホールディング部252、第3ホールディング部253、第4ホールディング部254、及び第5ホールディング部255を含む。

【0047】

第1ホールディング部251は、第2トランジスタT2を含む。第2トランジスタT2は、ゲート電極が第2入力端子IN2に接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。第1ホールディング部251は第2入力端子IN2に印加される第(m+1)ステージSRCm+1のゲート信号Gm+1にตอบสนองして出力端子OUTの電圧を第1ロー電圧VSS1にプルダウンさせる。

50

## 【 0 0 4 8 】

第2ホールディング部252は、第10トランジスタT10を含む。第10トランジスタT10は、ゲート電極が第2ノードNに接続し、ソース電極が第2電圧端子VT2に接続され、ドレイン電極が第1ノードQに接続される。第2ホールディング部252は、第2ノードNの信号に応答して第1ノードQの電圧を第2電圧端子VT2に印加される第2ロー電圧VSS2に維持させる。

## 【 0 0 4 9 】

第3ホールディング部253は、第3トランジスタT3を含む。第3トランジスタT3は、ゲート電極が第2ノードNに接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。第3ホールディング部253は、第2ノードNに印加されたハイ電圧に応答して出力端子OUTの電圧を第1ロー電圧VSS1で維持させる。

10

## 【 0 0 5 0 】

第4ホールディング部254は、第5トランジスタT5を含む。第5トランジスタT5は、ゲート電極が第2クロック端子CK2に接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。第4ホールディング部254は、第2クロック端子CK2に印加される第2クロック信号CKBに応答して出力端子OUTの電圧を第1ロー電圧VSS1に維持させる。

## 【 0 0 5 1 】

第5ホールディング部255は、第6トランジスタT6を含む。第6トランジスタT6は、ゲート電極が第3入力端子IN3に接続し、ソース電極が第2電圧端子VT2に接続され、ドレイン電極が第1ノードQに接続される。第5ホールディング部255は第3入力端子IN3に受信される第(m+2)ゲート信号Gm+2に応答して第1ノードQの電圧を第2ロー電圧VSS2で維持させる。

20

## 【 0 0 5 2 】

第mステージSRCmは、スイッチング部260、及びキャリア部270をさらに含む。

スイッチング部260は、第7トランジスタT7、第8トランジスタT8、第11トランジスタT11、及び第12トランジスタT12、並びに第2キャパシタC2及び第3キャパシタC3を含む。

30

## 【 0 0 5 3 】

第7トランジスタT7は、ドレイン電極が第1クロック端子CK1に接続され、ゲート電極が第2キャパシタC2を介して第1クロック端子CK1に接続され、ソース電極が第2ノードNに接続される。第7トランジスタT7のゲート電極とソース電極との間には第3キャパシタC3が接続される。

## 【 0 0 5 4 】

第8トランジスタT8は、ゲート電極が第1ノードQに接続され、ドレイン電極が第2ノードNに接続され、ソース電極が第2電圧端子VT2に接続される。

第11トランジスタT11は、ゲート電極とドレイン電極が第1クロック端子CK1に共通で接続され、ソース電極が第12トランジスタT12のドレイン電極と接続される。

40

第12トランジスタT12は、ゲート電極が第1ノードQに接続され、ソース電極が第2電圧端子VT2に接続される。

## 【 0 0 5 5 】

1フレームで第1ノードQにハイ電圧が印加される間、スイッチング部260の第12トランジスタT12及び第8トランジスタT8がターンオンされて第2ノードNに第2ロー電圧VSS2が印加される。

一方、1フレームで第1ノードQにロー電圧が印加される間、スイッチング部260の第12トランジスタT12及び第8トランジスタT8がターンオフされ、これによって、第2ノードNに第1クロック端子CK1が受信する第1クロック信号CKと実質的に同一信号が印加される。第2ノードの電位がハイレベルに転換する場合、第3トランジスタT

50

3 がターンオンされ、これによって出力端子 O U T に第 1 ロー電圧 V S S 1 が印加される。

【 0 0 5 6 】

キャリア部 2 7 0 は、第 1 3 トランジスタ T 1 3 を含む。第 1 3 トランジスタ T 1 3 は、ゲート電極が第 1 ノード Q に接続され、ソース電極がキャリア端子 C R に接続され、ドレイン電極が第 1 クロック端子 C K 1 に接続される。キャリア部 2 7 0 は第 1 3 トランジスタ T 1 3 のゲート電極とソース電極との間に接続される第 4 キャパシタ C 4 をさらに含む。キャリア部 2 7 0 は第 1 ノード Q にハイ電圧が印加されると、第 1 クロック信号 C K をキャリア信号として出力する。

【 0 0 5 7 】

本実施形態においては、第 m ゲート信号 G m の第 2 電圧端子 V T 2 に第 1 ロー電圧 V S S 1 より低い第 2 ロー電圧 V S S 2 が印加されるように構成された場合を例として説明したが、これに限定されるのではない。つまり、第 2 電圧端子 V T 2 に第 1 ロー電圧 V S S 1 又は第 2 ロー電圧 V S S 2 が選択的に印加されるように変更することもできる。

例えば、ゲート駆動回路が常温で駆動される場合、第 2 電圧端子 V T 2 に第 1 ロー電圧 V S S 1 が印加されるようにし、ゲート駆動回路が高温で駆動される場合、第 2 電圧端子 V T 2 に第 2 ロー電圧 V S S 2 が印加されるように構成することができる。この場合、常温ではゲート駆動回路を低電力で駆動することができる。

【 0 0 5 8 】

図 5 は、図 3 に示す第 1 トランジスタの電流 - 電圧の特性を示すグラフである。

図 5 は、第 1 トランジスタ T 1 のチャネルの長さ L が約 3 . 5  $\mu\text{m}$  であり、ゲートとソースとの間のゲート/ソース電圧  $V_{GS}$  に、0 V と - 5 V を印加する場合、第 1 トランジスタ T 1 のドレイン電流を測定した結果を示している。

【 0 0 5 9 】

第 1 トランジスタ T 1 のゲート/ソース電圧  $V_{GS}$  が約 0 V である場合の E 1 のドレイン電流は、約  $10^{-6}$  A で、ゲート/ソース電圧  $V_{GS}$  が約 - 5 V である場合の E 2 のドレイン電流は、約  $10^{-9}$  A であった、第 1 トランジスタ T 1 のドレイン電流は、ゲートとソースとの間の電圧  $V_{GS}$  が 0 V と設定された場合より、0 V から - 5 V に設定された場合がより小さいことを確認することができる。

【 0 0 6 0 】

図 6 は、図 3 に示す第 m ステージの第 1 ノード Q、第 1 クロック端子 C K 1、及び出力端子においての第 m ゲート信号 G m の電圧変化を示す信号タイミング図である。この場合、第 1 トランジスタ T 1 のチャネルの長さ L は、約 3 . 5  $\mu\text{m}$  である。

【 0 0 6 1 】

m 番目区間 T m で、第 1 ノード Q の信号である第 m ノード信号 Q m は、約 4 1 V でブートストラップ ( B o o t s t r a p ) され、第 1 クロック信号 C K のハイ電圧が出力端子 O U T の信号である第 m ゲート信号 G m として出力される。

( m + 1 ) 番目区間 T m + 1 で、第 m ステージの第 1 ノード Q には第 ( m + 1 ) ゲート信号 G m + 1 によって、ターンオンされる第 9 トランジスタ T 9 によって第 1 ロー電圧 ( V S S 1 = 約 - 6 V ) が印加される。

( m + 2 ) 番目区間 T m + 2 で、第 m ステージの第 1 ノード Q は、第 ( m + 2 ) ゲート信号 G m + 2 によってターンオンされる第 6 トランジスタ T 6 によって第 2 ロー電圧 ( V S S 2 = 約 - 1 1 V ) が印加される。その後、第 m ステージの第 1 ノード Q は、第 m ステージの第 2 ノード N に印加されたハイ電圧に应答してターンオンされる第 1 0 トランジスタ T 1 0 によって第 2 ロー電圧 V S S 2 を続けて維持する。

【 0 0 6 2 】

上述のように、1 フレームで第 m ゲート信号 G m がロー電圧を維持させる間、第 1 トランジスタ T 1 のゲート電極と接続された第 1 ノード Q は、第 2 ロー電圧 V S S 2 で維持され、ソース電極と接続された出力端子 O U T は、第 1 ロー電圧 V S S 1 で維持される。従って、第 1 トランジスタ T 1 のゲート/ソース電圧  $V_{GS}$  は、- 5 V になる。

10

20

30

40

50

## 【 0 0 6 3 】

図 5 及び図 6 より、図 3 に示す回路の場合、第 1 トランジスタ T 1 のゲート端子に第 2 ロー電圧  $V_{SS2}$  が印加される場合に第 1 トランジスタ T 1 のゲート端子に第 1 ロー電圧  $V_{SS1}$  が印加される場合より、ドレイン電流が著しく小さく流れるようになるため、消費電力減少に大きな効果があることが分かる。

## 【 0 0 6 4 】

また、既存の表示装置は、高温で駆動するときに第 1 ノード Q の電圧でリップル ( R i p p l e ) が発生して、第 1 トランジスタ T 1 が異常動作をする場合が頻繁に発生するという短所があった。既存の表示装置においては異常動作によって、高温駆動のときに、表示装置に画面異常が発生する場合が生じることがあった。しかし、本発明によれば、該ス  
10  
ステージの次の次のステージのゲート信号が出力された後に第 1 ノード Q 1 電圧を第 1 ロー電圧  $V_{SS1}$  より十分に低い第 2 ロー電圧  $V_{SS2}$  で維持して、リップルが発生しても、十分な駆動電圧マージンを確保することによって、上述の異常動作を防ぐことができる。

## 【 0 0 6 5 】

このように、本実施形態によると、第 m ゲート信号  $G_m$  がロー電圧を維持する間、第 1 トランジスタ T 1 のゲート/ソース電圧  $V_{GS}$  をネガティブ電圧で設定することができるため、高温ノイズを改善することができる。

## 【 0 0 6 6 】

## 第 2 の実施形態

図 7 は、本発明の第 2 の実施形態によるステージに対する回路図である。  
20

本実施形態によるステージは、スイッチング部 2 6 2 を除いては図 3 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

## 【 0 0 6 7 】

図 7 を参照すると、第 m ステージ S R C m は、入力部、出力部 2 1 0、出力駆動部、ホールディング部、スイッチング部 2 6 2、及びキャリア部 2 7 0 を含む。出力駆動部はバッファ部 2 2 0、充電部 2 3 0、及び放電部 2 4 0 を含む。ホールディング部は、第 1  
30  
ホールディング部 2 5 1、第 2 ホールディング部 2 5 2、第 3 ホールディング部 2 5 3、第 4 ホールディング部 2 5 4、及び第 5 ホールディング部 2 5 5 を含む。

## 【 0 0 6 8 】

スイッチング部 2 6 2 は、第 7 トランジスタ T 7、第 8 トランジスタ T 8、第 1 1 トランジスタ T 1 1、及び第 1 2 トランジスタ T 1 2、並びに第 2 キャパシタ C 2 及び第 3 キャパシタ C 3 を含む。  
30

第 7 トランジスタ T 7 は、ドレイン電極が第 1 クロック端子 C K 1 に接続し、ゲート電極が第 2 キャパシタ C 2 を介して第 1 クロック端子 C K 1 に接続され、ソース電極が第 2 ノード N に接続される。第 7 トランジスタ T 7 のゲート電極とソース電極との間には第 3 キャパシタ C 3 が接続される。

## 【 0 0 6 9 】

第 8 トランジスタ T 8 は、ゲート電極が出力端子 O U T に接続され、ドレイン電極が第 2 ノード N に接続され、ソース電極が第 2 電圧端子 V T 2 に接続される。従って、第 1 の  
40  
実施形態に比べて、第 2 ノード N は、第 m ステージの前段ステージのキャリア信号が第 m ステージに印加されるとき、第 2 ロー電圧  $V_{SS2}$  がさらに印加されるように構成される。

また、第 1 2 トランジスタ T 1 2 は、ゲート電極が出力端子 O U T に接続され、ソース電極が第 2 電圧端子 V T 2 に接続される。第 1 の実施形態と比べてみると、第 2 の実施形態の構成は、第 8 及び第 1 2 トランジスタのゲート電極が出力端子 O U T に接続されると  
いう点に相違がある。

## 【 0 0 7 0 】

第 1 1 トランジスタ T 1 1 は、ゲート電極とドレイン電極が第 1 クロック端子 C K 1 に  
50  
共通で接続され、ソース電極が第 1 2 トランジスタ T 1 2 のドレイン電極と接続される。

## 【 0 0 7 1 】

1 フレームで、第  $m$  ゲート信号  $G_m$  がハイ電圧を維持する間、スイッチング部 2 6 2 の第 1 2 トランジスタ  $T_{12}$  及び第 8 トランジスタ  $T_8$  がターンオンされ、これによって第 2 ノード  $N$  の電位は第 2 ロー電圧  $V_{SS2}$  に放電される。

第 3 トランジスタ  $T_3$  は、ターンオフ状態であるため、第 1 電圧端子  $V_{T1}$  と第  $m$  ステージの出力端子  $OUT$  は、電氣的に分離された状態になる。従って、第  $m$  ゲート信号は、第 1 ロー電圧  $V_{SS1}$  に放電されず、出力端子  $OUT$  に完全に出力される。

## 【 0 0 7 2 】

一方、1 フレームで第  $m$  ゲート信号  $G_m$  がロー電圧を維持する間、スイッチング部 2 6 2 の第 1 2 トランジスタ  $T_{12}$  及び第 8 トランジスタ  $T_8$  がターンオフされ、これによっ 10  
て第 2 ノード  $N$  には第 1 クロック端子  $CK_1$  に受信される第 1 クロック信号  $CK$  と位相が実質的に同一の信号が印加される。第 2 ノード  $N$  の電位がハイレベルに転換される時、第 3 トランジスタ  $T_3$  がターンオンされ、これによって出力端子  $OUT$  には第 1 ロー電圧  $V_{SS1}$  が印加される。

## 【 0 0 7 3 】

本実施形態によると、第  $m$  ゲート信号  $G_m$  がロー電圧を維持する間、第 1 トランジスタ  $T_1$  のゲート/ソース電圧  $V_{GS}$  をネガティブ電圧に設定することができるため、高温ノイズを改善することができる。

## 【 0 0 7 4 】

## 第 3 の実施形態

図 8 は、本発明の第 3 の実施形態によるゲート駆動回路のブロック図である。 20

本実施形態によるゲート駆動回路は、第 4 入力端子  $IN_4$  をさらに含むことを除いては図 2 を参照した説明したゲート駆動回路と実質的に同一であるため、繰り返される説明は省略する。

## 【 0 0 7 5 】

図 2 及び図 8 を参照すると、ゲート駆動回路 2 0 0 a は、互いに従属的に  $n$  個の駆動ステージ ( $SR C_1 \sim SR C_n$ ) と 2 つのダミーステージ  $SR C d_1$ 、 $SR C d_2$  を含む。  
 $n$  個の駆動ステージ ( $SR C d_1 \sim SR C_n$ ) は、 $n$  個のゲートライン ( $G_1 \sim G_n$ ) とそれぞれ接続されてゲートライン ( $G_1 \sim G_n$ ) にゲート信号を順次に出力する。 30

## 【 0 0 7 6 】

各ステージは、第 1 クロック端子  $CK_1$ 、第 2 クロック端子  $CK_2$ 、第 1 入力端子  $IN_1$ 、第 2 入力端子  $IN_2$ 、第 3 入力端子  $IN_3$ 、第 4 入力端子  $IN_4$ 、第 1 電圧端子  $V_{T1}$ 、第 2 電圧端子  $V_{T2}$ 、キャリア端子  $CR$ 、及び出力端子  $OUT$  を含む。

第 4 入力端子  $IN_4$  は、次段ステージのキャリア端子  $CR$  と電氣的に接続されてキャリア端子  $CR$  から出力されるキャリア信号を受信する。

## 【 0 0 7 7 】

図 9 は、図 8 に示すステージに対する回路図である。

本実施形態によるステージは、放電部 2 4 2 を除いては図 3 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照番号を与え、繰り返される説明は省略する。 40

## 【 0 0 7 8 】

図 8 及び図 9 を参照すると、第  $m$  ステージ  $SR C_m$  は、入力部、出力部 2 1 0、出力駆動部、ホールディング部、スイッチング部 2 6 0、及びキャリア部 2 7 0 を含む。出力駆動部はバッファ部 2 2 0、充電部 2 3 0、及び放電部 2 4 2 を含む。ホールディング部は、第 1 ホールディング部 2 5 1、第 2 ホールディング部 2 5 2、第 3 ホールディング部 2 5 3、第 4 ホールディング部 2 5 4、及び第 5 ホールディング部 2 5 5 を含む。

## 【 0 0 7 9 】

放電部 2 4 2 は、第 9 トランジスタ  $T_9$  を含む。第 9 トランジスタ  $T_9$  は、ゲート電極が第 4 入力端子  $IN_4$  に接続され、ソース電極が第 1 電圧端子  $V_{T1}$  に接続され、ドレイン電極が第 1 ノード  $Q$  に接続される。放電部 2 4 2 は、第 4 入力端子  $IN_4$  に印加される 50

第 $(m+1)$ キャリア信号 $CR_{m+1}$ のハイレベルに応答して第1ノードQの電圧を第1ロー電圧 $VSS1$ のレベルに放電させる。

【0080】

本実施形態によると放電部242の制御信号として第 $(m+1)$ キャリア信号 $CR_{m+1}$ の印加を受けることによって、漏洩電流が放電部242を介して第1ノードQに流入されることを最少化することができる。

【0081】

#### 第4の実施形態

図10は、本発明の第4の実施形態によるゲート駆動回路のブロック図である。

本実施形態によるゲート駆動回路は、第2入力端子 $IN2$ 及び第3入力端子 $IN3$ に印加される信号、及び第2電圧端子 $VT2$ に印加される電圧が異なることを除いては、図2を参照して説明したゲート駆動回路と実質的に同一であるため、繰り返される説明は省略する。

【0082】

図10を参照すると、ゲート駆動回路は、互いに従属的に $n$ 個の駆動ステージ( $SRC1 \sim SRCn$ )と2つのダミーステージ $SRCD1$ 、 $SRCD2$ を含む。 $n$ 個の駆動ステージ( $SRC1 \sim SRCn$ )は $n$ 個のゲートライン( $G1 \sim Gn$ )とそれぞれ接続されてゲートライン( $G1 \sim Gn$ )にゲート信号を順次に出力する。また、2つのダミーステージ( $SRCD1$ 、 $SRCD2$ )は最終駆動ステージ $SRCN$ の後端に順次に接続される。

【0083】

各駆動ステージ及び第1ダミーステージ $SRCD1$ は、第1クロック端子 $CK1$ 、第2クロック端子 $CK2$ 、第1入力端子 $IN1$ 、第2入力端子 $IN2$ 、第3入力端子 $IN3$ 、第1電圧端子 $VT1$ 、第2電圧端子 $VT2$ 、キャリア端子 $CR$ 、及び出力端子 $OUT$ を含む。

また、第2ダミーステージ $SRCD2$ は、第1クロック端子 $CK1$ 、第2クロック端子 $CK2$ 、第1入力端子 $IN1$ 、第2入力端子 $IN2$ 、第1電圧端子 $VT1$ 、第2電圧端子 $VT2$ 、キャリア端子 $CR$ 、及び出力端子 $OUT$ を含む。

【0084】

第2入力端子 $IN2$ は、次段ステージのキャリア信号又は垂直開始信号 $STV$ を受信する。第1ステージ $SRC1 \sim$ 第 $n$ ステージ $SRCN$ 及び第1ダミーステージ $SRCD1$ の第2入力端子 $IN2$ は、その次段ステージ( $SRC2 \sim SRCD2$ )のキャリア信号を受信し、第2ダミーステージ $SRCD2$ の第2入力端子 $IN2$ は垂直開始信号 $STV$ を受信する。

【0085】

第3入力端子 $IN3$ は、当該ステージの第2入力端子 $IN2$ にキャリア信号を供給してくれるステージの後段のステージのキャリア信号、又は垂直開始信号 $STV$ を受信する。例えば、 $k$ 番目ステージの第2入力端子 $IN2$ に、 $k+1$ 番目ステージのキャリア信号の供給を受ける場合に、 $k$ 番目ステージの第3入力端子 $IN3$ は、 $k+2$ 番目ステージのキャリア信号を受信する。この場合、第1ステージ $SRC1 \sim$ 第 $n$ ステージ $SRCN$ の第3入力端子 $IN3$ は、次の次のステージのキャリア信号を受信し、第1ダミーステージ $SRCD1$ の第3入力端子 $IN3$ は垂直開始信号 $STV$ を受信する。

【0086】

第1電圧端子 $VT1$ は、第1ロー電圧 $VSS1$ を受信する。本実施形態では、第1ロー電圧は、約 $-6V$ である。

【0087】

第2電圧端子 $VT2$ は、ダイナミック(Dynamic)ロー電圧 $VSSD$ を受信する。

ダイナミックロー電圧 $VSSD$ は、第1レベルのロー電圧又は第2レベルのロー電圧を選択的に有することができる。例えば、ダイナミックロー電圧 $VSSD$ は、常温では第1レベルのロー電圧を有し、高温では第2レベルのロー電圧を有する。ここで、第1レベル

10

20

30

40

50

は、第1ロー電圧 $V_{SS1}$ のレベルと同一の電圧レベルで約 $-6V$ であり、第2レベルは、第1レベルと低いレベルで約 $-11V$ であることができる。

【0088】

図11は、図10の示すステージに対する回路図である。

図10及び図11を参照すると、第 $m$ ステージ $SR_{Cm}$ は、入力部、出力部310、出力駆動部、ホールディング部、スイッチング部360、及びキャリア部370を含む。

【0089】

出力駆動部はバッファ部320、充電部330、及び放電部340を含む。ホールディング部は、第1ホールディング部351、第2ホールディング部352、第3ホールディング部353、第4ホールディング部354及び第5ホールディング部355を含む。

10

【0090】

出力部310は、第1トランジスタ $T1$ を含む。第1トランジスタ $T1$ は、ドレイン電極が第1クロック信号 $CK1$ に接続され、ゲート電極が第1ノード $Q$ に接続されて、ソース電極が出力端子 $OUT$ に接続される。出力部310は、第1ノード $Q$ にハイ電圧が印加されるとき、第1クロック端子 $CK1$ に印加される第1クロック信号 $CK$ をゲート信号として出力する。

【0091】

バッファ部320は、第4トランジスタ $T4$ を含む。第4トランジスタ $T4$ は、ゲート電極及びドレイン電極が第1入力端子 $IN1$ に共通で接続され、ソース電極が第1ノード $Q$ に接続される。

20

充電部330は、1端が第1ノード $Q$ に接続され、他端が出力端子 $OUT$ に接続された第1キャパシタ $C1$ を含む。充電部330は、第1入力端子 $IN1$ に印加される第1入力信号のハイ電圧によって充電され、第1ノード $Q$ をハイ電圧で維持させる。

【0092】

放電部340は、第9トランジスタ $T9$ を含む。第9トランジスタ $T9$ は、ゲート電極が第2入力端子 $IN2$ に接続され、ソース電極が第1電圧端子 $VT1$ に接続され、ドレイン電極が第1ノード $Q$ に接続される。放電部340は、第2入力端子 $IN2$ に印加される第 $(m+1)$ キャリア信号 $CR_{m+1}$ のハイ電圧に応答して第1ノード $Q$ の電圧を第1ロー電圧 $V_{SS1}$ のレベルに放電させる。

【0093】

30

第1ホールディング部351は、第2トランジスタ $T2$ を含む。第2トランジスタ $T2$ は、ゲート電極が第2入力端子 $IN2$ に接続し、ソース電極が第1電圧端子 $VT1$ に接続され、ドレイン電極が出力端子 $OUT$ に接続される。第1ホールディング部351は第2入力端子 $IN2$ に印加される第 $(m+1)$ キャリア信号 $CR_{m+1}$ に応答して出力端子 $OUT$ に第1電圧端子 $VT1$ に印加される第1ロー電圧 $V_{SS1}$ を印加する。

【0094】

第2ホールディング部352は、第10トランジスタ $T10$ を含む。第10トランジスタ $T10$ は、ゲート電極が第2ノード $N$ に接続し、ソース電極が第2電圧端子 $VT2$ に接続され、ドレイン電極が第1ノード $Q$ に接続される。第2ホールディング部352は、第2ノード $N$ の信号に応答して第1ノード $Q$ の電圧を第2電圧端子 $VT2$ に印加されるダイ

40

ナミックロー電圧 $V_{SSD}$ で維持させる。

【0095】

ダイナミックロー電圧 $V_{SSD}$ は、常温では第1レベルのロー電圧と、第2レベルのロー電圧を有する。ここで、第1レベルは、第1ロー電圧 $V_{SS1}$ のレベルと同一の電圧レベルで約 $-6V$ であることができ、第2レベルは、第1レベルより低い電圧レベルで約 $-11V$ であることができる。

【0096】

第3ホールディング部353は、第3トランジスタ $T3$ を含む。第3トランジスタ $T3$ は、ゲート電極が第2ノード $N$ に接続し、ソース電極が第1電圧端子 $VT1$ に接続され、ドレイン電極が出力端子 $OUT$ に接続される。第3ホールディング部353は、第2ロー

50

ドNに印加されたハイ電圧にตอบสนองして出力端子OUTの電圧を第1ロー電圧VSS1で維持させる。

【0097】

第4ホールディング部354は、第5トランジスタT5を含む。第5トランジスタT5は、ゲート電極が第2クロック端子CK2に接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。第4ホールディング部354は、第2クロック信号CKBにตอบสนองして出力端子OUTの電圧を第1ロー電圧VSS1で維持させる。

【0098】

第5ホールディング部355は、第6トランジスタT6を含む。第6トランジスタT6は、ゲート電極が第3入力端子IN3に接続し、ソース電極が第2電圧端子VT2に接続され、ドレイン電極が第1ノードQに接続される。第5ホールディング部355は第3入力端子IN3に受信される第(m+2)キャリア信号CRM+2にตอบสนองして第1ノードQにダイナミックロー電圧VSSDを印加する。

【0099】

スイッチング部260は、第7トランジスタT7、第8トランジスタT8、第11トランジスタT11、及び第12トランジスタT12、並びに第2キャパシタC2及び第3キャパシタC3を含む。

【0100】

第7トランジスタT7は、ドレイン電極が第1クロック端子CK1に接続され、ゲート電極が前記第2キャパシタC2を介して第1クロック端子CK1に接続され、ソース電極が第2ノードNに接続される。第7トランジスタT7のゲート電極とソース電極との間には第3キャパシタC3が接続される。

【0101】

第8トランジスタT8は、ゲート電極が第1ノードQに接続され、ドレイン電極が第2ノードNに接続され、ソース電極が第2電圧端子VT2に接続される。

第11トランジスタT11は、ゲート電極とドレイン電極が第1クロック端子CK1に共通で接続され、ソース電極が第12トランジスタT12のドレイン電極と接続される。

第12トランジスタT12は、ゲート電極が第1ノードQに接続され、ソース電極が第2電圧端子VT2に接続される。

【0102】

1フレームで第1ノードQにハイ電圧が印加される間、スイッチング部360の第12トランジスタT12及び第8トランジスタT8がターンオンされて第2ノードNの電位は第2ロー電圧VSS2に放電される。

一方、1フレームで第1ノードQにロー電圧が印加される間、スイッチング部260の第12トランジスタT12及び第8トランジスタT8がターンオフされ、これによって、第2ノードNに第1クロック端子CK1に受信される第1クロック信号CKと位相が実質的に同一の信号が印加される。第2ノードNの電位がハイレベルに転換する時、第3トランジスタT3がターンオンされ、これによって出力端子OUTが第1ロー電圧VSS1に放電される。

【0103】

キャリア部370は、第13トランジスタT13を含む。第13トランジスタT13は、ゲート電極が第1ノードQに接続され、ソース電極がキャリア端子CRに接続され、ドレイン電極が第1クロック端子CK1に接続される。キャリア部370は第13トランジスタT13のゲート電極とソース電極との間に接続される第4キャパシタC4をさらに含む。キャリア部370は第1ノードQの電位がハイレベルに転換すると、第1クロック信号CKのハイ電圧をキャリア信号として出力する。

【0104】

本実施形態によれば、ゲート駆動回路が放電部340及び第5ホールディング部355の制御信号としてゲート信号ではなくキャリア信号の印加を受けることによって、漏洩電

10

20

30

40

50

流が放電部 340 及び第 5 ホールディング部 355 を介して第 1 ノード Q に流入することを最小化することができる。また、ゲート駆動回路が長時間駆動するとき、放電部 340 及び第 5 ホールディング部 355 が劣化することを防ぐことができる。

【0105】

また、ゲート駆動回路が高温で動作する場合には、第 1 ノード Q の電圧を第 1 電圧端子 VT1 に印加される第 1 ロー電圧 VSS1 より低い第 2 レベルを有するダイナミックロー電圧 VSSD を印加することによって、第 1 トランジスタ T1 のゲート/ソース電圧  $V_{GS}$  をネガティブ電圧で設定することができて、高温ノイズを改善することができる。

【0106】

第 5 の実施形態

図 12 は、本発明の第 5 の実施形態によるステージに対する回路図である。

本実施形態によるステージは、スイッチング部 362 を除いては図 11 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

【0107】

図 12 を参照すると、第 m ステージ SRCm は、入力部、出力部 310、出力駆動部、ホールディング部、スイッチング部 362、及びキャリア部 370 を含む。出力駆動部はバッファ部 320、充電部 330、及び放電部 340 を含む。ホールディング部は、第 1 ホールディング部 351、第 2 ホールディング部 352、第 3 ホールディング部 353、第 4 ホールディング部 354 及び第 5 ホールディング部 355 を含む。

【0108】

スイッチング部 362 は、第 7 トランジスタ T7、第 8 トランジスタ T8、第 11 トランジスタ T11、及び第 12 トランジスタ T12、並びに第 2 キャパシタ C2 及び第 3 キャパシタ C3 を含む。

【0109】

第 7 トランジスタ T7 は、ドレイン電極が第 1 クロック端子 CK1 に接続し、ゲート電極が第 2 キャパシタ C2 を介して第 1 クロック端子 CK1 に接続され、ソース電極が第 2 ノード電極 N に接続される。第 7 トランジスタ T7 のゲート電極とソース電極との間には第 3 キャパシタ C3 が接続される。

【0110】

第 8 トランジスタ T8 は、ゲート電極が出力端子 OUT に接続され、ドレイン電極が第 2 ノード N に接続され、ソース電極が第 2 電圧端子 VT2 に接続される。

第 11 トランジスタ T11 は、ゲート電極とドレイン電極が第 1 クロック端子 CK1 に共通で接続され、ソース電極が第 12 トランジスタ T12 のドレイン電極と接続される。

第 12 トランジスタ T12 は、ゲート電極が出力端子 OUT に接続され、ソース電極が第 2 電圧端子 VT2 に接続される。

【0111】

1 フレームで、第 m ゲート信号 Gm がハイ電圧を維持する間、スイッチング部 362 の第 12 トランジスタ T12 及び第 8 トランジスタ T8 がターンオンされ、これによって第 2 ノード N の電位は第 2 ロー電圧 VSS2 に放電される。第 3 トランジスタ T3 は、ターンオフ状態であるため、第 1 電圧端子 VT1 と第 m ステージの出力端子 OUT は、電氣的に分離された状態になる。従って、第 m ゲート信号は、第 1 ロー電圧 VSS1 で放電されず、出力端子 OUT に完全に出力される。

【0112】

一方、1 フレームで第 m ゲート信号 Gm がロー電圧を維持する間、スイッチング部 362 の第 12 トランジスタ T12 及び第 8 トランジスタ T8 がターンオフされ、これによって第 2 ノード N には第 1 クロック端子 CK1 に受信される第 1 クロック信号 CK と実質的に同一の信号が印加される。第 2 ノード N の電位がハイレベルに転換される時、第 3 トランジスタ T3 がターンオンされ、これによって出力端子 OUT の電位は第 1 ロー電圧 VSS1 に放電される。

10

20

30

40

50

## 【 0 1 1 3 】

本実施形態によれば、ゲート駆動回路が高温で動作する場合、1フレームで第 $m$ ゲート信号 $G_m$ がロー電圧を維持する間、第1トランジスタ $T_1$ のゲート/ソース電圧 $V_{GS}$ をネガティブ電圧で設定することができるため、高温ノイズを改善することができる。

## 【 0 1 1 4 】

## 第6の実施形態

図13は、本発明の第6の実施形態によるステージに対する回路図である。

本実施形態によるステージは、第5ホールディング部355が除去され、放電部342を構成するスイッチング素子の接続構造が変更されたことを除いては、図11に示すステージの回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

10

## 【 0 1 1 5 】

図13を参照すると、第 $m$ ステージ $SR C m$ は、入力部、出力部310、出力駆動部、ホールディング部、スイッチング部360、及びキャリア部370を含む。出力駆動部はバッファ部320、充電部330、及び放電部342を含む。ホールディング部は、第1ホールディング部351、第2ホールディング部352、第3ホールディング部353、及び第4ホールディング部354を含む。

## 【 0 1 1 6 】

放電部342は、第9トランジスタ $T_9$ を含む。第9トランジスタ $T_9$ は、ゲート電極が第2入力端子 $IN_2$ に接続され、ソース電極が第2電圧端子 $VT_2$ に接続され、ドレイン電極が第1ノード $Q$ に接続される。

20

放電部342は、第2入力端子 $IN_2$ に印加される第 $(m+1)$ キャリア信号 $CR_{m+1}$ に 응답して第1ノード $Q$ の電圧を第2電圧端子 $VT_2$ に印加されるダイナミックロー電圧 $VSSD$ のレベルに放電させる。

ダイナミックロー電圧 $VSSD$ は、常温で第1レベルの電圧を、高温で第1レベルより低い第2レベルのロー電圧を有する。ここで、第1レベルのロー電圧は、約 $-6V$ であり、第2レベルのロー電圧は、約 $-11V$ である。

## 【 0 1 1 7 】

ゲート駆動回路が高温で動作する場合、1フレームで第 $m$ ゲート信号 $G_m$ がロー電圧を維持する間、第1トランジスタ $T_1$ のゲート電極と接続された第1ノード $Q$ は第2レベルのロー電圧で維持され、ソース電極と接続された出力端子 $OUT$ は第1電圧端子 $VT_1$ から印加される第1ロー電圧 $VSS_1$ で維持される。

30

## 【 0 1 1 8 】

このように本実施形態によれば、ゲート駆動回路が高温で動作する場合、1フレームで第 $m$ ゲート信号 $G_m$ がロー電圧を維持する間、第1トランジスタ $T_1$ のゲート/ソース電圧 $V_{GS}$ をネガティブ電圧で設定することができるため、高温ノイズを改善することができる。

## 【 0 1 1 9 】

## 第7の実施形態

図14は、本発明の第7の実施形態によるステージに対する回路図である。

40

本実施形態によるステージは、第6ホールディング部356が追加されたことを除いては、図12を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

## 【 0 1 2 0 】

図14を参照すると、第 $m$ ステージ $SR C m$ は、入力部、出力部310、出力駆動部、ホールディング部、スイッチング部362、及びキャリア部370を含む。出力駆動部はバッファ部320、充電部330、及び放電部340を含む。ホールディング部は、第1ホールディング部351、第2ホールディング部352、第3ホールディング部353、第4ホールディング部354、第5ホールディング部355、及び第6ホールディング部356を含む。

50

## 【 0 1 2 1 】

第 6 ホールディング部 3 5 6 は、第 1 4 トランジスタ T 1 4 を含む。第 1 4 トランジスタ T 1 4 はゲート電極が第 2 ノード N に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極がキャリア端子 C R に接続される。第 6 ホールディング部 3 5 6 は、第 m ゲート信号 G m がロー電圧である間、第 2 ノード N の信号にตอบสนองしてキャリア端子 C R に出力されるキャリア信号 C R m を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D で維持させる。

ダイナミックロー電圧 V S S D は、常温で第 1 レベルのロー電圧を、高温では、第 1 レベルより低い第 2 レベルのロー電圧を有する。例えば、第 1 レベルは第 1 電圧端子 V T 1 に印加される第 1 ロー電圧 V S 1 のレベルと同一の電圧レベルで、約 - 6 V であり、第 2 レベルは、約 - 1 1 V である。

10

## 【 0 1 2 2 】

第 6 ホールディング部 3 5 6 は、第 m ゲート信号 G m がハイ電圧であると同時に第 1 クロック信号 C K がハイ電圧である区間を除き、キャリア信号 C R m を安定的にダイナミックロー電圧 V S S D で維持させることができる。

## 【 0 1 2 3 】

本実施形態によれば、第 6 ホールディング部 3 5 6 を介して該当ゲート信号がハイ電圧で維持される区間を除いた残りの区間に次段ステージに印加されるキャリア信号をロー電圧で安定的に維持させることができるため、キャリア信号にリップルが発生することを著しく減らすことができる。

20

## 【 0 1 2 4 】

図 1 5 は、図 1 0 に示す第 1 ダミーステージに対する回路図である。

本実施形態による第 1 ダミーステージ S R C d 1 は、第 5 ホールディング部 3 5 5 a を除いては、図 1 4 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される部分は省略する。

## 【 0 1 2 5 】

図 1 0 及び図 1 5 を参照すると、第 1 ダミーステージ S R C d 1 は、入力部、出力部 3 1 0、出力駆動部、ホールディング部、スイッチング部 3 6 2、及びキャリア部 3 7 0 を含む。出力駆動部はバッファ部 3 2 0、充電部 3 3 0、及び放電部 3 4 0 を含む。ホールディング部は、第 1 ホールディング部 3 5 1、第 2 ホールディング部 3 5 2、第 3 ホールディング部 3 5 3、第 4 ホールディング部 3 5 4、第 5 ホールディング部 3 5 5 a、及び第 6 ホールディング部 3 5 6 を含む。

30

## 【 0 1 2 6 】

第 5 ホールディング部 3 5 5 a は、第 6 トランジスタ T 6 を含む。第 6 トランジスタ T 6 はゲート電極が第 3 入力端子 I N 3 に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極が第 1 ノード Q に接続される。第 5 ホールディング部 3 5 5 a は、第 3 入力端子 I N 3 に印加される垂直開始信号 S T V にตอบสนองして第 1 ノード Q の電圧を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D で維持させる。

## 【 0 1 2 7 】

図 1 6 は、図 1 0 に示す第 2 ダミーステージに対する回路図である。

40

本実施形態による第 2 ダミーステージ S R C d 2 は、放電部 3 4 2 及びホールディング部を除いては、図 1 4 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される部分は省略する。

## 【 0 1 2 8 】

図 1 0 及び図 1 6 を参照すると、第 2 ダミーステージ S R C d 2 は、入力部、出力部 3 1 0、出力駆動部、ホールディング部、スイッチング部 3 6 0、及びキャリア部 3 7 0 を含む。出力駆動部はバッファ部 3 2 0、充電部 3 3 0、及び放電部 3 4 2 を含む。ホールディング部は、第 1 ホールディング部 3 5 1 a、第 2 ホールディング部 3 5 2、第 3 ホールディング部 3 5 3、第 4 ホールディング部 3 5 4、第 6 ホールディング部 3 5 6、及び第 7 ホールディング部 3 5 7 を含む。

50

## 【 0 1 2 9 】

放電部 3 4 2 は、第 9 トランジスタ T 9 を含む。第 9 トランジスタ T 9 は、ゲート電極が第 2 入力端子 I N 2 に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極が第 1 ノード Q に接続される。

放電部 3 4 2 は、第 2 入力端子 I N 2 に印加される垂直開始信号 S T V に応答して第 1 ノード Q の電圧を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D のレベルに放電させる。

ダイナミックロー電圧 V S S D は、常温で第 1 レベルの電圧を、高温で第 1 レベルより低い第 2 レベルのロー電圧を有する。ここで、第 1 レベルのロー電圧は、約 - 6 V であり、第 2 レベルのロー電圧は、約 - 1 1 V である。

10

## 【 0 1 3 0 】

第 1 ホールディング部 3 5 1 a は、第 2 トランジスタ T 2 を含む。第 2 トランジスタ T 2 はゲート電極が第 2 入力端子 I N 2 に接続され、ソース電極が第 1 電圧端子 V T 1 に接続され、ドレイン電極が出力端子 O U T に接続される。第 1 ホールディング部 3 5 1 a は、第 2 入力端子 I N 2 に印加される垂直開始信号 S T V に応答して出力端子 O U T の電圧を第 1 電圧端子 V T 1 に印加される第 1 ロー電圧 V S S 1 にプルダウンさせる。

## 【 0 1 3 1 】

第 6 ホールディング部 3 5 6 は、第 1 4 トランジスタ T 1 4 を含む。第 1 4 トランジスタ T 1 4 はゲート電極が第 2 ノード N に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極がキャリア端子 C R に接続される。第 6 ホールディング部 3 5 6 は、第 m ゲート信号 G m がロー電圧である間に第 2 ノード N の信号に応答してキャリア端子 C R に出力されるキャリア信号 C R m を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D で維持させる。

20

## 【 0 1 3 2 】

第 7 ホールディング部 3 5 7 は、第 1 5 トランジスタ T 1 5 を含む。第 1 5 トランジスタ T 1 5 はゲート電極が出力端子 O U T に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極が第 1 ノード Q に接続される。第 7 ホールディング部 3 5 7 は、出力端子 O U T の信号に応答して第 1 ノード Q の信号を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D で維持させる。

## 【 0 1 3 3 】

## 第 8 の実施形態

図 1 7 は、本発明の第 8 の実施形態によるステージに対する回路図である。

本実施形態によるステージは、スイッチング部 3 6 2 a を除いては図 1 4 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

30

## 【 0 1 3 4 】

図 1 7 を参照すると、第 m ステージ S R C m は、入力部、出力部 3 1 0、出力駆動部、ホールディング部、スイッチング部 3 6 2 a、及びキャリア部 3 7 0 を含む。出力駆動部はバッファ部 3 2 0、充電部 3 3 0、及び放電部 3 4 0 を含む。ホールディング部は、第 1 ホールディング部 3 5 1、第 2 ホールディング部 3 5 2、第 3 ホールディング部 3 5 3、第 4 ホールディング部 3 5 4、第 5 ホールディング部 3 5 5、及び第 6 ホールディング部 3 5 6 を含む。

40

## 【 0 1 3 5 】

第 6 ホールディング部 3 5 6 は、第 1 4 トランジスタ T 1 4 を含む。第 1 4 トランジスタ T 1 4 はゲート電極が第 2 ノード N に接続され、ソース電極が第 2 電圧端子 V T 2 に接続され、ドレイン電極がキャリア端子 C R に接続される。

第 6 ホールディング部 3 5 6 は、第 m ゲート信号 G m がロー電圧である間に第 2 ノード N 1 の信号に応答してキャリア端子 C R に出力されるキャリア信号 C R m を第 2 電圧端子 V T 2 に印加されるダイナミックロー電圧 V S S D で維持させる。

ダイナミックロー電圧 V S S D は、常温で第 1 レベルのロー電圧を、高温では第 1 レベ

50

ルより低い第2レベルのロー電圧を有する。例えば、第1レベルは第1電圧端子VT1に印加される第1ロー電圧VS1のレベルと同一の電圧レベルで、約-6Vであり、第2レベルは約-11Vである。

【0136】

スイッチング部362aは、第7トランジスタT7、第8トランジスタT8、第11トランジスタT11、及び第12トランジスタT12、並びに第2キャパシタC2及び第3キャパシタC3を含む。

【0137】

第7トランジスタT7は、ドレイン電極が第1クロック端子CK1に接続し、ゲート電極が第2キャパシタC2を介して第1クロック端子CK1に接続され、ソース電極が第2ノードNに接続される。第7トランジスタT7のゲート電極とソース電極との間には第3キャパシタC3が接続される。

10

【0138】

第8トランジスタT8は、ゲート電極が第1入力端子IN1に接続され、ドレイン電極が第2ノードNに接続され、ソース電極が第2電圧端子VT2に接続される。

第11トランジスタT11は、ゲート電極とドレイン電極が第1クロック端子CK1に共通で接続され、ソース電極が第12トランジスタT12のドレイン電極と接続される。

第12トランジスタT12は、ゲート電極がキャリア端子CRに接続され、ソース電極が第2電圧端子VT2に接続される。

【0139】

20

第1入力端子IN1に印加される第(m-1)ステージSRCm-1のキャリア信号CRm-1に応答して第8トランジスタT8がターンオンされると、第2ノードNの電位が第2電圧端子VT2に印加されるダイナミックロー電圧VSSDに放電される。

一方、第mステージSRCmのキャリア信号CRmに応答して第12トランジスタT12がターンオンされると、第3ノードN1には、第1クロック端子CK1と第2電圧端子VT2との間に印加された電圧が第11トランジスタT11と第12トランジスタT12によって電圧分配されたロー電圧が印加される。

【0140】

第8トランジスタT8のゲート/ソース電圧VGSはキャリア端子CRの電圧と第2電圧端子VT2との電圧の差で定義することができる。第(m-1)ゲート信号がハイ電圧で維持される間、第8トランジスタT8のゲート電極と接続された第1電圧端子IN1は第(m-1)ステージSRCm-1のキャリア信号CRm-1のハイ電圧(約22V)で維持され、ソース電極と接続された第2電圧端子VT2はダイナミックロー電圧(約-11V)で維持される。これによって、第8トランジスタT8のゲート/ソース電圧VGSは、 $22 - (-11) = 33$  Vになる。

30

【0141】

第mゲート信号が、ハイ電圧に維持される間、第12トランジスタT12のゲート電極と接続されたキャリア端子CRは、第1クロック端子CK1に印加される第1クロック信号CKのハイ電圧(約22V)で維持され、ソース電極と接続された第2電圧端子VT2はダイナミックロー電圧(約-11V)で維持される。これによって、第12トランジスタT12のゲート/ソース電圧VGSは、 $22 - (-11) = 33$  Vになる。

40

【0142】

一方、本実施形態とは異なって、第8トランジスタT8及び第12トランジスタT12のゲート電極が第1ノードQに接続された場合のゲート/ソース電圧は下記のような。

つまり、第mゲート信号又は第(m-1)ゲート信号がハイ電圧で維持される間、第8トランジスタT8及び第12トランジスタT12のゲート電極と接続された第1ノードQは、ハイ電圧(約41V)で維持され、第8トランジスタT8のソース電極と接続された第2電圧端子VT2は、ダイナミックロー電圧(約-11V)で維持される。

従って、第8トランジスタT8及び第12トランジスタT12のゲート/ソース電圧V

50

$V_{GS}$  は、 $4.1 - (-1.1) = 5.2$  Vになる。このように、第8トランジスタT8及び第12トランジスタT12のゲート/ソース電圧が非常に高くなると、ゲート駆動回路のブレークダウンが発生するおそれがある。

【0143】

本実施形態によれば、第8トランジスタT8の制御信号として第(m-1)ステージSRC<sub>m-1</sub>のキャリア信号CR<sub>m-1</sub>を印加し、第12トランジスタT12の制御信号として第mステージ信号SRC<sub>m</sub>のキャリア信号CR<sub>m</sub>を印加することによって、第8トランジスタT8及び第12トランジスタT12の制御信号として第1ノードQの信号を印加する場合に比べて、第8トランジスタT8及び第12トランジスタT12のゲート/ソース電圧を約1.9Vほど減少させることができる。従って、本実施形態によれば、ゲート駆動回路の長時間駆動の信頼性を向上させることができる。

10

【0144】

第9の実施形態

図18は、本発明の第9の実施形態によるステージに対する回路図である。

本実施形態によるステージは、スイッチング部362bを除いては図14を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

【0145】

図18を参照すると、第mステージSRC<sub>m</sub>は、入力部、出力部310、出力駆動部、ホールディング部、スイッチング部362b、及びキャリア部370を含む。出力駆動部はバッファ部320、充電部330、及び放電部340を含む。ホールディング部は、第1ホールディング部351、第2ホールディング部352、第3ホールディング部353、第4ホールディング部354、第5ホールディング部355、及び第6ホールディング部356を含む。

20

【0146】

第6ホールディング部356は、第14トランジスタT14を含む。第14トランジスタT14はゲート電極が第2ノードNに接続され、ソース電極が第2電圧端子VT2に接続され、ドレイン電極がキャリア電極CRに接続される。

第6ホールディング部356は、第mゲート信号G<sub>m</sub>がロー電圧である間に第2ノードNの信号にตอบสนองしてキャリア端子CRに出力されるキャリア信号CR<sub>m</sub>を第2電圧端子VT2に印加されるダイナミックロー電圧VSSDで維持させる。

30

ダイナミックロー電圧VSSDは、常温で第1レベルのロー電圧を、高温では第1レベルより低い第2レベルのロー電圧を有する。例えば、第1レベルは第1電圧端子VT1に印加される第1ロー電圧VS1のレベルと同一の電圧レベルで、約-6Vであり、第2レベルは約-1.1Vである。

【0147】

スイッチング部362bは、第7トランジスタT7、第8トランジスタT8、第11トランジスタT11、及び第12トランジスタT12、並びに第2キャパシタC2及び第3キャパシタC3を含む。

【0148】

第7トランジスタT7は、ドレイン電極が第1クロック端子CK1に接続し、ゲート電極が第2キャパシタC2を介して第1クロック端子CK1に接続され、ソース電極が第2ノードNに接続される。第7トランジスタT7のゲート電極とソース電極との間には第3キャパシタC3が接続される。

40

【0149】

第8トランジスタT8は、ゲート電極がキャリア端子CRに接続され、ドレイン電極が第2ノードNに接続され、ソース電極が第2電圧端子VT2に接続される。

第11トランジスタT11は、ゲート電極とドレイン電極が第1クロック端子CK1に共通で接続され、ソース電極が第12トランジスタT12のドレイン電極と接続される。

第12トランジスタT12は、ゲート電極が第1入力端子IN1に接続され、ソース電

50

極が第2電圧端子V T 2に接続される。

【0150】

第1入力端子I N 1に印加される第(m - 1)ステージS R C m - 1のキャリア信号C R m - 1に応答して第12トランジスタT 1 2がターンオンされると、第3ノードN 1には、第1クロック端子C K 1と第2電源端子V T 2との間に印加された電圧が第11トランジスタT 1 1と第12トランジスタT 1 2によって電圧分配されたロー電圧が印加される。

一方、mステージS R C mのキャリア信号C R mに응答して第8トランジスタT 8がターンオンされると、第2ノードNの電位は第2電圧端子V T 2に印加されるダイナミックロー電圧V S S Dに放電される。

【0151】

第8トランジスタT 8のゲート/ソース電圧V<sub>G S</sub>はキャリア端子C Rの電圧と第2電圧端子V T 2との電圧の差で定義される。第mゲート信号がハイ電圧で維持される間、第8トランジスタT 8のゲート電極と接続されたキャリア端子C Rは第1クロック端子C K 1に印加される第1クロック信号C Kのハイ電圧(約2.2V)で維持され、ソース電極と接続された第2電圧端子V T 2はダイナミックロー電圧(約-1.1V)で維持される。これによって、第12トランジスタT 1 2のゲート/ソース電圧V<sub>G S</sub>は、 $2.2 - (-1.1) = 3.3$  Vになる。

【0152】

第(m - 1)ゲート信号が、ハイ電圧で維持される間、第12トランジスタT 1 2のゲート電極と接続された第1入力端子I N 1は第(m - 1)ステージS R C m - 1のキャリア信号C R m - 1のハイ電圧(約2.2V)で維持され、ソース電極と接続された第2電圧端子V T 2はダイナミックロー電圧(約-1.1V)で維持される。これによって、第8トランジスタT 8のゲート/ソース電圧V<sub>G S</sub>は、 $2.2 - (-1.1) = 3.3$  Vになる。

【0153】

本実施形態によれば、第8トランジスタT 8の制御信号として第mステージS R C mのキャリア信号C R mを印加し、第12トランジスタT 1 2の制御信号として第(m - 1)ステージ信号S R C m - 1のキャリア信号C R m - 1を印加することによって、第8トランジスタT 8及び第12トランジスタT 1 2の制御信号として第1ノードQの信号を印加する場合に比べて、第8トランジスタT 8及び第12トランジスタT 1 2のゲート/ソース電圧を減少させることができる。従って、本実施形態によれば、ゲート駆動回路の長時間駆動の信頼性を向上させることができる。

【0154】

第10の実施形態

図19は、本発明の第10の実施形態によるゲート駆動回路のブロック図である。

図19を参照すると、ゲート駆動回路は、互いに従属的に接続された複数のステージ(S R C 1 ~ S R C d 2)からなるシフトレジスタを含む。

【0155】

複数のステージ(S R C 1 ~ S R C d 2)はn個の駆動ステージ(S R C 1 ~ S R C n)と2つのダミーステージ(S R C d 1、S R C d 2)を含む。第n個の駆動ステージ(S R C 1 ~ S R C n)は、n個のゲートライン(G 1 ~ G n)とそれぞれ接続されてゲートライン(G 1 ~ G n)にゲート信号を順次に接続する。

【0156】

各ステージは、第1クロック端子C K 1、第1入力端子I N 1、第2入力端子I N 2、第3入力端子I N 3、第1電圧端子V T 1、第2電圧端子V T 2、キャリア端子C R、及び出力端子O U Tを含む。

【0157】

第1クロック端子C K 1は、クロック信号を受信する。

第1入力端子I N 1は、垂直開始信号S T V又は前段ステージのキャリア信号を受信する。つまり、一番目ステージである第1ステージS R C 1の第1入力端子I N 1は垂直開

10

20

30

40

50

始信号STVを受信し、第1ステージSRC1を除いた残りのステージ(SRC2~SRCd2)の第1入力端子IN1は前段ステージのキャリア信号を受信する。

【0158】

第2入力端子IN2は、次段ステージの出力信号又は垂直開始信号STVを受信する。第1~第nステージ(SRC1~SRCn)及び第1ダミーステージSRCd1の第2入力端子IN2は次段ステージ(SRC2~SRCd2)のキャリア信号を受信し、第2ダミーステージSRCd2の第2入力端子IN2は垂直開始信号STVを受信する。

【0159】

第3入力端子IN3は、当該ステージをn番目ステージとする場合、(n+2)番目ステージのキャリア端子CRから出力されるキャリア信号を受信する。例えば、第1~第nステージ(SRC1~SRCn)の第3入力端子IN3は、第3ステージ~第2ダミーステージ(SRC3~SRCd2)のキャリア信号を受信し、第1ダミーステージSRCd1の第3入力端子IN3は垂直開始信号STVを受信する。

10

【0160】

第1電圧端子VT1は、第1ロー電圧VSS1を受信する。第1ロー電圧は、約-6Vである。

第2電圧端子VT2は、第1ロー電圧VSS1より低い第2ロー電圧VSS2を受信する。第2ロー電圧VSS2は、約-11Vである。

【0161】

キャリア端子CRは、次段ステージの第1入力端子IN1と電氣的に接続されて次段ステージの第1入力端子IN1にキャリア信号を出力する。キャリア端子CRは、前段ステージの第2入力端子IN2と電氣的に接続されて、キャリア信号を前段ステージの第2入力端子IN2に提供する。

20

出力端子OUTは、該当するゲートラインと電氣的に接続されてゲートラインにゲート信号を出力する。

【0162】

図20は、図19に示すステージに対する回路図である。

図19及び図20を参照すると、第mステージSRCmは、入力部、出力部410、及びホールディング部を含む。

【0163】

入力部は、第1入力信号の印加を受ける第1入力端子IN1、第2入力信号の印加を受ける第2入力端子IN2、及び第3入力信号IN3を含む。ここで、第1入力信号は、第(m-1)ステージSRCm-1のキャリア信号CRm-1又は垂直開始信号STVであり、第2入力信号は、第(m+1)ステージSRCm+1のキャリア信号CRm+1であり、第3入力信号は、第(m+2)ステージSRCm+2のキャリア信号CRm+2である。

30

【0164】

出力部410は、第1トランジスタT1を含む。第1トランジスタT1は、ドレイン電極が第1クロック信号CK1に接続され、ゲート電極が第1ノードQに接続され、ソース電極が出力端子OUTに接続される。出力部410は第1ノードQの信号にตอบสนองして第1クロック端子CK1に印加されるクロック信号CKのハイ電圧をゲート信号として出力する。

40

【0165】

第mステージSRCmは、第(m-1)ステージSRCm-1のキャリア信号CRm-1又は垂直開始信号STVにตอบสนองして出力部210をターンオンさせ、第(m+1)ステージSRCm+1のキャリア信号CRm+1にตอบสนองして出力部210をターンオフさせる出力駆動部をさらに含む。出力駆動部は、バッファ部420、充電部430、及び放電部440を含む。

【0166】

バッファ部420は、第3トランジスタT3を含む。第3トランジスタT3は、ゲー

50

ト電極及びドレイン電極が第1入力端子IN1に共通で接続され、ソース電極が第1ノードQに接続される。

【0167】

充電部430は、1端が第1ノードQに接続され、他端が出力端子OUTに接続された第1キャパシタC1を含む。充電部430は、第1入力端子IN1に印加される第1入力信号のハイ電圧を充電して、第1ノードQをハイレベルで維持させる。

【0168】

放電部440は、第4トランジスタT4を含む。第4トランジスタT4は、ゲート電極が第2入力端子IN2に接続され、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が第1ノードQに接続される。

10

【0169】

ホールディング部は、第1ホールディング部452及び第2ホールディング部454を含む。

第1ホールディング部452は、第2トランジスタT2を含む。第2トランジスタT2は、ゲート電極が第2入力端子IN2に接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。

【0170】

第1ホールディング部452は第2入力端子IN2に印加される第(m+1)ステージSCR<sub>m+1</sub>のキャリア信号CR<sub>m+1</sub>に应答して出力端子OUTの電圧を第1ロー電圧VSS1にプルダウンさせる。

20

【0171】

第2ホールディング部454は、第5トランジスタT5を含む。第5トランジスタT5は、ゲート電極が第3入力端子IN3に接続し、ソース電極が第2電圧端子VT2に接続され、ドレイン電極が第1ノードQに接続される。第2ホールディング部454は、第3入力端子IN3に受信されるキャリア信号CR<sub>m+2</sub>に应答して第1ノードQの電圧を第2ロー電圧VSS2に維持させる。

【0172】

第mステージSRC<sub>m</sub>は、キャリア部460をさらに含む。

キャリア部460は、第6トランジスタT6を含む。第6トランジスタT6は、ゲート電極が第1ノードQに接続され、ソース電極がキャリア端子CRに接続され、ドレイン電極が第1クロック端子CK1に接続される。キャリア部460は第6トランジスタT6のゲート電極とソース電極との間に接続される第2キャパシタC2をさらに含む。キャリア部460は第1ノードQの電位がハイ電圧に転換されると、第1クロック信号CKのハイ電圧をキャリア信号として出力する。

30

【0173】

図21は、図20に示す第1ノードと出力端子の電圧の信号タイミング図である。

図20及び図21を参照すると、出力端子OUTの信号である第mゲート信号G<sub>m</sub>は、第1ノードQにブースティング電圧(約4.1V)が印加する区間、第1クロック端子CK1に印加されるクロック信号CKのハイ電圧(約2.2V)を維持し、残り区間の間では第1ロー電圧(約-6V)で維持することが分かる。第3入力信号である第(m+2)ステージのキャリア信号に应答して第5トランジスタT5がターンオンされると、第1ノードQの信号である第mノード信号Q<sub>m</sub>は第2ロー電圧(約-1.1V)で維持されることが分かる。

40

【0174】

上述のように、1フレームで第mゲート信号G<sub>m</sub>がロー電圧を維持する間、第1トランジスタT1のゲート電極と接続された第1ノードQは、第2ロー電圧VSS2に維持され、ソース電極と接続された出力端子OUTは、第1ロー電圧VSS1に維持される。従って、第1トランジスタT1のゲートソース電圧V<sub>G<sub>s</sub></sub>は、-5Vになる。

【0175】

本実施形態によれば、第mゲート信号G<sub>m</sub>がロー電圧を維持する間、第1トランジスタ

50

T 1 のゲート / ソース電圧  $V_{GS}$  をネガティブ電圧で説明することができるため、高温ノイズを改善することができる。

【0176】

#### 第11の実施形態

図22は、本発明の第11の実施形態によるステージに対する回路図である。

本実施形態によるステージは、キャリア部462を除いては図20を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

【0177】

図20及び図22を参照すると、第mステージSR Cmは、入力部、出力部410、出力駆動部、ホールディング部、及びキャリア部462を含む。出力駆動部はバッファ部420、充電部430、及び放電部440を含む。ホールディング部は、第1ホールディング部452及び第2ホールディング部454を含む。

10

【0178】

キャリア部462は、第6トランジスタT6を含む。第6トランジスタT6はダブルゲート構造を採用している。第6トランジスタT6はボトムゲートである第1ゲート電極が第1ノードQに接続され、ソース電極がキャリア端子CRに接続され、ドレイン電極が第1クロック端子CK1に接続され、トップゲートである第2ゲート電極がキャリア端子CRに接続される。

【0179】

20

キャリア部462は、第6トランジスタT6の第1ゲート電極とソース電極との間に接続される第2キャパシタC2をさらに含む。キャリア部462は、第1ノードQの電位がハイレベルに転換すると、第1クロック信号CKのハイ電圧をキャリア信号として出力する。この場合、キャリア信号の出力とともに第2ゲート電極を介して、キャリア部462の第6トランジスタT6がさらにターンオンされる。

【0180】

上述のように、第6トランジスタT6にダブルゲート構造を採用する場合、第mゲート信号がハイ電圧で維持される区間を除いた残り区間の間、第1ノードQの信号を第2ローレベルVSS2で安定的に維持させることができるため、リップルによるゲート信号のノイズを改善することができる。

30

【0181】

#### 第12の実施形態

図23は、本発明の第12の実施形態によるステージに対する回路図である。

本実施形態によるステージは、キャリア部464を除いては図20を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

【0182】

図20及び図23を参照すると、第mステージSR Cmは、入力部、出力部410、出力駆動部、ホールディング部、及びキャリア部464を含む。出力駆動部はバッファ部420、充電部430、及び放電部440を含む。ホールディング部は、第1ホールディング部452及び第2ホールディング部454を含む。

40

【0183】

キャリア部464は、第6トランジスタT6を含む。第6トランジスタT6はダブルゲート構造を採用している。第6トランジスタT6はボトムゲート電極である第1ゲート電極が第1ノードQに接続され、ソース電極がキャリア端子CRに接続され、ドレイン電極が第1クロック端子CK1に接続され、トップゲートである第2ゲート電極が出力端子OUTに接続される。

【0184】

キャリア部464は、第6トランジスタT6の第1ゲート電極とソース電極との間に接続される第2キャパシタC2をさらに含む。キャリア部464は、第1ノードQの電位が

50

ハイレベルに転換すると、第1クロック信号CKのハイ電圧をキャリア信号として出力する。出力端子OUTにハイ電圧が印加される場合には第2ゲート電極を介してキャリア部464の第6トランジスタT6がさらにターンオンされる。

【0185】

上述のように、第6トランジスタT6にダブルゲート構造を採用する場合、第mゲート信号がハイ電圧で維持される区間を除いた残り区間の間、第1ノードQの信号を第2ローレベルVSS2で安定的に維持させることができるため、リップルによるゲート信号のノイズを改善することができる。

【0186】

第13の実施形態

10

図24は、本発明の第13の実施形態によるゲート駆動回路のブロック図である。

本実施形態によるゲート駆動回路は、第2クロック端子CK2が追加されたことを除いては図19を参照して説明したゲート駆動回路と実質的に同一であるため、繰り返される説明は省略する。

【0187】

図24を参照すると、ゲート駆動回路は、互いに従属的に接続された複数のステージ(SRC1~SRCd2)からなるシフトレジスタを含む。複数のステージ(SRC1~SRCd2)はn個の駆動ステージ(SRC1~SRCn)と2つのダミーステージ(SRCd1, SRCd2)を含む。

【0188】

20

各ステージは、第1クロック端子CK1、第2クロック端子CK2、第1入力端子IN1、第2入力端子IN2、第3入力端子IN3、第1電圧端子VT1、第2電圧端子VT2、キャリア端子CR、及び出力端子OUTを含む。

【0189】

第1クロック端子CK1及び第2クロック端子CK2は互いに逆位相を有する第1クロック信号CK及び第2クロック信号CKBを受信する。例えば、奇数番目ステージ(SRC1, SRC3, ...)の第1クロック端子CK1は、第1クロック信号CKを受信し、第2クロック端子CK2は、第2クロック信号CKBを受信する。偶数番目ステージ(SRC2, SRC4, ...)の第1クロック端子CK1は、第2クロック信号CKBを受信し、第2クロック端子CK2は、第1クロック信号CKを受信する。

30

【0190】

図25は、図24に示すステージに対する回路図である。

本実施形態によるステージは、第3ホールディング部456が追加されたことを除いては、図20を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

【0191】

図25を参照すると、第mステージSRCmは、入力部、出力部410、出力駆動部、ホールディング部、及びキャリア部460を含む。出力駆動部はバッファ部420、充電部430、及び放電部440を含む。ホールディング部は、第1ホールディング部452、第2ホールディング部454、及び第3ホールディング部456を含む。

40

【0192】

第3ホールディング部456は、第7トランジスタT7を含む。第7トランジスタT7は、ゲート電極が第2クロック端子CK2に接続し、ソース電極が第1電圧端子VT1に接続され、ドレイン電極が出力端子OUTに接続される。第3ホールディング部456は第2クロック端子CK2に印加される第2クロック信号CKBにตอบสนองして出力端子OUTの電圧を第1電圧端子VT1に印加される第1ロー電圧VSS1で維持させる。

【0193】

本実施形態によれば、第3ホールディング部456を介して第mゲート信号がハイ電圧で維持される区間の除いては、第mゲート信号を安定的に第1ロー電圧VSS1で維持させることができるため、高温ノイズを改善することができる。

50

## 【 0 1 9 4 】

## 第 1 4 の実施形態

図 2 6 は、本発明の第 1 4 の実施形態によるステージに対する回路図である。

本実施形態によるステージは、キャリア部 4 6 2 を除いては図 2 5 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

## 【 0 1 9 5 】

図 2 6 を参照すると、第 m ステージ S R C m は、入力部、出力部 4 1 0、出力駆動部、ホールディング部、及びキャリア部 4 6 2 を含む。出力駆動部はバッファ部 4 2 0、充電部 4 3 0、及び放電部 4 4 0 を含む。ホールディング部は、第 1 ホールディング部 4 5 2、第 2 ホールディング部 4 5 4、及び第 3 ホールディング部 4 5 6 を含む。

10

## 【 0 1 9 6 】

キャリア部 4 6 2 は、第 6 トランジスタ T 6 を含む。第 6 トランジスタ T 6 はダブルゲート構造を採用している。第 6 トランジスタ T 6 は、第 1 ゲート電極が第 1 ノード Q に接続され、ソース電極がキャリア端子 C R に接続され、ドレイン電極が第 1 クロック端子 C K 1 に接続され、第 2 ゲート電極がキャリア端子 C R に接続される。

キャリア部 4 6 2 は、第 6 トランジスタ T 6 の第 1 ゲート電極とソース電極との間に接続される第 2 キャパシタ C 2 をさらに含む。キャリア部 4 6 2 は第 1 ノード Q の電位がハイレベルに転換すると、第 1 クロック信号 C K のハイ電圧をキャリア信号として出力する。

20

## 【 0 1 9 7 】

本実施形態によれば、第 6 トランジスタ T 6 にダブルゲート構造を採用する場合、第 m ゲート信号がハイ電圧で維持される区間を除いた残り区間の間、第 1 ノード Q の信号を第 2 ローレベル V S S 2 で安定的に維持させることができるため、リップルによるゲート信号のノイズを改善することができる。また、第 3 ホールディング部 4 5 6 を介して第 m ゲート信号がハイ電圧で維持される区間を除き、第 m ゲート信号を安定的に第 1 ロー電圧 V S S 1 で維持させることができるため、高温ノイズを改善することができる。

## 【 0 1 9 8 】

## 第 1 5 の実施形態

図 2 7 は、本発明の第 1 5 の実施形態によるステージに対する回路図である。

30

本実施形態によるステージは、キャリア部 4 6 4 を除いては図 2 5 を参照して説明したステージに対する回路図と実質的に同一であるため、同一構成要素には同一参照符号を与え、繰り返される説明は省略する。

## 【 0 1 9 9 】

図 2 7 を参照すると、第 m ステージ S R C m は、入力部、出力部 4 1 0、出力駆動部、ホールディング部、及びキャリア部 4 6 4 を含む。出力駆動部はバッファ部 4 2 0、充電部 4 3 0、及び放電部 4 4 0 を含む。ホールディング部は、第 1 ホールディング部 4 5 2、第 2 ホールディング部 4 5 4、及び第 3 ホールディング部 4 5 6 を含む。

## 【 0 2 0 0 】

キャリア部 4 6 4 は、第 6 トランジスタ T 6 を含む。第 6 トランジスタ T 6 はダブルゲート構造を採用している。第 6 トランジスタ T 6 は、ボトムゲート電極である第 1 ゲート電極が第 1 ノード Q に接続され、ソース電極がキャリア端子 C R に接続され、ドレイン電極が第 1 クロック端子 C K 1 に接続され、トップゲート電極である第 2 ゲート電極が出力端子 O U T に接続される。

40

## 【 0 2 0 1 】

キャリア部 4 6 4 は、第 6 トランジスタ T 6 の第 1 ゲート電極とソース電極との間に接続される第 2 キャパシタ C 2 をさらに含む。キャリア部 4 6 4 は、第 1 ノード Q の電位がハイレベルに転換されると、第 1 クロック信号 C K のハイ電圧をキャリア信号として出力する。キャリア部 4 6 4 は、第 1 ノード Q の電位が第 2 ロー電圧 V S S 2 に放電されると第 2 ロー電圧 V S S 2 をキャリア信号として出力する。

50

## 【 0 2 0 2 】

上述のように、第 6 トランジスタ T 6 にダブルゲート構造を採用する場合、第 m ゲート信号がハイ電圧で維持される区間を除いた残りの区間の間、第 1 ノード Q の信号を第 2 ロールレベル V S S 2 で安定的に維持させることができるため、リップルによるゲート信号のノイズを改善することができる。

## 【 0 2 0 3 】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

## 【産業上の利用可能性】

## 【 0 2 0 4 】

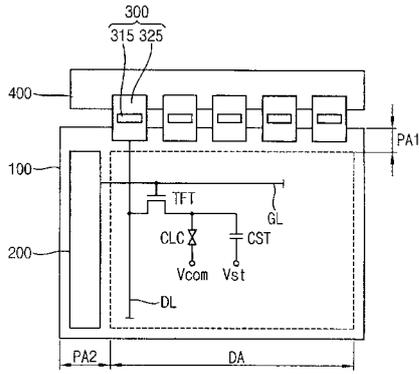
本発明は、表示装置用パネルを有するすべての電子機器に好適に使用される。

## 【符号の説明】

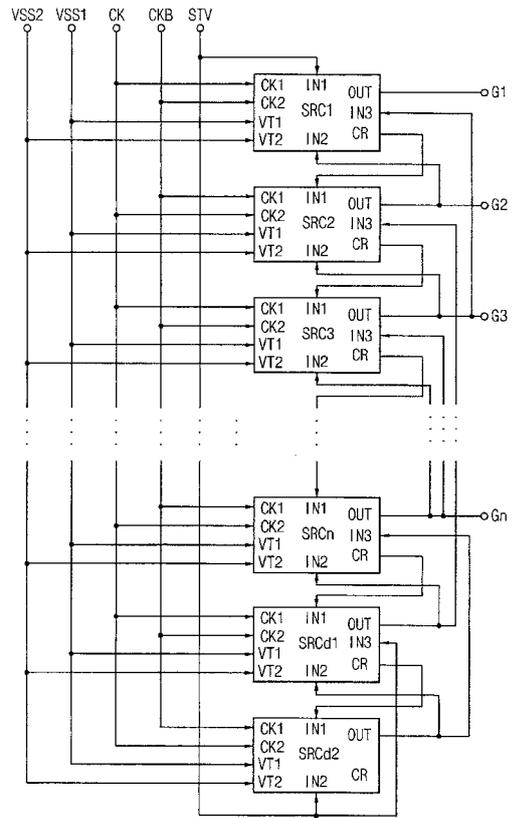
## 【 0 2 0 5 】

1 0 0	表示パネル	
2 0 0	ゲート駆動回路	
2 1 0、3 1 0、4 1 0	出力部	
2 2 0、3 2 0、4 2 0	バッファ部	
2 3 0、3 3 0、4 3 0	充電部	
2 4 0、2 4 2、3 4 0、3 4 2、4 4 0	放電部	
2 5 1、3 5 1、4 5 2	第 1 ホールディング部	20
2 5 2、3 5 2、4 5 4	第 2 ホールディング部	
2 5 3、3 5 3、4 5 6	第 3 ホールディング部	
2 5 4、3 5 4	第 4 ホールディング部	
2 5 5、3 5 5、3 5 5 a	第 5 ホールディング部	
2 6 0、2 6 2、3 6 0、3 6 2、3 6 2 a、3 6 2 b	スイッチング部	
2 7 0、3 7 0、4 6 0、4 6 2、4 6 4	キャリア部	
3 0 0	データ駆動回路	
3 5 6	第 6 ホールディング部	
3 5 7	第 7 ホールディング部	
4 0 0	印刷回路基板	30

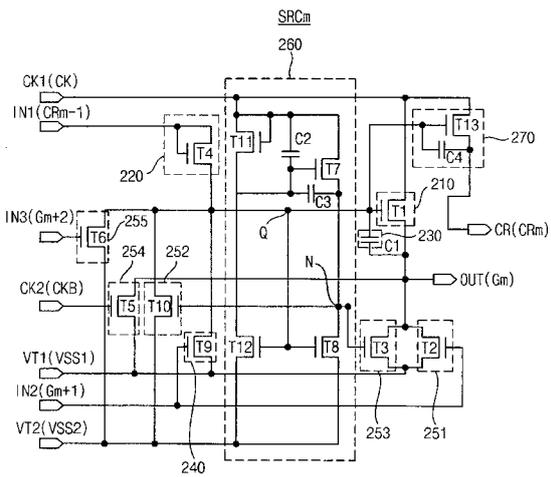
【 図 1 】



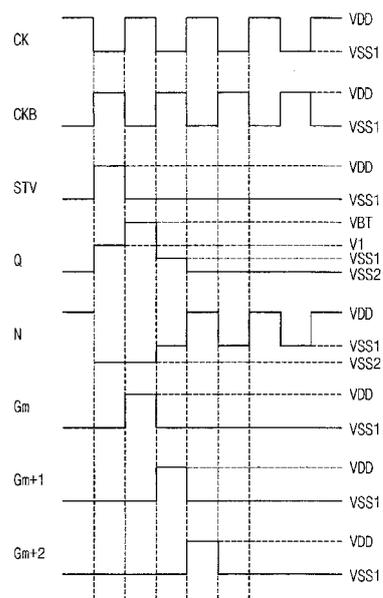
【 図 2 】



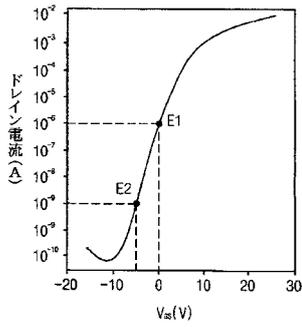
【 図 3 】



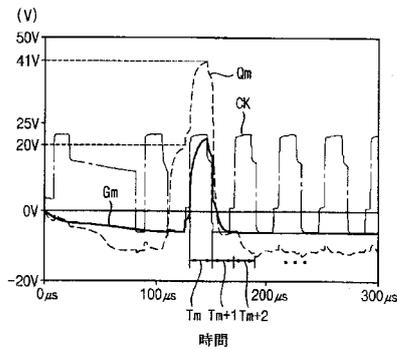
【 図 4 】



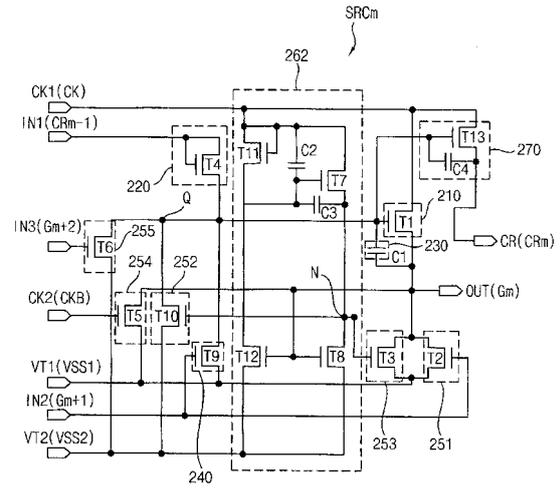
【図5】



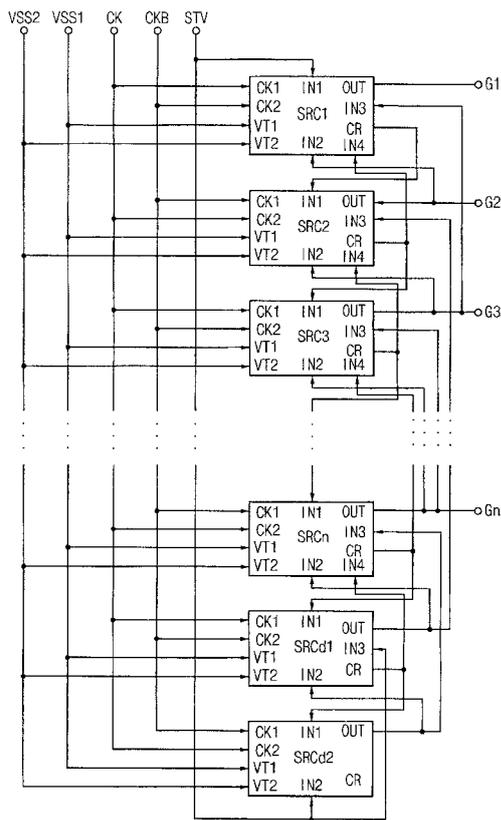
【図6】



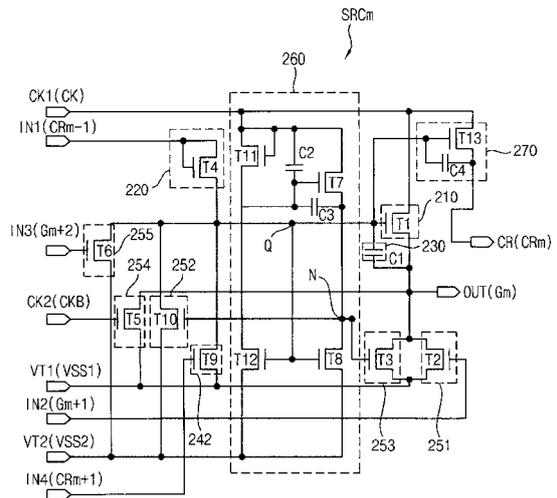
【図7】



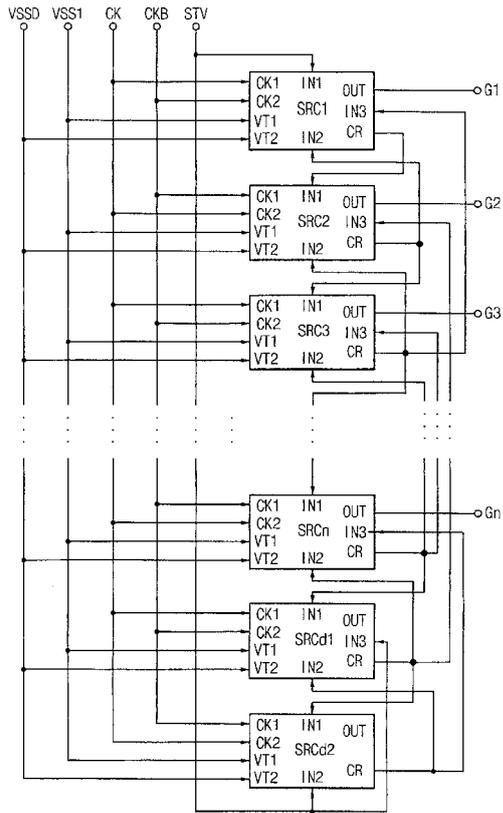
【図8】



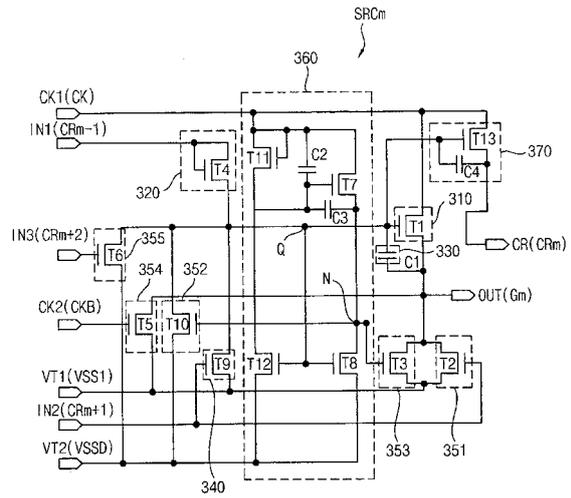
【図9】



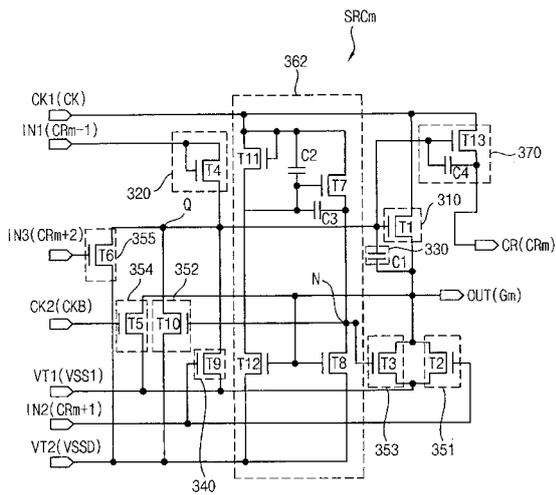
【図10】



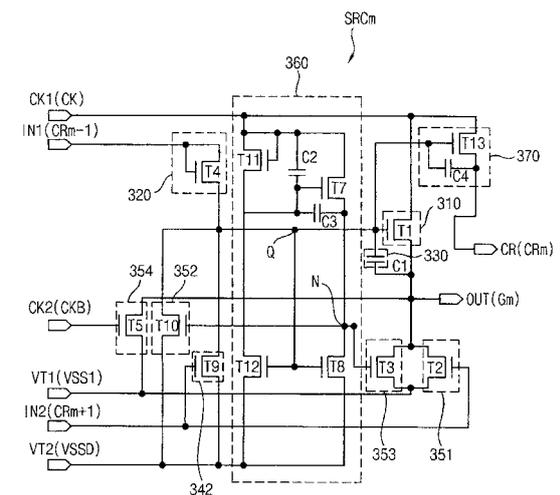
【図11】



【図12】

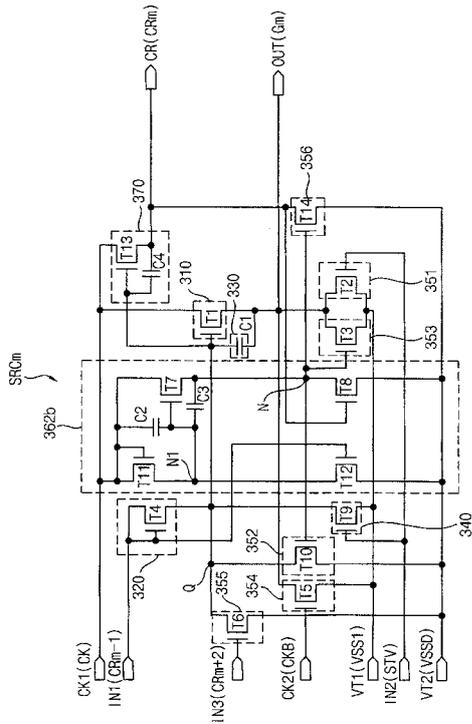


【図13】

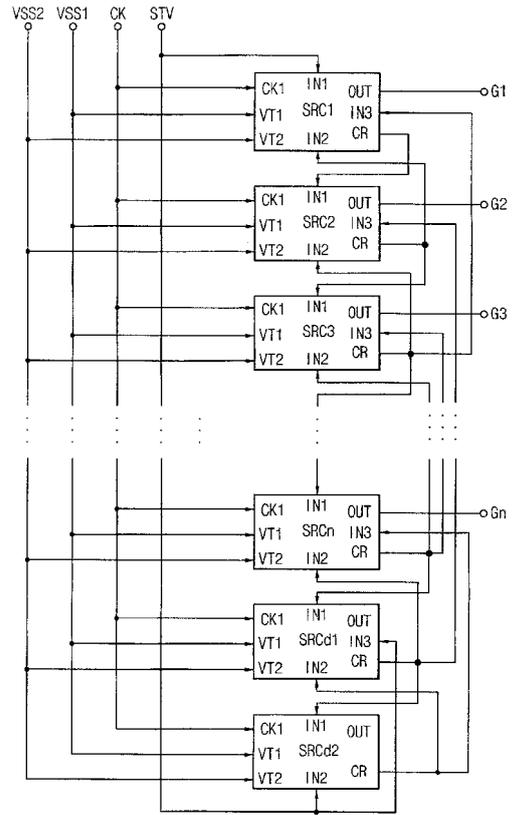




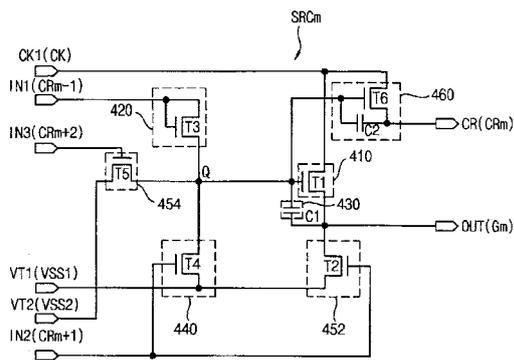
【図18】



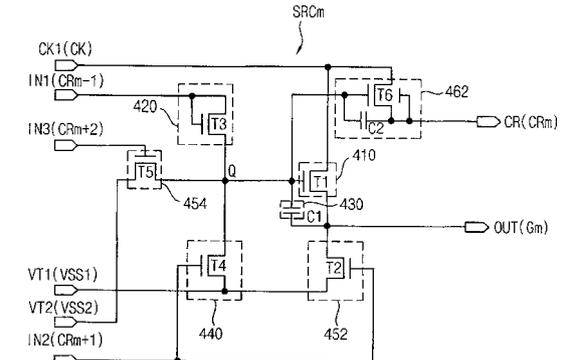
【図19】



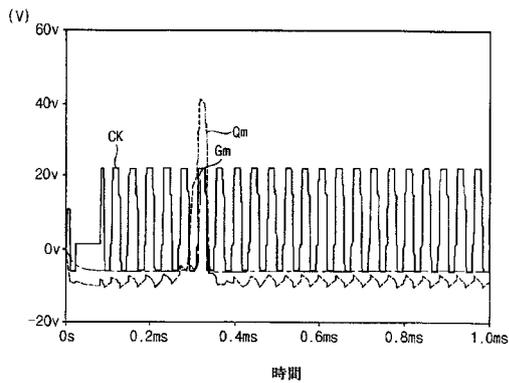
【図20】



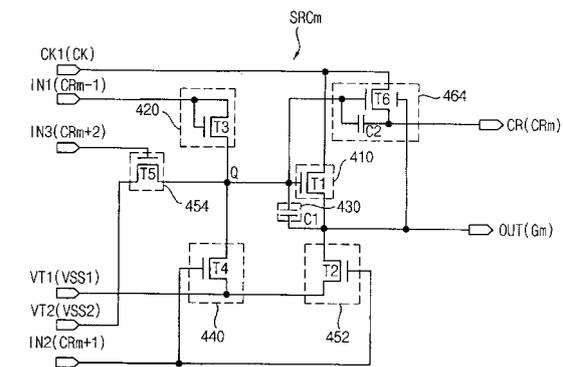
【図22】



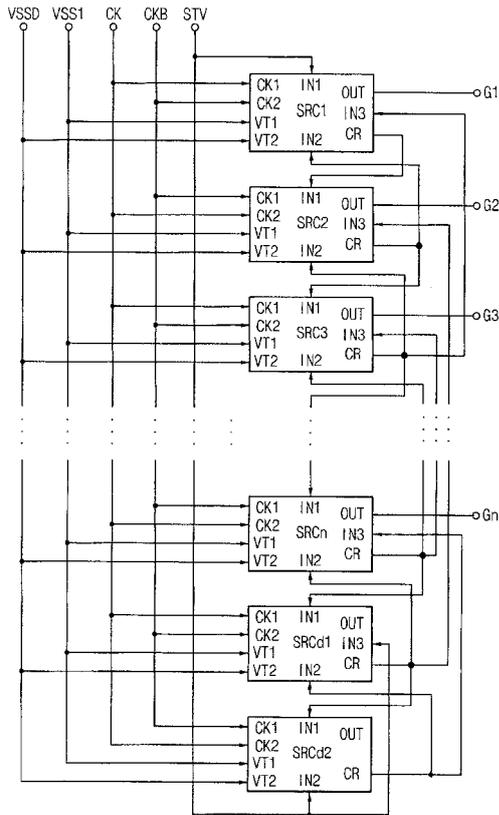
【図21】



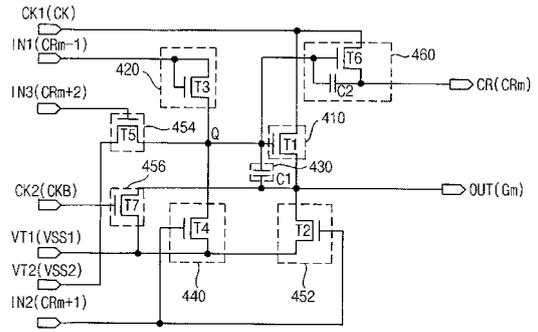
【図23】



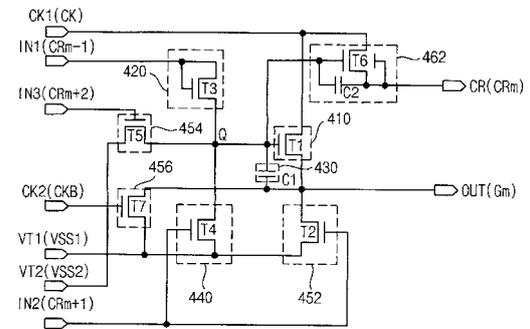
【 図 2 4 】



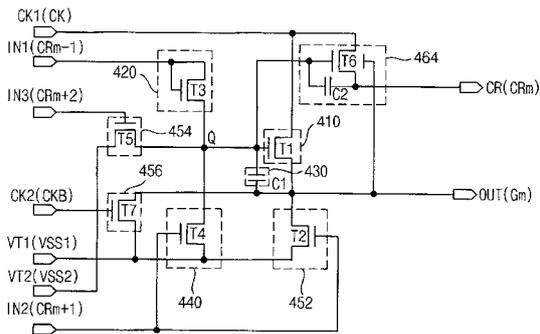
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 1 A  
G 0 9 G 3/20 6 7 0 E  
G 0 2 F 1/133 5 5 0

(72)発明者 文 勝 煥  
大韓民国京畿道龍仁市上ヒョン洞マンヒョンマウル2団地現代6次アパート205棟1504号

審査官 中村 直行

(56)参考文献 特開2009-015291(JP,A)  
特開2005-222688(JP,A)  
特開2004-199066(JP,A)  
特表2001-506044(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3