



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월24일 10-0752174 2007년08월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0134226 2005년12월29일 2005년12월29일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자                    동부일렉트로닉스 주식회사  
   서울 강남구 대치동 891-10

(72) 발명자                        홍지호  
   경기 수원시 영통구 매탄4동 주공그린빌 203-701

(74) 대리인                        강용복  
   김용인  
   양영태  
   임성택

(56) 선행기술조사문헌 KR1020050030452 A KR1020010009036 A KR1020040085473 A	KR1020000043063 A KR1020030056913 A KR1020050002066 A
--	---

심사관 : 이윤직

전체 청구항 수 : 총 2 항

(54) 2개의 시드층을 이용한 반도체 소자의 구리 배선 형성 방법

(57) 요약

반도체 소자에 다마신 공정을 이용하여 구리 금속 배선을 형성하는 방법이 개시된다. 본 방법은, 반도체 기판에 층간 절연막을 형성하는 단계와, 상기 층간 절연막에 다마신 패턴을 형성하는 단계와, 상기 다마신 패턴 내부 및 상기 층간 절연막의 상부에 장벽 금속층을 형성하는 단계와, 상기 층간 절연막 위에 상기 다마신 패턴을 노출시키는 오프닝을 가진 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴의 하부에 노치를 형성하는 단계와, 상기 다마신 패턴 내부에 형성된 상기 장벽 금속층 및 상기 포토레지스트 패턴 위에 구리 시드층을 형성하는 단계와, 상기 포토레지스트 패턴을 리프트-오프법을 이용하여 제거하는 단계와, 상기 다마신 패턴 내부에 전기화학 도금법을 이용하여 구리 도금층을 형성하는 단계를 포함하되, 상기 노치는 상기 포토레지스트 패턴이 상기 층간 절연막과 접하는 경계 부근에 형성되는 것을 특징으로 한다.

대표도

도 3d

특허청구의 범위

## 청구항 1.

반도체 기판에 층간 절연막을 형성하는 단계와,

상기 층간 절연막에 다마신 패턴을 형성하는 단계와,

상기 다마신 패턴 내부 및 상기 층간 절연막의 상부에 구리(Cu)의 비저항보다 큰 비저항을 가진 장벽 금속층을 형성하는 단계와,

상기 층간 절연막 위에 상기 다마신 패턴을 노출시키는 오프닝을 가진 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴의 하부에 노치를 형성하는 단계와,

상기 다마신 패턴 내부에 형성된 상기 장벽 금속층 및 상기 포토레지스트 패턴 위에 구리 시드층을 형성하는 단계와,

상기 포토레지스트 패턴을 리프트-오프법을 이용하여 제거하는 단계와,

상기 다마신 패턴 내부에 전기화학 도금법을 이용하여 구리 도금층을 형성하는 단계를 포함하되, 상기 노치는 상기 포토레지스트 패턴이 상기 층간 절연막과 접하는 경계 부근에 형성되는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

## 청구항 2.

삭제

## 청구항 3.

삭제

## 청구항 4.

삭제

## 청구항 5.

삭제

## 청구항 6.

제1항에서,

상기 층간 절연막 상부에 형성된 상기 구리 도금층의 일부를 CMP 공정에 의해 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 구리 금속 배선 형성 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 금속 배선을 형성하는 방법에 관한 것으로서, 보다 자세하게는 다마신 공정에 의하여 구리 금속 배선을 형성하는 방법에 관한 것이다.

반도체 소자의 고속화 및 고집적화를 실현하기 위하여, 최근 구리 배선을 이용한 디바이스 응용 기술이 많이 이용되고 있다. 반도체 제조 공정은 크게 실리콘 기판에 트랜지스터를 형성하는 기판 공정(Front End of the Line, FEOL)과 배선을 형성하는 배선 공정(Back End Of the Line, BEOL)으로 구분된다. 여기서, 배선 공정은 집적 회로를 구성하는 개별 트랜지스터를 서로 연결하는 전원 공급 및 신호 전달의 통로를 실리콘 기판 위에 구현하는 공정을 말한다.

이러한 배선 공정에 높은 EM(Electro-migration) 내성을 갖는 재료인 구리(Cu)가 많이 사용되고 있다. 그런데, 구리는 식각이 용이하지 않고 공정 중에 산화되는 문제점으로 인하여, 일반적인 사진 기술을 적용하여 패터닝하기가 용이하지 않다. 대안으로서, 구리 금속 배선 형성을 위하여, 듀얼 다마신(dual damascene) 공정 기술이 개발되었다. 듀얼 다마신 공정은, 기판 위에 형성된 층간 절연막에 비아(via)와 트렌치(trench)를 형성한 후, 구리를 매립하고 화학기계적 연마(Chemical Mechanical Polishing) 공정으로 평탄화시키는 공정이다.

도 1a 내지 도 1d를 참조하여, 종래의 듀얼 다마신 공정을 소개하면 다음과 같다.

먼저, 도 1a에서 보듯이, 하부 금속 배선(12)이 형성된 제1 층간 절연막(10) 위에 장벽 절연막(14)을 형성한다. 장벽 절연막(14)은 그 상부의 다마신 패턴을 형성하는 공정에서 식각 저지막으로서 기능하며, 실리콘 질화막(SiN), 실리콘 카바이드(SiC) 등으로 형성된다. 그리고, 장벽 절연막(14) 위에 제2 층간 절연막(16)을 형성한다. 제2 층간 절연막(16)을 형성한 다음에는, 장벽 절연막(14)을 식각 저지막으로 사용하여, 제2 층간 절연막(16)에 비아(16a) 및 트렌치(16b)로 이루어진 다마신 패턴을 형성한다. 그리고, 비아(16a)에 의해 노출된 장벽 절연막(14)의 일부를 제거한 후, 제2 층간 절연막(16)의 전면 에 장벽 금속층(18)을 형성한다. 장벽 금속층(18)은 비아(16a) 및 트렌치(16b)의 내벽을 따라 균일하게 증착된다.

다음으로, 도 1b에서 보듯이, 장벽 금속층(18) 위에 구리 시드층(19)을 형성한다. 그리고, 도 1c에서 보듯이, 전기화학 도금법(Electro-Chemical Plating; ECP)으로 구리 시드층(19) 위에 비아(16a)와 트렌치(16b)를 충분히 채우는 구리층(20)을 형성한다. 그 후, 도 1d에서 보듯이, 구리층(20)을 화학적 기계적 연마 공정(Chemical-Mechanical Polishing)으로 절연막(16)이 노출될 때까지 연마하여 구리 금속 배선(22)을 완성한다.

한편, 구리 ECP 공정을 진행할 때 필요한 구리 시드층은 일반적으로 단일층으로 형성되는데, 다마신 패턴의 내부 및 층간 절연막 상부의 평탄면에 형성되는 시드층의 비저항은 균일하게 형성되므로, 큰 폭으로 형성된 패턴이나 작은 폭으로 형성된 패턴이 모두 동일한 전류 밀도를 가지게 된다. 아울러, 구리 도금액에는 작은 패턴에 대한 깎필 특성을 향상시키기 위하여 가속제(accelerator) 및 억제제(suppressor) 등의 유기 첨가제가 사용되는데, 구리 도금이 진행되면서 다마신 패턴의 바닥으로부터 가속제가 패턴의 상부로 떠밀려 올라 오게 되므로, 패턴 밀도가 높고 폭이 작은 패턴들이 많이 형성된 영역에서는 가속제의 함량이 국부적으로 높아지고, 패턴 밀도가 낮고 폭이 큰 패턴이 독립적으로 형성된 영역에서는 가속제의 함량이 상대적으로 낮아지게 된다.

도 2a는 폭이 좁은 패턴들(20b)이 많이 형성되어 있는 영역(즉, 패턴 밀도가 높은 영역)과 폭이 큰 패턴(20a)이 독립적으로 형성된 영역(즉, 패턴 밀도가 낮은 영역)에서 구리 도금층이 형성되는 상태를 대조하여 보여준다. 도 2a에서 보듯이, 도금이 진행됨에 따라, 패턴 밀도가 높은 영역에는 가속제의 응집 및 패턴 상부의 평탄면에 형성된 구리 시드층으로 인해 구리 원자의 도금이 집중되어 험프(Hump)가 형성된다. 반대로, 패턴 밀도가 낮은 영역은 상대적으로 노출된 구리 시드층의 면적이 적고 또한 가속제의 함량이 낮아서, 구리 도금층이 덜 형성된다. 따라서, 부가적으로 도금을 더 진행하여야 패턴 밀도가 낮은 영역의 폭이 큰 패턴(20a)에 깎필이 완료될 수 있다. 일반적으로 이러한 부가적인 도금을 벌크 도금(Bulk Plating)이라고 하는데, 이러한 벌크 도금은 후속하는 CMP 공정에서 제거되지만, 벌크 도금의 두께(Ts)만큼 공정 시간이 늘어나므로 소자의 제조 비용 측면에서 바람직하지 않다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제를 해결하기 위한 것으로서, 다마신 패턴 내부를 매립하는 구리의 깎필 속도를 보다 향상시켜 불가피하게 수행되는 벌크 도금의 양을 현저히 줄일 수 있는 구리 금속 배선의 형성 방법을 제공하는 것을 목적으로 한다.

### 발명의 구성

본 발명에 다른 반도체 소자의 구리 금속 배선 형성 방법은, 반도체 기판에 층간 절연막을 형성하는 단계와, 상기 층간 절연막에 다마신 패턴을 형성하는 단계와, 상기 다마신 패턴 내부 및 상기 층간 절연막의 상부에 장벽 금속층을 형성하는 단계와, 상기 층간 절연막 위에 상기 다마신 패턴을 노출시키는 오프닝을 가진 포토레지스트 패턴을 형성하는 단계와, 상기 다마신 패턴 내부에 형성된 상기 장벽 금속층 및 상기 포토레지스트 패턴 위에 구리 시드층을 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 다마신 패턴 내부에 전기화학 도금법을 이용하여 구리 도금층을 형성하는 단계를 포함한다.

포토레지스트 패턴의 하부에는 노치를 형성할 수 있으며, 노치를 이용하여 포토레지스트 패턴을 리프트-오프 방식으로 용이하게 제거할 수 있다. 특히, 노치는 포토레지스트 패턴이 층간 절연막과 접하는 경계 부근에 형성되는 것이 바람직하다. 또한, 장벽 금속층은 구리(Cu)의 비저항보다 큰 비저항을 가진 재료로 형성된다. 구리 도금층을 형성한 후에는, 화학적 기계적 연마 공정에 의해 반도체 웨이퍼의 표면을 평탄화한다.

이하에서는 첨부한 도면을 참조하여 본 발명에 따른 구리 금속 배선 형성 방법의 바람직한 실시예를 설명한다.

도 3a에서 보듯이, 하부 금속 배선(12)이 형성된 제1 층간 절연막(10) 위에 장벽 절연막(14)을 형성한다. 장벽 절연막(14)은 그 상부의 다마신 패턴을 형성하는 공정에서 식각 저지막으로서 기능하며, 실리콘 질화막(SiN), 실리콘 카바이드(SiC) 등으로 형성된다. 그리고 나서, 장벽 절연막(14) 위에 제2 층간 절연막(16)을 형성한다. 제2 층간 절연막(16)을 형성한 다음에는, 장벽 절연막(14)을 식각 저지막으로 사용하여, 제2 층간 절연막(16)에 비아(16a) 및 트렌치(16b)로 이루어진 다마신 패턴을 형성한다. 그리고, 비아(16a)에 의해 노출된 장벽 절연막(14)의 일부를 제거하여, 하부 금속 배선(12)의 상면을 노출시킨다.

다음으로, 도 3b에서 보듯이, 제2 층간 절연막(16)의 전면에 장벽 금속층(18)을 형성한다. 이때, 장벽 금속층(18)은 비아(16a) 및 트렌치(16b)의 내벽과 하부 금속 배선(12)의 노출된 상면에 균일하게 형성된다. 장벽 금속층(18)은 일반적으로 구리(Cu)의 확산을 방지하는 기능을 수행한다. 특히, 본 발명에서는 장벽 금속층(18)의 재료로서 구리의 비저항보다 큰 비저항을 가진 재료를 이용한다.

이어서, 도 3c에서 보듯이, 다마신 패턴(16a, 16b)이 형성되지 않은 제2 층간 절연막(16)의 상부에 다마신 패턴을 노출하는 포토레지스트 패턴(30)을 형성한다. 즉, 다마신 패턴 주변의 제2 층간 절연막(16)의 상부는 포토레지스트 패턴(30)에 의해 마스크된다. 아울러, 포토레지스트 패턴(30)이 제2 층간 절연막(16)과 접하는 경계 부위에 노치(30a)를 형성한다. 노치(30a)는 일반적인 사진 공정의 공정 조건을 변경하면 용이하게 형성할 수 있다. 노치(30a)를 형성하는 이유는 후속하는 공정에서 포토레지스트 패턴(30a)을 보다 수월하게 제거하기 위함이다.

다음으로, 도 3d에서 보듯이, 웨이퍼 전면에 구리 시드층(19)을 형성한다. 이때, 구리 시드층(19)은 포토레지스트 패턴(30)의 외면과 다마신 패턴(16a, 16b)의 내부면에 고르게 형성된다.

그리고 나서, 포토레지스트 패턴(30)을 제거하면 도 3e와 같은 이중 구조의 시드층이 형성된다. 이때, 포토레지스트 패턴(30)의 하부에 노치(30a)가 형성되어 있으면, 포토레지스트 패턴(30)을 제거할 때 리프트-오프 방식으로 제거할 수 있으므로, 보다 수월하게 제거할 수 있다.

한편, 포토레지스트 패턴(30)을 제거하면 그 위에 형성된 구리 시드층(19)의 일부도 동시에 제거되므로, 다마신 패턴(16a, 16b)의 내벽에는 장벽 금속층(18) 및 구리 시드층(19)이 형성되고, 다마신 패턴 주변의 제2 층간 절연막(16)의 상면에는 장벽 금속층(18)만이 형성된다. 장벽 금속층(18)도 시드층으로서 작용할 수 있는데, 장벽 금속층(18)은 구리보다 큰 비저항을 가진 재료로 형성되어 있으므로, 구리 시드층(19)이 형성된 다마신 패턴 내부에서의 전류 밀도가 장벽 금속층(18)만이 형성된 제2 층간 절연막(16)의 상면에서의 전류 밀도보다 크게 된다.

따라서, 도 3f에서 보듯이, 다마신 패턴 내부 영역(B)에서의 도금율이 그 주변 영역(A)에서의 도금율보다 크기 때문에, 전기화학 도금을 수행하면 패턴 내부 영역(B)에 더 많은 구리 이온들이 도금될 수 있다. 도 2a에서는, 패턴의 폭이 큰 경우에 패턴 내부 영역이 그 주변 영역보다 상대적으로 도금율이 낮아서, 폭이 큰 패턴의 깎필 속도가 느려지는 현상을 설명하였다. 그러나, 도 3f에서는 비저항이 작은 구리가 시드층으로 형성된 다마신 패턴 내부 영역의 도금율이, 비저항이 큰 장벽 금속층(18)만이 형성된 다마신 패턴 주변 영역의 도금율보다 크기 때문에, 폭이 큰 패턴의 경우에도 보다 빠른 속도로 깎필이 수행된다.

그 후, 도 3g에서 보듯이, 도금된 구리층(20)을 화학적 기계적 연마 공정(Chemical-Mechanical Polishing)으로 절연막(16)이 노출될 때까지 연마하여 구리 금속 배선(22)을 완성한다.

도 4a에는 전기화학 도금이 수행되는 상태를 도시하였는데, 이를 참조하면, 폭이 좁은 패턴들(20b)이 형성된 패턴 밀도가 높은 영역에서는 여전히 험프(hump)(H)가 나타날 수 있다. 이는 가속제의 응집으로 인해 상대적으로 많은 구리 원자의 도금이 유도되기 때문이다. 그러나, 도 2a와 비교하면, 폭이 큰 패턴(20a)의 깎필이 더 많이 진행되어 있음을 알 수 있다. 폭이 큰 패턴(20a)의 내부를 완전히 깎필하기 위해서는 어느 정도의 벌크 도금이 필요할 수 있지만, 도 2b와 비교할 때, 본 실시예의 경우 요구되는 벌크 도금층의 두께(Td)가 종래의 방법에서 필요로 했던 벌크 도금층의 두께(Ts)에 비하여 현저히 감소한다. 따라서, 벌크 도금에 소요되는 공정 시간이 단축될 뿐만 아니라, 후속 공정인 CMP 공정 시간 또한 단축된다.

### 발명의 효과

본 발명에 따르면, 다마신 패턴 내부에는 비저항이 작은 시드층을 형성하고 또한 다마신 패턴 주변 영역에는 비저항이 큰 시드층을 형성함으로써, 다마신 패턴 내부의 구리 도금율을 향상시킬 수 있다. 따라서, 패턴 밀도가 높은 영역에서의 깎필 속도와 패턴 밀도가 낮은 영역에서의 깎필 속도의 차이가 줄어들기 때문에, 벌크 도금의 양이 최소화된다. 그 결과, 도금에 소요되는 공정 시간이 단축되며, 아울러 후속하는 CMP 공정 시간 또한 단축될 수 있다. 본 발명에 따른 구리 금속 배선 형성 방법은, 듀얼 다마신 공정 뿐만 아니라 싱글 다마신 공정에도 적용될 수 있다.

지금까지 본 발명의 바람직한 실시예에 대해 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 변형된 형태로 구현할 수 있을 것이다. 그러므로 여기서 설명한 본 발명의 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 상술한 설명이 아니라 특허 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함되는 것으로 해석되어야 한다.

### 도면의 간단한 설명

도 1a 내지 도 1d는 듀얼 다마신 공정을 이용한 종래의 구리 금속 배선의 형성 방법을 설명하는 도면들이다.

도 2a는 종래의 방법에서 다마신 패턴 내부에 구리 도금층이 매립되는 상태를 도시하고, 도 2b는 도금이 완료된 상태를 도시한다.

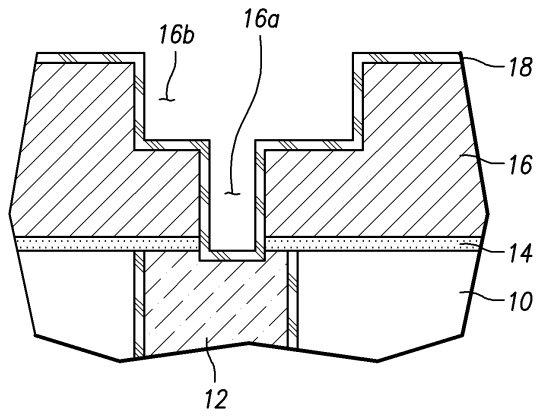
도 3a 내지 도 3g는 본 발명에 따른 구리 금속 배선의 형성 방법을 설명하는 도면들이다.

도 4a 및 도 4b는 본 발명에 따른 구리 금속 배선의 형성 방법에 따라 구리 금속층이 형성되는 상태를 도시한 도면들로서, 도 4a는 다마신 패턴에 구리가 매립되는 상태를 도시하고, 도 4b는 도금이 완료된 상태를 도시한다.

### 도면

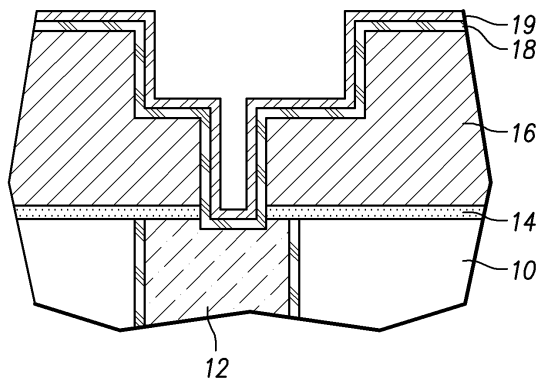
도면1a

[종래기술]



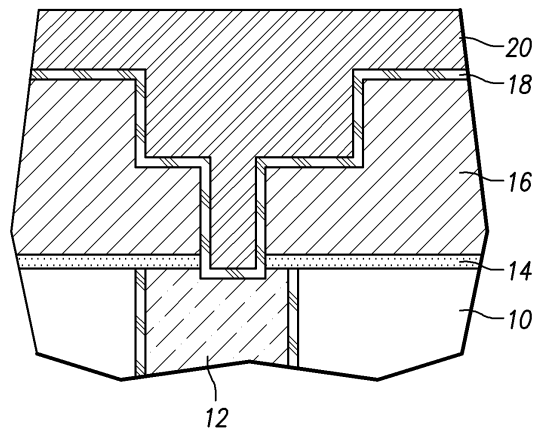
도면1b

[종래기술]



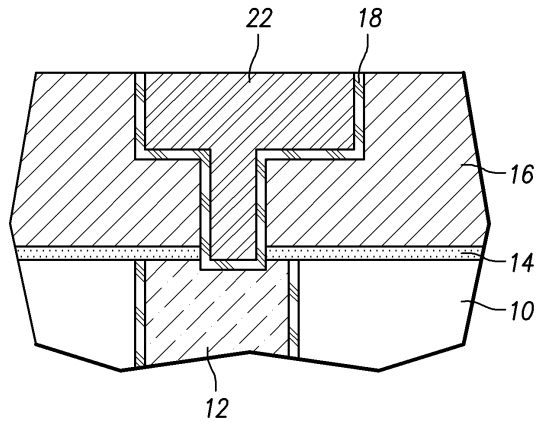
도면1c

[종래기술]



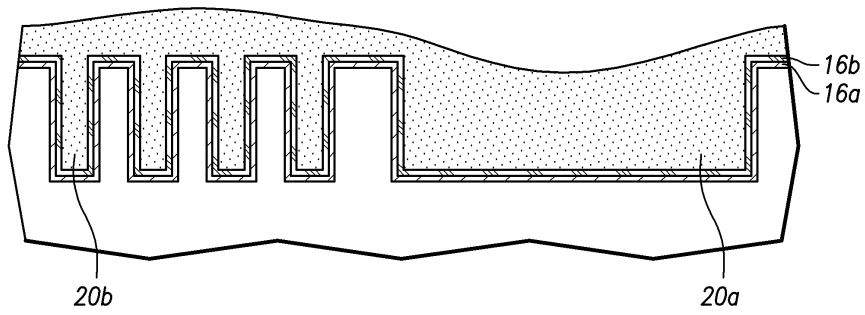
도면1d

[종래기술]



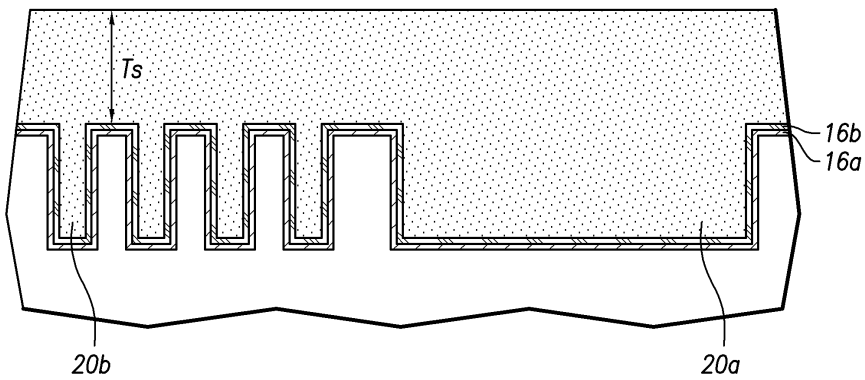
도면2a

[종래기술]

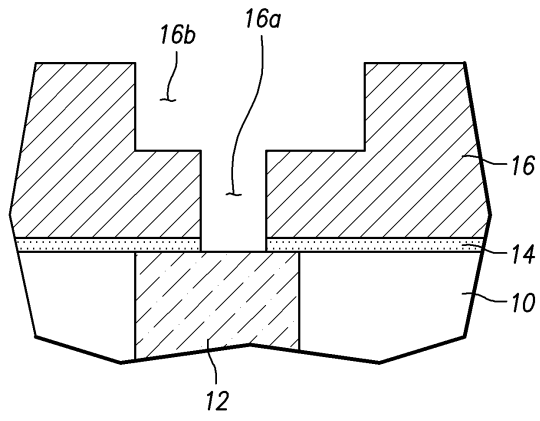


도면2b

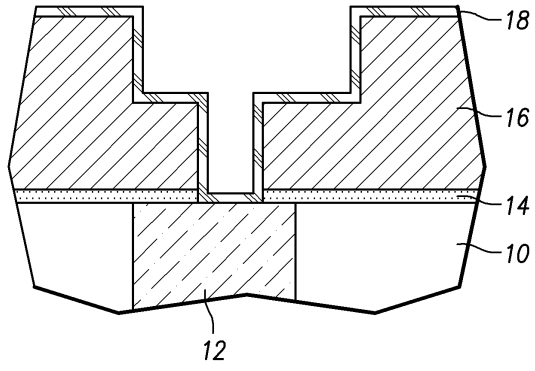
[종래기술]



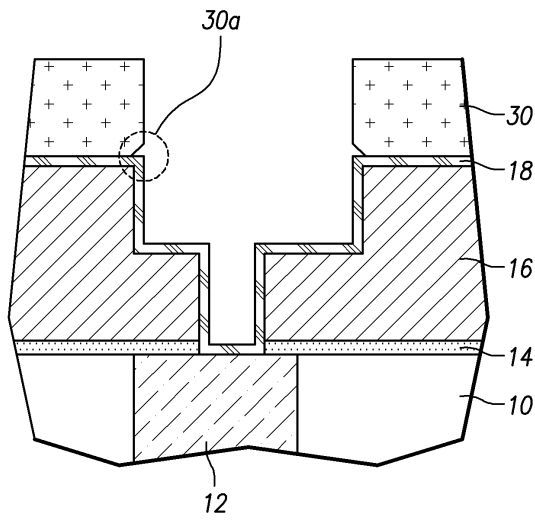
도면3a



도면3b

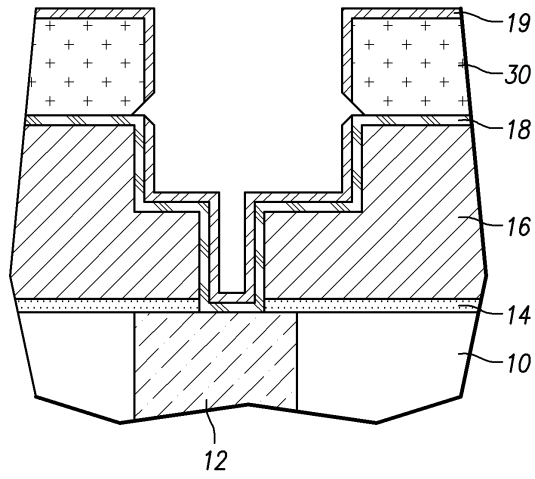


도면3c

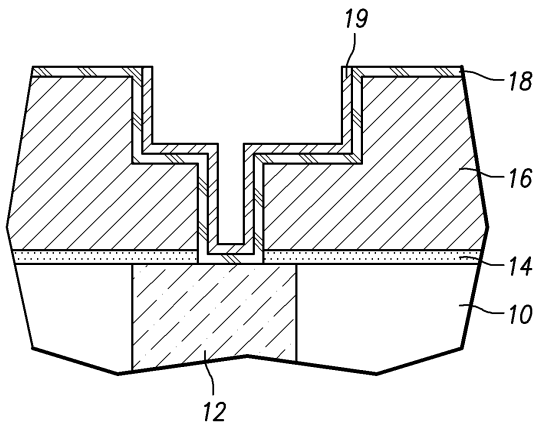




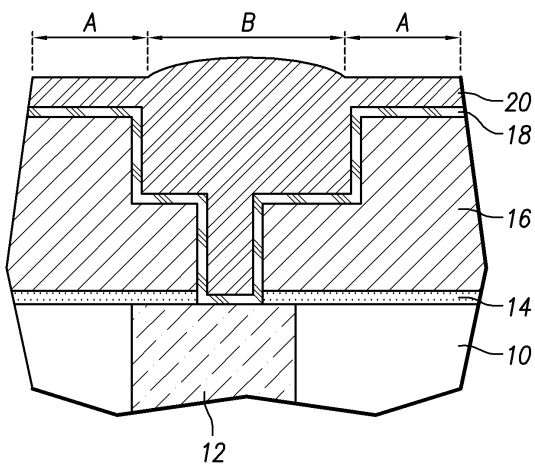
도면3d



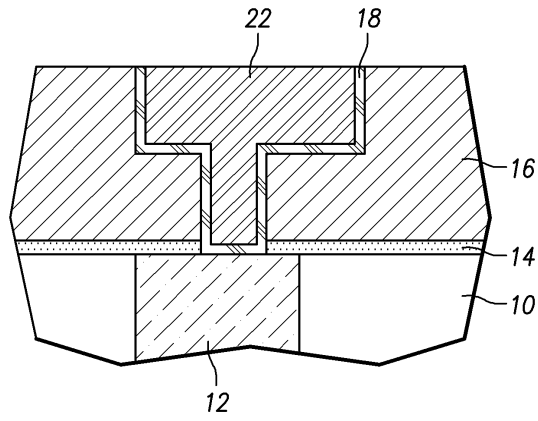
도면3e



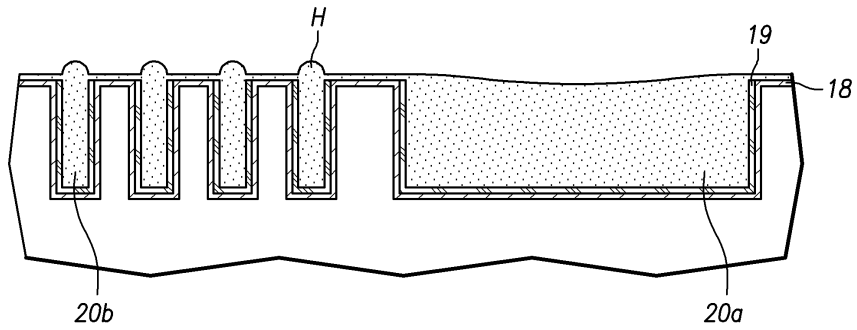
도면3f



도면3g



도면4a



도면4b

