



(21)申請案號：111120287

(22)申請日：中華民國 111 (2022) 年 05 月 31 日

(51)Int. Cl. : **H01L27/11578 (2017.01)**

(30)優先權：2021/09/07 美國 63/241,098

2022/03/16 美國 17/695,943

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：呂函庭 LUE, HANG-TING (TW)；陳威臣 CHEN, WEI-CHEN (TW)；葉騰豪 YEH, TENG-HAO (TW)

(74)代理人：祁明輝；林素華

(56)參考文獻：

TW 201937688A

TW 202040791A

TW 202042355A

TW 202114158A

TW 202123412A

TW 202127631A

US 2019/0386011A1

US 2020/0403617A1

US 2021/0057023A1

US 2021/0159232A1

審查人員：李景松

申請專利範圍項數：22 項 圖式數：25 共 85 頁

(54)名稱

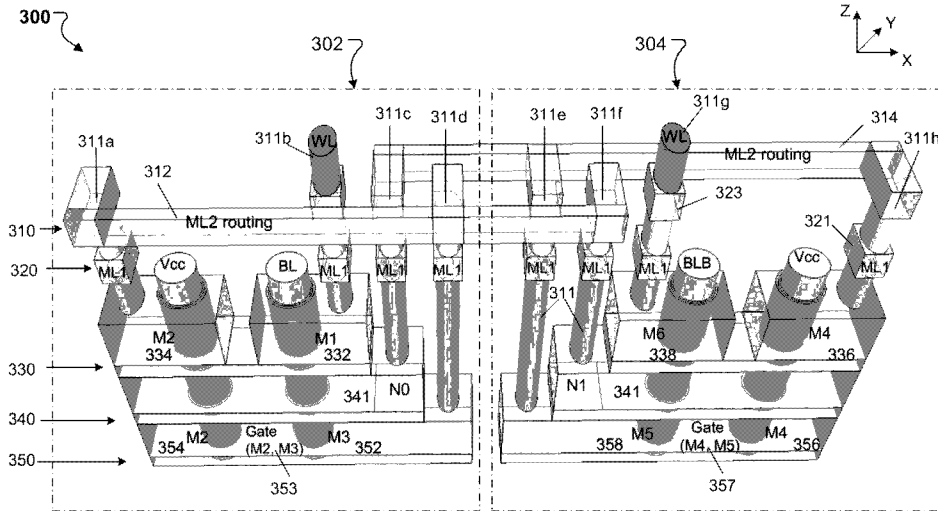
三維半導體結構與記憶裝置

(57)摘要

提供用於三維半導體結構之方法、裝置、系統與設備。一方面，半導體裝置包含：半導體基板、垂直地堆疊於半導體基板上的多個導電層、以及多個電晶體。多個導電層包含依序堆疊在一起的第一導電層、第二導電層與第三導電層。多個電晶體包含在第一導電層中的第一電晶體與第二電晶體、及在第三導電層中的第三電晶體。每一電晶體包含第一端點、第二端點與閘極端。第一電晶體之第一端點、第二電晶體之第一端點與第三電晶體之第一端點導電地耦接至第二導電層中的第一導電節點。

Methods, devices, systems, and apparatus for three-dimensional semiconductor structures are provided. In one aspect, a semiconductor device includes: a semiconductor substrate, multiple conductive layers vertically stacked on the semiconductor substrate, and multiple transistors. The multiple conductive layers include a first conductive layer, a second conductive layer, and a third conductive layer that are sequentially stacked together. The multiple transistors include a first transistor and a second transistor in the first conductive layer and a third transistor in the third conductive layer. Each transistor includes a first terminal, a second terminal, and a gate terminal. First terminals of the first, second, and third transistors are conductively coupled to a first conductive node in the second conductive layer.

指定代表圖：



第 3A 圖

符號簡單說明：

300:靜態隨機存取記憶體單元結構

302:第一反相器

304:第二反相器

310,320,ML1,ML2:金屬層

311,311a~311h:穿孔

312,314:導電佈線

321:中間導電接墊

323:導電接墊

330,340,350:層

332,338,M1,M6:傳送開電晶體

334,336,354,356,M2,M4:上拉電晶體

341:導電材料

352,358,M3,M5:下拉電晶體

353,357:閘極端

BL,BLB:位元線

N0,N1:節點

Vcc:供應電壓

WL:字元線



公告本

I805386

【發明摘要】

【中文發明名稱】三維半導體結構與記憶裝置

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR

STRUCTURES AND MEMORY DEVICE

【中文】

提供用於三維半導體結構之方法、裝置、系統與設備。一方面，半導體裝置包含：半導體基板、垂直地堆疊於半導體基板上的多個導電層、以及多個電晶體。多個導電層包含依序堆疊在一起的第一導電層、第二導電層與第三導電層。多個電晶體包含在第一導電層中的第一電晶體與第二電晶體、及在第三導電層中的第三電晶體。每一電晶體包含第一端點、第二端點與閘極端。第一電晶體之第一端點、第二電晶體之第一端點與第三電晶體之第一端點導電地耦接至第二導電層中的第一導電節點。

【英文】

Methods, devices, systems, and apparatus for three-dimensional semiconductor structures are provided. In one aspect, a semiconductor device includes: a semiconductor substrate, multiple conductive layers vertically stacked on the semiconductor substrate, and multiple transistors. The multiple conductive layers include a first conductive layer, a second conductive layer, and a

third conductive layer that are sequentially stacked together. The multiple transistors include a first transistor and a second transistor in the first conductive layer and a third transistor in the third conductive layer. Each transistor includes a first terminal, a second terminal, and a gate terminal. First terminals of the first, second, and third transistors are conductively coupled to a first conductive node in the second conductive layer.

【指定代表圖】第 3A 圖。

【代表圖之符號簡單說明】

300:靜態隨機存取記憶體單元結構

302:第一反相器

304:第二反相器

310,320,ML1,ML2:金屬層

311,311a~311h:穿孔

312,314:導電佈線

321:中間導電接墊

323:導電接墊

330,340,350:層

332,338,M1,M6:傳送閘電晶體

334,336,354,356,M2,M4:上拉電晶體

341:導電材料

352,358,M3,M5:下拉電晶體

353,357:閘極端

BL,BLB:位元線

N0,N1:節點

V_{CC}:供應電壓

WL:字元線

【特徵化學式】無

【發明說明書】

【中文發明名稱】三維半導體結構與記憶裝置

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR
STRUCTURES AND MEMORY DEVICE

【技術領域】

【0001】本揭露係有關於三維半導體結構與記憶裝置，且特別有關於使用閘極全環架構之三維半導體結構與記憶裝置。

【先前技術】

【0002】目前對電子電路，特別是在半導體製程中製成積體電路之電子電路，的常見需求係為記憶儲存元件陣列。這些元件可提供為靜態隨機存取記憶體(static random access memory; SRAM)單元(cell)以形成靜態隨機存取記憶體。雖然靜態隨機存取記憶體具有比動態隨機存取記憶體(dynamic random-access memory; DRAM)更快的存取時間，但每一靜態隨機存取記憶體單元需要多個電晶體，因此靜態隨機存取記憶體比動態隨機存取記憶體更加昂貴。例如，6T 靜態隨機存取記憶體單元包含六個電晶體。而且，比起動態隨機存取記憶體單元，靜態隨機存取記憶體單元佔據的面積大很多，導致靜態隨機存取記憶體具有比動態隨機存取記憶體更小的密度。然而，由於可能需要先進的互補式金屬氧化物半導體 (Complementary

metal-oxide-semiconductor; CMOS)技術，生產小尺寸靜態隨機存取體單元是具有挑戰性的。

【發明內容】

【0003】本揭露描述用於三維(three-dimensional; 3D)半導體結構之方法、系統與技術，例如是使用堆疊的垂直閘極全環(gate-all-around; GAA)電晶體架構以形成靜態隨機存取記憶體單元結構。

【0004】本揭露之一方面之特點在於半導體裝置。半導體裝置包含半導體基板、沿著垂直方向垂直地堆疊於半導體基板上的多個導電層、以及多個電晶體；多個導電層包含依序堆疊在一起的第一導電層、第二導電層與第三導電層，多個電晶體包含在第一導電層中的第一電晶體與第二電晶體、及在第三導電層中的第三電晶體，每一電晶體包含第一端點(terminal)、第二端點與閘極端(gate terminal)。第一電晶體之第一端點、第二電晶體之第一端點與第三電晶體之第一端點導電地耦接(conductively coupled)至第二導電層中的第一導電節點(node)。

【0005】在一些實施例中，第一導電層與一三導電層由第一導電材料製成，且第二導電層由第二導電材料製成，第二導電材料不同於第一導電材料。

【0006】在一些實施例中，多個電晶體更包含第四電晶體、第五電晶體與第六電晶體，第四電晶體與第六電晶體在第一導電

層中，第五電晶體在第三導電層中，第四電晶體之第一端點、第五電晶體之第一端點與第六電晶體之第一端點導電地耦接至第二導電層中的第二導電節點。

【0007】在一些實施例中，半導體裝置更包含階梯區(staircase region)，階梯區裝配以使第一導電層、第二導電層與第三導電層分開為彼此電性絕緣(conductively insulated)的兩部位(parts)。第一電晶體與第二電晶體可在第一導電層的第一部位，第四電晶體與第六電晶體可在第一導電層的第二部位。第一導電節點可在第二導電層的第一部位，且第二導電節點可在第二導電層的第二部位。第三電晶體可在第三導電層的第一部位，且第五電晶體可在第三導電層的第二部位。

【0008】在一些實施例中，階梯區包含彼此對稱的第一階梯子區(sub-region)與第二階梯子區。半導體裝置更包含：第一組穿孔(VIA)與第二組穿孔。第一組穿孔垂直地貫穿第一階梯子區且分別耦接至第一導電層、第二導電層與第三導電層之多個第一部位上的多個導電接墊(pad)。第二組穿孔垂直地貫穿第二階梯子區且分別耦接至第一導電層、第二導電層與第三導電層之多個第二部位上的多個導電接墊。

【0009】在一些實施例中，半導體裝置更包含在第一導電層、第二導電層與第三導電層上的第一金屬層。第一金屬層中的第一導電線(conductive line)可裝配以使第一導電節點導電地耦接至第一導電層中的第四電晶體之閘極端與第三導電層中的第五電晶

體之間極端，第一金屬層中的第二導電線可裝配以使第二導電節點導電地耦接至第一導電層中的第二電晶體之間極端與第三導電層中的第三電晶體之間極端。

【0010】 在一些實施例中，第一導電層中的第一電晶體與第六電晶體之多個第二端點耦接至形成於第二金屬層中的一對第一訊號線(signal line)，第一導電層中的第一電晶體與第六電晶體之多個閘極端耦接至形成於第三金屬層中的第二訊號線，且第一金屬層、第二金屬層與第三金屬層在多個導電層上垂直地堆疊在一起。

【0011】 在一些實施例中，第一導電線與第二導電線在第一金屬層中彼此電性絕緣且沿著水平方向延伸，水平方向垂直於垂直方向。第一金屬層中的第一導電線藉由沿著垂直方向貫穿第一階梯子區的第一組穿孔分別耦接至第一導電層中的第四電晶體之間極端、第二導電層中的第一導電節點、以及第三導電層中的第五電晶體之間極端。第一金屬層中的第二導電線藉由沿著垂直方向貫穿第二階梯子區的第二組穿孔分別耦接至第一導電層中的第二電晶體之間極端、第二導電層中的第二導電節點、以及第三導電層中的第三電晶體之間極端。

【0012】 在一些實施例中，半導體裝置包含一對反相器(inverters)，一對反相器包含第一反相器與第二反相器，第一反相器具有第一電晶體、第二電晶體與第三電晶體，第二反相器具有第四電晶體、第五電晶體與第六電晶體。第一電晶體和第六電

晶體分別為第一反相器和第二反相器中的傳送閘電晶體(pass gate transistor)，第二電晶體和第四電晶體分別為第一反相器和第二反相器中的上拉電晶體(pull up transistor)，且第三電晶體和第五電晶體分別為第一反相器和第二反相器中的下拉電晶體(pull down transistor)。

【0013】 在一些實施例中，第一導電層中的第二電晶體與第四電晶體之多個第二端點導電地耦接至第一供應電壓(supply voltage)，第三導電層中的第三電晶體與第五電晶體之多個第二端點導電地耦接至第二供應電壓。

【0014】 在一些實施例中，多個電晶體更包含在第三導電層中的另一第二電晶體、以及在第三導電層中的另一第四電晶體，另一第二電晶體共用第三電晶體之閘極端，另一第四電晶體共用第五電晶體之閘極端。

【0015】 在一些實施例中，第一電晶體與第二電晶體之多個閘極端藉由一第一絕緣狹縫(slit)彼此電性絕緣，第一絕緣狹縫沿著垂直方向延伸通過第一導電層且延伸至第二導電層上，第四電晶體與第六電晶體之多個閘極端藉由第二絕緣狹縫彼此電性絕緣，第二絕緣狹縫沿著垂直方向延伸通過第一導電層且延伸至第二導電層上。

【0016】 在一些實施例中，半導體裝置裝配為 6T 靜態隨機存取記憶體單元。6T 靜態隨機存取記憶體單元可耦接至閘極全環電晶體架構中的非揮發性記憶體單元。

【0017】 在一些實施例中，第一電晶體與第三電晶體具有第一摻雜類型，第二電晶體具有第二摻雜類型，第一摻雜類型不同於第二摻雜類型。第一摻雜類型可為 N 型，且第二摻雜類型可為 P 型。

【0018】 在一些實施例中，半導體基板包含具有第一摻雜類型的第一摻雜區與具有第二摻雜類型的第二摻雜區，第一摻雜區與第二摻雜區彼此電性絕緣，且半導體裝置包含多個半導體柱 (pillar)，多個半導體柱延伸通過多個導電層且延伸至半導體基板上，且多個半導體柱包含延伸至第一摻雜區上的第一半導體柱與延伸至第二摻雜區上的第二半導體柱。

【0019】 在一些實施例中，第一半導體柱與第二半導體柱皆被第一導電層與第三導電層中的閘極介電結構環繞，且第一半導體柱與第二半導體柱皆被第二導電層中的金屬結構環繞。

【0020】 在一些實施例中，第一半導體柱包含在多個導電層上的第一部分 (portion)、以及被第二導電層中的金屬結構環繞的第二部分，且第一半導體柱之第一部分與第二部分被摻雜為具有第一摻雜類型。在一些實施例中，第二半導體柱包含在多個導電層上的第三部分、以及被第二導電層中的金屬結構環繞的第四部分，且第二半導體柱之第三部分與第四部分被摻雜為具有第二摻雜類型。

【0021】 在一些實施例中，第一電晶體包含第一導電層之一第一部分、被第一導電層中的第一閘極介電結構環繞的第二半導

體柱之第一部分、以及第一閘極介電結構，第二電晶體包含第一導電層之第二部分、被第一導電層中的第二閘極介電結構環繞的第一半導體柱之第一部分、以及第二閘極介電結構，且第三電晶體包含第三導電層之一部分、被第三導電層中的第三閘極介電結構環繞的第二半導體柱之第二部分、以及第三閘極介電結構。

【0022】 在一些實施例中，半導體裝置裝配於相鄰的多個導電狹縫之間，多個導電狹縫沿著垂直方向延伸通過多個導電層且延伸至半導體基板上。

【0023】 本揭露之另一方面之特點在於半導體裝置。半導體裝置包含半導體基板、垂直地堆疊於半導體基板上的多個導電層、第一半導體柱、以及複數個閘極介電結構；多個導電層包含依序堆疊在一起的底導電層、中間導電層與頂導電層；第一半導體柱垂直地貫穿底導電層、中間導電層與頂導電層至半導體基板上，第一半導體柱包含被底導電層環繞的第一底部、被中間導電層環繞的第一中間部、以及被頂導電層環繞的第一頂部；複數個閘極介電結構包含被第一閘極介電結構與第二閘極介電結構，第一閘極介電結構被第一底部與底導電層環繞、第二閘極介電結構被第一頂部與頂導電層環繞。第一半導體柱之第一中間部導電地耦接至中間導電層。

【0024】 在一些實施例中，半導體裝置更包含第二半導體柱，第二半導體柱垂直地貫穿多個導電層至半導體基板上，第二半導體柱包含被底導電層環繞的第二底部、被中間導電層環繞的第二

中間部、以及被頂導電層環繞的第二頂部。在一些實施例中，複數個閘極介電結構包含被第二底部與底導電層環繞的第三閘極介電結構、以及被第二頂部與頂導電層環繞的第四閘極介電結構。在一些實施例中，第二半導體柱之第二中間部導電地耦接至中間導電層。

【0025】 在一些實施例中，半導體基板包含第一摻雜類型區與第二摻雜類型區，且第一半導體柱垂直地延伸至第一摻雜類型區上，且第二半導體柱垂直地延伸至第二摻雜類型區上。

【0026】 在一些實施例中，半導體裝置更包含在中間導電層中的複數個金屬結構。在一些實施例中，複數個金屬結構包含第一金屬結構與第二金屬結構，第一金屬結構被第一半導體柱之第一中間部與中間導電層環繞，第二金屬結構被第二半導體柱之第二中間部與中間導電層環繞。

【0027】 在一些實施例中，底導電層包含：第一導電部與第二導電部，第一導電部環繞第一閘極介電結構與第一半導體柱，第二導電部環繞第三閘極介電結構與第二半導體柱，第一導電部與第二導電部在第一閘極介電結構與第二閘極介電結構之間至少部分地彼此重疊。在一些實施例中，頂導電層包含第三導電部與第四導電部，第三導電部環繞第二閘極介電結構與第一半導體柱，第四導電部環繞第四閘極介電結構與第二半導體柱，第三導電部與第四導電部在第三閘極介電結構與第四閘極介電結構之間彼此分離且絕緣。

【0028】 在一些實施例中，半導體裝置更包含第三半導體柱，第三半導體柱垂直地貫穿多個導電層至半導體基板上，第三半導體柱包含在底導電層中的第三底部、被中間導電層環繞的第三中間部、以及被頂導電層環繞的第三頂部，其中複數個閘極介電結構包含第五閘極介電結構與第六閘極介電結構，第五閘極介電結構被第三底部與底導電層環繞，第六閘極介電結構被第三頂部與頂導電層環繞，且其中第三半導體柱之第三中間部導電地耦接至中間導電層。

【0029】 在一些實施例中，半導體裝置更包含第四半導體柱，第四半導體柱垂直地貫穿多個導電層至半導體基板上，第四半導體柱包含在底導電層中的第四底部、被中間導電層環繞的第四中間部、以及被頂導電層環繞的第四頂部，其中複數個閘極介電結構包含第七閘極介電結構與第八閘極介電結構，第七閘極介電結構被第四底部與底導電層環繞，第八閘極介電結構被第四頂部與頂導電層環繞，且其中第四半導體柱之第四中間部導電地耦接至中間導電層。

【0030】 在一些實施例中，半導體裝置更包含在多個導電層上的金屬層。中間導電層包含第一部分與第二部分，第一半導體柱與第二半導體柱貫穿第一部分，第三半導體柱與第四半導體柱貫穿第二部分，第一部分與第二部分彼此絕緣。金屬層中的第一導電線裝配以使中間導電層之第一部分導電地耦接至頂導電層中環繞第四半導體柱與第八閘極介電結構的一部分與底導電層中環

繞第三半導體柱與第五閘極介電結構的一部分。金屬層中的二導電線裝配以使中間導電層之第二部分導電地耦接至頂導電層中環繞第一半導體柱與第三閘極介電結構的一部分與底導電層中環繞第二半導體柱與第二閘極介電結構的一部分。

【0031】本揭露之另一方面之特點在於記憶裝置。記憶裝置包含在半導體基板上的複數個記憶體單元、以及形成於複數個記憶體單元上的金屬層。複數個記憶體單元之每一者包含多個導電層與多個電晶體，多個導電層垂直地堆疊在半導體基板上，多個導電層包含依序堆疊在一起的第一導電層、第二導電層與第三導電層；多個電晶體包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體與第六電晶體，第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體與第六電晶體之每一者包含第一端點、第二端點與閘極端。第一電晶體、第二電晶體、第四電晶體和第六電晶體在第一導電層中，第三電晶體和第五電晶體在第三導電層中，且其中第一電晶體之第一端點、第二電晶體之第一端點和第三電晶體之第一端點導電地耦接至第二導電層中的第一導電節點，第四電晶體之第一端點、第五電晶體之第一端點和第六電晶體之第一端點導電地耦接至第二導電層中的第二導電節點。金屬層中的第一導電線裝配以使第一導電節點導電地耦接至第一導電層中的第四電晶體之閘極端與第三導電層中的第五電晶體之閘極端。金屬層中的第二導電線裝配以使第二導電節

點導電地耦接至第一導電層中的第二電晶體之閘極端與第三導電層中的第三電晶體之閘極端。

【0032】 本揭露之另一方面之特點在於半導體裝置。半導體裝置包含基板與配置於基板上的垂直堆疊。垂直堆疊包含底導電層、在底導電層上的中間導電層、以及在中間導電層上的頂導電層。半導體裝置更包含第一半導體柱，第一半導體柱垂直地貫穿垂直堆疊且包含被底導電層環繞之第一底部、被中間導電層環繞之第一中間部、以及被頂導電層環繞之第一頂部。半導體裝置更包含複數個閘極介電結構，複數個閘極介電結構位於第一底部與底導電層之間且位於第一頂部與頂導電層之間。第一中間部導電地耦接（或電性連接）至中間導電層。

【0033】 在一些實施例中，頂導電層包含彼此分離的第一頂片段(segment)、第二頂片段、第三頂片段與第四頂片段。中間導電層包含彼此分離的第一中間片段與第二中間片段。底導電層包含彼此分離的第一底片段與第二底片段。第一半導體柱之第一頂部被頂導電層之第一頂片段環繞，第一半導體柱之第一中間部被中間導電層之第一中間片段環繞，且第一半導體柱之第一底部被底導電層之第一底片段環繞。

【0034】 在一些實施例中，半導體裝置更包含垂直地貫穿垂直堆疊的第二半導體柱。第二半導體柱包含被底導電層之第一底片段環繞的第二底部、被中間導電層環繞的第二中間部、以及被頂導電層之第二頂片段環繞的第二頂部。複數個閘極介電結構位

於第二半導體柱之第二底部與底導電層之第一底片段之間，且位於第二半導體柱之第二頂部與頂導電層之第二頂片段之間。第二半導體柱之第二中間部導電地耦接至中間導電層之第一中間片段。

【0035】 在一些實施例中，基板包含第一摻雜類型井區（例如具有第一摻雜類型的第一摻雜區）與第二摻雜類型井區（例如具有第二摻雜類型的第二摻雜區），第一半導體柱導電地耦接至第一摻雜類型井區，第二半導體柱導電地耦接至第二摻雜類型井區。

【0036】 在一些實施例中，半導體裝置更包含第三半導體柱，第三半導體柱垂直地貫穿垂直堆疊且導電地耦接至第一摻雜類型井區。第三半導體柱包含被底導電層之第二底片段環繞的第三底部、被中間導電層之第二中間片段環繞的第三中間部、以及被頂導電層之第三頂片段環繞的第三頂部。複數個閘極介電結構位於第三半導體柱之第三底部與底導電層之第二底片段之間，且位於第三半導體柱之第三頂部與頂導電層之第三頂片段之間；第三半導體柱之第三中間部導電地耦接至中間導電層之第二中間片段。

【0037】 在一些實施例中，半導體裝置更包含第四半導體柱，第四半導體柱垂直地貫穿該垂直堆疊且導電地耦接至第二摻雜類型井區。該第四導電柱包含被底導電層之第二底片段環繞的第四底部、被中間導電層之第二中間片段環繞的第四中間部、以及被頂導電層之第四頂片段環繞的第四頂部。複數個閘極介電結構位

於第四半導體柱之第四底部與底導電層之第二底片段之間，且位於第四半導體柱之第四頂部與頂導電層之第四頂片段之間。第四半導體柱之第四中間部導電地耦接至中間導電層之第二中間片段。

【0038】 在一些實施例中，半導體裝置更包含佈線層(wiring layer)，佈線層包含第一佈線連接器，第一佈線連接器導電地耦接至底導電層之第一底片段、中間導電層之第二中間片段和頂導電層之第二頂片段。

【0039】 在一些實施例中，佈線層包含第二佈線連接器，第二佈線連接器導電地耦接至底導電層之第二底片段、中間導電層之第一中間片段和頂導電層之第四頂片段。

【0040】 在一些實施例中，半導體裝置更包含複數個金屬矽化物(metal silicide)結構，複數個金屬矽化物結構位於第一半導體柱之第一中間部和中間導電層之第一中間片段的交叉處、位於第二半導體柱之第二中間部和中間導電層之第一中間片段之間、位於第三半導體柱之第三中間部和中間導電層之第二中間片段之間、且位於第四半導體柱之第四中間部和中間導電層之第二中間片段之間。

【0041】 在一些實施例中，第一半導體柱導電地耦接至第一訊號線，且第三半導體柱導電地耦接至第二訊號線，第二半導體柱與第四半導體柱導電地耦接至耦接供應電壓 V_{CC} 的電源線(power line)。

【0042】 在一些實施例中，半導體裝置形成 6T（六電晶體）靜態隨機存取記憶體裝置。在一些實施例中，半導體裝置之單元尺寸小於或等於 0.032 平方微米(μm^2)。

【0043】 本揭露之另一方面之特點在於基本上如此處所述之半導體裝置之製造方法。

【0044】 本揭露之另一方面之特點在於半導體裝置，半導體裝置包含 6T 靜態隨機存取記憶體單元與快閃記憶體單元。6T 靜態隨機存取記憶體單元與快閃記憶體單元皆為閘極全環架構。

【0045】 半導體裝置之個別元件可基本上如此處所述且可為任意合理的組合。

【0046】 一或更多的所揭實施方式之多個細節係闡述於附圖和以下敘述中。透過敘述、附圖與申請專利範圍，本揭露之其他特徵、方面與益處將是顯而易見的。

【圖式簡單說明】

【0047】

第 1 圖係繪示包含記憶體之系統的示例；

第 2 圖係繪示示例 6T 靜態隨機存取記憶體單元電路；

第 3A-3D 圖係繪示示例三維靜態隨機存取記憶體單元結構；

第 4A-4C 圖係繪示使用三維靜態隨機存取記憶體單元結構之示例靜態隨機存取記憶體裝置；

第 5A-5N 圖係繪示用以製造三維靜態隨機存取記憶體單元結構之方法之多個示例步驟；

第 6 圖係繪示用以形成三維靜態隨機存取記憶體單元結構之方法示例的流程圖；及

第 7 圖係繪示整合示例靜態隨機存取記憶體單元結構與示例快閃記憶體單元結構之半導體裝置。

多個附圖中相同元件符號與名稱代表相同元件。應理解的是，圖式示出的各種示例性實施方式僅為說明性表示且不一定依比例繪製。

【實施方式】

【0048】在本揭露中，使用 6T 靜態隨機存取記憶體單元作為示例以說明多個特徵，其並非限制實施例或隨附申請專利範圍。本揭露之多個實施方式可進一步擴展為具有多於六個電晶體之靜態隨機存取記憶體單元，例如 8T 靜態隨機存取記憶體單元、10T 靜態隨機存取記憶體單元、以及任意內容可定址記憶體 (content addressable memory; CAM) 單元。

【0049】實現於本揭露之技術可提供具有小尺寸但高性能之靜態隨機存取記憶體單元。技術使用堆疊的垂直閘極全環電晶體結構，其不僅可大幅節省電晶體面積，而且可大幅節省接觸面積 (contact areas)，從而降低靜態隨機存取記憶體單元面積。此外，單元面積縮小通常受限於非主動階梯接觸區域。這代表一旦製程

視窗(process window)控制（例如階梯設計規則或接觸規則）改良，靜態隨機存取記憶體單元尺寸可進一步縮小至遠小於先進的互補式金屬氧化物半導體可提供的尺寸，而不會出現互補式金屬氧化物半導體電晶體問題。例如，6T 靜態隨機存取記憶體單元尺寸可縮小為小於 0.032 平方微米（等同於 N7 節點）或甚至縮小為 0.006 平方微米（等同於 N1 節點）。

【0050】技術可提供高性能的靜態隨機存取記憶體。例如，靜態隨機存取記憶體可達成低的每位元能量(energy per bit)（例如在單一 6T 靜態隨機存取記憶體單元中~10 fJ/bit）、低的操作電壓（例如小於等於 1 V）、無限的耐久性(endurance)、以及存取時間快速（~ns）。靜態隨機存取記憶體可實現為具有合理的電晶體開關比(ON/OFF ratio)且不具有可能難以預測的開發中的不穩定新材料（例如用於其他記憶體）。靜態隨機存取記憶體亦可達成非常低的原始位元錯誤率(raw bit error rate; RBER)並具有良好控制的電晶體臨界電壓 V_{th} ，例如使用閘極全環架構。靜態隨機存取記憶體可裝配以進行先進運算以產生~PB/s 頻寬。靜態隨機存取記憶體亦可作為暫存器或工作資料儲存器，例如在用於處理器之快取記憶體中。舉例而言，使用系統單晶片(system on a chip; SoC)設計可整合靜態隨機存取記憶體和一或更多的處理器核心（例如微控制器或微處理器）。處理器核心可和靜態隨機存取記憶體單元之一階(level one; L1)快取記憶體一起配置以使非

常快的處理操作成為可能，靜態隨機存取記憶體單元之一階快取記憶體配置於或相鄰於半導體基板上的處理器。

【0051】實現於本揭露之技術可使用現行製造技術製造靜態隨機存取記憶體單元，其可避免縮小靜態隨機存取記憶體單元之特徵引起之問題，例如接觸電阻(contact resistance)增加、接觸孔洞尺寸下降、以及微影製程(photolithography)中的誤差容忍度下降。技術亦可減少微影製程所需的多個圖案化步驟，以降低成本並改善製程之量產能力(throughput)。

【0052】實現於本揭露之技術可應用於包含多個電晶體或其他半導體元件（例如儲存元件或電路）之任意其他結構。實現於本揭露之技術可應用於各種記憶體類型，例如單階儲存單元(single-level cell; SLC)裝置、多階儲存單元(multi-level cell; MLC)裝置，多階儲存單元裝置例如是二階儲存單元(2-level cell)裝置、三階儲存單元(triple-level cell; TLC)裝置或四階儲存單元(quad-level cell; QLC)裝置。技術可應用於各種維度的記憶裝置或系統，例如三維記憶裝置或系統。技術可應用於各種類型的揮發性或非揮發性記憶裝置或系統或其任意合適的組合。例如，靜態隨機存取記憶體可和非揮發性記憶裝置（例如快閃記憶裝置）整合，其中非揮發性儲存單元結構（例如電子抹除式可複寫唯讀記憶體(electrically erasable programmable read-only memory; EEPROM)單元結構）可和使用閘極全環架構之靜態隨機存取記憶體單元結構整合於相同或相似的製造流程中。

【0053】額外地或可替代地，技術可應用於各種類型的裝置與系統，例如安全數位卡(secure digital cards; SD cards)、嵌入式多媒體卡(embedded multimedia cards; eMMC)或固態硬碟(solid-state drives; SSDs)、嵌入式系統、媒體播放器、行動裝置等。

【0054】第 1 圖係繪示系統 100 之示例。系統 100 包含裝置 110 與主機 120。裝置 110 包含裝置控制器 112 與記憶體 116。裝置控制器 112 包含處理器 113 與內部記憶體 114。在一些實施方式中，裝置 110 包含耦接至裝置控制器 112 之複數個記憶體 116。

【0055】在一些實施方式中，裝置 110 係為儲存裝置。例如，裝置 110 可為嵌入式多媒體卡、安全數位卡、固態硬碟或一些其他合適的儲存裝置。在一些實施方式中，裝置 110 係為智慧型手錶、數位相機或媒體播放器。在一些實施方式中，裝置 110 係為耦接至主機 120 之客戶端裝置(client device)。例如，裝置 110 係為數位相機或媒體播放器中的安全數位卡，數位相機或媒體播放器係為主機 120。

【0056】裝置控制器 112 係為通用微處理器(general-purpose microprocessor)或特殊應用微控制器(application-specific microcontroller)。在一些實施方式中，裝置控制器 112 係為用於裝置 110 之記憶體控制器。以下內容描述各種技術，這些技術是基於裝置控制器 112 為記憶體控制器之

實施方式。然而，以下內容描述的多種技術亦可應用於裝置控制器 112 為不同於記憶體控制器的其他類型控制器之實施方式。

【0057】 處理器 113 裝配以執行多個指令(instruction)與處理資料。多個指令包含韌體指令及/或在輔助記憶體(secondary memory)中儲存為韌體編碼及/或其他程式編碼之其他程式指令。資料包含對應於韌體及/或由處理器執行之其他程式的程式資料、以及其他合適的資料。在一些實施方式中，處理器 113 係為通用微處理器或特殊應用微控制器。處理器 113 也被稱為中央處理器(central processing unit; CPU)。

【0058】 處理器 113 從內部記憶體 114 存取多個指令與資料。在一些實施方式中，內部記憶體 114 係為靜態隨機存取記憶體或動態隨機存取記憶體。例如，在一些實施方式中，當裝置 110 係為嵌入式多媒體卡、安全數位卡或智慧型手錶，內部記憶體 114 係為靜態隨機存取記憶體。靜態隨機存取記憶體可由例如第 3A-3D 圖繪示之靜態隨機存取記憶體單元製成，且可包含例如第 4A-4C 圖繪示之靜態隨機存取記憶體單元陣列。在一些實施方式中，當裝置 110 係為數位相機或媒體播放器，內部記憶體 114 係為動態隨機存取記憶體。

【0059】 在一些實施方式中，內部記憶體係為被包含於裝置控制器 112 之快取記憶體，如第 1 圖所示。內部記憶體 114 儲存多個指令編碼及/或在運行期間處理器 113 請求的資料，多個指令編碼對應於由處理器 113 執行的多個指令。

【0060】裝置控制器 112 將指令編碼及/或資料從記憶體 116 傳送至內部記憶體 114。記憶體 116 可為半導體裝置。在一些實施方式中，記憶體 116 係為裝配以長期儲存多個指令及/或資料之非揮發性記憶體，例如 NAND 快閃記憶裝置或一些其他合適的非揮發性記憶裝置。在一些實施方式中，記憶體 116 係為 NAND 快閃記憶裝置，裝置 110 係為例如快閃記憶卡之快閃記憶裝置，且裝置控制器 112 係為 NAND 快閃控制器。例如，在一些實施方式中，當裝置 110 係為嵌入式多媒體卡或安全數位卡，記憶體 116 係為 NAND 快閃記憶體；在一些實施方式中，當裝置 110 係為數位相機，記憶體 116 係為安全數位卡；在一些實施方式中，當裝置 110 係為媒體播放器，記憶體 116 係為硬碟(hard disk)。在一些實施方式中，記憶體 116 係為裝配為快取記憶體之揮發性記憶體。在一些實施方式中，記憶體 116 包含非揮發性記憶單元陣列與揮發性記憶單元陣列。

【0061】第 2 圖係繪示 6T 靜態隨機存取記憶體單元之示例電路 200。電路 200 具有 6T 配置，6T 配置包含配置於一對反相器 210 和 220 中的六個電晶體，每一反相器包含三個電晶體。

【0062】如第 2 圖所示，一對傳送閘電晶體 212、226（標示為 M1 和 M6）使一對位元線 BL 和 BLB 分別耦接至節點 N0 和 N1。傳送閘電晶體 M1 和 M6 可由金屬氧化物矽(metal-oxide-silicon; MOS)電晶體形成。在此示例中，傳送閘電晶體 M1 和 M6 可實現為 N 型金屬氧化物矽電晶體，例如 NMOS

電晶體。圖中的正的供應電壓 V_{CC} (和 V_{CS}) 可為 0.3 V 至 3.0 V 或更多，取決於製程技術。上拉電晶體 214、222 (標示為 M2 和 M4) 形成為 P 型電晶體 (例如 PMOS 電晶體)，且依據靜態隨機存取記憶體單元之狀態使正的供應電壓 V_{CC} 耦接至一或其他資料節點。圖中的第二供應電壓 V_{SS} ，例如負電壓或接地電壓，透過下拉電晶體 216、224 (標示為 M3 和 M5) 耦接至多個資料節點。

【0063】 兩個下拉電晶體 M3 和 M5 使第二供應電壓 V_{SS} 耦接至一或其他節點 N0 和 N1，取決於儲存於靜態隨機存取記憶體單元中的資料狀態。靜態隨機存取記憶體單元係為閘鎖器(latch)，只要供應電力足以正確操作電路，閘鎖器可無限期地保持其資料狀態。包含上拉電晶體 M2 與下拉電晶體 M3 之反相器 210、以及包含上拉電晶體 M4 與下拉電晶體 M5 之反相器 220 係為交叉耦接的，且操作以連續加強節點 N0 和 N1 上的儲存電荷。例如，如第 2 圖所示，反相器 210 中的節點 N0 耦接至反相器 220 中的節點 C1，而反相器 220 中的節點 N1 耦接至反相器 210 中的節點 C0。兩個節點 N0 和 N1 彼此反相(inverted)。當節點 N0 係為邏輯“1”，例如處於高電壓，此時節點 N1 係為邏輯“0”，例如處於低電壓，反之亦然。

【0064】 當靜態隨機存取記憶體單元被寫入，互補寫入資料訊號被置於位元線對 BL 和 BLB 上。字元線(WL)上的正控制訊號耦接至傳送閘電晶體 M1 和 M6 的閘極。上拉電晶體 M2、下拉

電晶體 M3、上拉電晶體 M4、下拉電晶體 M5、以及傳送閘電晶體 M1 和 M6 裝配以使位元線上的寫入資訊可覆寫節點 N0 和 N1 之儲存資料，從而使靜態隨機存取記憶體位元單元(bit cell)寫入所需狀態。

【0065】當靜態隨機存取記憶體單元被讀取，正電壓被置於字元線 WL 上，傳送閘電晶體 M1 和 M6 使位元線 BL 和 BLB 耦接至節點 N0 和 N1 且從節點 N0 和 N1 接收資料。和動態記憶體單元或動態隨機存取記憶體單元不同的是，靜態隨機存取記憶體單元在讀取期間不會遺失其儲存的狀態，因此在讀取之後不需要「回寫(write back)」操作。

【0066】位元線 BL 和 BLB 形成一對互補的資料線(data line)。成對的資料線可耦接至差動感測放大器(differential sense amplifier)，且從靜態隨機存取記憶體單元讀取的差分電壓(differential voltage)可被感測與放大。接著，可將處於邏輯位準電壓(logic level voltage)之放大的感測訊號作為讀取資料輸出至裝置中的其他邏輯電路。

【0067】如同以下更詳細討論的，第 2 圖之靜態隨機存取記憶體單元可形成為三維結構，例如使用堆疊的垂直閘極全環電晶體架構，其可大幅降低靜態隨機存取記憶體單元之尺寸。

【0068】第 3A-3D 圖係繪示示例三維靜態隨機存取記憶體單元結構 300。靜態隨機存取記憶體單元結構 300 可實現為靜態隨機存取記憶體單元。靜態隨機存取記憶體單元結構 300 對應於

第 2 圖之電路 200。第 3A-3B 圖示出三維靜態隨機存取記憶體單元結構 300 之透視圖。第 3C 圖示出三維靜態隨機存取記憶體單元結構 300 之剖面圖。第 3D 圖示出三維靜態隨機存取記憶體單元結構 300 之俯視圖。

【0069】相似於第 2 圖中的電路 200，靜態隨機存取記憶體單元結構 300 包含一對反相器，一對反相器包含第一反相器 302 與第二反相器 304。第一反相器 302 包含傳送閘電晶體 M1 332（例如第 2 圖之傳送閘電晶體 M1 212）、上拉電晶體 M2 334（例如第 2 圖之上拉電晶體 M2 214）、以及下拉電晶體 M3 352（例如第 2 圖之下拉電晶體 M3 216）。第二反相器 304 包含傳送閘電晶體 M6 338（例如第 2 圖之傳送閘電晶體 M6 226）、上拉電晶體 M4 336（例如第 2 圖之上拉電晶體 M4 222）、以及下拉電晶體 M5 358（例如第 2 圖之下拉電晶體 M5 224）。在一些示例中，傳送閘電晶體 M1、下拉電晶體 M3、下拉電晶體 M5、傳送閘電晶體 M6 係為 N 型電晶體，例如 NMOS 電晶體，而上拉電晶體 M2、上拉電晶體 M4 係為 P 型電晶體，例如 PMOS 電晶體。

【0070】由於 NMOS 電晶體可達成比 PMOS 電晶體更高的電流，可能會發生 NMOS 電晶體與 PMOS 電晶體之間的不匹配 (mismatch)，例如下拉電晶體 M3 352 與上拉電晶體 M2 334 之間或下拉電晶體 M5 358 與上拉電晶體 M4 336 之間。如第 3A-3C 圖所示，第一反相器 302 更包含第二上拉電晶體 M2 354，且第

二反相器 304 更包含第二上拉電晶體 M4 356。兩個上拉電晶體（例如 M2 334 和 354 或 M4 336 和 356）可裝配為並聯連接，以獲得比單一電晶體（例如 M2 or M4）高兩倍的電流。透過這樣的方式，NMOS 電晶體與 PMOS 電晶體之間的不匹配可被減少或最小化。

【0071】第一反相器 302、第二反相器 304 交叉耦接於導電的節點 N0 和 N1（例如第 2 圖之節點 N0 和 N1）。例如，如第 3C 圖所示，第一反相器 302 中的節點 N0 透過導電佈線 314 耦接至第二反相器 304 中的節點 C1（例如第 2 圖之節點 C1），而第二反相器 304 中的節點 N1 透過導電佈線 312 耦接至第一反相器 302 中的節點 C0（例如第 2 圖之節點 C0）。

【0072】在一些實施方式中，傳送閘電晶體 M1 332、M6 338 之源極端裝配以分別耦接至一對位元線 BL 和 BLB。傳送閘電晶體 M1 332、M6 338 之閘極端可裝配以分別耦接至字元線，且可耦接至相同字元線，例如如第 4A-4B 圖所示。傳送閘電晶體 M1 332、上拉電晶體 M2 334、上拉電晶體 M2 354、下拉電晶體 M3 352 之汲極端耦接至節點 N0。上拉電晶體 M2 334、354、M4 336、356 之源極端耦接至供應電壓 V_{CC} 或 V_{CS} 。下拉電晶體 M3 352、M5 358 之源極端耦接至接地（例如如第 3C 圖或第 4B 圖所示）。上拉電晶體 M2 354 與下拉電晶體 M3 352 共用相同閘極端 353。上拉電晶體 M4 356 與下拉電晶體 M5 358 共用相同閘極端 357。

【0073】如第 3A-3C 圖所示，靜態隨機存取記憶體單元結構 300 可形成為層 330、340、350 之垂直堆疊，層 330、340、350 依序配置於基板 360 上，例如沿著 Z 方向。堆疊的層 330、340、350 可為導電層，每一個層 330、340、350 可包含導電材料 331、341、351。導電材料 331 和 351 可相同於或不同於導電材料 341。在一些示例中，導電材料 331 和 351 由鎢(Tungsten; W)製成，且導電材料 341 由鈦(Titanium; Ti)製成。堆疊的層 330、340、350 可藉由絕緣材料 303 製成的絕緣層彼此電性絕緣，絕緣材料 303 可例如是介電材料，例如氧化矽(silicon oxide)（或可簡化為氧化物或 OX）。第一反相器 302 和第二反相器 304 亦可藉由絕緣材料 303 而彼此分離。

【0074】基板 360 可包含任意下層材料或裝置、電路、磊晶層或半導體可形成於其上的材料。基板 360 可包含多個層，多個層可在半導體裝置的之下或甚至形成半導體裝置之基底層。基板 360 可包含矽(silicon)、摻雜矽(doped silicon)、鍺(germanium)、矽鍺(silicon germanium)、半導體化合物或其他半導體材料中的一者或任意組合。在一些示例中，如第 3C 圖所示，基板 360 包含三個摻雜（或佈植）區，兩個 P+區 362 與例如沿著 X 方向在兩個 P+區之間的 N+區 364。淺溝槽隔離結構(shallow trench insulation; STI) 363 使相鄰的摻雜區電性絕緣，淺溝槽隔離結構由絕緣材料製成，例如氧化物。

【0075】靜態隨機存取記憶體單元結構 300 可例如沿著 X 方向形成於兩相鄰的導電的狹縫 301。也就是說，狹縫 301 使相鄰的靜態隨機存取記憶體單元分開。導電的狹縫 301 可垂直地（例如沿著 Z 方向）貫穿多個層至基板 360 上，例如在 P+區 362 上。多個狹縫 301 導電地耦接至電源供應器，例如供應電壓 V_{CC} 。P 型電晶體 M2 334、354、M4 336、356 可導電地耦接至多個狹縫 301，以例如在源極端接收供應電壓 V_{CC} 。形成於靜態隨機存取記憶體單元結構 300 中的多個電晶體 M1 至 M6 藉由絕緣材料 303 而和多個狹縫 301 絕緣。

【0076】靜態隨機存取記憶體單元結構 300 包含垂直地貫穿層 330、層 340、層 350 之垂直堆疊至基板 360 上的多個半導體柱，例如半導體柱 313a、313b、313c、313d（通常被稱為多個半導體柱 313，且被單獨稱為半導體柱 313）。半導體柱 313 可被半導體材料填充，半導體材料例如是多晶矽或磊晶成長製成的矽（或磊晶矽）。在一些實施例中，半導體柱 313a、313d 單獨耦接至 P+區 362，且裝配以形成 P 連接部(junction)及/或 P 型電晶體 M2 334、354。半導體柱 313b、313c 耦接至 N+區 364，且裝配以形成 N 連接部及/或 N 型電晶體 M1 332、M3 352、M6 338 和 M5 358。

【0077】如第 3C 圖所示，每一半導體柱 313 被導電的層 330、350 中的閘極介電結構 333（例如閘極氧化物(GOX)）環繞，且被導電層 340 中的閘極金屬結構 343（例如矽化物(silicide)或鍍

化物(germanide))環繞。在一些實施例中，導電層 340 包含裝配為第一反相器 302 中的節點 N0 之第一部分與裝配為第二反相器 304 中的節點 N1 之第二部分。導電層 340 之第一部分與第二部分藉由絕緣材料 303 而彼此分離與彼此絕緣。

【0078】半導體柱 313a、313d 包含在導電層 340 中的中間部分，裝配為 P 連接部，P 連接部可由 P 型材料製成，例如如第 5H 圖所示。半導體柱 313a、313d 更包含在導電的層 330 上的頂部 322。頂部 322 裝配為 P 連接部，P 連接部可由 P 型材料製成，例如如第 5N 圖所示。相似地，半導體柱 313b、313c 包含導電層 340 中的中間部分，且中間部分裝配為 N 連接部，N 連接部可由 N 型材料製成，例如如第 5I 圖所示。半導體柱 313b、313c 更包含在導電的層 330 上的頂部 324，且頂部 324 裝配為 N 連接部，N 連接部可由 N 型材料製成，例如如第 5N 圖所示。如上所述，N 連接部裝配以形成 N 型電晶體 M1、M3、M5、M6，且 P 連接部裝配以形成 P 型電晶體 M2、M4。在導電的層 330 中，P 型電晶體 M2、M4 藉由絕緣材料 303 而和 N 型電晶體 M1、M6 絕緣。在導電層 350 中，P 型電晶體 M2 和 N 型電晶體 M3 共用相同閘極端 353，且 P 型電晶體 M4 和 N 型電晶體 M5 共用相同閘極端 357。閘極端 353 和 357 可由導電材料製成，例如金屬鎢。

【0079】如第 3A、3B、3D 圖所示（且進一步繪示於第 4C 圖），靜態隨機存取記憶體單元結構 300 中的多個元件藉由多個穿孔（或通孔）311a~311h（通常被稱為多個穿孔 311，且被單

獨稱為穿孔 311) 導電地連接，多個穿孔 311a~311h 藉由層 330、340、350 之垂直堆疊上的不同金屬層 ML1 320、ML2 310 而連接。

【0080】如上所述，第一反相器 302、第二反相器 304 交叉耦接於節點 N0 和 N1。第二反相器 304 中的節點 N1 透過對應穿孔 311f、311d 和 311a 導電地耦接至第一反相器 302 中的節點 C0、N 型電晶體 M3 352 之閘極端、以及 P 型電晶體 M2 334、354 之閘極端，穿孔 311f、311d 和 311a 在金屬層 ML2 310 中以導電佈線 312 導電地連接。相似地，第一反相器 302 中的節點 N0 透過對應穿孔 311c、311e 和 311h 導電地耦接至第二反相器 304 中的節點 C1、N 型電晶體 M5 358 之閘極端、以及 P 型電晶體 M4 336、356 之閘極端，穿孔 311c、311e 和 311h 在金屬層 ML2 310 中以導電佈線 314 導電地連接。為了便於連接，如第 3A-3C 圖所示，階梯區 306 形成於第一反相器 302、第二反相器 304 之間，其中穿孔 311b、311c、311d、311e、311f、311g 藉由垂直地貫穿填充於階梯區 306 之絕緣材料 303 至對應的層 330、340、350 來形成。如第 3A、3D 圖所示，用於靜態隨機存取記憶體單元結構 300 之多個穿孔 311 可例如沿著 X 方向配置於相同列(row)中。

【0081】如第 3A-3C 圖所示，第一反相器 302、第二反相器 304 彼此對稱，例如沿著 X 方向上的中線或沿著 XY 平面上的中間層。導電的層 330、340、350 之堆疊可在階梯區 306 中形成兩

個對稱階梯子區，例如沿著相同中線或相同中間層，兩個對稱階梯子區分別用於第一反相器 302、第二反相器 304。穿孔 311b、311c、311d 形成於用於第一反相器 302 的階梯子區中，且穿孔 311e、311f、311g 形成於用於第二反相器 304 的階梯子區中。

【0082】如第 3A 圖所示（且進一步繪示於第 4A-4B 圖），傳送閘電晶體 M1 332、M6 338 之源極端分別耦接至形成於金屬層 ML1 320 中的一對位元線 BL、BLB。每一穿孔 311 在金屬層 ML1 320 中電性絕緣，且在金屬層 ML1 320 中導電地連接至金屬層 ML1 320 中的中間導電接墊 321（例如金屬接墊）。在一些實施例中，如第 3A 圖所示（且進一步繪示於第 4A-4B 圖），第三金屬層可形成於金屬層 ML2 310 上，其中字元線（在第 4A-4B 圖中標示為 402）可耦接至靜態隨機存取記憶體單元結構 300 中的傳送閘電晶體 M1 332、M6 338 之閘極端。如第 3A-3B 圖所示，穿孔 311b、311g 可和導電佈線 312 電性絕緣，但可透過中間導電接墊 323（例如金屬接墊）導電地連接金屬層 ML2 310。連接供應電壓 V_{CC} 及/或位元線 BL 和 BLB 之第一電源線可形成於金屬層 ML1 320 中。連接第二供應電壓 V_{SS} （例如接地）之第二電源線可形成於金屬層 ML1 320 中或形成於方向不同於金屬層 ML1 320 之金屬層中。跨越整個靜態隨機存取記憶體單元結構 300 的多條電源線可形成於第三金屬層中或更高的金屬層中。

【0083】靜態隨機存取記憶體單元結構 300 可縮小為小尺寸。在一些示例中，靜態隨機存取記憶體單元結構 300 具有 100 奈米

(nm)量級之長度（例如沿著 X 方向），例如在 100 奈米至 1000 奈米的範圍內，且具有 10 奈米量級之寬度（例如沿著 Y 方向），例如在 10 奈米至 100 奈米的範圍內。在一示例中，靜態隨機存取記憶體單元結構 300 具有長度 150 奈米、寬度 40 奈米與面積 0.006 平方微米之尺寸。在另一示例中，靜態隨機存取記憶體單元結構 300 具有長度 400 奈米、寬度 80 奈米與面積 0.032 平方微米之尺寸。每一導電的層，例如 330、340、350，可具有 20 奈米之厚度（例如沿著 Z 方向）。相鄰導電層之間的空間可為 10 奈米。垂直半導體柱，例如 313，可具有 30 奈米之直徑。閘極介電結構，例如 333，可具有 1 奈米之厚度（例如沿著 X 方向）。在一些示例中，相較於上述示例，靜態隨機存取記憶體單元結構 300 中的元件之尺寸或厚度（例如導電的層 330、340、350 之厚度、或者靜態隨機存取記憶體單元結構 300 之長度及/或寬度）可在 10% 的範圍內調整。

【0084】 第 4A-4C 圖係繪示使用多個三維靜態隨機存取記憶體單元 420 的示例靜態隨機存取記憶體裝置 400。三維靜態隨機存取記憶體單元 420 可具有和第 3A-3D 圖之靜態隨機存取記憶體單元結構 300 相同（或實質相似）的結構。

【0085】 如第 4A 圖所示，靜態隨機存取記憶體裝置 400 包含沿著 X 方向和 Y 方向配置的三維靜態隨機存取記憶體單元 420 之陣列。沿著 X 方向，靜態隨機存取記憶體裝置 400 可包含多個區塊(sections) 410-1、410-2、410-3(通常被稱為多個區塊 410，

且被單獨稱為區塊 410)。如第 4B 和 4C 圖所示，每一區塊 410 包含沿著 Y 方向配置的複數個三維靜態隨機存取記憶體單元 420。

【0086】區塊 410 可形成於基板 401 上（例如第 3C 圖之基板 360）。基板 401 可包含多個 P 型摻雜區 411 與介於兩個 P 型摻雜區之間的 N 型摻雜區 412。淺溝槽隔離結構 413（例如第 3C 圖之淺溝槽隔離結構 363）可形成於 P 型摻雜區 411 與 N 型摻雜區 412 之間。這些摻雜區可沿著 Y 方向延伸以用於區塊 410 中的靜態隨機存取記憶體單元 420。N 型摻雜區 412 耦接至接地 414，接地 414 沉積於 N 型摻雜區 412 上。用於多個區塊 410 之基板 401 可為單一基板或整合基板(integrated substrate)。

【0087】如上所述，例如如第 3A-3C 圖所示，靜態隨機存取記憶體單元 420 中的傳送閘電晶體 M1 和 M6 裝配以耦接對應的字元線 402。靜態隨機存取記憶體裝置 400 包含沿著 X 延伸且沿著 Y 方向依序配置的複數條字元線 402。每一字元線 402 可耦接多個區塊 410 中的對應靜態隨機存取記憶體單元 420。每一區塊 410 定義於兩相鄰的導電的狹縫 430 之間。導電的狹縫 430 與具有 P 連接部之半導體柱，例如第 3C 圖之 313a、313d，形成於 P 型摻雜區 411 上，而具有 N 連接部之半導體柱，例如第 3C 圖之 313b、313c，形成於 N 型摻雜區 412 上。

【0088】靜態隨機存取記憶體裝置 400 可包含垂直地堆疊在靜態隨機存取記憶體單元 420 上的三個金屬層。第一金屬層，例

如第 3A-3B 圖之金屬層 ML1 320，形成於靜態隨機存取記憶體單元 420 上，其中位元線 BL 434、BLB 436 形成為沿著 Y 方向延伸且沿著 X 方向依序配置。在一些實施例中，供應電壓線 432、438 可形成於第一金屬層中且耦接至靜態隨機存取記憶體單元 420 中的上拉電晶體 M2、M4 之源極端。供應電壓線 432、438 可藉由導電線 431 耦接至狹縫 430，因此供應電壓線 432、438 可提供供應電壓 V_{CC} 。第二金屬層，例如第 3A-3B 圖之金屬層 ML2 310，可形成於第一金屬層上且裝配以交叉耦接靜態隨機存取記憶體單元 420 中的兩個反相器，例如如第 3A、3C、3D 圖所示。第三金屬層可形成於第二金屬層上且裝配以形成複數條字元線 402。在一些示例中，耦接供應電壓 V_{CC} 和第二供應電壓 V_{SS} （例如接地）的電源供應線亦可形成於第三金屬層中。

【0089】第 5A-5N 圖係繪示用以製造三維靜態隨機存取記憶體單元結構之方法之多個步驟的示例，例如第 3A-3D 圖之靜態隨機存取記憶體單元結構 300 或第 4A-4C 圖之靜態隨機存取記憶體單元 420。方法可用互補式金屬氧化物半導體技術來實現。為了說明，一些圖式包含上圖(1)與下圖(2)，其中上圖(1)繪示在處理步驟後形成的結構之透視圖，下圖(2)繪示在處理步驟後形成的結構之剖面圖。

【0090】第 5A 圖示出用以形成三維靜態隨機存取記憶體單元結構之基板 500。基板 500 可為第 3C 圖之基板 360 或第 4B 圖之基板 401。為了說明，基板 500 由矽製成。基板 500 被摻雜（或

佈植)以形成三個摻雜(或佈植)區,兩個 P+ 矽區 501(例如第 3C 圖之 P+ 區 362 或第 4B-4C 圖之 P 型摻雜區 411)與例如沿著 X 方向在兩個 P+ 矽區之間的 N+ 矽區 502(例如第 3C 圖之 N+ 區 364 或第 4B-4C 圖之 N 型摻雜區 412)。相鄰的摻雜區 501、502 藉由淺溝槽隔離結構 503(例如第 3C 圖之淺溝槽隔離結構 363)電性絕緣,淺溝槽隔離結構 503 由絕緣材料製成,例如氧化物。在一些示例中,基板 500 具有沿著 X 方向之長度 400 奈米與沿著 Y 方向之寬度 80 奈米。

【0091】第 5B 圖示出垂直地堆疊在基板 500 上的三個半導體層,例如,藉由使用有機化學氣相沉積(Metal-Organic Chemical Vapor Deposition; MOCVD)、分子束磊晶(molecular beam epitaxy; MBE)、原子層沉積(atomic layer deposition; ALD)、物理氣相沉積(physical vapor deposition; PVD)、化學氣相沉積(Chemical Vapor Deposition; CVD)之沉積方法或在真空腔室中以某溫度進行任意其他合適的沉積方法來形成。堆疊的層包含底部的層 504、中間中層 505、以及頂部的層 506。底部的層 504 與頂部的層 506 皆由第一材料製成,例如氮化矽(silicon nitride; SiN)(或簡稱 nitride),而中間的層 505 由第二材料製成,例如多晶矽(或簡稱 poly)。相鄰的層 504、505 和 505、506 藉由對應絕緣層 507 而彼此絕緣,例如,絕緣層 507 可由絕緣材料例如氧化物製成。在一些示例中,沿著 Z 方向,每一半導體層 504、505、506 具有 20 奈米之厚度,且絕緣層 507

具有 10 奈米之厚度。在本實施例中為了說明，第一材料係為氮化矽，且第二材料係為多晶矽。在一些其他實施例中，第一材料或第二材料可選擇不同的材料，且第一材料或第二材料之蝕刻速率可不同。

【0092】第 5C 圖示出形成階梯區 508 以使三個堆疊的層分開為兩部位，以形成靜態隨機存取記憶體單元結構之一對反相器（例如第 3A-3C 圖之第一反相器 302、第二反相器 304）。

【0093】在階梯區 508 形成之後，絕緣材料，例如氧化物，被填入階梯區 508 中，且在半導體層 506 上形成絕緣層 510。接著，如第 5D 圖所示，形成四個垂直孔洞 509，四個垂直孔洞 509 通過絕緣層 507、510 與堆疊的層 504、505、506 至基板 500。兩個孔洞 509 對 P+矽區 501 開放，且兩個孔洞 509 對 N+矽區 502 開放。多個孔洞 509 可藉由沿著垂直方向（例如 Z 方向）進行非等向蝕刻(anisotropic etching)來形成，例如可使用反應離子蝕刻(reactive ion etching; RIE)或電漿蝕刻(plasma etching)。在一些示例中，孔洞 509 具有 30 奈米之直徑。

【0094】第 5E 圖示出將半導體材料填入多個垂直孔洞 509 中以形成半導體柱（或垂直通道）511。在一些示例中，可藉由在多個垂直孔洞 509 中磊晶成長矽（例如磊晶矽）以形成多個半導體柱 511。在一些實施例中，可藉由多晶矽沉積以形成多個半導體柱 511。中間層 505 可使用和半導體柱 511 不同的材料。

【0095】第 5F 圖示出形成兩個狹縫 512 以定義單一靜態隨機存取記憶體單元結構。狹縫 512 可藉由蝕刻穿過基板 500 上的多個層來形成。狹縫 512 亦提供通道以蝕刻絕緣層 510 下方的多個半導體層。

【0096】如第 5G 圖所示，中間層 505 被選擇性蝕刻以移除中間層 505 中的多晶矽材料，以形成開放空間 513，並在階梯區中保留絕緣材料例如氧化物，在開放空間 513 中保留半導體柱 511。

【0097】在填充開放空間 513 之前，多個半導體柱 511 被處理以個別地形成多個 P 連接部和多個 N 連接部。如第 5H 圖所示，使用第一遮罩 514 以覆蓋兩個中間的半導體柱 511，沒有被第一遮罩 514 覆蓋的左邊的半導體柱 511 的中間部位、以及右邊的半導體柱 511 的中間部位被摻雜入 P 連接部 515，例如藉由電漿摻雜。

【0098】接著，如第 5I 圖所示，形成第二遮罩 516 以覆蓋包含 P 連接部 515 之左邊的半導體柱 511 與右邊的半導體柱，然後，沒有被第二遮罩 516 覆蓋的兩個半導體柱 511 的中間部位被摻雜入 N 連接部 517，例如藉由電漿摻雜。

【0099】第 5I 圖示出將金屬材料，例如鈦，填入開放空間 513 以形成導電層 518。導電層 518 被階梯區中的絕緣材料分開為兩部位，左邊部位被用作第一節點 N0(例如第 3A-3C 圖之節點 N0)，右邊部位被用作第二節點 N1(例如第 3A-3C 圖之節點 N1)。半

導體柱 511 中的 P 連接部 515 與 N 連接部 517 和金屬材料反應且轉變為導電層 518 中的 P 連接部 519 與 N 連接部 520。例如，P 連接部 515 與 N 連接部 517 係為磊晶矽，其和填充金屬鈦反應成為鈦矽化物(TiSi)。在一些實施例中，在填充例如鈦之金屬材料之前，金屬矽化物，金屬矽化物在開放空間 513 中的半導體柱 511 之周圍成長，例如如第 3C 圖所示。

【0100】為了形成不同的電晶體，可垂直蝕刻頂部的層 510、506、507 至導電層 518，以形成兩個切口(cut) 521，如第 5K 圖所示。接著，選擇性地蝕刻掉半導體層 504 和 506（例如由氮化物製成），以形成開放空間 522 和 524，如第 5L 圖所示。

【0101】接著，在開放空間 522 和 524 中的半導體柱 511 之周圍成長閘極氧化物材料，以形成薄的閘極氧化物層 523，例如如第 5M 圖所示。在這之後，將導電材料，例如金屬鎢，填入開放空間 522 和 524 中，以分別形成導電層 526 和 528（例如導電的層 330 和 350）。接著，導電層 526 和 528 被回蝕(etched back)以被限制於開放空間 522 和 524 內。切口 52 保持不變，且閘極氧化物層 523 被例如鎢之導電材料環繞，如第 5M 和 3C 圖所示。

【0102】接著，半導體柱 511 之頂部被摻雜以分別形成 P+ 連接部 530 與 N+ 連接部 532。第 5N 圖示出第 5A-5N 圖之處理步驟得到的成型結構 540。接著，絕緣材料，例如氧化物，可被填入成型結構 540 中，例如填入多個切口 521 中，以形成多個絕緣狹縫，且導電材料（例如金屬鎢）可被沉積至多個狹縫 512 內

並電性連接多個 P+ 矽區 501（例如，以形成第 3C 圖之多個狹縫 301），以得到可實現為靜態隨機存取記憶體單元結構之最最終結構。

【0103】可進一步進行多個後處理步驟，例如形成多個穿孔（例如第 3A-3D 圖之穿孔 311）、以及形成具有多條導電佈線（例如第 3A、3B、3D 圖之導電佈線 312 和 314）、多條位元線（例如第 4B 圖之位元線 BL 434 和 BLB 436）、多條電源供應線（例如第 4B 圖之供應電壓線 432 和 438）、及/或多條字元線（例如第 4A-4C 圖之字元線 402）之多個金屬層（例如第 3A-3B 圖之金屬層 ML1 320 和 ML2 310），以形成包含靜態隨機存取記憶體單元陣列之靜態隨機存取記憶體裝置（例如第 4A-4C 圖之靜態隨機存取記憶體裝置 400）。

【0104】第 6 圖係繪示用以形成三維半導體結構之方法 600 之示例的流程圖，三維半導體結構例如是第 3A-3D 圖所示之靜態隨機存取記憶體單元結構 300 或第 4A-4C 圖所示之靜態隨機存取記憶體單元 420。方法 600 可相似於第 5A-5N 圖所示之方法。

【0105】在步驟 602 中，多個半導體層形成於半導體基板上。半導體基板可為第 5A 圖之基板 500、第 3C 圖之基板 360、或第 4B 圖之基板 401。半導體基板 500 可被摻雜（或佈植）以形成一對具有第一摻雜類型之第一摻雜區（例如第 5A 圖之兩個 P+ 矽區 501）與具有第二摻雜類型之第二摻雜區（例如第 5A 圖之兩個 N+ 矽區 502）。相鄰的摻雜區可電性絕緣，例如可藉由淺溝槽隔

離結構以電性絕緣，淺溝槽隔離結構例如是第 5A 圖之淺溝槽隔離結構 503。

【0106】 多個半導體層可包含沿著垂直方向依序堆疊在一起的第一半導體層、第二半導體層與第三半導體層（例如第 5B 圖之半導體層 504、505、506）。第一半導體層與第三半導體層可由第一材料製成，例如氮化矽，而第二半導體層可由第二材料製成，例如多晶矽。相鄰的半導體層可藉由對應絕緣層以彼此絕緣，絕緣層例如是第 5B 圖之絕緣層 507。三個半導體層可垂直地堆疊在半導體基板 500 上，例如，藉由使用有機化學氣相沉積、分子束磊晶、原子層沉積、物理氣相沉積、化學氣相沉積之沉積方法或在真空腔室中以某溫度進行任意其他合適的沉積方法來形成。

【0107】 在步驟 604 中，形成階梯區以使多個半導體層的每一者分開為彼此電性絕緣之第一部位和第二部位。如第 5C 和 5D 圖所示，可藉由蝕刻多個半導體層之第一部位和第二部位之間的材料、且在多個半導體層之第一部位和第二部位之間的蝕刻區域中沉積絕緣材料（例如氧化物），以形成階梯區。

【0108】 在步驟 606 中，形成第一半導體柱、第二半導體柱、第三半導體柱與第四半導體柱，第一半導體柱與第二半導體柱垂直地貫穿多個半導體層之第一部位至半導體基板上，第三半導體柱與第四半導體柱垂直地貫穿多個半導體層之第二部位至半導體基板上。第一半導體柱、第二半導體柱、第三半導體柱與第四半導體柱沿著水平方向依序配置，水平方向垂直於垂直方向。

【0109】如第 5D-5E 圖所示，可先形成四個垂直孔洞（例如第 5D 圖之孔洞 509），四個垂直孔洞通過多個半導體層與多個半導體層之間的多個絕緣層至半導體基板。兩個孔洞對第一摻雜區開放（例如第 5D 圖之 P+ 砒區 501），且兩個孔洞對第二摻雜區開放（例如第 5D 圖之 N+ 砒區 502）。多個孔洞可藉由沿著垂直方向進行非等向蝕刻來形成，例如可使用反應離子蝕刻或電漿蝕刻。接著，可藉由將半導體材料填入四個垂直孔洞中以形成四個半導體柱（例如第 5D 圖之半導體柱 511）。在一些示例中，可藉由在多個垂直孔洞中磊晶成長砒（例如磊晶砒）以形成多個半導體柱。在一些實施例中，可藉由多晶砒沉積以形成多個半導體柱。第二半導體層之第二材料可不同於半導體柱之半導體材料。

【0110】在步驟 608 中，以第一導電材料取代第二半導體層之第一部位與第二部位以形成第二導電層（例如第 5J 圖之導電層 518）。

【0111】在一些實施例中，如第 5F 圖所示，可藉由對多個半導體層進行蝕刻且蝕刻至半導體基板上以形成兩個開放狹縫（例如第 5F 圖之狹縫 512），且第一半導體柱、第二半導體柱、第三半導體柱與第四半導體柱係介於兩個開放狹縫之間。兩個開放狹縫被用以第應單一靜態隨機存取記憶體單元結構。可藉由對多個半導體層進行蝕刻且蝕刻至半導體基板上以形成兩個開放狹縫。開放狹縫可提供通道以選擇性蝕刻多個半導體層。

【0112】如第 5G 圖所示，透過兩個開放狹縫蝕刻掉第二半導體層之第一部位與第二部位，以得到第一開放空間，例如如第 5G 圖之開放空間 513。在以第一導電材料填充第一開放空間以形成第二導電層之前，如第 5H 圖所示，在第一半導體柱與第四半導體柱之部分中的具有第一摻雜類型的第一連接部（例如第 5H 圖之 P 連接部 515）形成於第一開放空間中；而且，如第 5I 圖所示，在第二半導體柱與第三半導體柱之部分中的具有第二摻雜類型的第二連接部（例如第 5I 圖之 N 連接部 517）可形成於第一開放空間中。

【0113】接著，如第 5J 圖所示，將第一導電材料，例如鈦，填入第一開放空間中以形成第二導電層（例如第 5J 圖之導電層 518）。四個半導體柱中的第一連接部（例如第 5H 圖之 P 連接部 515）與第二連接部（例如第 5I 圖之 N 連接部 517）和第一導電材料反應，且轉變為第二導電層中的新的第一連接部（例如第 5J 圖之 P 連接部 519）與新的第二連接部（例如第 5J 圖之 N 連接部 520）。

【0114】在步驟 610 中，第一半導體層與第三半導體層之第一部位與第二部位被蝕刻掉以形成第二開放空間，且形成圍繞第二開放空間中的每一半導體柱之部分的介電結構。

【0115】為了形成不同的電晶體，可形成兩個頂部狹縫（例如第 5K 圖之切口 521），其中第一頂部狹縫形成於第一半導體柱與第二半導體柱之間，第二頂部狹縫形成於第三半導體柱與第四

半導體柱之間。第一頂部狹縫與第二頂部狹縫沿著垂直方向延伸通過第一半導體層，且延伸至第二導電層上，如第 5K 圖所示。接著，透過開放狹縫與兩個頂部狹縫對第一半導體層與第三半導體層進行選擇性蝕刻，以形成第二開放空間（例如第 5L 圖之開放空間 522 和 524）。

【0116】接著，如第 5M 圖所示，介電材料，例如閘極氧化物材料，可成長於第二開放空間中的半導體柱周圍，以形成對應的介電結構，例如第 5M 圖之薄的閘極氧化物層 523。介電結構被用作閘極介電結構，例如第 3C 圖之閘極介電結構 333。

【0117】在步驟 612 中，在開放空間中沉積第二導電材料，以形成第一導電層與第三導電層。第二導電材料可為金屬鎢。多個介電結構分別被第一半導體柱、第二半導體柱、第三半導體柱、第一導電層與第三導電層環繞。

【0118】在一些實施例中，方法 600 可更包含對多個半導體柱之頂部進行摻雜以分別形成具有第一摻雜類型之另一第一連接部（例如第 5N 圖之 P+ 連接部 530）與具有第二摻雜類型之另一第二連接部（例如第 5N 圖之 N+ 連接部 532）。

【0119】在一些實施例中，方法 600 更包含在頂部第一狹縫與頂部第二狹縫中沉積絕緣材料（例如氧化物）。方法 600 可更包含在開放狹縫中沉積導電材料（例如金屬鎢）以得到電性連接第一摻雜區之兩個導電狹縫。透過方法 600 獲得的最終結構可實現為靜態隨機存取記憶體單元結構。

【0120】方法 600 亦可包含一或更多的後處理步驟，例如形成多個穿孔（例如第 3A-3D 圖之穿孔 311）、以及形成具有多條導電佈線（例如第 3A、3B、3D 圖之導電佈線 312 和 314）、多條位元線（例如第 4B 圖之位元線 BL 434 和 BLB 436）、多條電源供應線（例如第 4B 圖之供應電壓線 432 和 438）、及/或多條字元線（例如第 4A-4C 圖之字元線 402）之多個金屬層（例如第 3A-3B 圖之金屬層 ML1 320 和 ML2 310），可進一步進行多個後處理步驟以形成包含靜態隨機存取記憶體單元陣列之靜態隨機存取記憶體裝置（例如第 4A-4C 圖之靜態隨機存取記憶體裝置 400）。

【0121】第 7 圖係繪示整合示例靜態隨機存取記憶體單元結構 710 與示例非揮發性記憶體單元結構之半導體裝置 700。靜態隨機存取記憶體單元結構 710 與非揮發性記憶體單元結構皆可由閘極全環架構製成三維結構，其可將靜態隨機存取記憶體單元結構 710 與非揮發性記憶體單元結構組合成相同或相似的方法流程。為了說明，將快閃記憶體單元結構 720 作為非揮發性記憶體單元結構之示例。快閃記憶體單元結構 720 可為電子抹除式可複寫唯讀記憶體單元結構。

【0122】靜態隨機存取記憶體單元結構 710 可相似於第 3A-3D 圖之靜態隨機存取記憶體單元結構 300 或第 4A-4C 圖之靜態隨機存取記憶體單元 420。靜態隨機存取記憶體單元結構 710 可具有和第 2 圖之電路 200 相似的電路。如第 7 圖所示，靜態隨

機存取記憶體單元結構 710 包含第一反相器與第二反相器，第一反相器包含電晶體 M1、M2、M3(例如第 2 圖之 M1 212、M2 214、M3 216 或第 3A-3D 圖之 M1 332、M2 334/354、M3 352)，第二反相器包含電晶體 M4、M5、M6(例如第 2 圖之 M4 222、M5 224、M6 226 或第 3A-3D 圖之 M4 336/356、M5 358、M6 338)。透過使節點 N0 耦接至節點 C1 以及使節點 N1 耦接至節點 C0，第一反相器與第二反相器彼此交叉耦接。電晶體 M3 和 M5 之源極端耦接至接地線 701(例如第 4A-4C 圖之接地 414)。電晶體 M2 和 M4 之源極耦接至電源線 702(例如第 4A-4C 圖之供應電壓線 438)提供的供應電壓 V_{CC} 。電晶體 M1 和 M6 之閘極耦接至字元線 703(例如第 4A-4C 圖之字元線 402)。電晶體 M1 和 M6 之源極分別耦接至位元線 708 和 709。

【0123】如第 7 圖所示，快閃記憶體單元結構 720 可為包含一對三閘極電晶體結構 722、724 之電子抹除式可複寫唯讀記憶體單元結構。三閘極電晶體結構 722 包含串聯式耦接於靜態隨機存取記憶體單元結構 710 中的節點 N0 之一矽-氧化物-氮化矽-氧化物-矽(silicon-oxide-nitride-oxide-silicon; SONOS)電晶體 T2 與兩個金屬氧化物矽(MOS)電晶體 T1、T3；三閘極電晶體結構 724 包含串聯式耦接於靜態隨機存取記憶體單元結構 710 中的節點 N1 之一 SONOS 電晶體 T5 與兩個金屬氧化物矽(MOS)電晶體 T4、T6。透過這樣的方式，快閃記憶體單元結構 720 與靜態隨機存取記憶體單元結構 710 耦接在一起。金屬氧化物矽電晶體

T3 和 T6 之間極耦接至儲存線(store line) 704。SONOS 電晶體 T2 和 T5 之間極耦接至操作（編程／抹除）線 705。金屬氧化物矽電晶體 T1 和 T4 之間極耦接至重新呼叫線(recall line) 706。金屬氧化物矽電晶體 T1、T3 與 SONOS 電晶體 T2 串聯式耦接至電源線 707，而金屬氧化物矽電晶體 T4、T6 與 SONOS 電晶體 T5 亦串聯式耦接至電源線 707。

【0124】 在一些示例中，SONOS 電晶體 T2 或 T4 之每一者被調諧(tuned)為開啟或關閉狀態其中之一，且靜態隨機存取記憶體單元結構 710 可直接重新呼叫 SONOS 電晶體 T2、T4 之儲存狀態而不需要匯流排(bus)。

【0125】 儘管本文可能描述許多細節，這些不應被理解為限制請求保護的本發明之範圍或可能請求保護的內容，而是對特定實施例之特定特徵之描述。在本文中，描述於不同實施例中的某些特徵也可合併實現於單一實施例中。相反地，在本文中，描述於單一實施例的各種特徵也可單獨或以任意合適的次組合實現於多個實施例中。此外，雖然多個特徵可能被描述為在某些組合中作用，且甚至最初是以這樣的方式請求保護，但在一些情況下，來自所請組合的一或更多的特徵可從組合中刪除，且所請組合可指向此組合或次組合之變化。相似地，雖然在圖式中以特定順序描述多個操作，但此不應理解為這些操作必須以所示之特定順序進行或依序進行、或必須進行所有示出的操作，以達成期望的功效。

【0126】 僅揭露一些示例與實施方式。基於所揭露的內容，可對所述之示例與實施方式與其他實施方式進行多種改變、修飾和強化。

【符號說明】

【0127】

100:系統

110:裝置

112:裝置控制器

113:處理器

114:內部記憶體

116:記憶體

120:主機

200:電路

210,220:反相器

212,226,332,338,M1,M6:傳送閘電晶體

214,222,334,336,354,356,M2,M4:上拉電晶體

216,224,352,358,M3,M5:下拉電晶體

300:靜態隨機存取記憶體單元結構

301:狹縫

302:第一反相器

303:絕緣材料

304:第二反相器

306,508:階梯區

310,320,ML1,ML2:金屬層

311,311a~311h:穿孔

312,314:導電佈線

313a,313b,313c,313d:半導體柱

321:中間導電接墊

322,324:頂部

323:導電接墊

330,340,350:層

331,341,351:導電材料

333:閘極介電結構

343:閘極金屬結構

353,357:閘極端

362:P+區

363:淺溝槽隔離結構

364:N+區

400:靜態隨機存取記憶體裝置

401,500:基板

402:字元線

410,410-1,410-2,410-3:區塊

411:P型摻雜區

412:N 型摻雜區

413,503:淺溝槽隔離結構

414:接地

420:靜態隨機存取記憶體單元

430,512:狹縫

431:導電線

432,438:供應電壓線

434,436:位元線

501:P+矽區

502:N+矽區

504,505,506:層

507:絕緣層

509:孔洞

510:絕緣層

511:半導體柱

513,522,524:開放空間

514:第一遮罩

515,519:P 連接部

516:第二遮罩

517,520:N 連接部

518:導電層

521:切口

523:閘極氧化物層

526,528:導電層

530:P+連接部

532:N+連接部

540:成型結構

600:方法

602,604,606,608,610,612:步驟

700:半導體裝置

701:接地線

702:電源線

703:字元線

704:儲存線

705:操作線

706:重新呼叫線

707:電源線

708,709,BL,BLB:位元線

710:靜態隨機存取記憶體單元結構

720:快閃記憶體單元結構

722,724:三閘極電晶體結構

C0,C1,N0,N1:節點

T1,T3,T6:金屬氧化物矽電晶體

T2,T4,T5:矽-氧化矽-氮化矽-氧化物-矽電晶體

V_{CC} : 供應電壓

V_{CS} : 供應電壓

V_{SS} : 第二供應電壓

WL: 字元線

X, Y, Z: 方向

【發明申請專利範圍】

【請求項 1】 一種半導體裝置，包含：

一半導體基板；

多個導電層，沿著一垂直方向垂直地堆疊於該半導體基板上，該些導電層包含依序堆疊在一起的一第一導電層、一第二導電層與一第三導電層；以及

多個電晶體，包含在該第一導電層中的一第一電晶體與一第二電晶體、及在該第三導電層中的一第三電晶體，該些電晶體的每一者包含一第一端點、一第二端點與一閘極端，

其中該第一電晶體、該第二電晶體與該第三電晶體之該些第一端點導電地耦接至該第二導電層中的一第一導電節點。

【請求項 2】 如請求項 1 所述之半導體裝置，其中該第一導電層與該第三導電層由一第一導電材料製成，該第二導電層由一第二導電材料製成，該第二導電材料不同於該第一導電材料。

【請求項 3】 如請求項 1 所述之半導體裝置，其中該些電晶體更包含一第四電晶體、一第五電晶體與一第六電晶體，該第四電晶體與該第六電晶體在該第一導電層中，該第五電晶體在該第三導電層中，該第四電晶體、該第五電晶體與該第六電晶體之該些第一端點導電地耦接至該第二導電層中的一第二導電節點。

【請求項 4】 如請求項 3 所述之半導體裝置，更包含一階梯區，該階梯區裝配以使該第一導電層、該第二導電層與該第三導電層分開為彼此電性絕緣的兩部位，

其中該第一電晶體與該第二電晶體在該第一導電層的一第一部位，該第四電晶體與該第六電晶體在該第一導電層的一第二部位，

其中該第一導電節點在該第二導電層的一第一部位，且該第二導電節點在該第二導電層的一第二部位，

其中該第三電晶體在該第三導電層的一第一部位，該第五電晶體在該第三導電層的一第二部位。

【請求項 5】 如請求項 4 所述之半導體裝置，其中該階梯區包含彼此對稱的一第一階梯子區與一第二階梯子區，

其中該半導體裝置更包含：

一第一組穿孔，垂直地貫穿該第一階梯子區且分別耦接至該第一導電層、該第二導電層與該第三導電層之該些第一部位上的多個導電接墊；以及

一第二組穿孔，垂直地貫穿該第二階梯子區且分別耦接至該第一導電層、該第二導電層與該第三導電層之該些第二部位上的多個導電接墊。

【請求項 6】 如請求項 3 所述之半導體裝置，更包含在該第一導電層、該第二導電層與該第三導電層上的一第一金屬層，

其中該第一金屬層中的一第一導電線裝配以使該第一導電節點導電地耦接至該第一導電層中的該第四電晶體之該閘極端與該第三導電層中的該第五電晶體之該閘極端，

其中該第一金屬層中的一第二導電線裝配以使該第二導電節點導電地耦接至該第一導電層中的該第二電晶體之該該閘極端與該第三導電層中的該第三電晶體該該閘極端。

【請求項 7】 如請求項 6 所述之半導體裝置，其中該第一導電層中的該第一電晶體與該第六電晶體之該些第二端點耦接至形成於一第二金屬層中的一對第一訊號線，

該第一導電層中的該第一電晶體與該第六電晶體之該些閘極端耦接至形成於一第三金屬層中的一第二訊號線，

該第一金屬層、該第二金屬層與該第三金屬層在該些導電層上垂直地堆疊在一起。

【請求項 8】 如請求項 6 所述之半導體裝置，其中該第一導電線與該第二導電線在該第一金屬層中彼此電性絕緣且沿著一水平方向延伸，該水平方向垂直於該垂直方向，

該第一金屬層中的該第一導電線藉由沿著該垂直方向貫穿一第一階梯子區的一第一組穿孔分別耦接至該第一導電層中的該第四電晶體之該閘極端、該第二導電層中的該第一導電節點、以及該第三導電層中的該第五電晶體之該閘極端，

該第一金屬層中的該第二導電線藉由沿著該垂直方向貫穿一第二階梯子區的一第二組穿孔分別耦接至該第一導電層中的該第二電晶體之該閘極端、該第二導電層中的該第二導電節點、以及該第三導電層中的該第三電晶體之該閘極端。

【請求項 9】 如請求項 3 所述之半導體裝置，更包含一對反相器(inverters)，該對反相器包含一第一反相器與一第二反相器，該第一反相器具有該第一電晶體、該第二電晶體與該第三電晶體，該第二反相器具有該第四電晶體、該第五電晶體與該第六電晶體，

其中該第一電晶體係為該第一反相器中的一傳送閘電晶體(pass gate transistor)，該第六電晶體係為該第二反相器中的一通道閘電晶體，該第二電晶體係為該第一反相器中的一上拉電晶體(pull up transistor)，該第四電晶體係為該第二反相器中的一上拉電晶體，該第三電晶體係為該第一反相器中的一下拉電晶體(pull down transistor)，該第五電晶體係為該第二反相器中的一下拉電晶體。

【請求項 10】 如請求項 3 所述之半導體裝置，其中該第一導電層中的該第二電晶體與該第四電晶體之該些第二端點導電地耦接至一第一供應電壓(supply voltage)，

該第三導電層中的該第三電晶體與該第五電晶體之該些第二端點導電地耦接至一第二供應電壓。

【請求項 11】 如請求項 3 所述之半導體裝置，其中該些電晶體更包含：

在該第三導電層中的另一第二電晶體，共用該第三電晶體之該閘極端；以及

在該第三導電層中的另一第四電晶體，共用該第五電晶體之該閘極端。

【請求項 12】 如請求項 3 所述之半導體裝置，其中該第一電晶體與該第二電晶體之該些閘極端藉由一第一絕緣狹縫彼此電性絕緣，該第一絕緣狹縫沿著該垂直方向延伸通過該第一導電層且延伸至該第二導電層上，

其中該第四電晶體與該第六電晶體之該些閘極端藉由一第二絕緣狹縫彼此電性絕緣，該第二絕緣狹縫沿著該垂直方向延伸通過該第一導電層且延伸至該第二導電層上。

【請求項 13】 如請求項 3 所述之半導體裝置，其中該半導體裝置裝配為一 6T 靜態隨機存取記憶體單元(6T SRAM cell)。

【請求項 14】 如請求項 13 所述之半導體裝置，其中該 6T 靜態隨機存取記憶體單元耦接至一閘極全環電晶體架構(gate-all-around transistor architecture)中的一非揮發性記憶體單元。

【請求項 15】 如請求項 1 所述之半導體裝置，其中該第一電晶體與該第三電晶體具有一第一摻雜類型，該第二電晶體具有一第二摻雜類型，該第一摻雜類型不同於該第二摻雜類型。

【請求項 16】 如請求項 15 所述之半導體裝置，其中該第一摻雜類型係為 N 型，該第二摻雜類型係為 P 型。

【請求項 17】 如請求項 1 所述之半導體裝置，其中該半導體基板包含具有一第一摻雜類型的一第一摻雜區與具有一第二摻雜

類型的一第二摻雜區，該第一摻雜區與該第二摻雜區彼此電性絕緣，

該半導體裝置包含多個半導體柱，該些半導體柱延伸通過該些導電層且延伸至該半導體基板上，

該些半導體柱包含延伸至該第一摻雜區上的一第一半導體柱與延伸至該第二摻雜區上的一第二半導體柱。

【請求項 18】 如請求項 17 所述之半導體裝置，其中該第一半導體柱與該第二半導體柱皆被一閘極介電結構環繞，該閘極介電結構在該第一導電層與該第三導電層中，

該第一半導體柱與該第二半導體柱皆被一金屬結構環繞，該金屬結構在該第二導電層中。

【請求項 19】 如請求項 18 所述之半導體裝置，其中該第一半導體柱包含在該些導電層上的一第一部分、以及被該第二導電層中的該金屬結構環繞的一第二部分，該第一半導體柱之該第一部分與該第二部分被摻雜為具有該第一摻雜類型，

該第二半導體柱包含在該些導電層上的一第三部分、以及被該第二導電層中的該金屬結構環繞的一第四部分，該第二半導體柱之該第三部分與該第四部分被摻雜為具有該第二摻雜類型。

【請求項 20】 如請求項 18 所述之半導體裝置，其中該第一電晶體包含該第一導電層之一第一部分、被該第一導電層中的一第一閘極介電結構環繞的該第二半導體柱之一第一部分、以及該第一閘極介電結構，

其中該第二電晶體包含該第一導電層之一第二部分、被該第一導電層中的一第二閘極介電結構環繞的該第一半導體柱之一第一部分、以及該第二閘極介電結構，

其中該第三電晶體包含該第三導電層之一部分、被該第三導電層中的一第三閘極介電結構環繞的該第二半導體柱之一第二部分、以及該第三閘極介電結構。

【請求項 21】 如請求項 1 所述之半導體裝置，其中該半導體裝置裝配於相鄰的多個導電狹縫之間，該些導電狹縫沿著該垂直方向延伸通過該些導電層且延伸至該半導體基板上。

【請求項 22】 一種記憶裝置，包含：

複數個記憶體單元，在一半導體基板上；以及

一金屬層，形成於該複數個記憶體單元上，

其中該複數個記憶體單元的每一者包含：

多個導電層，垂直地堆疊在該半導體基板上，該些導電層包含依序堆疊在一起的一第一導電層、一第二導電層與一第三導電層；及

多個電晶體，包含一第一電晶體、一第二電晶體、一第三電晶體、一第四電晶體、一第五電晶體與一第六電晶體，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體與該第六電晶體之每一者包含一第一端點、一第二端點與一閘極端，

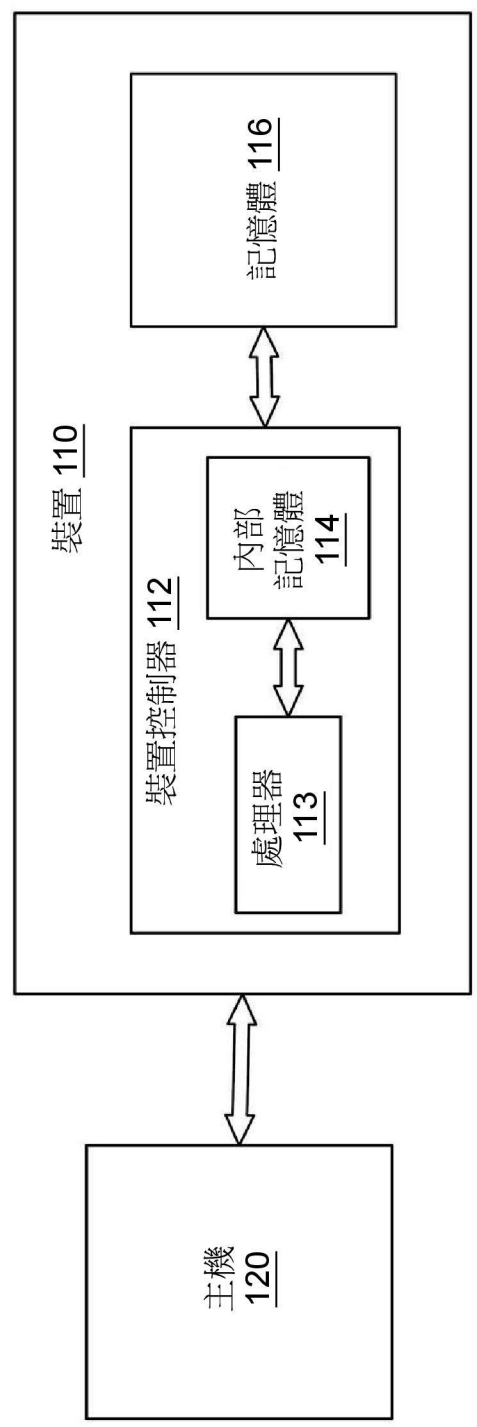
其中該第一電晶體、該第二電晶體、該第四電晶體和該第六電晶體在該第一導電層中，該第三電晶體和該第五電晶體在該第三導電層中，該第一電晶體之該第一端點、該第二電晶體之該第一端點和該第三電晶體之該第一端點導電地耦接至該第二導電層中的一第一導電節點，該第四電晶體之該第一端點、該第五電晶體之該第一端點和該第六電晶體之該第一端點導電地耦接至該第二導電層中的一第二導電節點，

其中該金屬層中的一第一導電線裝配以使該第一導電節點導電地耦接至該第一導電層中的該第四電晶體之該閘極端與該第三導電層中的該第五電晶體之該閘極端，

該金屬層中的一第二導電線裝配以使該第二導電節點導電地耦接至該第一導電層中的該第二電晶體之該閘極端與該第三導電層中的該第三電晶體之該閘極端。

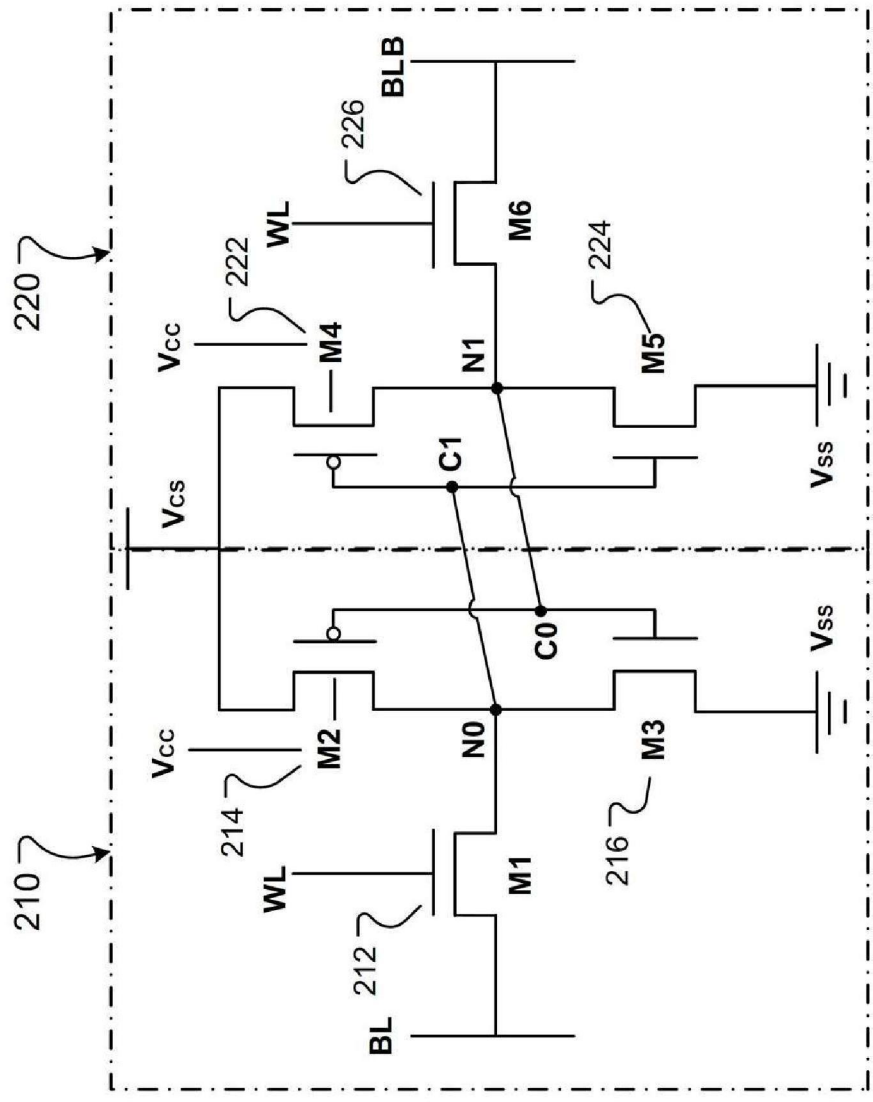
【發明圖式】

100 ↷

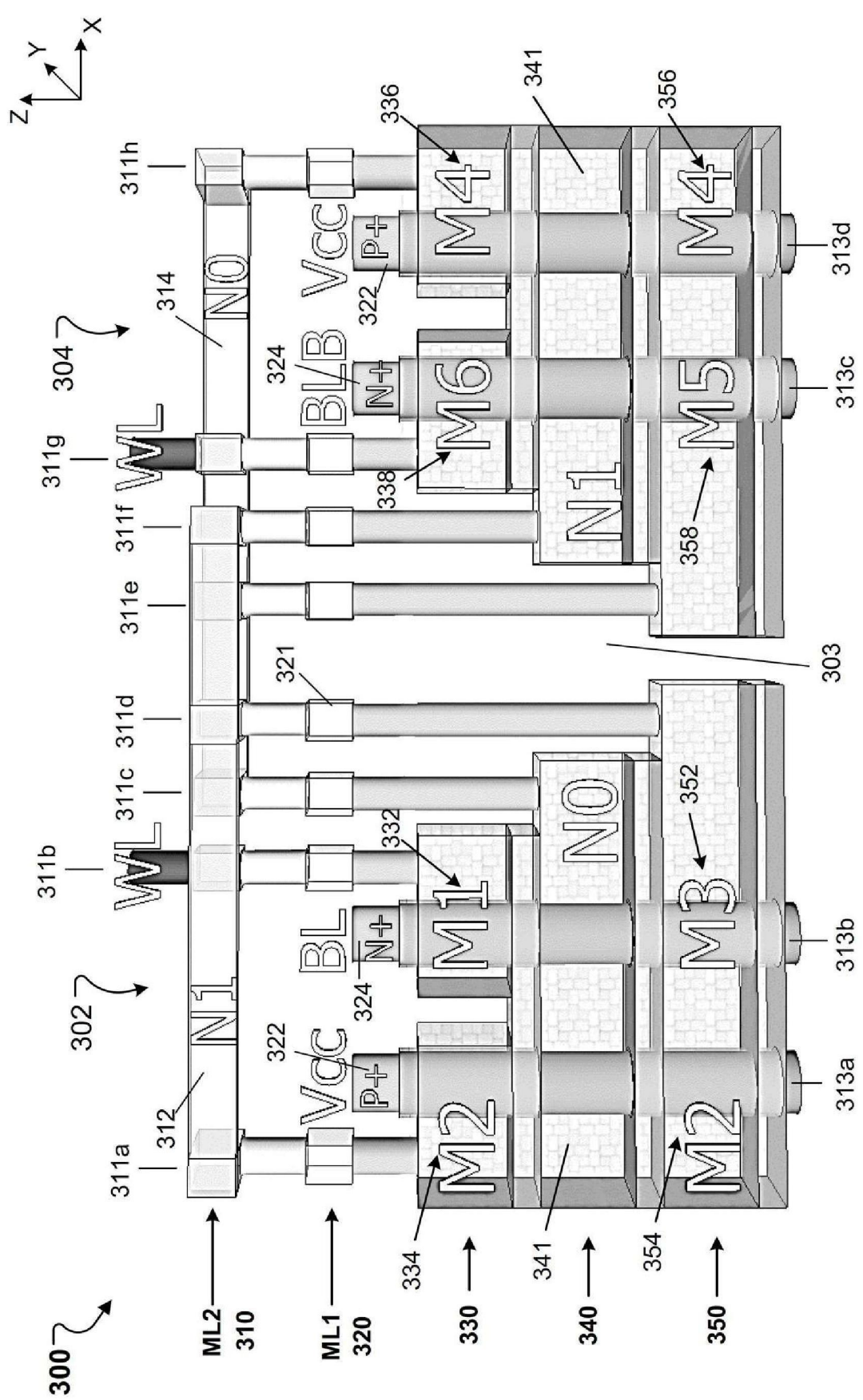


第 1 圖

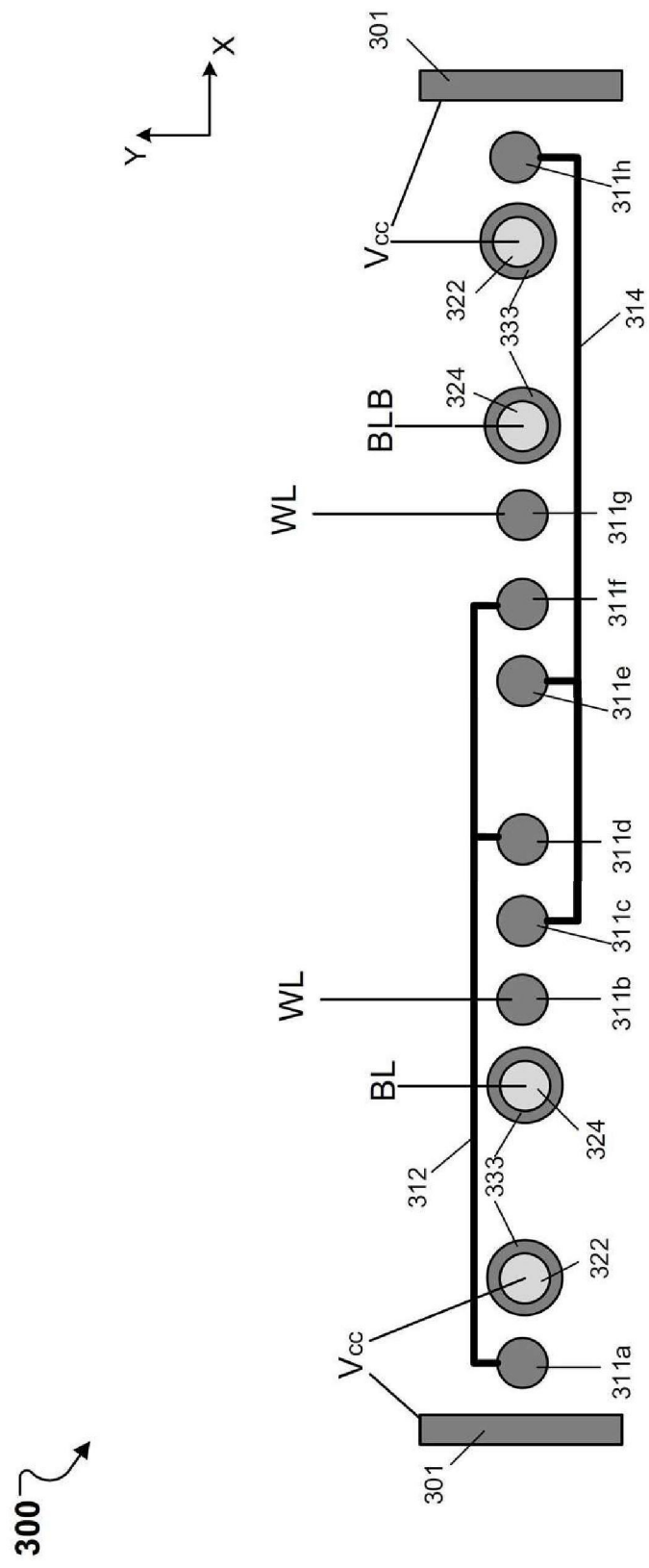
200 ↗



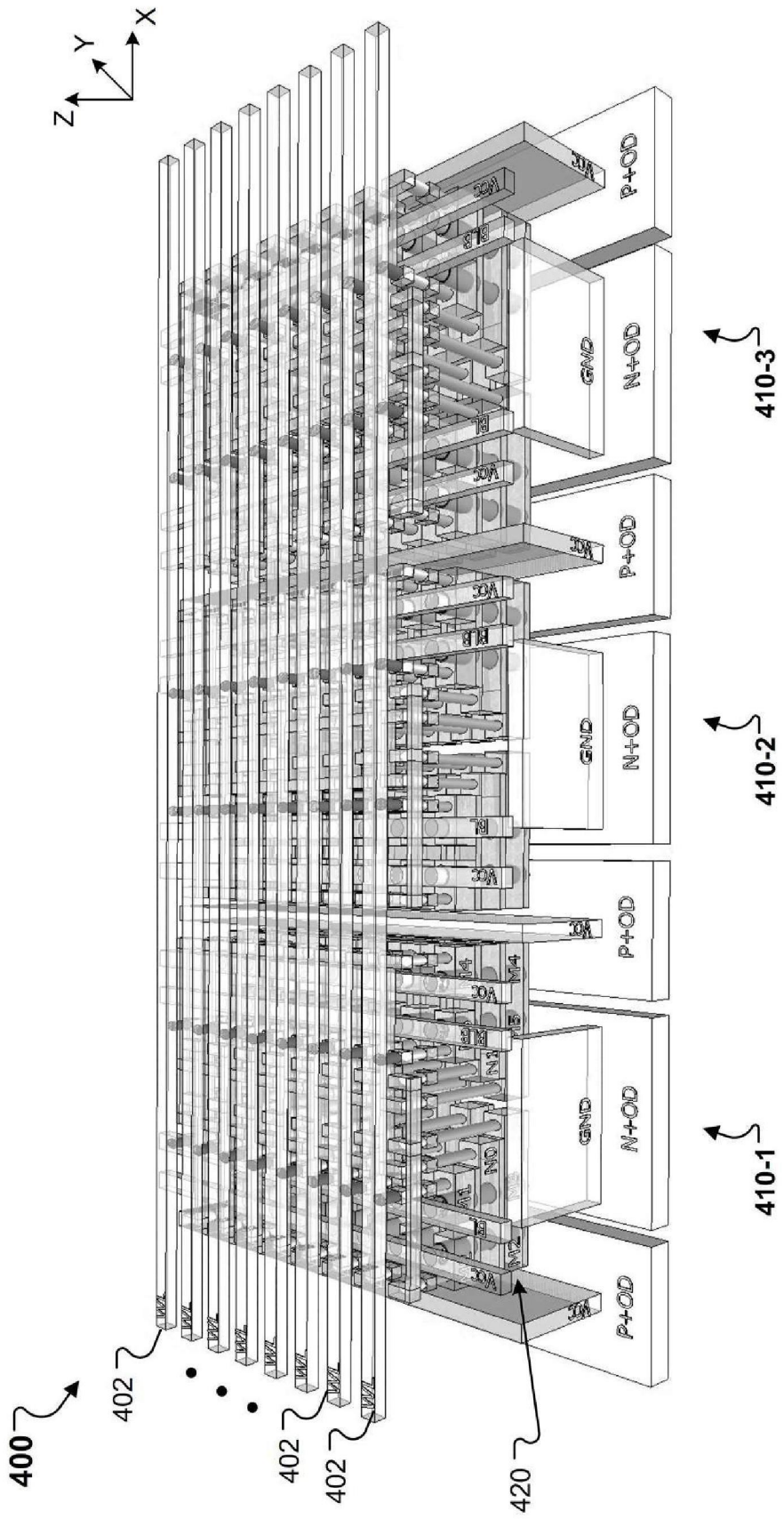
第 2 圖



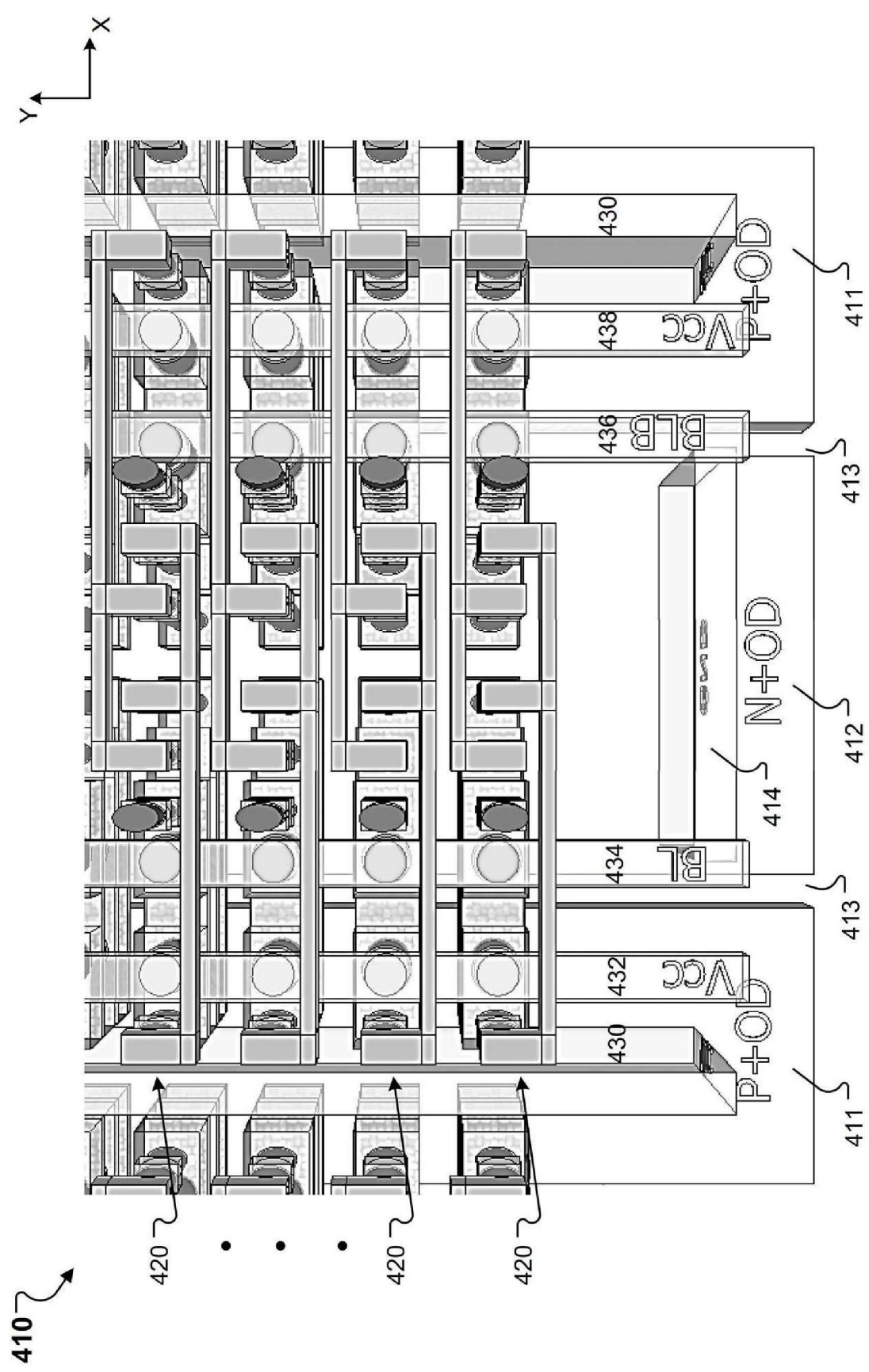
第3B圖



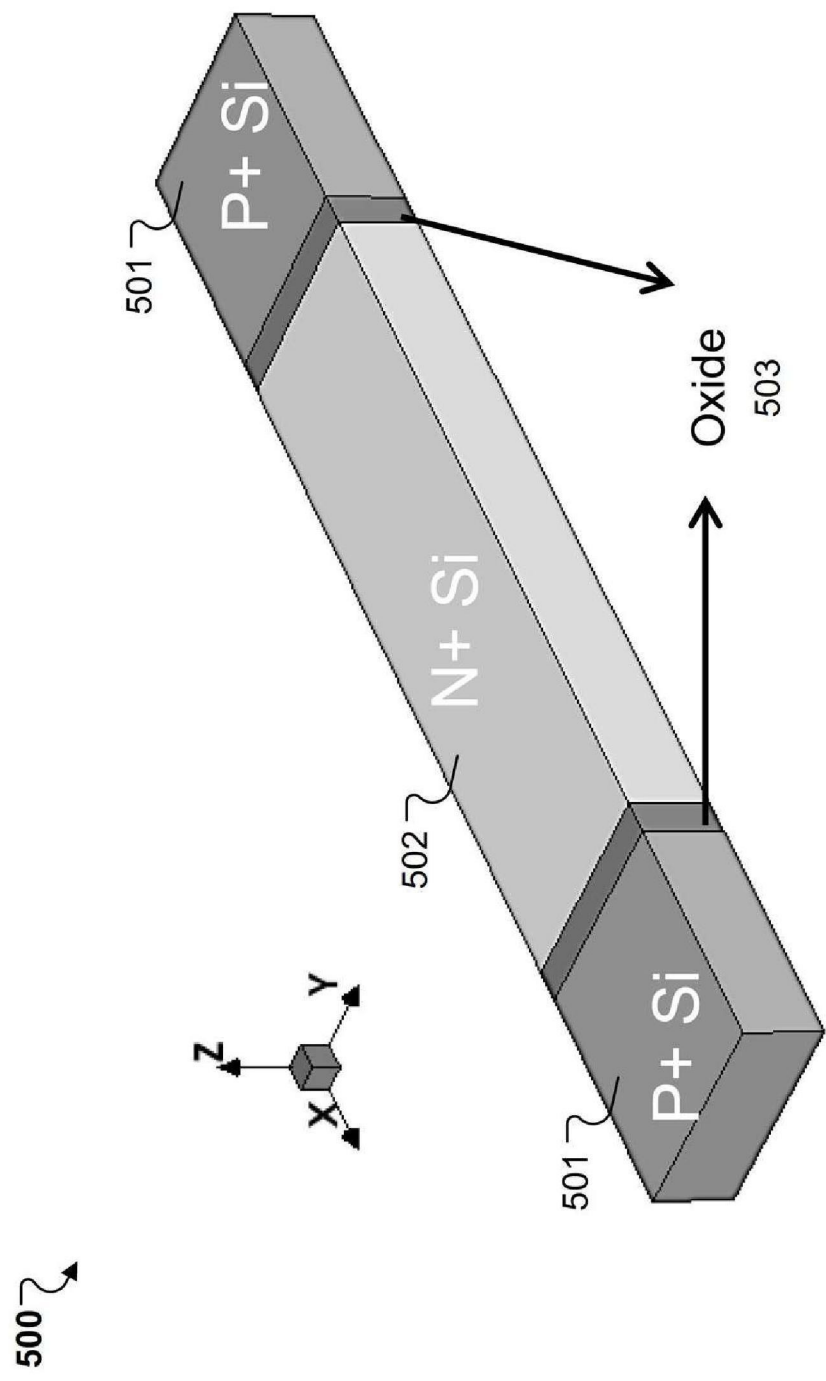
第3D圖



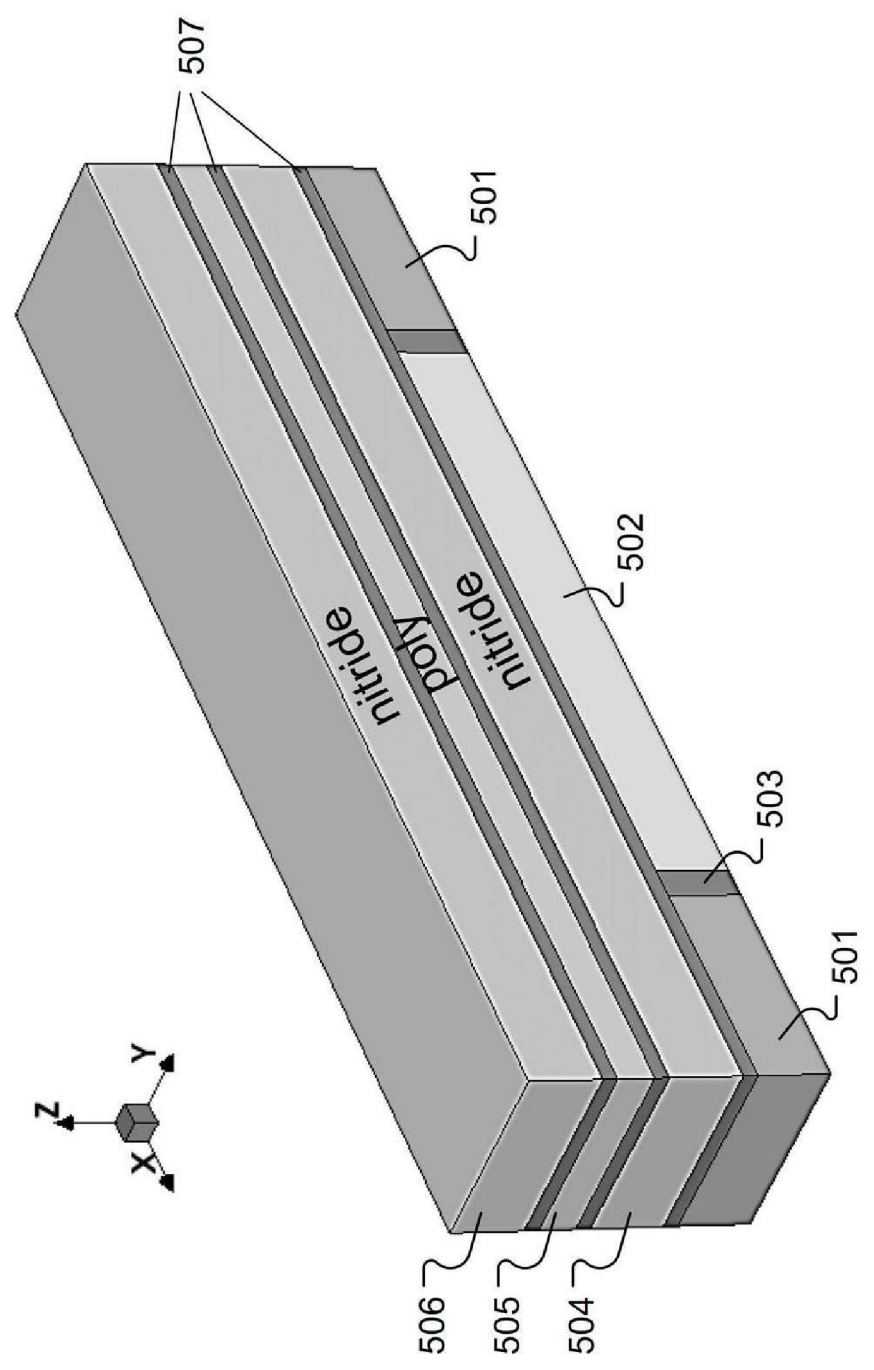
第4A圖



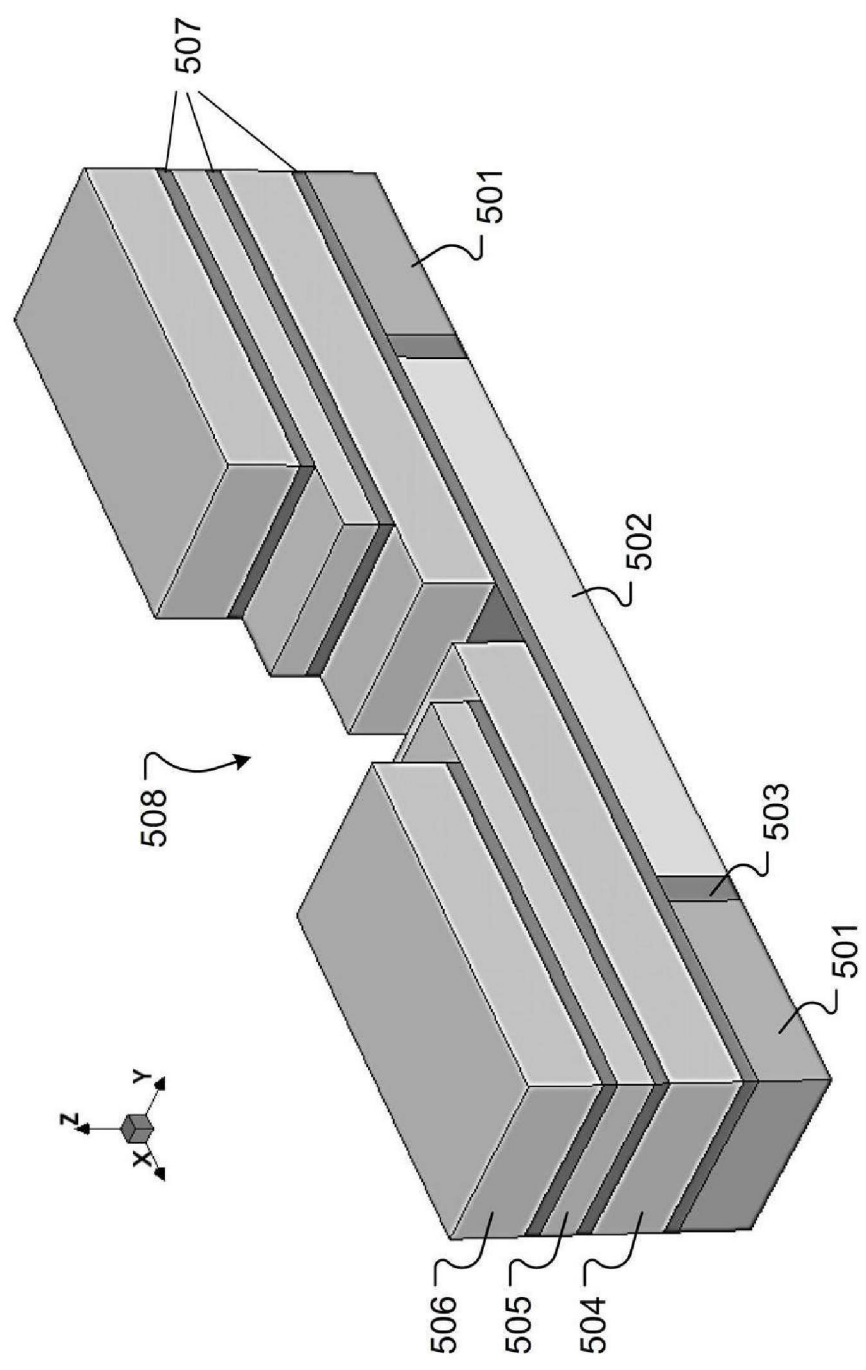
第4C圖



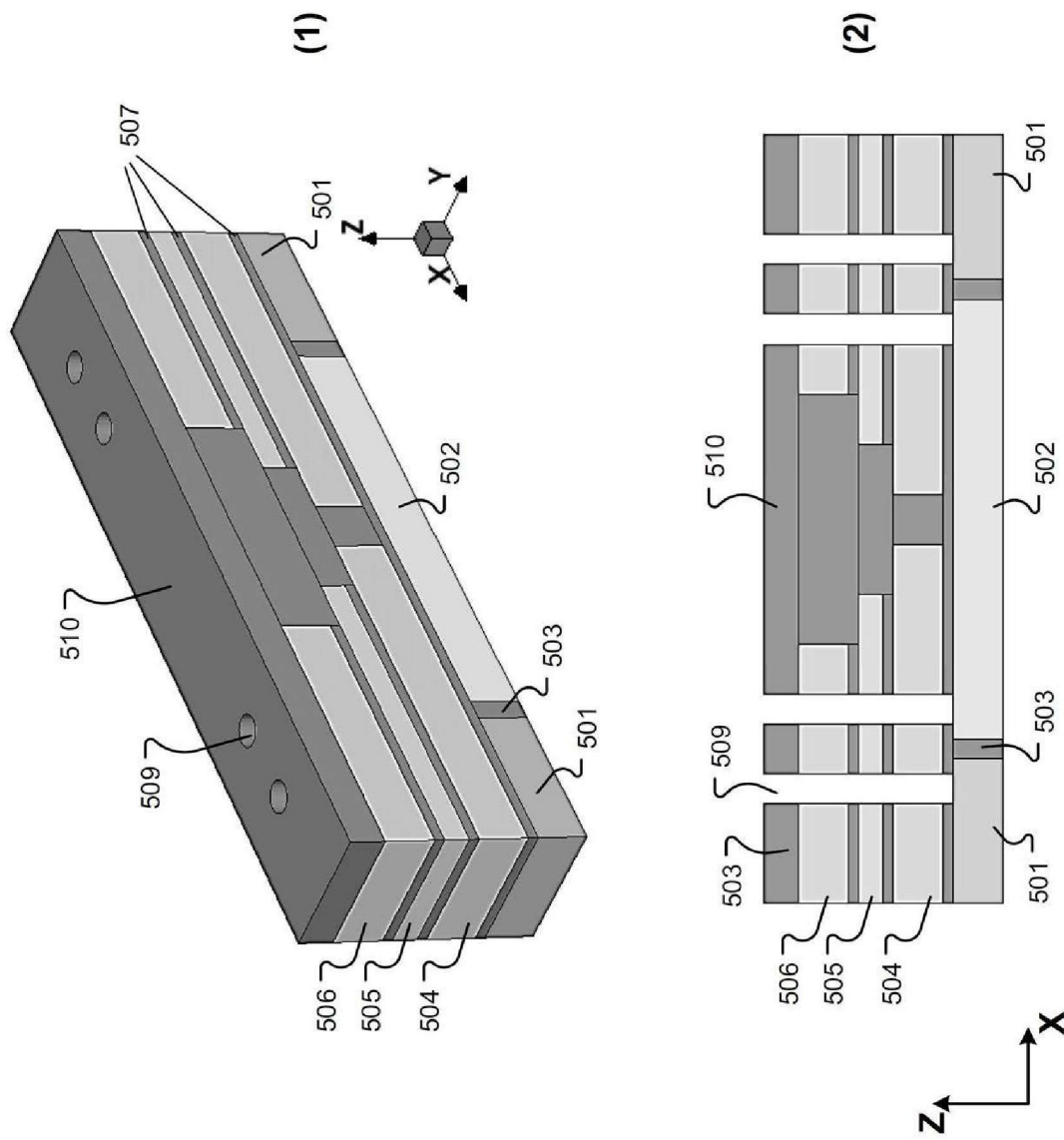
第5A圖



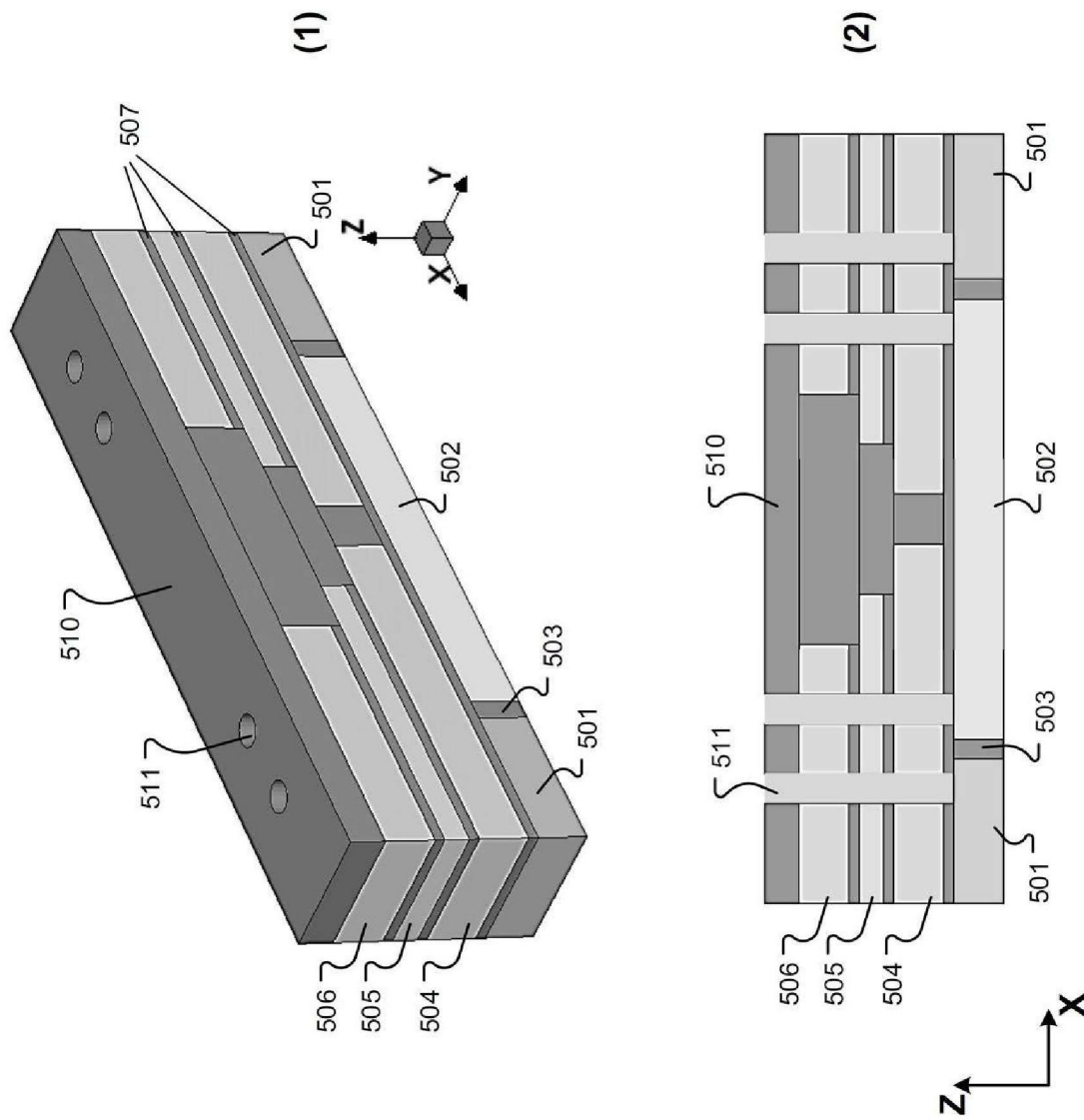
第 5B 圖



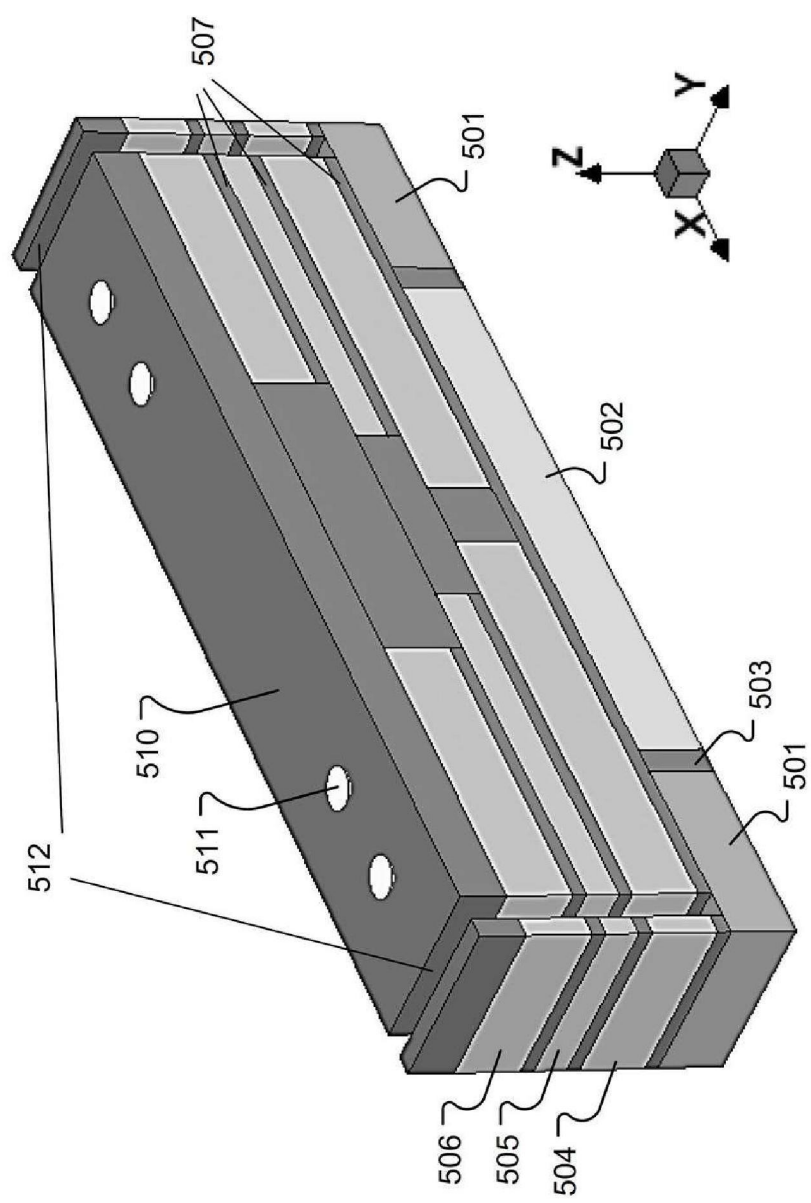
第 5C 圖



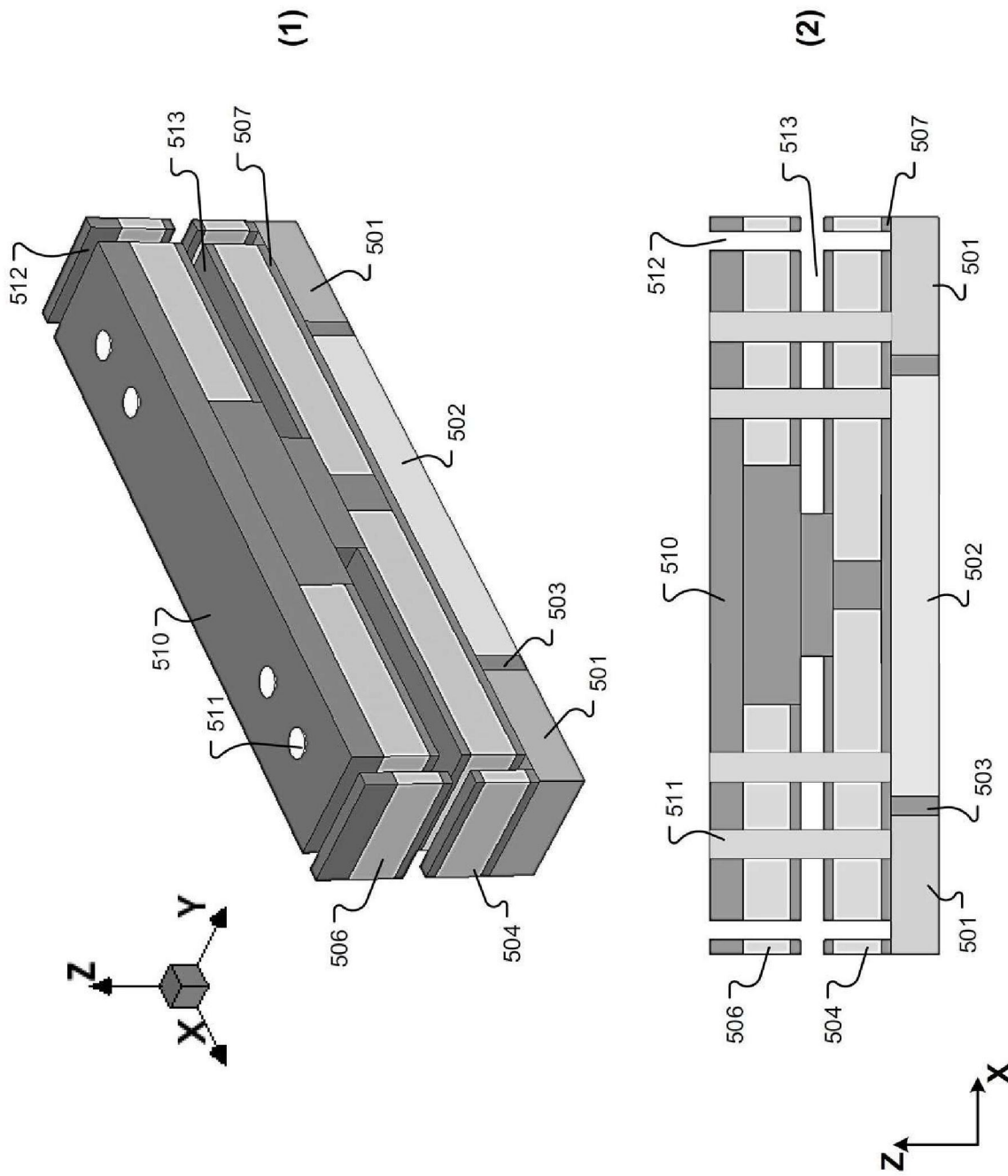
第5D圖



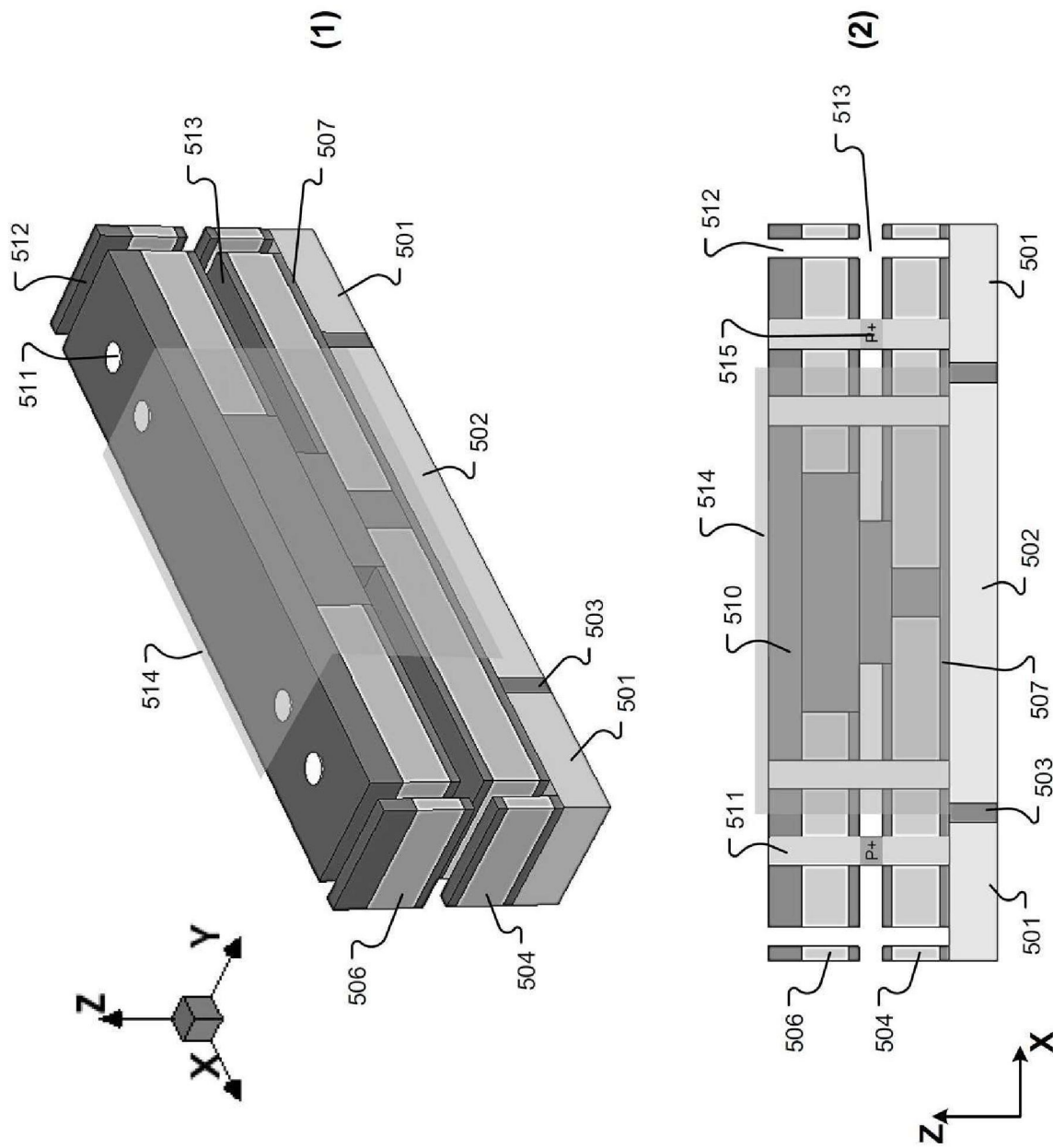
第5E圖



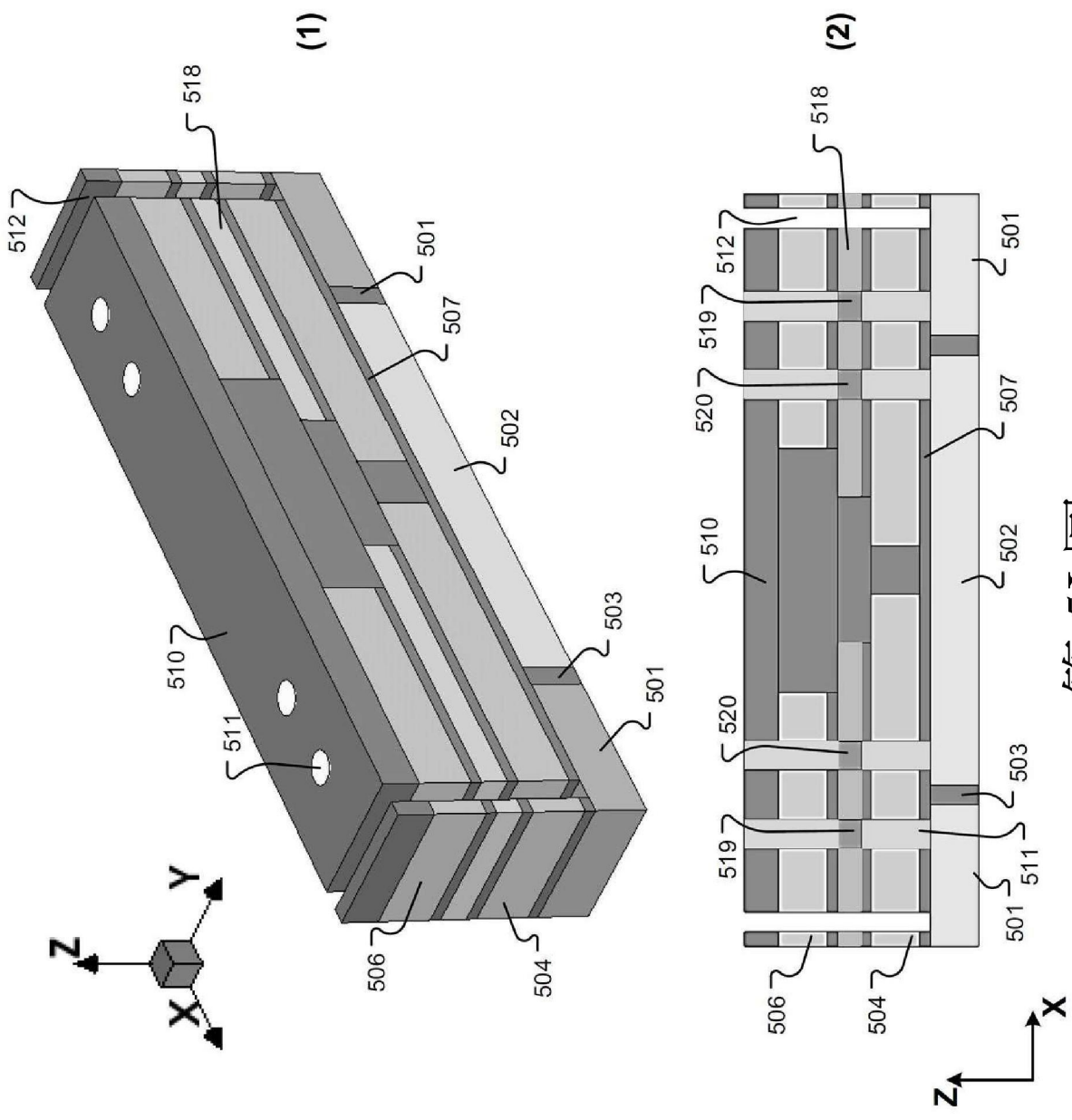
第5F圖



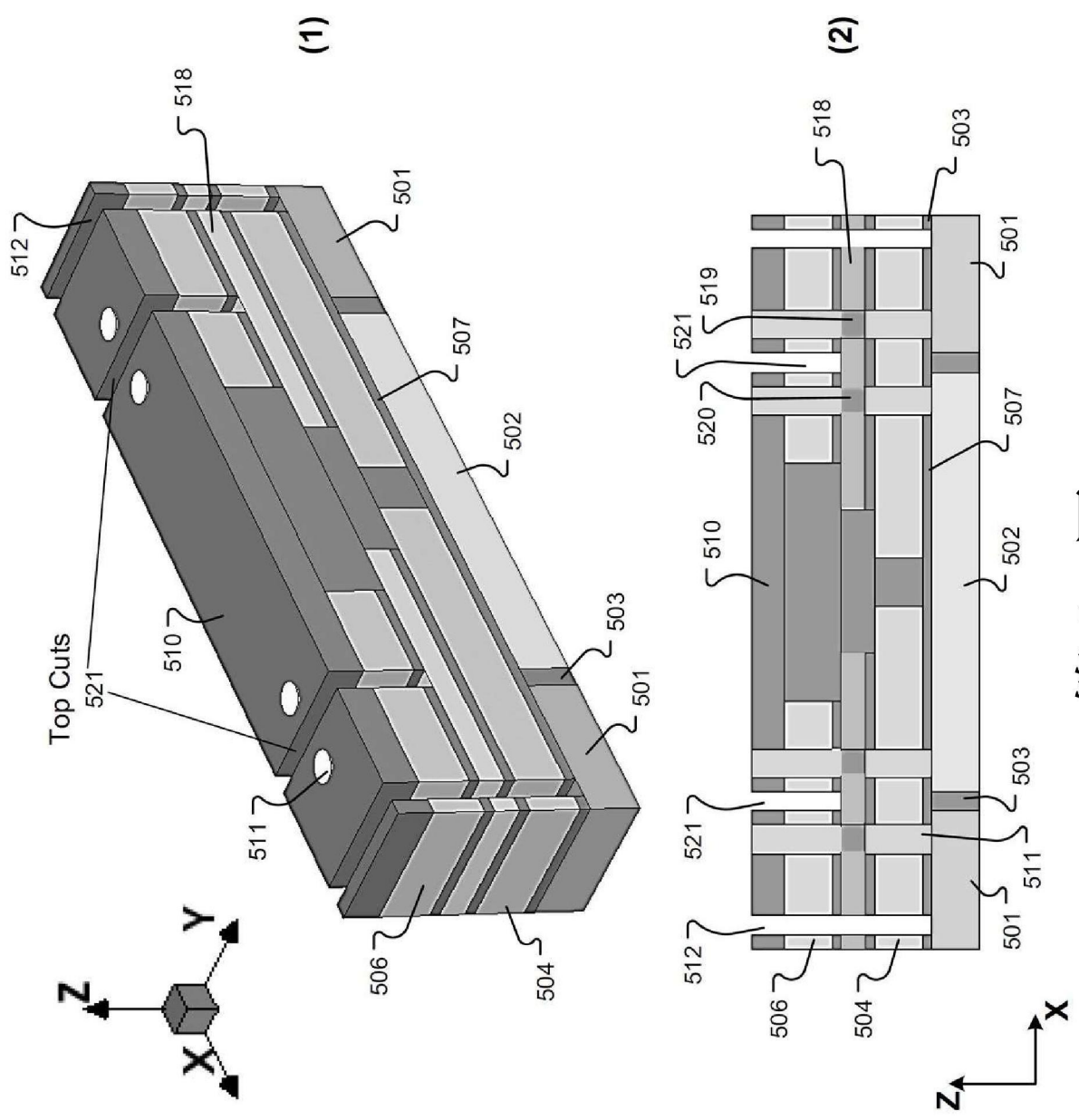
第 5G 圖



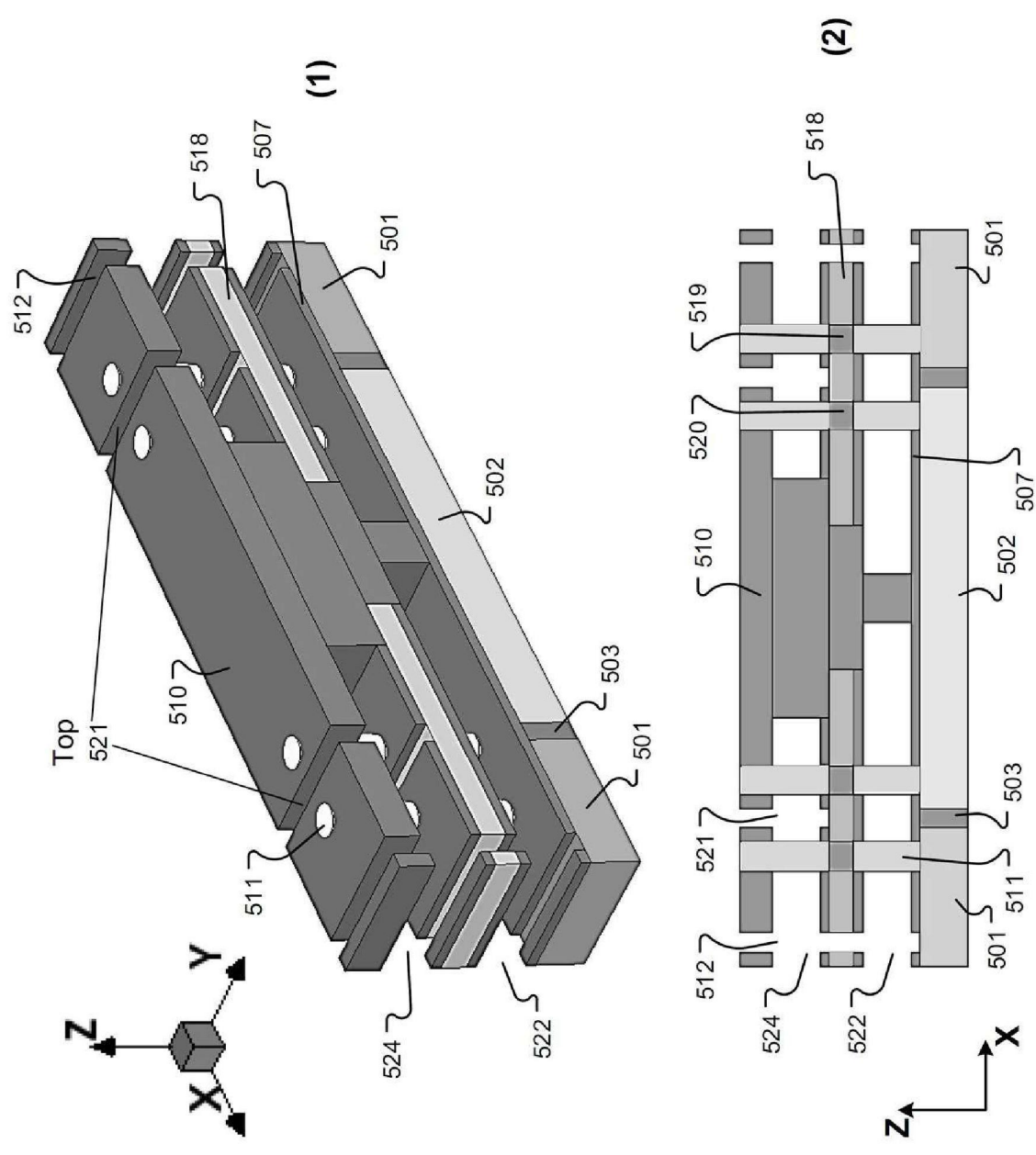
第5H圖



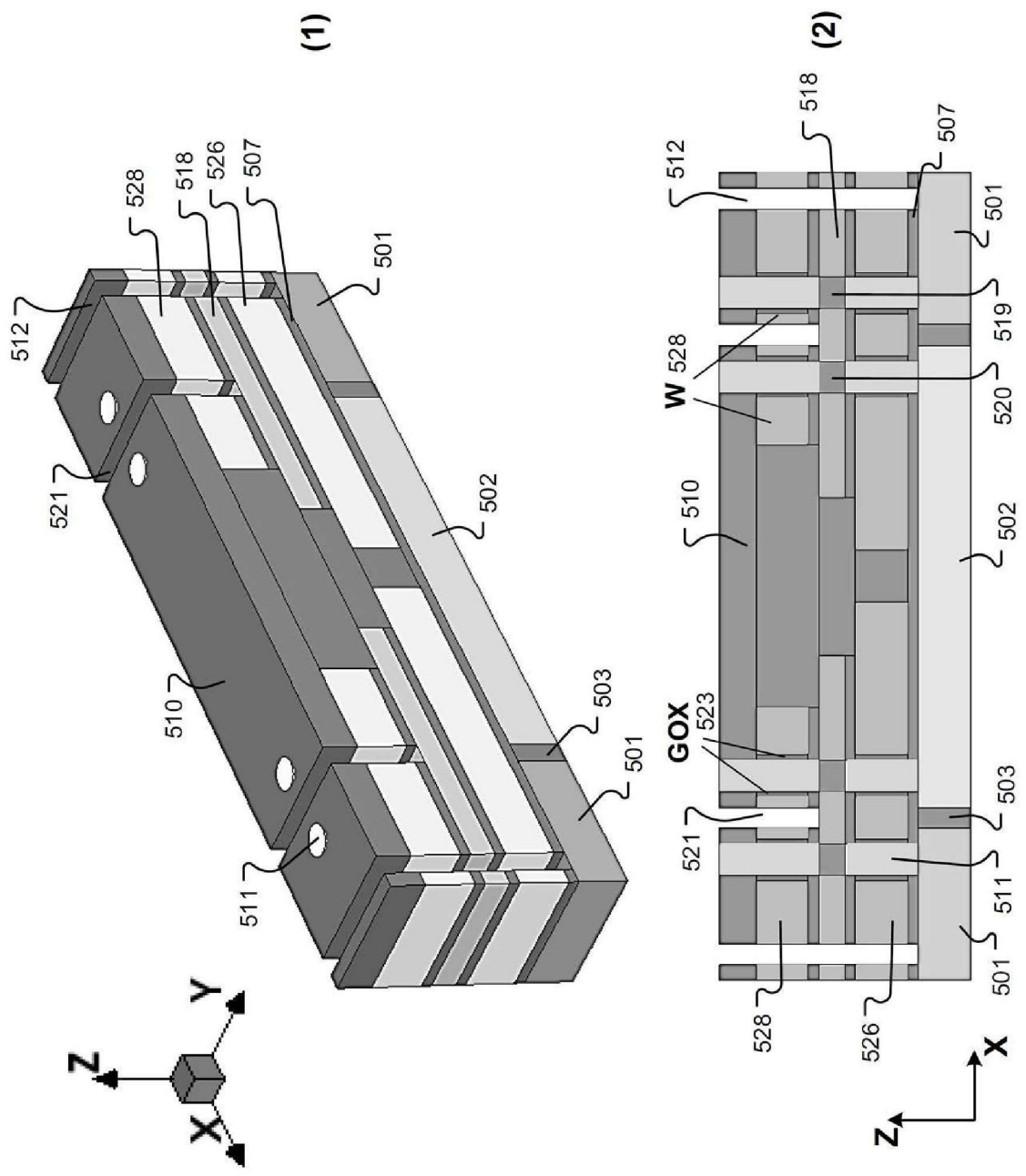
第5J圖



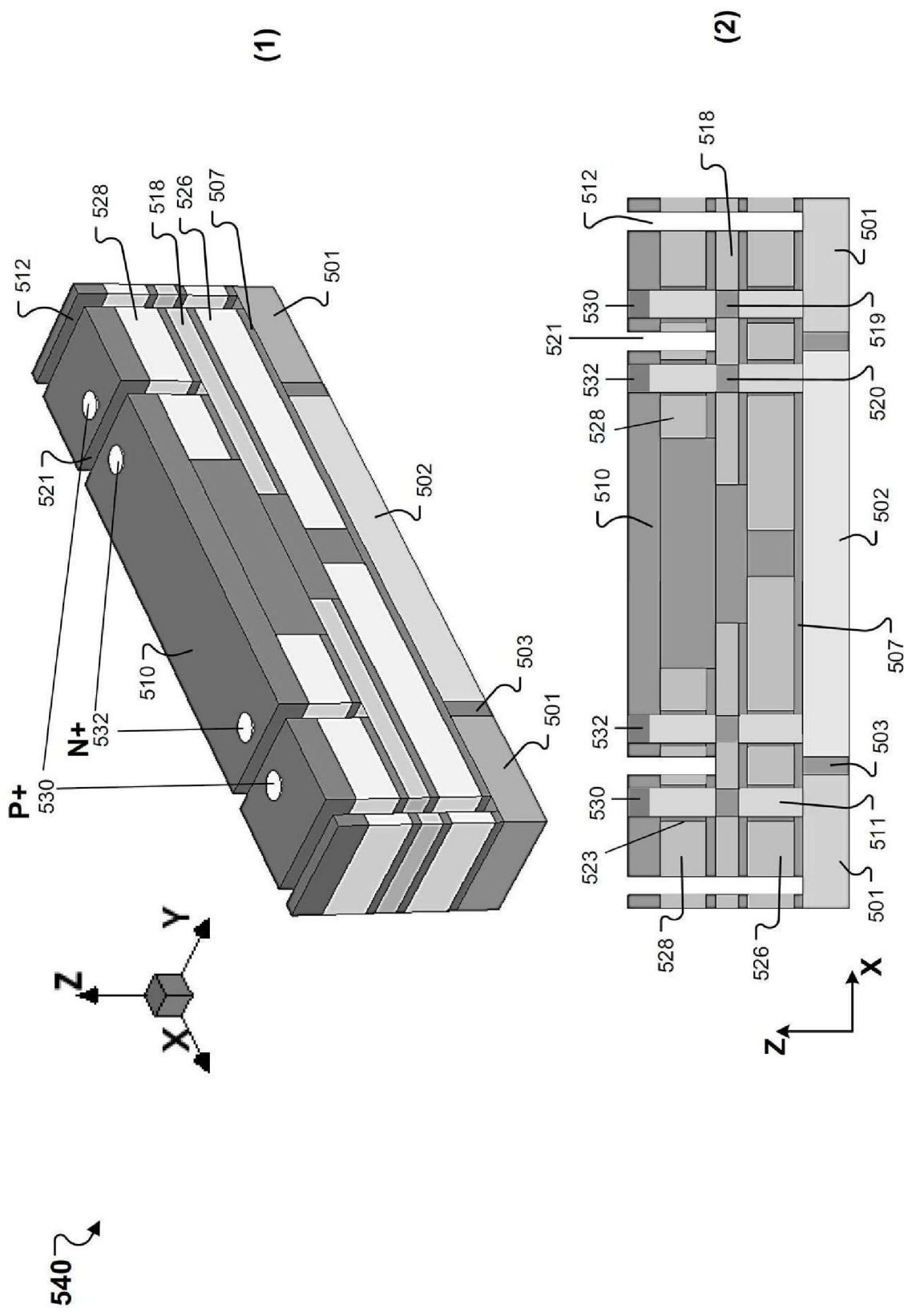
第5K圖



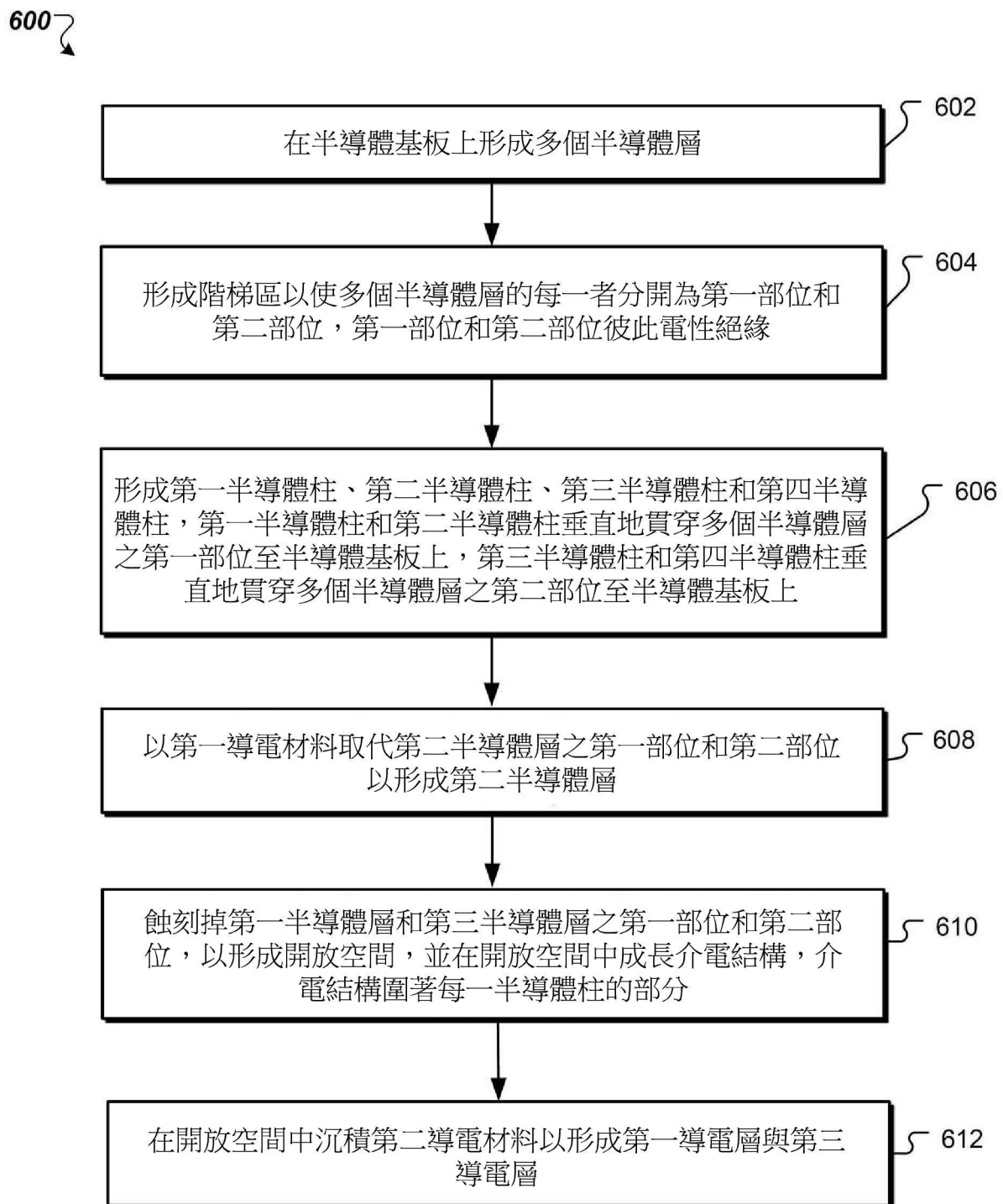
第5L圖



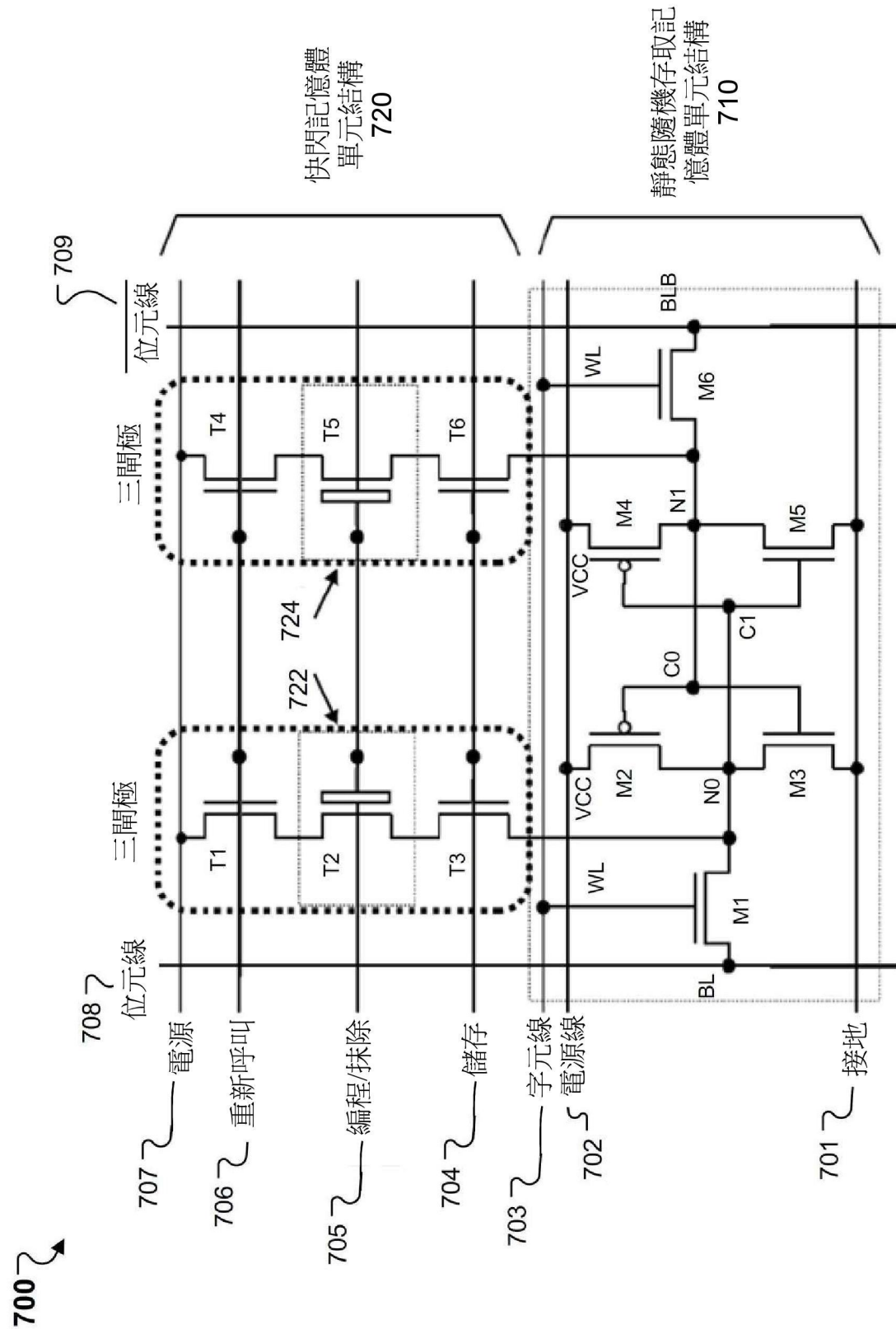
第5M圖



第5N圖



第 6 圖



快閃記憶體
單元結構
720

靜態隨機存取記
憶體單元結構
710

第7圖