



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0139757
(43) 공개일자 2014년12월08일

| | |
|--|---|
| (51) 국제특허분류(Int. Cl.) <i>G09G 3/20</i> (2006.01) <i>G11C 19/00</i> (2006.01) (21) 출원번호 10-2013-0060200 (22) 출원일자 2013년05월28일 심사청구일자 없음 | (71) 출원인 네오뷰코오롱 주식회사 충남 홍성군 은하면 천광로 856-14, (72) 발명자 문혜지 충청남도 아산시 영인면 와신길 115-6 (74) 대리인 황이남 |
|--|---|

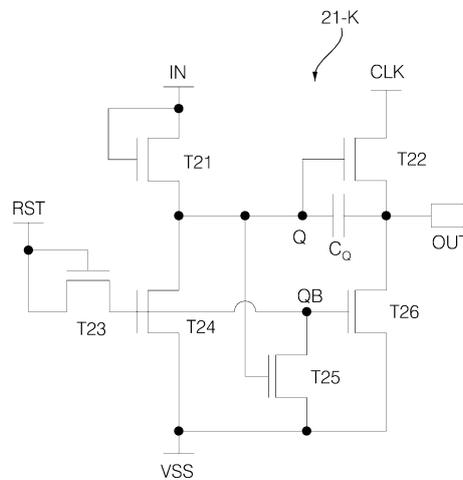
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 시프트 회로, 시프트 레지스터 및 표시장치

(57) 요약

본 발명은 종속 접속된 복수의 시프트 회로로 이루어지는 시프트 레지스터의 시프트 회로로, 입력단자(IN)와 리셋 단자(RST) 및 제 1 노드(Q)를 가지며, 입력단자에 입력신호(IN[k])가 공급된 때에 제 1 노드의 전위를 입력신호의 레벨에 따른 전위로 설정하는 입력회로와, 제 2 노드(QB)와 제 1 단자(Vss)를 가지며, 제 1 노드의 전위가 공급되어서 제 2 노드의 전위를 제 1 노드의 전위를 반전시킨 전위로 하는 인버터회로와, 클록 단자(CLK)와 출력 단자(OUT)를 가지며, 제 1 노드의 전위와 제 2 노드의 전위가 공급되어 출력신호(OUT[k])의 전위를 클록 신호(CLK1)에 따른 전위로 하는 출력회로를 구비하며, 인버터회로는 게이트 단자가 리셋 단자에 접속되고 제 1 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 1 트랜지스터와, 게이트 단자가 제 1 노드에 접속되고 제 2 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 2 트랜지스터를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

중속 접속된 복수의 시프트 회로로 이루어지는 시프트 레지스터의 시프트 회로로,

앞 단의 출력신호가 입력신호로서 공급되는 입력단자와 다음 단의 출력신호가 리셋 신호로서 공급되는 리셋 단자 및 제 1 노드를 가지며, 상기 입력단자에 상기 입력신호가 공급된 때에 상기 제 1 노드의 전위를 상기 입력신호의 레벨에 따른 전위로 설정하는 입력회로와,

제 2 노드와 제 1 단자를 가지며, 상기 제 1 노드의 전위가 공급되어서 상기 제 2 노드의 전위를 상기 제 1 노드의 전위를 반전시킨 전위로 하는 인버터회로와,

클록 신호가 공급되는 클록 단자와 상기 출력신호를 출력하는 출력단자를 가지며, 상기 제 1 노드의 전위와 상기 제 2 노드의 전위가 공급되어 상기 출력신호의 전위를 상기 클록 신호에 따른 전위로 하는 출력회로를 구비하며,

상기 인버터회로는, 게이트 단자가 상기 리셋 단자에 접속되고 상기 제 1 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 1 트랜지스터와, 게이트 단자가 상기 제 1 노드에 접속되고 상기 제 2 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 2 트랜지스터를 구비하는 시프트 회로.

청구항 2

청구항 1에 있어서,

상기 입력회로는 상기 입력단자에 상기 입력신호가 공급된 때에 온 하여 상기 제 1 노드의 전위를 상기 입력신호의 레벨에 따른 전위로 설정하는 제 3 트랜지스터와, 상기 리셋 단자에 상기 리셋 신호가 공급된 때에 온 하여 상기 제 1 노드의 전위를 반전시키는 제 4 트랜지스터를 포함하는 시프트 회로.

청구항 3

청구항 1에 있어서,

상기 출력회로는 게이트 단자가 상기 제 1 노드에 접속되고 상기 클록 단자와 상기 출력단자 사이에서 전류 통로를 형성하는 제 5 트랜지스터와, 게이트 단자가 상기 제 2 노드에 접속되고 상기 제 1 단자와 상기 출력단자 사이에서 전류 통로를 형성하는 제 6 트랜지스터를 포함하는 시프트 회로.

청구항 4

청구항 1에 있어서,

상기 시프트 회로를 구성하는 각 트랜지스터는 산화물 박막 트랜지스터로 구성되는 시프트 회로.

청구항 5

청구항 4에 있어서,

상기 제 1 단자는 상기 시프트 회로를 구성하는 산화물 박막 트랜지스터의 문턱 전압보다 낮은 전위로 설정되는 시프트 회로.

청구항 6

중속 접속된 복수의 시프트 회로로 이루어지는 복수 단의 시프트 레지스터로,

상기 복수의 시프트 회로 각각은 청구항 1 내지 5 중 어느 한 항의 시프트 회로로 이루어지는 시프트 레지스터.

청구항 7

발광소자를 구비하며, 행렬 형태로 배치된 복수의 화소 회로와,

청구항 5의 시프트 레지스터를 포함하며,

상기 시프트 레지스터에 포함되는 시프트 회로의 출력신호를 행을 선택하는 행 선택신호로서 각 행 단위로 공급하여 상기 복수의 화소 회로를 행 단위로 선택하는 행 선택 드라이버를 구비하는 표시장치.

명세서

기술분야

[0001] 본 발명은 시프트 회로, 이 시프트 회로를 구비하는 시프트 레지스터 및 이 시프트 레지스터를 구비하는 표시장치에 관한 것이다.

배경기술

[0002] 박막트랜지스터(Thin Film Transistor : TFT)를 이용한 게이트 드라이버에 의해 유기EL소자(Organic Light Emitting Device : OLED)나 액정표시장치(Liquid Cristal Display : LCD)를 액티브 구동하여 화상을 표시하는 표시장치의 개발 및 사용이 일반화되고 있다.

[0003] 액티브 구동형 표시장치는 행 단위로 배열된 각 화소(pixel)를 스위칭하는 화소 회로를 선택하는 게이트 드라이버를 구비하며, 이 게이트 드라이버에는 통상 시프트 레지스터가 이용되고 있다.

[0004] 이와 같은 시프트 레지스터로는 이른바 톰슨 타입(Thomson Type)이라고 불리는 비정질 실리콘 박막 트랜지스터를 사용한 게이트 드라이버가 알려져 있다(비 특허문헌 1).

[0005] 도 1은 비 특허문헌 1에 기재된 종래의 시프트 레지스터의 구성을 나타내는 회로도이다.

[0006] 도 1의 시프트 레지스터는 비정질 실리콘으로 이루어지는 트랜지스터(T1 내지 T4)를 구비하며, 입력단자(IN)에 스타트신호가 입력되면 트랜지스터(T1)이 온이 되어서 전하가 P점에 충전되면서 트랜지스터(T3)의 게이트에는 트랜지스터(T1)의 문턱 전압(threshold voltage) 만큼 감소한 전압이 인가되고, 이때 클럭 단자에 인가되는 클럭 신호(CLK)가 Low 레벨에서 High 레벨로 바뀌면 플로팅(floating) 상태를 유지하고 있던 P점의 전압이 트랜지스터(T3)의 기생용량(Cgd, Cgs)에 의해 커플링 간섭을 받으며, 이에 따라 P점은 높은 문턱 전압으로 부트스트랩(bootstrap) 된다. 따라서 클럭 신호(CLK)가 출력 단자(OUT)를 통해서 출력되게 된다.

[0007] 그리고 다음 단의 출력이 리셋 단자(RST)에 입력되면 트랜지스터(T2) 및 트랜지스터(T4)가 온이 되어서 P점에 충전된 전하와 출력 단(OUT)의 전하는 리셋 신호의 펄스 폭 기간 동안만 방전되고, 그 다음 주기까지 플로팅 상태를 유지한다.

[0008] 한편, 최근 들어 표시장치의 소형화, 경량화, 고해상도화 및 저 전력구동이 강하게 요구되고 있고, 나아가서는 표시장치의 구동회로에는 산화물 박막 트랜지스터(Organic Thin Film Transister)를 이용한 표시장치가 부각되고 있으며, 산화물 TFT는 비정질 실리콘을 반도체재료로 사용하는 TFT에 비해 이동도가 높고, 온 전류가 크며, 투명하다는 이점이 있으므로 특히 투명 유기EL소자를 화소 회로에 이용하는 표시장치(TOLED)의 TFT용 재료로 채용되고 있다.

선행기술문헌

비특허문헌

[0009] (비특허문헌 0001) 비 특허문헌 1 : 비정질 실리콘 박막 트랜지스터를 사용한 게이트 드라이버의 신뢰성 향상, 권민성, 2009. 2. 경희대학교

발명의 내용

해결하려는 과제

[0010] 그러나 산화물 TFT는 문턱 전압이 0V보다 낮다는 결정적인 단점이 있어서 회로에 적용하기가 용이하지 않다는 문제가 있다.

[0011] 예를 들어 도 1의 종래의 시프트 회로를 산화물 트랜지스터로 구성하면, 산화물 반도체재료로 이루어지는 트랜

지스터(T1 내지 T4)의 문턱 전압이 0V보다 낮으므로 다음 단의 출력이 리셋 단자(RST)에 입력되어도 트랜지스터(T3)이 완전히 오프가 되지 않고 클록(CLK)이 온, 오프 될 때마다 출력 단(OUT)으로 일부 출력되어 비정상적인 출력전압의 상승이 발생하게 된다는 문제가 있다.

[0012] 본 발명은 상기 종래기술의 문제점인 시프트 회로가 리셋 상태에서도 클록의 온 오프에 따라서 출력 단자의 출력이 비정상적으로 상승하는 문제를 방지하기 위한 시프트 회로 및 이 시프트 회로를 구비하는 시프트 레지스터, 이 시프트 레지스터를 구비하는 표시장치를 제공하는 것을 목적으로 한다.

[0013] 또, 본 발명은 문턱 전압이 0V 이하에서도 확실하게 동작할 수 있는 시프트 회로 및 이 시프트 회로를 구비하는 시프트 레지스터, 이 시프트 레지스터를 구비하는 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0014] 상기 과제를 해결하기 위한 본 발명의 시프트 회로는, 중속 접속된 복수의 시프트 회로로 이루어지는 시프트 레지스터의 시프트 회로로, 앞 단의 출력신호가 입력신호로서 공급되는 입력단자와 다음 단의 출력신호가 리셋 신호로서 공급되는 리셋 단자 및 제 1 노드를 가지며, 상기 입력단자에 상기 입력신호가 공급된 때에 상기 제 1 노드의 전위를 상기 입력신호의 레벨에 따른 전위로 설정하는 입력회로와, 제 2 노드와 제 1 단자를 가지며, 상기 제 1 노드의 전위가 공급되어서 상기 제 2 노드의 전위를 상기 제 1 노드의 전위를 반전시킨 전위로 하는 인버터회로와, 클록 신호가 공급되는 클록 단자와 상기 출력신호를 출력하는 출력단자를 가지며, 상기 제 1 노드의 전위와 상기 제 2 노드의 전위가 공급되어 상기 출력신호의 전위를 상기 클록 신호에 따른 전위로 하는 출력회로를 구비하며, 상기 인버터회로는, 게이트 단자가 상기 리셋 단자에 접속되고 상기 제 1 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 1 트랜지스터와, 게이트 단자가 상기 제 1 노드에 접속되고 상기 제 2 노드와 상기 제 1 단자 사이에서 전류 통로를 형성하는 제 2 트랜지스터를 구비한다.

[0015] 상기 시프트 회로를 구성하는 각 트랜지스터는 산화물 박막 트랜지스터로 구성되며, 상기 제 1 단자는 상기 시프트 회로를 구성하는 산화물 박막 트랜지스터의 문턱 전압보다 낮은 전위로 설정해도 좋다.

[0016] 상기 입력회로는 상기 입력단자에 상기 입력신호가 공급된 때에 온 하여 상기 제 1 노드의 전위를 상기 입력신호의 레벨에 따른 전위로 설정하는 제 3 트랜지스터와, 상기 리셋 단자에 상기 리셋 신호가 공급된 때에 온 하여 상기 제 1 노드의 전위를 반전시키는 제 4 트랜지스터를 포함하는 것으로 해도 좋다.

[0017] 상기 출력회로는 게이트 단자가 상기 제 1 노드에 접속되고 상기 클록 단자와 상기 출력단자 사이에서 전류 통로를 형성하는 제 5 트랜지스터와, 게이트 단자가 상기 제 2 노드에 접속되고 상기 제 1 단자와 상기 출력단자 사이에서 전류 통로를 형성하는 제 6 트랜지스터를 포함하는 것으로 해도 좋다.

[0018] 본 발명의 시프트 레지스터는, 중속 접속된 복수의 시프트 회로로 이루어지는 복수 단의 시프트 레지스터로, 상기 복수의 시프트 회로 각각은 상기 어느 하나의 시프트 회로로 이루어지는 시프트 레지스터이다.

[0019] 본 발명의 표시장치는, 발광소자를 구비하며, 행렬 형태로 배치된 복수의 화소 회로와, 상기 시프트 레지스터를 포함하며, 상기 시프트 레지스터에 포함되는 시프트 회로의 출력신호를 행을 선택하는 행 선택신호로서 각 행 단위로 공급하여 상기 복수의 화소 회로를 행 단위로 선택하는 행 선택 드라이버를 구비하는 표시장치이다.

발명의 효과

[0020] 상기 구성을 갖는 본 발명의 시프트 회로에 의하면 문턱 전압이 0V보다 낮은 트랜지스터로 시프트 회로를 구성하는 경우, 리셋 상태에서 클록 신호의 온 오프에 따라서 출력단자의 출력이 비정상적으로 상승하는 문제를 방지할 수 있고, 동시에 시프트 회로의 출력 시에 기준전압 단과 출력단을 확실하게 분리할 수 있어서 클록 신호가 정확하게 출력단자로 출력할 수 있으므로, 시프트 레지스터의 동작의 안정성을 확보할 수 있고, 특히 문턱 전압이 0V보다 낮은 산화물 박막 트랜지스터로 시프트 회로를 구성하는 경우에 동작의 안정성을 확보할 수 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 시프트 레지스터의 시프트 회로의 구성을 나타내는 회로도,
 도 2는 본 발명의 바람직한 실시형태의 표시장치의 구성을 나타내는 도면,
 도 3은 도 2의 게이트 드라이버의 시프트 레지스터의 구성을 나타내는 도면,

도 4는 도 3의 각 시프트 회로의 구성을 나타내는 도면,
 도 5는 도 4의 시프트 회로의 동작을 나타내는 타이밍차트이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하 본 발명의 바람직한 실시형태에 대해서 도면을 참조하면서 상세하게 설명한다.
- [0023] 이하의 설명에서는 본 실시형태의 표시장치는 복수의 화소를 가지며, 각 화소는 발광소자로 유기 전계 발광소자(이하, 「유기EL소자」라고 한다)를 구비한 표시장치로 하여 설명한다.
- [0024] 본 발명의 바람직한 실시형태의 표시장치의 구성을 도 2에 나타낸다.
- [0025] 본 실시형태와 표시장치(1)는 도 2 (a)에 나타내는 것과 같이 n행, m열의 복수의 화소 회로(11(i, j))(i=1~m, j=1~n, m, n은 각각 자연수)와 게이트 드라이버(행 선택 드라이버)(12)와 애노드 드라이버(13)와 데이터 드라이버(14) 및 컨트롤러(15)를 구비한다.
- [0026] 화소 회로(11(i, j))는 화상의 각 화소에 대응하는 것으로, 행렬형태로 배치되며, 도 2 (b)에 나타내는 것과 같이 유기EL소자(101)와 2개의 트랜지스터(T11, T12) 및 커패시터(C1)를 구비한다.
- [0027] 커패시터(C1)는 트랜지스터(T12)의 게이트와 소스 사이에 배치된 커패시터이다.
- [0028] 유기EL소자(101)는 화소 전극(애노드 전극)과 단수 혹은 복수의 캐리어 수송 층으로 이루어지는 유기 EL 층 및 대향 전극이 순차 적층된 구조를 갖는 표시소자이며, 대향 전극(캐소드 전극)에는 음극 전위(Vcath)가 인가되고 있다.
- [0029] 트랜지스터(T11, T12)는 n채널형 FET(Field Effect Transistor)로 구성된 TFT이고, 드레인, 소스 및 게이트를 가지며, 드레인과 소스 간에는 반도체 층이 설치되어, 드레인-소스 간에 소정의 바이어스 전압이 인가되는 동시에 게이트에 문턱 전압보다 큰 전압이 인가될 때 반도체 층 내에 채널이 형성되어서, 이 채널이 드레인-소스 간의 전류통로가 된다.
- [0030] 트랜지스터(T11)는 커패시터(C1)의 일단에 화상 데이터(Data)의 계조를 나타내는 계조 신호(Vdata)를 인가하기 위한 트랜지스터이다. 각 화소 회로(11(i, j))의 트랜지스터(T11)의 소스는 트랜지스터(T12)의 게이트 및 커패시터(C1)의 일단과 접속된다.
- [0031] 화소 회로(11(i, 1), ..., 11(i, n))의 트랜지스터(T11)의 드레인은 각각, i번째의 데이터라인(Ldi)에 접속되고, 화소 회로(11(1, j), ..., 11(m, j))의 각 트랜지스터(T11)의 게이트는 각각 제 j행째의 게이트 라인(Lgj)에 접속된다.
- [0032] 그리고, 각각의 게이트 라인(Lg1, ..., Lgn)에 High 레벨의 신호가 순차 출력되면 화소 회로(11(1, j), ..., 11(m, j))의 각 트랜지스터(T11)는 온 하여 데이터 라인(Ld1, ..., Ldm)에 각각 입력된 계조 신호(Vdata)를 트랜지스터(T12)의 게이트 및 커패시터(C1)의 일단에 출력한다.
- [0033] 트랜지스터(T12)는 계조 신호(Vdata)에 의거한 전류량의 전류를 제어하면서 유기EL소자(101)에 공급하는 트랜지스터이며, 그 게이트가 트랜지스터(T11)의 소스 및 커패시터(C1)의 일단에 접속되고, 드레인은 애노드 라인(Laj)에 접속되며, 소스가 커패시터(C1)의 타단 및 유기EL소자(101)의 애노드에 접속되어 있다.
- [0034] 게이트 드라이버(12)는 행 단위로 화소 회로(11(i, j))를 선택하기 위한 드라이버이며, 도 3에 도시하는 것과 같이, 게이트 드라이버(12)에는 컨트롤러(15)로부터 전압 Vss가 인가되고, 또, 스타트신호(St)와 클록 신호(CLK1, CLK2)가 공급된다.
- [0035] 게이트 드라이버(12)는 스타트신호(St)가 공급되어서 동작을 개시하고, 클록 신호 CLK1, CLK2에 따라서 출력 신호(OUT(1)~(n))를 게이트 라인(Lg1~Lgn)에 순차 출력한다.
- [0036] 이와 같이 해서 게이트 드라이버(12)는 화소 회로(11(1,1)~11(m, 1), ..., 11(1, n)~11(m, n))를 선택한다.
- [0037] 이 게이트 드라이버(12)는 도 3에 도시하는 것과 같은 시프트 레지스터를 가지며, 이 시프트 레지스터는 컨트롤러(15)로부터 공급되는 스타트신호(St)에 의해 동작을 개시하고, 클록 신호(CLK1, CLK2)에 동기시켜서 스타트신호(St)를 전송하여 출력신호(OUT(1)~OUT(n))를 순차 출력하는 것이다.
- [0038] 또, 시프트 레지스터는 제 1단 내지 제 n단의 시프트 회로(21_1~21_n)를 구비하며, 이 시프트 회로(21_1~21_n)

는 서로 직렬로 접속되어 있다.

- [0039] 시프트 회로(21₁~21_n)에는 입력신호(IN[k])(스타트신호(St)를 포함한다)와 클록 신호(CLK1 또는 CLK2)가 공급되며, 공급된 입력신호(IN[k])를 클록 신호(CLK1 또는 CLK2)에 따라서 시프트하여, 시프트 한 신호를 출력신호(OUT[k])(k=1~n)로서 출력하는 것이다.
- [0040] 도 4에 나타내는 것과 같이, 각 시프트 회로(21_k(k=1~n))는 입력 단자(IN)와 출력단자(OUT)와 리셋 단자(RST)와 전압 단자(Vss) 및 클록 단자(CLK)를 구비하고 있다.
- [0041] 입력단자(IN)는 입력신호(IN[k])가 공급되는 단자이며, 최초의 시프트 회로인 시프트 회로(21₁)의 입력단자(IN)에는 컨트롤러(15)로부터 스타트신호(ST)가 입력 신호(IN(1))로서 공급된다.
- [0042] 또, 출력단자(OUT)는 출력신호(OUT[k])를 출력하는 단자이며, 게이트 라인(Lgk)에 접속되어 있다. 시프트 회로(21₂~21_n)의 각 입력단자는 각각 앞의 단의 시프트 회로(21₁~21_(n-1))의 출력단자(OUT)에 접속된다.
- [0043] 리셋 단자(RST)는 리셋 신호(RST[k])가 공급되는 단자이며, 각 시프트 회로(21₁~21_(n-1))의 리셋 단자(RST)는 각각 다음 단의 시프트 회로(21₂~21_n)의 출력단자(OUT)에 접속되어서, 출력신호(OUT(2)~OUT(n))가 리셋 신호(RST(1)~RST(n-1))로서 공급된다.
- [0044] 클록 단자(CLK)는 클록 신호(CLK1 또는 CLK2)가 공급되는 단자이며, 홀수 단인 시프트 회로(21_k)의 클록 단자(CLK)에는 컨트롤러(15)로부터 클록 신호(CLK1)가 공급되고, 또, 짝수 단인 시프트 회로(21_(k+1))의 클록 단자(CLK)에는 컨트롤러(15)로부터 클록 신호(CLK2)가 공급된다.
- [0045] 기준전압단자(Vss)는 기준전압으로서의 Low 레벨의 전압이 인가되는 단자이며, 기준전압으로서의 Low 레벨의 전압은 본 실시형태의 각 시프트 회로를 구성하는 트랜지스터(T21~T26)가 산화물 트랜지스터로 구성되는 경우에는 산화물 트랜지스터의 문턱 전압을 고려하여, 산화물 트랜지스터의 문턱 전압보다 낮은 전압인 것이 바람직하다.
- [0046] 시프트 회로(21_k)는 트랜지스터 T21~T26을 구비하고 있다. 트랜지스터(T21~T26)는 산화물 박막 트랜지스터로 이루어지는 n채널형의 FET로 구성된다.
- [0047] 트랜지스터(T21~T26)는 드레인, 소스 및 게이트를 가지며, 드레인과 소스 간에는 반도체 층이 설치되어 있고, 드레인-소스 간에 소정의 바이어스 전압이 인가되고, 게이트에 임계치 전압보다 큰 전압이 인가되면 반도체 층 중에 채널이 형성되어서, 이 채널이 드레인- 소스 간의 전류통로가 된다.
- [0048] 트랜지스터(T21)는 입력단자(IN)에 공급되는 입력신호(IN[k])의 신호 레벨에 따라서 노드 Q의 전위를 결정하기 위한 트랜지스터이며, 이 트랜지스터(T21)의 게이트와 드레인은 입력단자(IN)에 접속되고, 노드 Q는 신호 출력단으로서의 트랜지스터(T21)의 소스에 접속된 접속점이다.
- [0049] 트랜지스터(T23)는 리셋 단자(RST)에 공급되는 High 레벨의 신호에 의해 시프트 회로(21_k)를 리셋하기 위한 트랜지스터이며, 이 트랜지스터(T23)의 게이트와 드레인은 리셋 단자(RST)에 접속되고, 소스는 노드(QB)를 통해서 트랜지스터(T24)와 트랜지스터(T26)의 게이트 및 트랜지스터(T25)의 드레인 측과 접속되어 있다.
- [0050] 여기서, 노드(QB)는 노드(Q)와는 반대 극성의 전위를 갖는 반전단자이며, 트랜지스터(T21)와 트랜지스터(T23)는 본 발명의 입력회로에 상당한다.
- [0051] 트랜지스터(T24) 및 트랜지스터(T25)는 노드(Q)의 전위와 노드(QB)의 전위를 서로 역의 관계를 갖는 전위로 반전시키는 인버터회로(INV)를 구성한다.
- [0052] 트랜지스터(T24)는 리셋 단자(RST)의 입력에 따라서 노드(Q)의 전위를 반전시키며, 트랜지스터(T24)의 게이트는 트랜지스터(T23)의 소스 측과 접속되고, 드레인은 노드(Q)에, 소스는 기준전압단자(Vss)에 각각 접속되어 있다.
- [0053] 트랜지스터(T25)는 노드(Q)의 전위에 따라서 노드(QB)의 전위를 제어하기 위한 트랜지스터이며, 트랜지스터(T25)의 게이트는 노드(Q)에, 드레인은 노드(QB)에, 소스는 기준전압단자(Vss)에 각각 접속된다.
- [0054] 트랜지스터(T24, T25)에 의해 구성되는 인버터회로(INV)에 의해 노드(Q)와 노드(QB)의 전위는 상보적으로 High 레벨(온 레벨)과 Low 레벨(오프 레벨)로 스위칭되며, 한쪽이 High 레벨이 되면 다른 쪽은 Low 레벨이 된다.
- [0055] 트랜지스터(T22)는 클록 단자(CLK)로부터 인가되는 클록 신호(CLK1 또는 CLK2)가 공급되며, 노드(Q)의 전위에 따라서 온 또는 오프 하고, 온 상태일 때는 클록신호에 동기하여 시프트 신호로서의 출력신호(OUT[k])를 출력단자(OUT)에 출력하는 트랜지스터이다.

- [0056] 이 트랜지스터(T22)는 게이트가 노드(Q)에 접속되고, 드레인은 클럭 단자(CLK)에, 소스는 출력단자(OUT)에 각각 접속된다. 이 트랜지스터(T22)의 게이트와 소스 사이에는 부트스트랩 효과를 발생하기 위한 커패시터(C_Q)가 접속되어 있다.
- [0057] 또, 트랜지스터(T26)는 노드(QB)의 전위에 따라서 온 또는 오프하며, 제 k행의 화소 회로(11(i, k))의 비 선택 기간에 온 해서 출력단자(OUT)로 출력하는 출력신호(OUT[k])를 기준전압으로서의 V_{ss}(각 트랜지스터의 문턱 전압 미만의 전압)에 고정하여 출력신호(OUT[k])를 안정시키기 위한 트랜지스터이다.
- [0058] 트랜지스터(T26)의 게이트는 노드(QB)에 접속되고, 드레인은 트랜지스터(T22)의 소스와 출력단자(OUT)에 접속되며, 소스는 기준전압단자(V_{ss})에 접속된다.
- [0059] 트랜지스터(T22)와 트랜지스터(T26)는 출력회로에 상당한다.
- [0060] 도 2의 (a), (b)로 되돌아가서, 애노드 드라이버(13)는 애노드 라인(La(1)-La(n))에 각각 전압 V_{High} 또는 V_{Low}의 신호(V_{source}(1)-V_{source}(n))를 출력하는 드라이버이며, 애노드 드라이버(13)는 각각 애노드 라인(La_j(j=1-n))을 통해서 각 화소 회로(11(i, j))의 트랜지스터(T12)의 드레인에 접속된다.
- [0061] 애노드 드라이버(13)는 컨트롤러(15)로부터 공급되는 스타트신호(St)에 의해 동작을 개시하며, 컨트롤러(15)로부터 공급되는 클럭 신호(CLK1)에 따라서 동작하여, 전압 V_{High} 또는 V_{Low}의 전압신호(V_{source}(1)-V_{source}(n))를 출력한다. 전압 V_{Low}는 기입 처리시에 각 화소 회로(11(i, j))의 유기EL소자(101)를 비 발광상태로 하기 위한 전압이고, 또, 전압 V_{High}는 각 화소 회로(11(i, j))의 유기EL소자(101)를 발광상태로 하기 위한 전압이다.
- [0062] 그러나 필요에 따라서는 애노드 드라이버(13)를 별도로 설치하지 않고, 복수의 화소 회로의 애노드 라인에 대해 동시에 애노드 전압을 인가하는 이른바 공통 애노드로 함으로써 하나의 애노드 전원만을 갖는 구성으로 해도 좋다.
- [0063] 예를 들어 유기EL소자(101)의 캐소드 전압(V_{cath})은 0V로 설정되고, 전압 V_{Low}은 0V 또는 그보다 낮은 전위로 설정되며, 전압 V_{High}는 예를 들어 +15V로 설정된다.
- [0064] 데이터 드라이버(14)는 화소 회로(11(i, j))의 각 커패시터(C1)에 공급된 화소데이터(Data)에 의거한 표시신호의 계조신호(V_{data})를 기입하는 드라이버이며, 컨트롤러(15)로부터의 화상데이터(Data)의 공급에 따라서 행 단위로 계조신호(V_{data})를 생성하고, 생성한 계조신호(V_{data})를 각각 데이터 라인(Ld1-Ldm)을 통해서 게이트 드라이버(12)가 선택한 제 j행의 화소 회로(11(1, j)-11(m, j))에 공급한다.
- [0065] 컨트롤러(15)는 게이트 드라이버(12) 및 데이터 드라이버(14)를 제어하며, CPU(Central Processing Unit), ROM(Read Only Memory) 및 RAM(Random Access Memory) 등을 구비하고, 시프트 회로(21_1-21_n)의 홀수 단에 클럭 신호 CLK1을 출력하고, 짝수 단에 클럭 신호 CLK2를 출력한 상태에서 스타트신호(St)를 게이트 드라이버(12)의 제 1 단의 시프트 회로(21_1)에 공급함으로써 게이트 드라이버(12)가 동작을 개시하도록 한다.
- [0066] 또, 컨트롤러(15)는 데이터 드라이버(14)에 스타트신호(St) 및 화상 데이터(Data), 클럭 신호 CLK1 등을 공급한다.
- [0067] 다음에 본 실시형태의 표시장치의 동작을 설명한다. 도 5는 도 4의 시프트 회로의 동작을 나타내는 타이밍차트이다.
- [0068] 도 5에 도시하는 것과 같이, 컨트롤러(15)는 위상이 서로 180도 다른 클럭 신호 CLK1 및 CLK2와 High 레벨의 스타트신호(St)를 게이트 드라이버(12)에 공급하며, 클럭 신호 CLK1이 Low 레벨인 시각 t₁₀에서 High 레벨의 스타트신호(St)가 제 1 단의 시프트 회로(21_1)의 입력단자(IN)에 입력신호(IN[1])로서 공급되고, 이에 의해 다이오드 구조를 갖는 시프트 회로(21_1)의 트랜지스터(T21)가 온이 된다. 이 High 레벨의 스타트신호(St)가 공급되는 기간이 입력기간(t_{in})이다.
- [0069] 트랜지스터(T21)가 온이 되면 노드(Q)의 전위는 High 레벨이 되며, 이에 의해 트랜지스터(T22) 및 트랜지스터(T25)가 온이 되고, 트랜지스터(T25)의 온에 의해 노드(QB)의 전압은 V_{ss}전압, 즉 오프 전압이 되며, 이에 따라 트랜지스터(T26)는 역방향 다이오드 상태가 되어서 완전한 오프 상태가 된다.
- [0070] 다음에, 입력기간(t_{in})이 지난 후, 클럭 신호 CLK1이 High가 되는 출력기간(t_{out})에는 입력신호(IN[1])가 Low 레벨이 되며, 트랜지스터(T21)는 오프한다.

- [0071] 그러나 노드(Q)의 전압은 트랜지스터(T26)가 오프 상태이므로 Low 레벨로 떨어지지 않고 플로팅 상태를 유지하며, 이때 클럭 신호 CLK1이 High 레벨이 되면 부트 스트랩 커패시터(C_Q)에 의해 노드(Q)에는 클럭 신호 CLK1 만큼의 부트 스트랩 일어나며, 트랜지스터(T22)의 게이트 전압은 상기 플로팅 전압과 CLK1의 합이 되므로 클럭 신호 CLK1은 확실하게 출력단자(OUT)를 통해서 출력신호(OUT[1])로서 출력된다.
- [0072] 이 High 레벨의 출력신호(OUT[1])는 게이트 라인(Lg1)에 출력되는 동시에 다음 단의 시프트 회로(21_2)에 입력 신호(IN[2])로서 공급되며, 시프트 회로(21_2)는 이 입력신호(IN[2])를 클럭 신호 CLK2에 동기하여 시프트해서 High 레벨의 출력신호(OUT[2])를 출력한다.
- [0073] 또, High 레벨의 출력신호(OUT[2])는 앞 단의 시프트 회로(21_1)의 리셋 신호(RST[1])로서 시프트 회로(21_1)의 리셋 단자(RST)에 공급된다.
- [0074] 시프트 회로(21_1)의 리셋 단자(RST)에 리셋 신호(RST[1])가 공급되면 다이오드 구조를 갖는 트랜지스터(T23)가 온 상태가 되어서 노드(QB)의 전압이 High 레벨이 되며, 이에 의해 트랜지스터(T24) 및 트랜지스터(T26)가 온 상태가 되어서 노드(Q) 및 출력단자(OUT)의 전압은 V_{ss} 전압, 즉 Low 레벨로 하강한다.
- [0075] 또, 노드(Q)의 전압이 Low 레벨이 되므로 트랜지스터(T25)는 오프 상태가 되며, 리셋 기간(RST)이 지나서 리셋 신호(RST[1])가 Low 레벨이 되어도 노드(QB)의 전위는 플로팅 상태를 유지하며, 이에 의해 트랜지스터(T26)는 온 상태가 되어 출력신호가 확실하게 오프 상태를 유지할 수 있다.
- [0076] 이상의 동작과 동일하게 시프트 회로(21_k)(k=2~n)는 각각 클럭 신호 CLK1 및 CLK2에 동기시켜서 시프트 회로(21_k-1)로부터 출력되는 출력신호(OUT[k-1])를 입력신호(IN[k])로 하여 이 입력신호(IN[k])를 시프트한다. 그리고 시프트 회로(21_k)는 시프트 한 신호를 출력신호(OUT[k])로서 출력한다.
- [0077] 게이트 드라이버(12)는 시프트 회로(21_1)의 High 레벨의 출력신호(OUT[1])를 게이트 라인(Lg1)에 출력하고, 화소 회로(11(1, 1)~11(m, 1))의 각 트랜지스터(T11)는 이 High 레벨의 출력신호(OUT[1])에 의해 온 상태가 된다.
- [0078] 또, 데이터 드라이버(14)는 이 기간에 데이터 라인(Ld1~Ldm)을 통해서 게이트 드라이버(12)가 선택한 화소 회로(11(1, 1)~11(m, 1))에 계조 신호(Vdata)를 공급하며, 화소 회로(11(1, 1)~11(m, 1))의 각 커패시터(C1)에는 각 트랜지스터(T11)를 통해서 계조 신호(Vdata)가 기입된다.
- [0079] 동일한 방법으로 게이트 드라이버(12)는 시프트 회로(21_2, 21_3, ..., 21_n)의 High 레벨의 출력신호(OUT[2], OUT[3], ..., OUT[n])을 순차 게이트 라인(Lg2, Lg3, ..., Lgn)에 출력한다.
- [0080] 게이트 라인(Lg2, Lg3, ..., Lgn)에 순차로 출력신호(OUT[2], OUT[3], ..., OUT[n])가 출력되면 화소 회로(11(1, 2)~11(m, 2), 11(1, 3)~11(m, 3), ..., 11(1, n)~11(m, n))이 선택되고, 데이터 드라이버(14)는 공급된 화소 데이터에 의한 계조 신호(Vdata)를 각각 데이터 라인(Ld1~Ldm)에 인가하여, 선택된 화소 회로(11(1, 2)~11(m, 2), 11(1, 3)~11(m, 3), ..., 11(1, n)~11(m, n))의 각각의 커패시터(C1)에 계조 신호(Vdata)를 기입한다.
- [0081] 이상과 같은 방법으로 기입이 완료하면 컨트롤러(15)는 발광동작을 제어한다.
- [0082] 애노드 드라이버(13)는 High 레벨의 신호(Vsource(1)~Vsource(n))를 애노드 라인(La(1)~La(n))에 출력하고, 이에 의해 화소 회로(11(i, j))의 트랜지스터(T22)는 각 커패시터(C1)가 보유한 전압을 게이트 전압으로 하여, 이 게이트 전압(Vgs)에 대응하는 전류를 유기EL소자(101)에 공급하며, 유기EL소자(101)는 이 전류의 전류 값에 대응하는 휘도로 발광한다.
- [0083] 그러나 이에 한정되는 것은 아니며, 만일 표시장치가 공통 애노드인 경우에는 하나의 애노드 전원으로로부터 복수의 화소 회로에 동시에 애노드 전압을 인가해도 좋다.
- [0084] 이상 본 발명의 바람직한 실시형태에 대해서 설명하였으나, 본 발명은 상기 실시형태로 한정되는 것은 아니다.
- [0085] 상기 실시형태에서는 본 발명의 표시장치를 유기EL소자를 구비하는 표시장치로 하여 설명하였으나, 표시장치는 이에 한정되는 것은 아니며, 발광소자를 구비하는 표시장치이면 어떤 표시장치라도 좋다. 예를 들어 액정소자를 구비하는 액정표시장치라도 좋다.
- [0086] 또, 상기 실시형태에서는 시프트 회로를 구성하는 각 트랜지스터는 n채널형의 FET로 구성하는 것으로 설명하였으나, p채널형 FET로 구성해도 좋다. 이 경우에는 각 트랜지스터의 제어 전극(게이트)에 공급되는 제어신호는 n채널형의 FET로 구성하는 경우와는 역의 신호를 공급하면 된다.

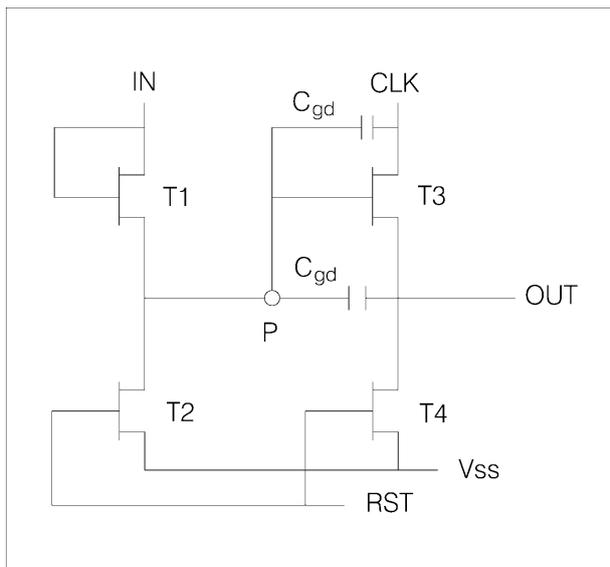
[0087] 또, 상기 실시형태에서는 시프트 회로를 구성하는 트랜지스터가 산화물 박막 트랜지스터인 경우를 예로 하여 설명하였으나, 이에 한정되는 것은 아니며, 다른 종류의 트랜지스터라도 실시가 가능하다.

부호의 설명

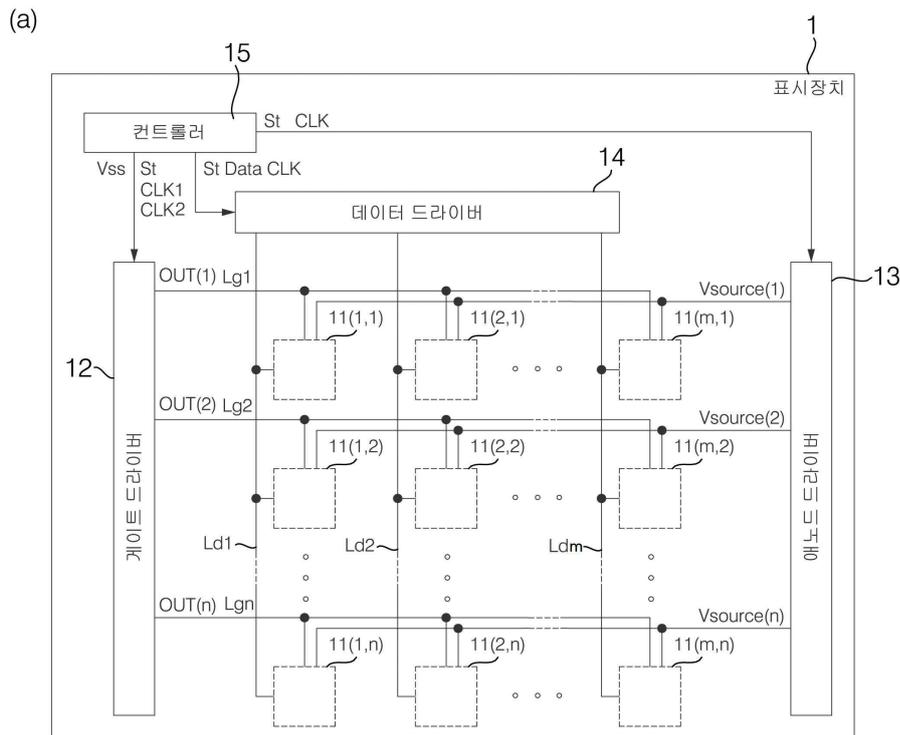
| | | |
|--------|---------|----------|
| [0088] | 1 | 표시장치 |
| | 11 | 화소 회로 |
| | 12 | 게이트 드라이버 |
| | 13 | 애노드 드라이버 |
| | 14 | 데이터 드라이버 |
| | 15 | 컨트롤러 |
| | 21 | 시프트 회로 |
| | T21~T26 | 트랜지스터 |
| | IN | 입력단자 |
| | OUT | 출력단자 |
| | RST | 리셋 단자 |
| | Vss | 기준전압단자 |
| | IN[k] | 입력신호 |
| | OUT[k] | 출력신호 |
| | RST[k] | 리셋 신호 |

도면

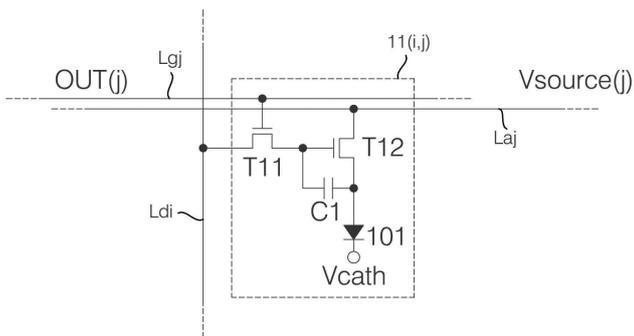
도면1



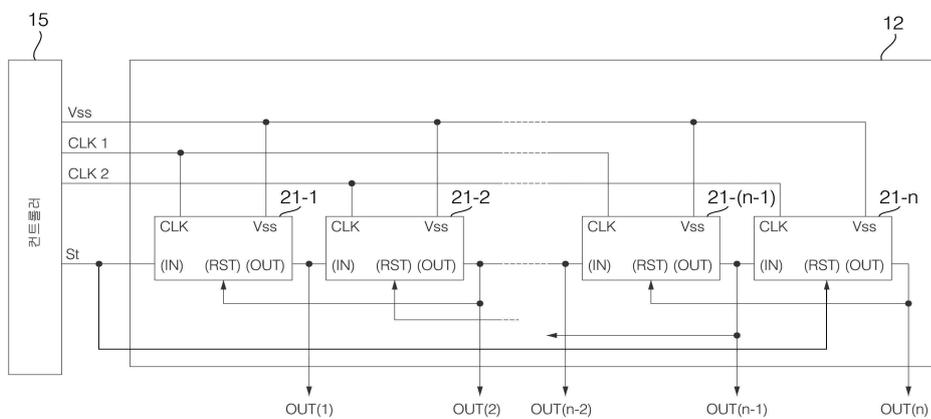
도면2



(b)



도면3



도면5

