

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4608232号
(P4608232)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int. Cl. F I
 HO 1 L 29/792 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 21/8247 (2006.01)
 HO 1 L 27/115 (2006.01)

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2004-107330 (P2004-107330)	(73) 特許権者	390019839 三星電子株式会社 SAMSUNG ELECTRONICS CO., LTD. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR)
(22) 出願日	平成16年3月31日(2004.3.31)	(74) 代理人	100086368 弁理士 萩原 誠
(65) 公開番号	特開2004-312009 (P2004-312009A)	(72) 発明者	李 龍 圭 大韓民国ソウル特別市冠岳区奉天洞山4-1 1番地 ソウル大学校寄宿舎935棟205号
(43) 公開日	平成16年11月4日(2004.11.4)		
審査請求日	平成18年6月28日(2006.6.28)		
(31) 優先権主張番号	2003-020444		
(32) 優先日	平成15年4月1日(2003.4.1)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 逆自己整合方式を利用したツインONO形態のSONOSメモリ素子製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上にONOの誘電層を形成する段階と、
 前記誘電層上に第1導電性層を形成する段階と、
 前記第1導電性層上に前記第1導電性層の表面一部を露出させるトレンチを有するバッファ層を形成する段階と、
 前記トレンチの内側壁に第1絶縁スペーサを形成する段階と、
 前記第1絶縁スペーサをエッチングマスクとして前記第1導電性層の露出された部分及び下部の前記誘電層部分を選択的に順次に除去して前記第1導電性層及び前記誘電層を2つの部分に分離する段階と、
 前記誘電層の分離によって露出された前記基板上にゲート誘電層を形成する段階と、
 前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む第2導電性層を形成する段階と、
 前記第1絶縁スペーサをエッチングマスクとして前記バッファ層を除去する段階と、
 前記第1導電性層の前記バッファ層の除去によって露出された部分及び下部の前記誘電層部分を前記第1絶縁スペーサをエッチングマスクとして選択的に順次に除去して2つの部分に分離された前記誘電層及び前記第1導電性層を最終パターンとする段階と、を含むことを特徴とするSONOSメモリ素子製造方法。

【請求項2】

前記第1絶縁スペーサ下部の分離された2つの前記第1導電性層がそれぞれ独立的なゲ

ートとして作用することを許容するように前記ゲート誘電層は2つの前記第1導電性層間を絶縁させるように前記第1絶縁スペーサ上に延びることを特徴とする請求項1に記載のSONOSメモリ素子製造方法。

【請求項3】

前記第2導電性層を形成する段階は、

前記第2導電性層を前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込むように蒸着する段階と、

前記第2導電性層をエッチバックまたは化学機械的に研磨して前記バッファ層上に延びた前記ゲート誘電層部分を露出させる段階と、を含むことを特徴とする請求項1に記載のSONOSメモリ素子製造方法。

10

【請求項4】

前記ゲート誘電層部分を露出させる段階以後に、

前記第2導電性層上を覆い包むキャッピング絶縁層を形成する段階をさらに含むことを特徴とする請求項3に記載のSONOSメモリ素子製造方法。

【請求項5】

前記最終パターンと誘電層外側の露出した前記基板に第1拡散層をイオン注入で形成する段階と、

前記最終パターンとされた誘電層及び前記第1導電性層側壁に第2絶縁スペーサを形成する段階と、

前記第2絶縁スペーサをマスクとして前記基板に第2拡散層をイオン注入で形成する段階と、をさらに含むことを特徴とする請求項1に記載のSONOSメモリ素子製造方法。

20

【請求項6】

シリサイド化工程で、前記第2拡散層上に選択的に第2シリサイド層を形成し、かつ前記第2導電性層上に第3シリサイド層を形成する段階をさらに含むことを特徴とする請求項5に記載のSONOSメモリ素子製造方法。

【請求項7】

前記第1導電性層及び前記第2導電性層は導電性シリコン層を含んで形成されることを特徴とする請求項6に記載のSONOSメモリ素子製造方法。

【請求項8】

基板上に第1バッファ層を形成する段階と、

前記第1バッファ層上に前記第1バッファ層とエッチング選択比を有し、前記第1バッファ層の表面一部を露出させるトレンチを有する第2バッファ層を形成する段階と、

前記トレンチ部分に露出された前記第1バッファ層を除去した後、前記トレンチ部分に露出した前記基板上及び前記トレンチ側壁上にONOの誘電層を形成する段階と、

前記トレンチの内側壁の前記誘電層上に第1導電性スペーサを形成する段階と、

前記第1導電性スペーサをエッチングマスクとして前記誘電層部分を選択的に除去して前記誘電層を2つの部分に分離し、かつ分離部分の前記基板を露出させる段階と、

前記露出された基板、前記ONO側面、及び前記第1導電性スペーサ上にゲート誘電層を形成する段階と、

前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む第2導電性層を形成する段階と、

40

前記第1導電性スペーサをエッチングマスクとして前記第2バッファ層を除去する段階と、

前記誘電層の前記第2バッファ層の除去によって露出された部分を、前記第1導電性スペーサをエッチングマスクとして選択的に除去して2つの部分に分離された前記誘電層を最終パターンとする段階と、を含み、

前記第1導電性スペーサは前記ゲート誘電層によって前記第2導電性層から分離されることを特徴とするSONOSメモリ素子製造方法。

【請求項9】

前記最終パターンとされた誘電層外側の露出した前記基板に第1拡散層をイオン注入で

50

形成する段階と、

前記最終パターンとされた誘電層及び前記第1導電性スペーサ側壁に第2絶縁スペーサを形成する段階と、

前記第2絶縁スペーサをマスクとして前記基板に第2拡散層をイオン注入で形成する段階と、をさらに含むことを特徴とする請求項8に記載のSONOSメモリ素子製造方法。

【請求項10】

シリサイド化工程で、前記第1導電性スペーサ及び前記第2導電性層上に第1シリサイド層を選択的に形成し、かつ前記第2拡散層上に選択的に第2シリサイド層を形成する段階をさらに含むことを特徴とする請求項8に記載のSONOSメモリ素子製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体素子製造方法に係り、特に、非対称的なプログラム方式を使用した2ビットメモリ素子として利用できるツインONO形態のSONOSメモリ素子を逆自己整合方式を利用して製造する方法に関する。

【背景技術】

【0002】

最近、電氣的にデータの消去と貯蔵が可能であり、電源が供給されなくてもデータ保存が可能で不揮発性半導体メモリ素子が、多様な分野でその応用が増加しつつある。このような不揮発性メモリ素子の代表的な例がフラッシュメモリセル素子である。

20

【0003】

今まで開発及び量産化された代表的なフラッシュ半導体メモリの構造は、電荷を蓄積するフローティングゲートとこれを制御するコントロールゲートとが積層された形態よりなるスタックゲート形態が一般的である。

【0004】

メモリ素子の大容量化と、複雑な回路を構成するためのゲートアレイ数が急激に増加するにつれて、例えば、約 $0.10\mu\text{m}$ 以下の微細パターンニング技術が素子の製造に要求されている。既存のスタックゲート形態の不揮発性メモリセルは持続的に縮小されているが、このために極微細化が要求されるので、フォトリソ及びエッチング工程がその限界に至っている。通常の電荷を蓄積するフローティングゲートとその上部にコントロールゲートが積層されている構造はスケールアップだけではなく、高い段差に起因したメモリ素子のパターンニングが難しいからである。

30

【0005】

既存のフローティングゲートを有するスタックゲートの不揮発性セルが持続的に開発及び製品化が進められる間、一方では、MOSFET構造のように単一ゲート構造で捕獲電荷を利用するSONOS（または、MONOS）不揮発性セルが研究されている。

【0006】

図1は、典型的なSONOSメモリセルを説明するために概略的に示す断面図である。

図1を参照すれば、SONOS（または、MONOS）セルは半導体基板10、例えば、p-Si基板にソース及びドレインジャンクション15を形成し、半導体基板10上にONO（Oxide-Nitride-Oxide）誘電層20を形成した後でその上にゲート30を形成して構成される。このようなSONOSセルはトランジスタのゲート酸化膜の代わりにONO誘電層20を使用する構造を有する。同時に、SONOSセルは電荷を蓄積するフローティングゲートの代わりにONO誘電層20を使用することによって、ONO誘電層20の薄いシリコン酸化物層21、25間のシリコン窒化物層23に電子を注入したり、またはホールを注入させる。

40

【0007】

一方、メモリのためのONO誘電層20の厚さは約1~2百Å以下であるので、SONOSセルではフローティングゲートのような追加層を加えることによって付加的に誘発される段差が非常に大きくはならない。したがって、フォトリソ工程条件が許容する限りスケール

50

ル縮少が相対的に容易であり、特に、フローティングゲートに関連した付加的な工程が減る製造上の長所をSONOSメモリセルは有する。

【0008】

一方、数年前からSeifun社及びAMD社などではより高い集積度の不揮発性メモリ素子を具現するために、SONOS形態のメモリを採択してフローティングゲートのない構造を利用するものの、非対称的プログラム方式を使用した2ビットメモリの提案及び製品化を図ってきた。

【0009】

図2は、ドレイン・ソースへの電圧VDSの印加による典型的な2ビットメモリ動作を説明するために概略的に示す図である。

10

図2を参照すれば、2ビットメモリ技術はスタックゲート形態のフラッシュ素子に対比して同一面積当たり2倍の集積度を具現する長所がある。このような2ビットメモリ動作はトランジスタのコントロールゲート(図1の30)と両側のソース及びドレインジャンクション15のうち片方のジャンクションに高い電圧を印加して(すなわち、チャンネルホット電子注入(CHEI: Channel Hot Electron Injection)方式で)電子をゲート30の一方の縁の下端のシリコン窒化物層23に注入し(順方向に注入)、以後、反対側ソース及びドレインジャンクション15とゲート30に電圧を印加して逆方向に読み出す方式を採択している。

【0010】

また、消去は、ドレインジャンクション15に高電圧を印加し、ゲート30と基板10

バルクとは接地させ、ゲート30と選択された高濃度のドレインジャンクション15との重畳領域でホールのバンド間トンネリング(BtBT: Band-to-Band Tunneling)原理を利用して、シリコン窒化物層23内のプログラムされた電子をホールと再結合させて行われる。

20

【0011】

しかし、非対称的な電荷捕獲方式の場合、メモリセルのゲート(図1の30)長が相対的に長い場合にはプログラムされるそれぞれの捕獲部の離隔距離が十分であり、2ビット動作などに大きい問題が生じないが、ゲート30長さが持続的に短くなる(約0.10μm以下になる)と2ビット特性を維持し続けるかは疑問である。なぜなら、基本的にCHEI方式でTONO誘電層20に捕獲された電荷は一定した分布度を形成し、また時間によってその分布度は増加する。

30

【0012】

図3(A)は、典型的なSONOS素子でプログラムされた後、シリコン窒化物層に注入された電荷の分布を示す図である。図3(B)は、典型的なSONOS素子で時間tが経つにつれて注入された電荷の再分配によるリテンション特性を示す図である。

【0013】

図3(A)を参照すれば、SONOS素子で、CHEIでプログラムされた後、シミュレーションフィッティングを利用してシリコン窒化物層に注入された電荷の分布図は、図3(A)に提示されたように得られる。フレッシュセルとプログラムされたセルに対する電荷分布がシミュレーションフィッティングによって得られる。図3(B)を参照すれば、時間が経つにつれてその注入された電荷の再分配によるリテンション特性を示す。分布中心での減衰率N(t)は、図3(B)に共に示す数式の通りである。図3(B)を参照すれば、tからt'に時間が経つにつれて分布図の高さが低くなって、結局分布度は大きくなる事が分かる。

40

【0014】

このような電荷分布図については非特許文献1、2で報告されている。

【0015】

また、SONOS素子でプログラムされる時、電子の分布が存在すれば、プログラミングと消去とを繰り返す時、プログラムによるチャンネル側の中央領域の電子を完全に消去しなければ、チャンネル領域に一部電荷が蓄積される。このような蓄積された電荷によ

50

て素子の耐久特性が悪くなる。ホールによりプログラムされた時に消去されなかったホールの蓄積によっても耐久特性が悪くなる。

【0016】

図4(A)及び図4(B)は、典型的なSONOS素子の耐久特性を説明するために示すグラフである。

図4(A)は、典型的なSONOSセルの基板バルクとソースとを接地した後、ゲートに11V、ドレインに6Vを100 μ sの間印加してプログラムし、ゲートに0V、ドレインに10V、ソースに10V、バルクに0Vを100 μ sの間印加して消去する条件で、書き込みと消去とを繰り返した時の耐久特性曲線である。セルがオンの状態である時が41の曲線であり、セルがオフの状態である時が45の曲線である。

10

【0017】

図4(B)は、消去条件をゲートに0V、ドレインに10V、ソースに4V、バルクに0Vを印加する条件に変化させて、BtBTによって形成されたホールがチャンネル中央部に注入される効率を高めるためにソースとドレイン間の電場を形成させた時の耐久特性である。セルがオンの状態である時が43の曲線であり、セルがオフの状態である時が47の曲線である。

【0018】

このような特性結果はプログラム時の電子のテール分布度がチャンネル中央領域に一定レベルに存在することを示し、消去時の条件依存性がこれを反証する。もちろん、このようなプログラム、消去時のONO誘電層内の電子やホールの分布はSONOSメモリ素子の製造工程条件への最適化や動作電圧を適切に調節することによって最小化できる余地は残っているが、ゲート長がますます短くなるにつれて同時に2ビット特性を満足させるには限界がある。

20

【非特許文献1】Eli Lusky, Yosi Shiacham-Diamand, Ian Bloom, and Boaz Etan著、"Characterization of channel hot electron injection by the subthreshold slope of NROM Device", IEEE Electron Device Lett., vol.22, No.11, Nov.2001

【非特許文献2】Eli Lusky, Yosi Shiacham-Diamand, Ian Bloom, and Boaz Etan著、"Electron retention model for localized charge in Oxide-Nitride-Oxide (ONO) dielectric", IEEE Electron Device Lett., vol.23, No.9, Sept.2002

30

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明がなそうとする技術的課題は、100nm以下級のCHEI方式を利用した2ビットSONOSメモリ素子でプログラム及び消去動作を遂行する時、ONO誘電層での電荷の分布を意図的に調節できるSONOSメモリ素子の製造方法を提供することにある。

【課題を解決するための手段】

40

【0020】

上記の技術的課題を達成するための本発明の一観点は、SONOSメモリ素子のゲート下部のONO誘電層が正確に対称的な構造で物理的に分離されたSONOSメモリ素子製造方法を提供する。

【0021】

前記したSONOSメモリ素子製造方法は、基板上にONOの誘電層を形成する段階と、前記誘電層上に前記誘電層の表面一部を露出させるトレンチを有するバッファ層を形成する段階と、前記トレンチの内側壁に第1導電性スペーサを形成する段階と、前記第1導電性スペーサをエッチングマスクとして前記誘電層の露出された部分を選択的に除去して前記誘電層を2つの部分に分離する段階と、前記誘電層の分離によって露出された前記基

50

板上にゲート誘電層を形成する段階と、前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む第2導電性層を形成する段階と、前記第1導電性スペーサをエッチングマスクとして前記バッファ層を除去する段階と、前記誘電層の前記バッファ層の除去によって露出された部分を前記第1導電性スペーサをエッチングマスクとして選択的に除去して2つの部分に分離された前記誘電層を最終パターンとする段階と、を含んで構成される。

【0022】

または、前記SONOSメモリ素子製造方法は、基板上にONOの誘電層を形成する段階と、前記誘電層上に第1導電性層を形成する段階と、前記第1導電性層上に前記第1導電性層の表面一部を露出させるトレンチを有するバッファ層を形成する段階と、前記トレンチの内側壁に第1絶縁スペーサを形成する段階と、前記第1絶縁スペーサをエッチングマスクとして前記第1導電性層の露出された部分及び下部の前記誘電層部分を選択的に順次に除去して前記第1導電性層及び前記誘電層を2つの部分に分離する段階と、前記誘電層の分離によって露出された前記基板上にゲート誘電層を形成する段階と、前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む第2導電性層を形成する段階と、前記第1絶縁スペーサをエッチングマスクとして前記バッファ層を除去する段階と、前記第1導電性層の前記バッファ層の除去によって露出された部分及び下部の前記誘電層部分を前記第1絶縁スペーサをエッチングマスクとして選択的に順次に除去して2つの部分に分離された前記誘電層及び前記第1導電性層を最終パターンとする段階とを含んで構成される。

【0023】

この時、前記第1絶縁スペーサ下部の分離された2つの前記第1導電性層がそれぞれ独立的なゲートとして作用することを許容するように前記ゲート誘電層は2つの前記第1導電性層間を絶縁させるように前記第1絶縁スペーサ上に延びるように形成できる。

【0024】

また、前記ゲート誘電層部分を露出させる段階以後に、前記製造方法は前記第2導電性層上を覆い包むキャッピング絶縁層を形成する段階をさらに含む。

【0025】

または、前記SONOS素子製造方法は、基板上にONOの誘電層を形成する段階と、前記誘電層上に前記誘電層の表面一部を露出させるトレンチを有するバッファ層を形成する段階と、前記トレンチの内側壁に第1絶縁スペーサを形成する段階と、前記第1絶縁スペーサをエッチングマスクとして前記誘電層部分を選択的に除去して前記誘電層を2つの部分に分離する段階と、前記第1絶縁スペーサを選択的に除去する段階と、前記第1絶縁スペーサの除去によって露出された前記誘電層の上側シリコン酸化物層部分を選択的に除去して前記誘電層のシリコン窒化物層を一部露出させる段階と、前記誘電層の分離によって露出された前記基板上に前記シリコン窒化物層上に延びるゲート誘電層を形成する段階と、前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む導電性層を形成する段階と、前記導電性層をエッチングマスクとして前記バッファ層を除去する段階と、前記誘電層の前記バッファ層の除去によって露出された部分を前記導電性層をエッチングマスクとして選択的に除去して2つの部分に分離された前記誘電層を最終パターンとする段階とを含んで構成される。

【0026】

この時、前記第1絶縁スペーサは犠牲層であって、前記バッファ層と異なる絶縁物質またはフォトレジスト物質よりなる。

【0027】

または、前記SONOS素子製造方法は、基板上に第1バッファ層を形成する段階と、前記第1バッファ層上に前記第1バッファ層とエッチング選択比を有し、前記第1バッファ層の表面一部を露出させるトレンチを有する第2バッファ層を形成する段階と、前記トレンチ部分に露出された前記第1バッファ層を除去した後、前記トレンチ部分に露出した前記基板上及び前記トレンチ側壁上にONOの誘電層を形成する段階と、前記トレンチの

10

20

30

40

50

内側壁の前記誘電層上に第1導電性スペーサを形成する段階と、前記第1導電性スペーサをエッチングマスクとして前記誘電層部分を選択的に除去して前記誘電層を2つの部分に分離し、かつ分離部分の前記基板を露出させる段階と、前記露出された基板上にゲート誘電層を形成する段階と、前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込む第2導電性層を形成する段階と、前記第1導電性スペーサをエッチングマスクとして前記第1バッファ層を除去する段階と、前記誘電層の前記第1バッファ層の除去によって露出された部分を前記第1導電性スペーサをエッチングマスクとして選択的に除去して2つの部分に分離された前記誘電層を最終パターンとする段階とを含んで構成される。

【0028】

ここで、前記したSONOSメモリ素子製造方法は、前記最終パターンとされた誘電層外側の露出した前記基板に第1拡散層をイオン注入で形成する段階と、前記最終パターンとされた誘電層及び前記第1導電性スペーサ側壁に第2絶縁スペーサを形成する段階と、前記第2絶縁スペーサをマスクとして前記基板に第2拡散層をイオン注入で形成する段階とをさらに含むことができる。また、シリサイド化工程で、前記第1導電性スペーサ及び前記第2導電性層上に第1シリサイド層を選択的に形成し、かつ前記第2拡散層上に選択的に第2シリサイド層を形成する段階をさらに含むことができる。

【0029】

この時、前記ゲート誘電層は熱酸化または化学気相蒸着によって形成できる。

【0030】

また、前記第2絶縁スペーサは化学気相蒸着または熱酸化によって形成されるシリコン酸化物層またはシリコン窒化物層から形成できる。

【0031】

また、第2導電性層を形成する段階は、前記第2導電性層を前記ゲート誘電層上に前記トレンチの両側壁間のギャップを埋め込むように蒸着する段階と、前記第2導電性層をエッチバックまたは化学機械的に研磨して前記バッファ層上に延びた前記ゲート誘電層部分を露出させる段階とを含んで構成できる。

【0032】

前記第1導電性スペーサ、前記第1導電性層または前記第2導電性層は導電性シリコン層を含んで形成できる。

【発明の効果】

【0033】

本発明によれば、 $0.10\ \mu\text{m}$ 以下のメモリゲート長でも安定した2ビット特性を有するSONOS形態の不揮発性メモリ素子が具現できる。

【発明を実施するための最良の形態】

【0034】

以下、図面を参照して本発明の実施形態を詳しく説明する。しかし、本発明の実施形態は色々な他の形態に変形でき、本発明の範囲が後述する実施形態に限定されると解釈されてはならない。本発明の実施形態は当業者に本発明をより完全に説明するために提供されるものである。したがって、図面での要素の形状はより明確な説明を強調するために誇張したものであり、図面上で同じ符号で表示された要素は同じ要素を意味する。また、ある層が他の層または半導体基板の“上”にあると記載される場合に、前記ある層は前記他の層または半導体基板に直接接触して存在することもあり、または、その間に第3の層が存在されることもある。

【0035】

本発明の実施形態では、 $100\ \text{nm}$ 以下級のCHEI方式を利用した2ビットSONOSメモリ素子で、プログラム及び消去時に根源的に生成される電子及びホールの分布を意図的に調節できるように、ゲート下部のONO誘電層を物理的な切断で分離することを提示する。これにより、2つに切断されたONO誘電層間に形成されるゲート酸化膜の厚さを適切に調節することによって短いチャンネル現象を減らせる。

【0036】

10

20

30

40

50

また、ゲート長が短くなるにつれて深刻になるゲートとONO誘電層間の整合誤差を克服するために、そして、限界に至ったフォト工程の最小線幅についての制限を克服するために、また、ゲート下部に形成される分離されたONO層が正確に対称的な構造を有するように許容するために、スペーサを利用した逆自己整合方式を使用して一連の連続工程で製造される次世代2ビットSONOSメモリ素子を本発明の実施形態で提示する。

【0037】

本発明の実施形態は構造的な側面で2つに大別して説明することにする。第1に、単一ゲート構造で全体的な大きさは維持するものの、既存の1つの連続したONO誘電層構造とは異なり、ONO誘電層が分離された形態に形成される構造について説明する。第2に、3個のゲート構造であって、単一ゲートSONOSでの長さ及びサイズは維持されるものの分離されたONO誘電層上部のゲートとONO誘電層の分離によるONO誘電層間のシリコン酸化物層上部の中間ゲートよりなる3個のゲートに3重ゲート構造が構成されて、3個のゲートにそれぞれ相異なる電圧を印加できる構造を提示する。

10

【0038】

[第1実施形態]

<単一ゲート構造のツインSONOS>

図5(A)ないし図5(K)は、本発明の第1実施形態によるツインONO形態のSONOSメモリ素子製造方法を説明するために概略的に示す断面図である。

図5(A)を参照すれば、SONOSメモリ素子を製造する出発物質としてp型基板を用意する。例えば、図5(A)に提示されたようにSOI(Silicon120-On-Insulator110)基板を用意する。この時、SOI基板のシリコン層120はp導電性を有して実質的にp型基板として作用する。勿論、このようなSOI基板の他に一般的なシリコン基板も利用できる。まず、このようなシリコン層120に活性領域を設定するフィールド領域を素子分離工程を通じて形成する。このような素子分離工程は素子分離のための色々な方法、例えば、浅いトレンチ素子分離、自己整合による浅いトレンチ素子分離、LOCOSなどを遂行できる。

20

【0039】

図5(B)を参照すれば、シリコン層120のSiチャンネル領域上にONO誘電層500を形成する。このONO誘電層500は公知の方法で形成でき、実質的にシリコン酸化物層500a、シリコン窒化物層500b、シリコン酸化物層500cが積層されて形成される。上下段の酸化物層500a、500cのそれぞれは熱酸化膜または化学気相蒸着による蒸着膜よりなり、また、このような熱酸化膜及び蒸着膜の組み合わせでも構成できる。また、膜質の緻密化及び安定化のために形成後に連続して熱処理を実施できる。熱処理は約700~1100程度で遂行できる。

30

【0040】

ONO誘電層上の全面にバッファ層600を形成する。その後、フォト及びエッチング工程を使用して、バッファ層600がONO誘電層500の上側一部を長さ方向に長く露出させるトレンチ601を有するようにバッファ層600をパターンニングする。エッチング工程は必要に応じて等方性エッチングまたは異方性エッチングで遂行できる。

【0041】

バッファ層600はSONOS素子のONO誘電層の中間部分が物理的に断絶されて分離される工程などで利用されて、後で必要に応じて除去される犠牲層である。したがって、バッファ層600はこのような犠牲層として効果的に作用させるために少なくともONO誘電層500に対して十分なエッチング選択比を有して選択的に除去できる絶縁物質よりなることが望ましい。

40

【0042】

図5(C)を参照すれば、トレンチ601の内側壁に第1導電性スペーサ700を形成する。第1導電性スペーサ700は導電性物質を一定厚さに蒸着した後、異方性エッチングを全面に遂行して形成される。このような第1導電性スペーサ700を構成する導電性物質は典型的なSONOS素子でゲートとして利用できる導電性物質、例えば、導電性多

50

結晶または非晶質シリコンでありうる。このような多結晶または非晶質シリコンに導電性を付与するためにイオン注入を追加で実施したり、または蒸着時にドーピングを実施できる。

【0043】

図5(D)を参照すれば、第1導電性スペーサ700をエッチングマスクとして使用して下部のONO誘電層500の第1導電性スペーサ700によって画定された露出部分をエッチングして除去する。このようなエッチング工程はエッチングされて除去される部分の線幅を精密に制御できる異方性エッチングで遂行されることが望ましい。この時、エッチングされる部分の線幅はトレンチ601の線幅及び第1導電性スペーサ700の線幅に依存ようになる。このようなエッチング工程によってSOI基板のシリコン層120が露出される。このような工程は実質的にONO誘電層500の中間部分を除去して2つの部分に分離する工程に当たる。

10

【0044】

図5(E)を参照すれば、シリコン層120を覆い包むゲート誘電層800を形成する。例えば、このようなゲート誘電層800は熱酸化方式によるシリコン酸化物よりなる。このようなゲート誘電層800は第1導電性スペーサ700などのプロファイルに沿って形成されて第1導電性スペーサ700間に凹部801を形成する。実質的に、このようなゲート誘電層800は本発明の分離されたONO誘電層間に導入されるゲート酸化膜として利用できて、その厚さの調節によってSONOS素子で発生する短いチャンネル現象を減らせる。

20

【0045】

図5(F)を参照すれば、ゲート誘電層800上に凹部801、すなわち、第1導電性スペーサ700間を埋め込む第2導電性層を形成する。このような第2導電性層は多様な導電性物質、例えば、導電性多結晶または非晶質シリコンよりなる。このような多結晶または非晶質シリコンに導電性を付与するためにイオン注入を追加実施したり、または蒸着時にドーピングを実施できる。その後、両側の第1導電性スペーサ700の上側表面高さより低くてトレンチ601内に限定されるように第2導電性層900をエッチバックする。このようなエッチバックは異方性エッチング、または、化学機械的研磨により遂行できる。

【0046】

図5(G)を参照すれば、第2導電性層900部分以外の露出されたゲート誘電層800部分を選択的に除去して下部の第1導電性スペーサ700の上側表面及びバッファ層(図5(F)の600)の上側表面を露出させる。このような除去工程は第1ウェットエッチングで遂行できる。その後、第1導電性スペーサ700外側の露出されたバッファ層600を選択的にエッチング除去して下部のONO誘電層500の上側表面を露出させる。この時、第1導電性スペーサ700及び第2導電性層900と十分なエッチング選択比を具現してバッファ層600が除去されることが望ましい。例えば、このようなエッチング工程は第1ウェットエッチングとは異なる第2ウェットエッチングで遂行できる。よって、第1導電性スペーサ700に隣接したONO誘電層500部分は露出される。

30

【0047】

図5(H)を参照すれば、第1導電性スペーサ700及び第2導電性層900をマスクとして第1導電性スペーサ700部分以外の露出されたONO誘電層500部分を選択的にエッチングして除去する。これによって、SONOS素子のツイン形態のONO誘電層500が形成される。このようなツイン形態のONO誘電層500は前述した一連の工程、すなわち、第1導電性スペーサ700及びバッファ層600などを利用した逆自己整合工程によって相互対称的な構造に形成される。2つのツインONO誘電層500間にはゲート誘電層800が位置するので、実質的にONO誘電層500はその中間領域が物理的に断絶されて分離された形態を有する。

40

【0048】

図5(I)を参照すれば、ツインONO誘電層500の形成によって露出されたSOI

50

基板のシリコン層 120 に第 1 拡散層 121 をイオン注入を通じて形成する。このような第 1 拡散層 121 はシリコン層 120 が p 型基板である時には n 型不純物でドーピングされ、シリコン層 120 が n 型基板である時には p 型不純物でドーピングされる。

【0049】

図 5 (J) を参照すれば、第 2 絶縁スペーサ 750 を第 1 導電性スペーサ 700 の露出された側壁 (外壁) に形成する。このような第 2 絶縁スペーサ 750 は絶縁物質、例えば、シリコン窒化物を蒸着し、異方性エッチングする工程を通じて形成される。このような第 2 絶縁スペーサ 750 をイオン注入マスクとして利用して露出されたシリコン層 120 に第 2 拡散層 125 をイオン注入を通じて形成する。このような第 1 及び第 2 拡散層 121、125 は SONOS メモリセルのソース及びドレインジャンクションとして利用される。

10

【0050】

図 5 (K) を参照すれば、第 1 導電性スペーサ 700 及び第 2 導電性層 900 を電氣的に連結する第 1 シリサイド層 910 及び第 1 及び第 2 拡散層 121、125 に電氣的に連結される第 2 シリサイド層 920 を形成する。このような第 1 及び第 2 シリサイド層 910、920 は第 1 導電性スペーサ 700 及び第 2 導電性層 900 が導電性多結晶シリコンよりなる場合、シリサイド化工程を通じて選択的に形成される。

【0051】

以後の一連の工程は、一般的な半導体素子製造工程に従う。

【0052】

以上の図 5 (A) ないし図 5 (K) を参照して説明したような工程によって、図 5 (K) に提示されたように中間部分が分離され、分離された両側が対称的なツイン ONO 誘電層 500 構造である構成が具現される。これにより、ONO 誘電層 500 内でプログラム及び消去時に生成される電子及びホールの分布を意図的に調節できる。また、切断された 2 つの ONO 誘電層 500 間に形成されたゲート誘電層 800 部分は第 2 導電性層 900 に対してゲート酸化膜として作用するが、このようなゲート誘電層 800 の厚さを ONO 誘電層 500 の厚さとは独立的に調節できる。これによって、ゲート誘電層 800、すなわち、ゲート酸化膜の厚さの適切な調節が可能であり、これによって短いチャンネル現象を効果的に減らせる。

20

【0053】

さらに、図 5 (A) ないし図 5 (K) を参照して説明した製造方法は、逆自己整合工程によって遂行される。したがって、フォト工程の限界を克服して相互対称的なツイン ONO 誘電層 500 構造を効果的に形成できる。したがって、フォト工程の最小線幅の制限を克服できる。

30

【0054】

[第 2 実施形態]

< 三重ゲート構造のツイン SONOS >

第 2 実施形態では、第 1 実施形態とは異なり、三重ゲート構造が形成される。第 2 実施形態で第 1 実施形態と同じ符号が付される部材は実質的に同じ部材と解釈できる。

【0055】

図 6 (A) ないし図 6 (J) は、本発明の第 2 実施形態によるツイン ONO 形態の SONOS メモリ素子製造方法を説明するために概略的に示す断面図である。

40

図 6 (A) を参照すれば、SONOS メモリ素子を製造する出発物質として図 5 (A) を参照して説明したように SOI 基板を用意する。その後、図 5 (B) を参照して説明したように、シリコン層 120 の Si チャンネル領域上に素子のメモリとして使われる ONO 誘電層 500 を形成する。

【0056】

ONO 誘電層 500 上に第 1 導電性層 550 を形成する。このような第 1 導電性層 550 は多様な導電物質よりなり、例えば、導電性多結晶シリコンを含んで形成できる。第 1 導電性層 550 上の全面に図 5 (B) を参照して説明したようにパツファ層 600 を形成

50

する。その後、フォトリソグラフィエッチング工程を使用して、バッファ層 600 が第 1 導電性層 550 の上側一部を長さ方向に露出させるトレンチ 601 を有するようにバッファ層 600 をパターンニングする。

【0057】

図 6 (B) を参照すれば、トレンチ 601 の内側壁に第 1 絶縁スペーサ 710 を形成する。この第 1 絶縁スペーサ 710 はバッファ層 600 をなす絶縁物質と十分なエッチング選択比を具現できるようにバッファ層 600 とは異なる絶縁物質で形成されることが望ましい。第 1 絶縁スペーサ 710 は絶縁物質を一定厚さに蒸着した後、異方性エッチングを全面に遂行して形成される。

【0058】

図 6 (C) を参照すれば、第 1 絶縁スペーサ 710 をエッチングマスクとして使用して下部の ONO 誘電層 500 の第 1 絶縁スペーサ 710 によって画定された露出部分をエッチングして除去する。このようなエッチング工程はエッチングされて除去される部分の線幅を精密に制御できる異方性エッチングで遂行されることが望ましい。この時、エッチングされる部分の線幅はトレンチ 601 の線幅及び第 1 絶縁スペーサ 710 の線幅に依存する。このようなエッチング工程によって SOI 基板のシリコン層 120 が露出される。

【0059】

図 6 (D) を参照すれば、シリコン層 120 を覆い包むゲート誘電層 800 を図 5 (E) を参照して説明したように凹部 801 を有するように形成する。

【0060】

図 6 (E) を参照すれば、ゲート誘電層 800 上に凹部 801、すなわち、第 1 絶縁スペーサ 710 間を埋め込む第 2 導電性層 900 を図 5 (F) を参照して説明したように形成する。この時、第 2 導電性層 900 を蒸着した後でエッチバックを実施してその高さをトレンチ 601 に限定されるように下げることにより、第 2 導電性層 900 の両側のゲート誘電層 800 を露出させる。

【0061】

図 6 (F) を参照すれば、露出されたゲート誘電層 800 と連結されて第 2 導電性層 900 の上側表面を覆い包むキャッピング絶縁層 950 を形成する。このようなキャッピング絶縁層 950 は第 2 導電性層 900 が導電性多結晶シリコンよりなった時、第 2 導電性層 900 の上側表面を一定深さ酸化させて一定厚さに形成することができる。

【0062】

図 6 (G) を参照すれば、キャッピング絶縁層 950 の両側に露出されたゲート誘電層 800 部分を選択的に除去して下部の第 1 絶縁スペーサ 710 の上側表面及びバッファ層 (図 6 (F) の 600) の上側表面を露出させる。このようなエッチングは第 1 ウェットエッチングで遂行できる。その後、第 1 絶縁スペーサ 710 の外側に位置し露出したバッファ層 600 を選択的にエッチング除去して下部の第 1 導電性層 550 の上側表面を露出させる。この時、第 1 絶縁スペーサ 710 及びキャッピング絶縁層 950 と十分なエッチング選択比を具現して露出されたバッファ層 600 部分を選択的に除去することが望ましい。例えば、このようなエッチング工程は第 1 ウェットエッチングとは異なる第 2 ウェットエッチングで遂行できる。

【0063】

図 6 (H) を参照すれば、第 1 絶縁スペーサ 710 をエッチングマスクとしてその外側に露出した第 1 導電性層 550 部分を選択的に除去して第 1 導電性層 550 をパターンニングする。このパターンニングで残った第 1 導電性層 550 部分はそれぞれ第 1 ゲート 551 及び第 2 ゲート 553 の役割を果たす。

【0064】

第 1 ゲート 551 及び第 2 ゲート 553 に隣接して順次に露出される ONO 誘電層 500 部分を選択的にエッチングして除去する。これにより、図 5 (H) を参照して説明したように SONOS 素子のツイン ONO 誘電層 500 が形成される。その後、図 5 (I) を参照して説明したように、ツイン ONO 誘電層 500 の形成によって露出された SOI 基

10

20

30

40

50

板のシリコン層 1 2 0 に第 1 拡散層 1 2 1 をイオン注入により形成する。

【 0 0 6 5 】

図 6 (I) を参照すれば、第 2 絶縁スペーサ 7 5 0 を第 1 絶縁スペーサ 7 1 0 の露出された側壁及び第 1 及び第 2 ゲート 5 5 1、5 5 3 の側壁に形成する。このような第 2 絶縁スペーサ 7 5 0 は絶縁物質を蒸着して異方性エッチングする工程を通じて形成される。露出されたシリコン層 1 2 0 に第 2 拡散層 1 2 5 をイオン注入を通じて形成する。その後、第 2 導電性層 9 0 0 の上側に残留するキャッピング絶縁層 (図 6 (H) の 9 5 0) を選択的に除去して第 2 導電性層 9 0 0 の上側表面を露出させる。第 2 導電性層 9 0 0 は第 1 及び第 2 ゲート 5 5 1、5 5 3 とは独立的な第 3 ゲートとしての役割をする。

【 0 0 6 6 】

図 6 (J) を参照すれば、第 2 導電性層 9 0 0 に電氣的に連結される第 3 シリサイド層 9 5 0 及び第 1 及び第 2 拡散層 1 2 1、1 2 5 に電氣的に連結される第 2 シリサイド層 9 2 0 を形成する。このような第 3 及び第 2 シリサイド層 9 5 0、9 2 0 は第 2 導電性層 9 0 0 が導電性多結晶シリコンで形成された場合、シリサイド化工程を通じて選択的に形成される。

【 0 0 6 7 】

以後の一連の工程は一般的な半導体素子製造工程に従う。

【 0 0 6 8 】

以上の図 6 (A) ないし図 6 (J) を参照して説明したような工程によって、図 6 (J) に提示されたように中間部分が分離され、分離された両側が対称的なツイン ONO 誘電層 5 0 0 構造である構成を具現でき、これと共に、3 個の独立的なゲートの構造を具現できる。

【 0 0 6 9 】

[第 3 実施形態]

< 第 1 変形された単一ゲート構造のツイン SONOS >

第 3 実施形態では第 1 実施形態とは異なり、変形された単一ゲート構造が形成される。第 3 実施形態で第 1 実施形態と同じ符号が付される部材は実質的に同じ部材と解釈できる。

【 0 0 7 0 】

図 7 (A) ないし図 7 (K) は、本発明の第 3 実施形態によるツイン ONO 形態の SONOS メモリ素子製造方法を説明するために概略的に示す断面図である。

図 7 (A) を参照すれば、SONOS メモリ素子を製造する出発物質として図 5 (A) を参照して説明したように SOI 基板を用意する。その後、第 1 バッファ層 6 3 0 及び第 2 バッファ層 6 0 0 を形成する。第 2 バッファ層 6 0 0 は図 5 (B) を参照して説明したように後続する ONO 誘電層 5 0 0 をパターンニングする目的で犠牲層として形成される。第 1 バッファ層 6 3 0 は第 2 バッファ層 6 0 0 のパターンニングまたは除去時に下部のシリコン層 1 2 0 に侵害が生じることを防止する役割をするように形成される。このような第 1 バッファ層 6 3 0 はパッド層またはエッチング終了層の役割を果たせる。したがって、第 1 バッファ層 6 3 0 は第 2 バッファ層 6 0 0 とエッチング選択比を有するように第 2 バッファ層 6 0 0 と異なる絶縁物質で形成される。

【 0 0 7 1 】

続いて、第 2 バッファ層 6 0 0 を異方性エッチングでパターンニングして図 5 (B) を参照して説明したようにトレンチ 6 0 1 を形成する。

【 0 0 7 2 】

図 7 (B) を参照すれば、第 2 バッファ層 6 0 0 のトレンチ 6 0 1 の底に露出する第 1 バッファ層 (図 7 (A) の 6 3 0) 部分をウェットエッチングで除去して下部のシリコン層 1 2 0 上面を露出させる。その後、シリコン層 1 2 0 の Si チャンネル領域上と第 2 バッファ層 6 0 0 のトレンチ 6 0 1 側壁上とに素子のメモリとして使われる ONO 誘電層 5 0 0 を積層して形成する。この時、ONO 誘電層 5 0 0 は公知の方法で形成でき、特に上下段のシリコン酸化物層 5 0 0 a、5 0 0 c のそれぞれは図 5 (B) を参照して説明した

10

20

30

40

50

ように熱酸化膜または化学気相蒸着による蒸着膜等で形成できる。

【0073】

図7(C)を参照すれば、トレンチ601の内側壁上のONO誘電層500上に第1導電性スペーサ700を図5(C)を参照して説明したように形成する。

【0074】

図7(D)を参照すれば、第1導電性スペーサ700をエッチングマスクとして使用して下部のONO誘電層500の第1導電性スペーサ700によって画定された露出部分を選択的にエッチングして除去する。このようなエッチング工程は図5(D)を参照して説明したように異方性エッチングで遂行されることが望ましい。このようなエッチング工程によってSOI基板のシリコン層120が露出される。

10

【0075】

図7(E)を参照すれば、露出されたシリコン層120を覆い包むゲート誘電層800を図5(E)を参照して説明したように凹部801を有するように形成する。この時、ゲート誘電層800は以前の図7(D)を参照して説明したエッチング工程で露出した第2バッファ層600上に延びる。

【0076】

図7(F)を参照すれば、ゲート誘電層800上に凹部801、すなわち、第1導電性スペーサ700間のギャップを埋め込む第2導電性層900を図5(F)を参照して説明したように形成する。

【0077】

図7(G)を参照すれば、第2導電性層900部分以外の露出したゲート誘電層800部分を、図5(G)を参照して説明したように、選択的に第1ウェットエッチングで除去して下部の第1導電性スペーサ700の上側表面及びバッファ層(図7(F)の600)の上側表面を露出させる。その後、第1導電性スペーサ700より外側の露出した第2バッファ層600を図5(G)を参照して説明したように選択的に第2ウェットエッチングで除去する。この時、第2バッファ層600がシリコン窒化物のようにONO誘電層500のシリコン窒化物層500bと類似した絶縁物質で形成された場合、第2バッファ層600の除去と共に露出されるONO誘電層500のシリコン窒化物層500bの一部も除去される。しかし、このとき、実質的にSONOS素子でONO誘電層500として作用する部分はONO誘電層500の上側シリコン酸化物層500cによって保護されて残存

20

30

【0078】

図7(H)を参照すれば、第1導電性スペーサ700及び第2導電性層900をマスクとして第1導電性スペーサ700より外側の露出したONO誘電層500部分、すなわち、ONO誘電層500の下側シリコン酸化物層500aの一部及び残留する第1バッファ層630部分を選択的にエッチングして除去する。これにより、SONOS素子のツインONO誘電層500が形成される。このように形成されたONO誘電層500は第1実施形態と異なって、ONO誘電層500の上側シリコン酸化物層500cが第1導電性スペーサ700の側壁に延びた状態となる。しかし、SONOS素子でONO誘電層500として作用する点は第1実施形態と実質的に同一である。

40

【0079】

図7(I)を参照すれば、ツインONO誘電層500の形成によって露出されたSOI基板のシリコン層120に図5(I)を参照して説明したように第1拡散層121をイオン注入を通じて形成する。

【0080】

図7(J)を参照すれば、第2絶縁スペーサ750を第1導電性スペーサ700の側壁に延びた状態にあるONO誘電層500の上側シリコン酸化物層500cの外側に図5(J)を参照して説明したように形成する。その後、このような第2絶縁スペーサ750をイオン注入マスクとして利用して露出されたシリコン層120に第2拡散層125を図5(J)を参照して説明したように形成する。

50

【 0 0 8 1 】

図 7 (K) を参照すれば、第 1 導電性スペーサ 7 0 0 及び第 2 導電性層 9 0 0 を電氣的に連結する第 1 シリサイド層 9 1 0 及び第 1 及び第 2 拡散層 1 2 1、1 2 5 に電氣的に連結する第 2 シリサイド層 9 2 0 を図 5 (K) を参照して説明したように形成する。

【 0 0 8 2 】

以後の一連の工程は一般的な半導体素子製造工程に従う。

【 0 0 8 3 】

以上の図 7 (A) ないし図 7 (K) を参照して説明した工程によって、図 7 (K) に提示されたように中間部分が分離され、分離された両側が対称的なツイン ONO 誘電層 5 0 0 構造である構成を具現できる。

10

【 0 0 8 4 】

[第 4 実施形態]

< 第 2 変形された単一ゲート構造のツイン SONOS >

第 4 実施形態では第 1 及び第 3 実施形態とは異なり、変形された単一ゲート構造が形成される。第 4 実施形態で第 1 実施形態と同じ符号が付される部材は実質的に同じ部材と解釈できる。

【 0 0 8 5 】

図 8 (A) ないし図 8 (J) は、本発明の第 4 実施形態によるツイン ONO 形態の SONOS メモリ素子製造方法を説明するために概略的に示す断面図である。

図 8 (A) を参照すれば、SONOS メモリ素子を製造する出発物質として図 5 (A) を参照して説明したように SOI 基板を用意する。その後、図 5 (B) を参照して説明したように ONO 誘電層 5 0 0 を形成し、その上にトレンチ 6 0 1 を有するバッファ層 6 0 0 を形成する。続いて、トレンチ 6 0 1 の内側壁に第 1 絶縁スペーサ 7 7 0 を形成する。この時、第 1 絶縁スペーサ 7 7 0 は図 5 (C) の第 1 導電性スペーサ 7 0 0 とは異なり、絶縁物質またはフォトレジスト物質で形成できる。このような第 1 絶縁スペーサ 7 7 0 は第 2 実施形態の第 1 絶縁スペーサ 7 1 0 とは異なり、犠牲層として形成される。

20

【 0 0 8 6 】

図 8 (B) を参照すれば、第 1 絶縁スペーサ 7 7 0 をエッチングマスクとして使用して図 5 (D) を参照して説明したことと類似して下部の ONO 誘電層 5 0 0 のうち第 1 絶縁スペーサ 7 7 0 間に露出された部分をエッチング除去して ONO 誘電層 5 0 0 を 2 つの部分に分離する。

30

【 0 0 8 7 】

図 8 (C) を参照すれば、第 1 絶縁スペーサ 7 7 0 を除去する。

【 0 0 8 8 】

図 8 (D) を参照すれば、バッファ層 6 0 0 をエッチングマスクとして、第 1 絶縁スペーサ 7 7 0 の除去によって露出された上層のシリコン酸化物層 5 0 0 c 部分を選択的に除去して中間層のシリコン窒化物層 5 0 0 b の一部を露出させる。

【 0 0 8 9 】

図 8 (E) を参照すれば、露出されたシリコン層 1 2 0 を覆い包むゲート誘電層 8 0 0 を図 5 (E) を参照して説明したことと類似して形成する。例えば、このようなゲート誘電層 8 0 0 は熱酸化方式によるシリコン酸化物で形成できる。

40

【 0 0 9 0 】

図 8 (F) を参照すれば、ゲート誘電層 8 0 0 上にバッファ層 6 0 0 間のギャップを埋め込む導電性層 9 3 0 を形成する。このような導電性層 9 3 0 は多様な導電物質、例えば、導電性多結晶シリコンで形成できる。トレンチ 6 0 1 内に限定されるように導電性層 9 3 0 をエッチバックまたは科学機械的研磨する。

【 0 0 9 1 】

図 8 (G) を参照すれば、導電性層 9 3 0 部分以外の露出したゲート誘電層 8 0 0 部分を図 5 (G) を参照して説明したことと類似して選択的に除去してバッファ層 (図 8 (F) の 6 0 0) の上側表面を露出させる。このようなエッチングは第 1 ウェットエッチング

50

で遂行できる。その後、露出されたバッファ層600を図5(G)を参照して説明したごとと類似して選択的に第2ウェットエッチングで除去して下部のONO誘電層500の上側表面を露出させる。

【0092】

図8(H)を参照すれば、導電性層930及びゲート誘電層800をエッチングマスクとして露出されたONO誘電層500部分を選択的にエッチングして除去する。これによって、SONOS素子のツインONO誘電層500'が形成される。この時、このツインONO誘電層500'は、実質的に残留するゲート誘電層の一部800a、シリコン窒化物層500b、及び下層のシリコン酸化物層500aで新たに形成される。

【0093】

図8(I)を参照すれば、ツインONO誘電層500'の形成によって露出されたSOI基板のシリコン層120を図5(I)を参照して説明したように第1拡散層121をイオン注入を通じて形成する。

【0094】

図8(J)を参照すれば、第2絶縁スペーサ750をゲート誘電層800の露出された側壁に形成する。このような第2絶縁スペーサ750は絶縁物質、例えば、シリコン窒化物を蒸着して異方性エッチングする工程を通じて形成される。このような第2絶縁スペーサ750をイオン注入マスクとして利用して露出されたシリコン層120を図5(J)を参照して説明したごとと類似して第2拡散層125をイオン注入を通じて形成する。

【0095】

これによって、導電性層930でゲートが構成され、中間部位が分離されたツインONO誘電層500'を含むSONOSセルが形成される。以後の一連の工程は一般的な半導体素子製造工程に従う。

【0096】

以上の本発明の実施形態によれば、CHEI方式を利用した2ビットSONOSメモリ素子はゲート下部のONO誘電層を逆スペーサを利用して物理的に切断して製造できる。そして、ONO誘電層がツイン形態で2つに分離されることによって、プログラム及び消去時に生成される電子及びホールの分布を意図的に調節でき、同時に2つに切断されたONO誘電層間に形成されるゲート誘電層の厚さを適切に調節することによって短チャンネル現象を減らせる。

【0097】

図9(A)及び図9(B)は、本発明の実施形態によるツインONO形態のSONOSメモリ素子の効果を説明するためにシミュレーションした電荷分布を示す図である。

図9(A)及び図9(B)は何れも0.12 μ mゲート長構造でそれぞれゲートに5V、ドレインに3Vを印加した後(残りの電圧条件はいずれも接地条件である)、1 μ sストレスを印加した後、すなわち、プログラムを遂行した後、捕獲された電荷の分布をシミュレーションを通じて測定した結果を示したものである。

【0098】

図9(A)は、本発明の実施形態によって分離されたONO誘電層構造、すなわち、ONO400 / O400 / ONO400の3部分に分けられた誘電層構造で測定された結果であり、図9(B)は図9(A)の結果を比較評価するために従来のONO誘電層がゲート下部で伸び続けた構造、すなわち、ONO400の誘電層構造で測定された結果である。

【0099】

図9(B)は、短チャンネル特性によって0.12 μ mの短いチャンネル長さによって捕獲された電荷の広い分布を示すが、図9(A)は物理的なONO誘電層の分離によってプログラムされた電荷の分布を人工的に調節できることを示す。図9(B)のテールの電荷は2ビット動作に問題点を誘発する。また、書込みと消去を繰り返すことによって残っているジャンクション間のチャンネル中央領域に電荷が蓄積されて、蓄積された電荷によって耐久特性が劣化するだけでなく、プログラム以後の読み出し時にも時間が経つにつ

10

20

30

40

50

れてエッジ領域の電荷がチャンネル領域への電荷再分布を誘発するので、リテンション特性が劣化する。これに対して、図9(A)の結果は、このような従来の問題点を本発明の実施形態で改善できることを示す。

【0100】

また、本発明の実施形態はトレンチを有するバッファ層を利用して逆転された形態のスペーサを利用することによって、ゲート長方向の大きさを増加させずにスペーサの下に形成されるONO誘電層を正確に対称的な構造でツイン形状に分離形成できる。これによって、フォト工程のパターン制限を受けずに逆自己整合方式で1個のゲートに2個のONO誘電層を有する2ビットSONOS素子を製造できる。また、ゲート形成後にゲート両側壁に絶縁スペーサを形成後、シリサイド化してゲート及び拡散領域の抵抗を下げられる。

10

【0101】

以上、本発明を具体的な実施形態を通じて詳しく説明したが、本発明はこれに限定されず、本発明の技術的思想内で当分野の当業者によって、その変形や改良が可能であることは明らかである。

【産業上の利用可能性】

【0102】

本発明は、半導体素子、特に、非揮発性メモリ素子、例えば、電氣的にデータの消去と貯蔵とが可能であり、電源が供給されなくてもデータの保存可能なフラッシュメモリセル素子を具現するに適用できる。

【図面の簡単な説明】

20

【0103】

【図1】典型的なSONOSメモリセルを説明するために概略的に示す断面図である。

【図2】典型的な2ビットメモリ動作を説明するために概略的に示す図である。

【図3】(A)は、典型的なSONOS素子でプログラムされた後、シリコン窒化物層に注入された電荷の分布を示す図であり、(B)は典型的なSONOS素子で時間tが経つにつれて注入された電荷の再分配によるリテンション特性を示す図である。

【図4】(A)及び(B)は、典型的なSONOS素子の耐久特性を説明するために示す図である。

【図5】(A)ないし(K)は、本発明の第1実施形態によるツインONO形態のSONOSメモリ素子製造方法を説明するために概略的に示す断面図である。

30

【図6】(A)ないし(J)は、本発明の第2実施形態によるツインONO形態のSONOSメモリ素子製造方法を説明するために概略的に示す断面図である。

【図7】(A)ないし(K)は、本発明の第3実施形態によるツインONO形態のSONOSメモリ素子製造方法を説明するために概略的に示す断面図である。

【図8】(A)ないし(J)は、本発明の第4実施形態によるツインONO形態のSONOSメモリ素子製造方法を説明するために概略的に示す断面図である。

【図9】(A)及び(B)は、本発明の実施形態によるツインONO形態のSONOSメモリ素子の効果を説明するためにシミュレーションした電荷分布を示す図である。

【符号の説明】

【0104】

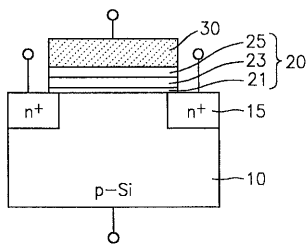
40

- 120 SOI基板のシリコン層
- 121、125 第1、第2拡散層
- 500 ONO誘電層
- 500a、500c シリコン酸化物層
- 500b シリコン窒化物層
- 600 バッファ層
- 601 トレンチ
- 700 第1導電性スペーサ
- 800 ゲート誘電層
- 801 凹部

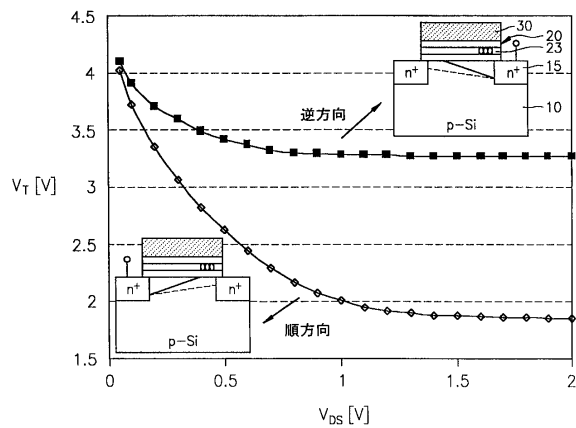
50

900 第2導電性層
910、920 第1、第2シリサイド層

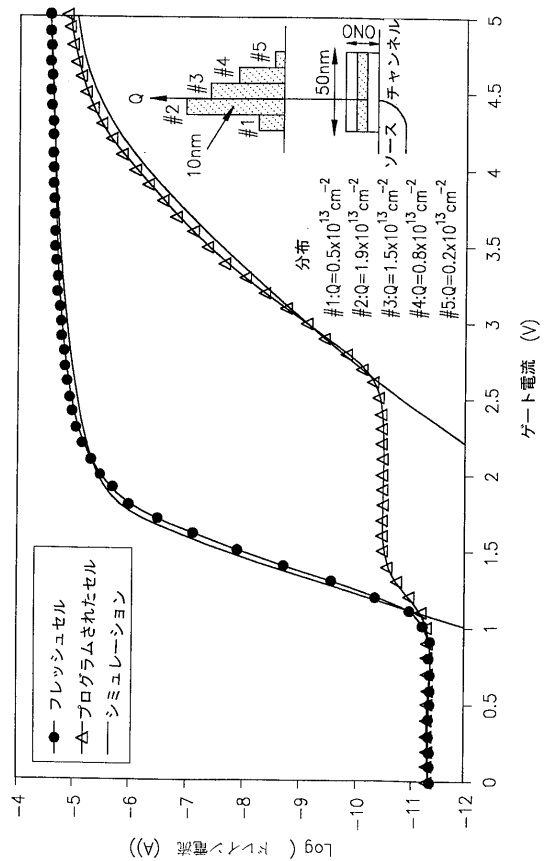
【図1】



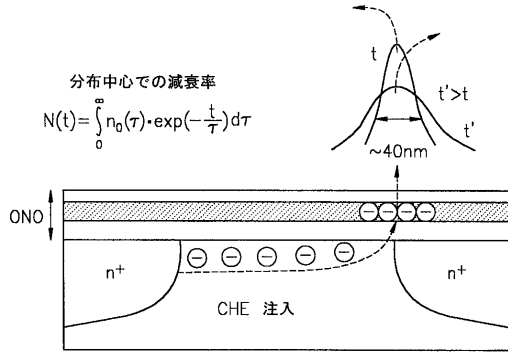
【図2】



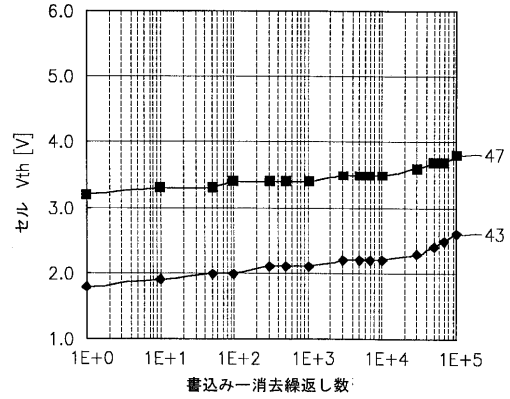
【図3(A)】



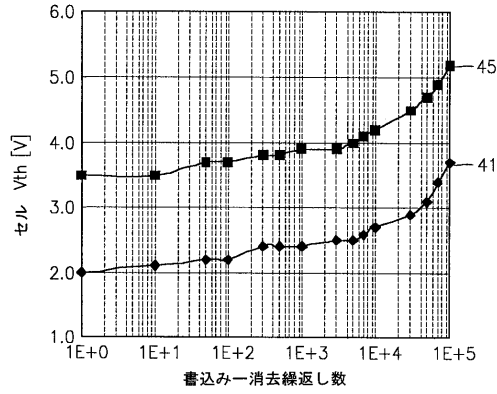
【図3(B)】



【図4(B)】



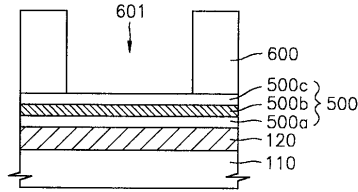
【図4(A)】



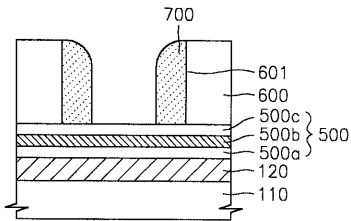
【図5(A)】



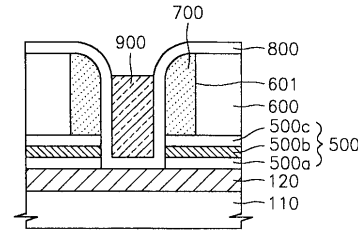
【図5(B)】



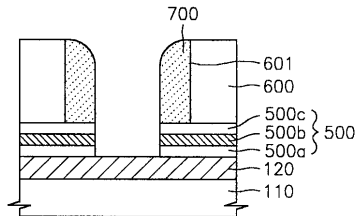
【図5(C)】



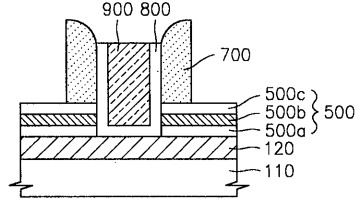
【図5(F)】



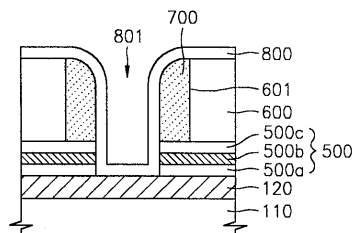
【図5(D)】



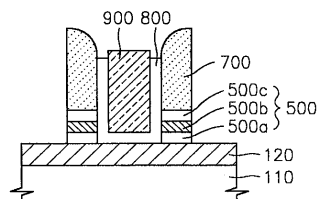
【図5(G)】



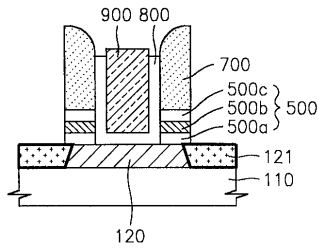
【図5(E)】



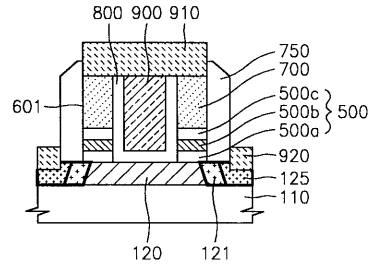
【図5(H)】



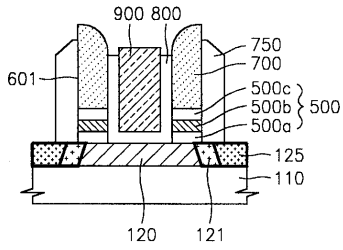
【図5(I)】



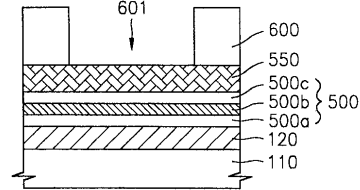
【図5(K)】



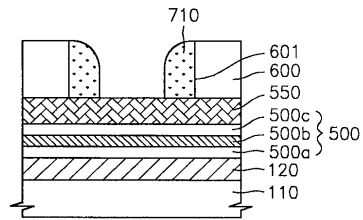
【図5(J)】



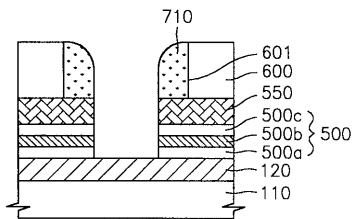
【図6(A)】



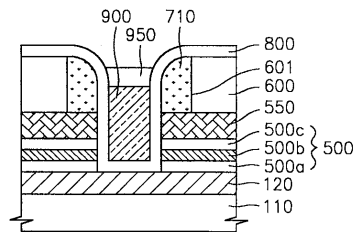
【図6(B)】



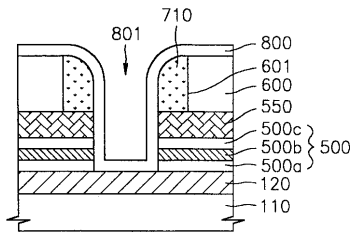
【図6(C)】



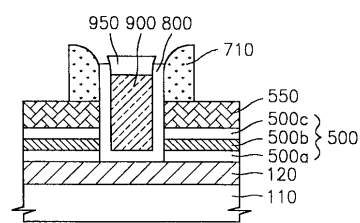
【図6(F)】



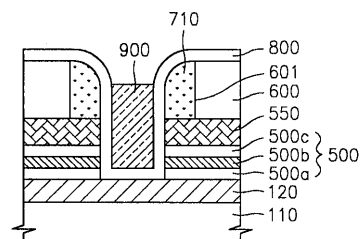
【図6(D)】



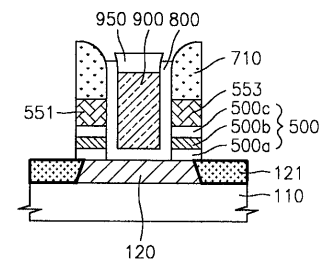
【図6(G)】



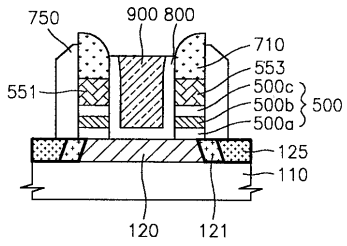
【図6(E)】



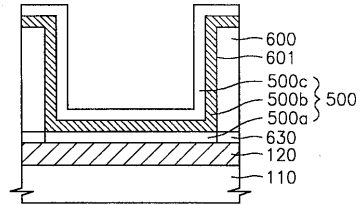
【図6(H)】



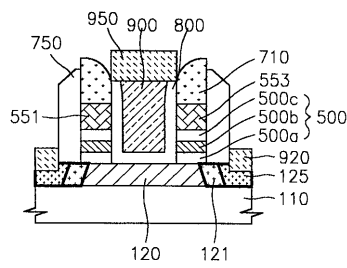
【図 6 (I)】



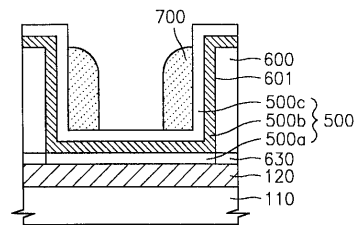
【図 7 (B)】



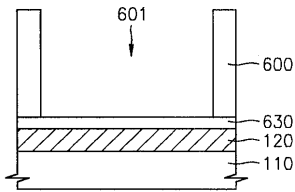
【図 6 (J)】



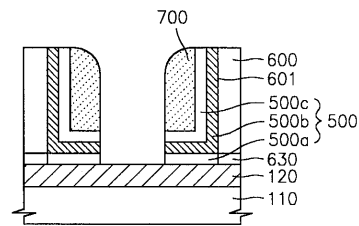
【図 7 (C)】



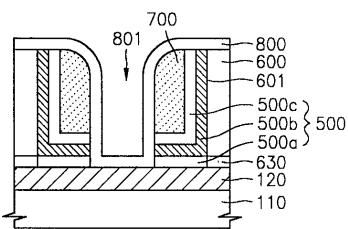
【図 7 (A)】



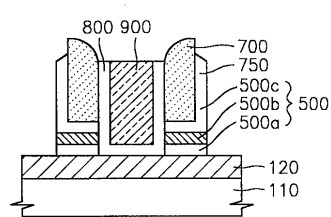
【図 7 (D)】



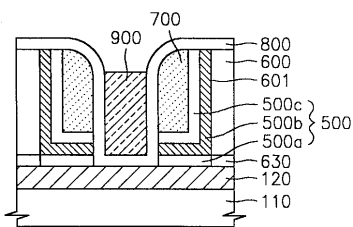
【図 7 (E)】



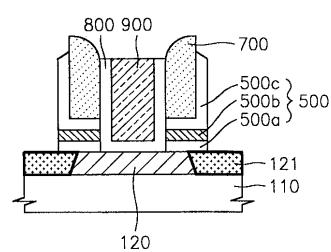
【図 7 (H)】



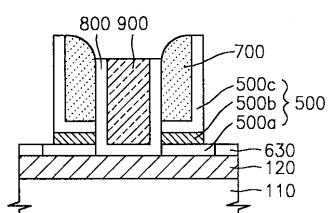
【図 7 (F)】



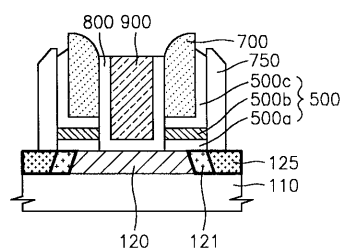
【図 7 (I)】



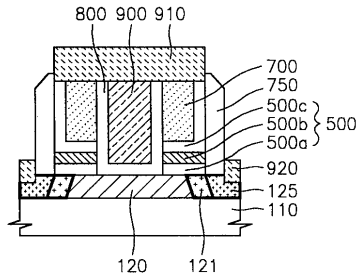
【図 7 (G)】



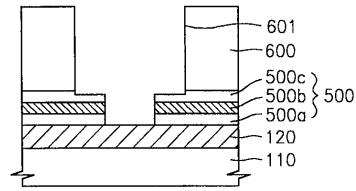
【図 7 (J)】



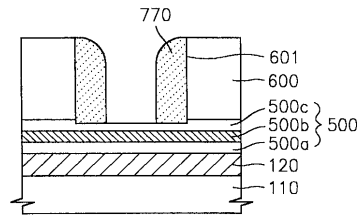
【図7(K)】



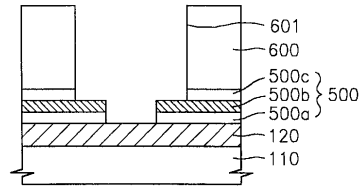
【図8(C)】



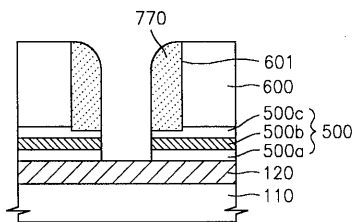
【図8(A)】



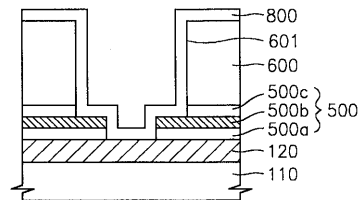
【図8(D)】



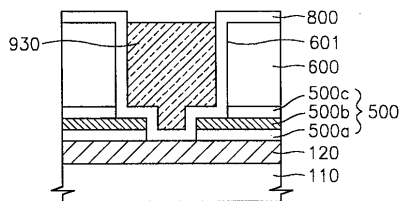
【図8(B)】



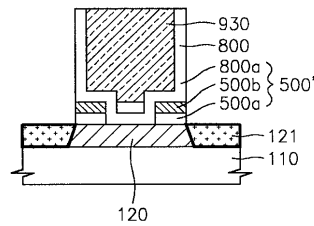
【図8(E)】



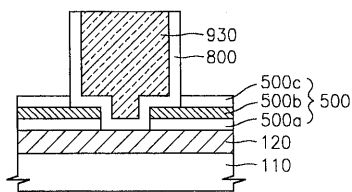
【図8(F)】



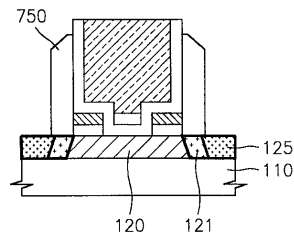
【図8(I)】



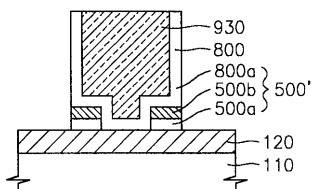
【図8(G)】



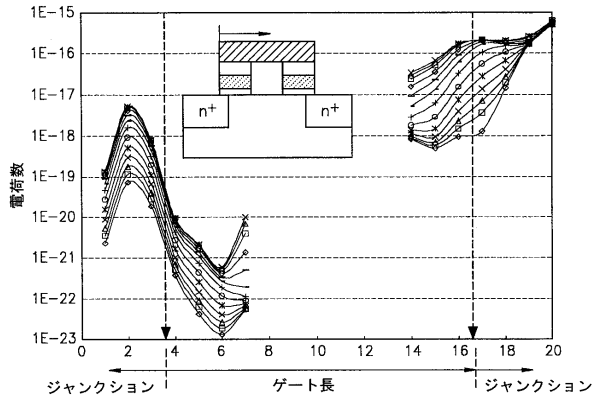
【図8(J)】



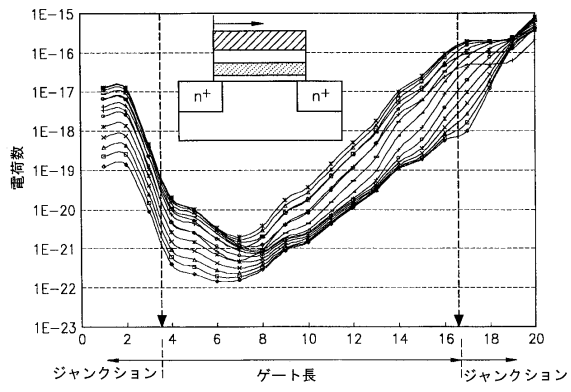
【図8(H)】



【図9(A)】



【図9(B)】



フロントページの続き

- (72)発明者 韓 晶 ウッ
大韓民国京畿道水原市勸善区金谷洞530番地 LGビレジアパート206棟203号
- (72)発明者 姜 盛 沢
大韓民国ソウル特別市松坡区松坡2洞166番地 三益アパート209棟1107号
- (72)発明者 李 種 徳
大韓民国ソウル特別市冠岳区新林洞山56-1番地 ソウル大学校電気工学部
- (72)発明者 朴 炳 国
大韓民国ソウル特別市冠岳区新林洞山56-1番地 ソウル大学校電気工学部

審査官 井原 純

- (56)参考文献 国際公開第02/011145(WO, A1)
特開2001-156188(JP, A)
国際公開第2004/095526(WO, A1)
特表2004-505460(JP, A)
特開2002-203918(JP, A)
米国特許出願公開第2003/0032243(US, A1)
米国特許第06479858(US, B1)
米国特許第06462375(US, B1)
特開2003-258128(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792