

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5253393号
(P5253393)

(45) 発行日 平成25年7月31日 (2013. 7. 31)

(24) 登録日 平成25年4月26日 (2013. 4. 26)

(51) Int. Cl. F I
 HO 4 L 1/00 (2006. 01) HO 4 L 1/00 B
 HO 3 M 13/15 (2006. 01) HO 3 M 13/15

請求項の数 19 (全 13 頁)

(21) 出願番号	特願2009-523142 (P2009-523142)	(73) 特許権者	504161984
(86) (22) 出願日	平成19年8月3日 (2007. 8. 3)		ホアウェイ・テクノロジーズ・カンパニー・リミテッド
(65) 公表番号	特表2010-500796 (P2010-500796A)		中華人民共和国・518129・グアンドン・シェンツェン・ロンガン・ディストリクト・バンティアン・(番地なし)・ホアウェイ・アドミニストレーション・ビルディング
(43) 公表日	平成22年1月7日 (2010. 1. 7)		
(86) 国際出願番号	PCT/CN2007/070410	(74) 代理人	100146835
(87) 国際公開番号	W02008/019611		弁理士 佐伯 義文
(87) 国際公開日	平成20年2月21日 (2008. 2. 21)	(74) 代理人	100089037
審査請求日	平成21年3月19日 (2009. 3. 19)		弁理士 渡邊 隆
(31) 優先権主張番号	60/822, 175	(74) 代理人	100110364
(32) 優先日	平成18年8月11日 (2006. 8. 11)		弁理士 実広 信哉
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/765, 637		
(32) 優先日	平成19年6月20日 (2007. 6. 20)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 64B66Bコード化システムのためのフォワードエラー訂正

(57) 【特許請求の範囲】

【請求項 1】

方法において、

フォワードエラー訂正 (F E C) アルゴリズムを複数のデータブロックに適用して、複数の冗長データを発生させることと、

整数個の前記データブロックと、前記冗長データとを F E C コードワード中にカプセル化することと、

同期パターンを前記 F E C コードワードに付加することと、

前記 F E C コードワードを伝送することとを含み、

前記同期パターンの長さは、前記 F E C コードワードが伝送クロックタイムクォンタムに均等に位置合せされるように選択される方法。 10

【請求項 2】

前記フォワード F E C アルゴリズムを適用することは、リードソロモン (R S) コーディングアルゴリズムを適用することを含む請求項 1 記載の方法。

【請求項 3】

前記伝送タイムクォンタムは、16 ナノ秒である請求項 1 記載の方法。

【請求項 4】

前記データブロックのサイズに対する前記 F E C コードワードの長さの比は、1.125 以下である請求項 1 記載の方法。

【請求項 5】

前記データブロックのサイズに対する前記 F E C コードワードの長さの比は、1 . 0 9 3 7 5 以下である請求項 1 記載の方法。

【請求項 6】

前記データブロックのそれぞれは、6 5 ビットの長さであり、6 4 ビットのデータを含む請求項 1 記載の方法。

【請求項 7】

方法において、

複数のデータブロックから複数の冗長データを発生させる F E C アルゴリズムを選択すること、

整数個の前記データブロックと、前記冗長データとを F E C コードワード中にカプセル化すること、

整数個の前記 F E C コードワードが、整数個の伝送クロックタイムクォンタムに均等に位置合せされるように、前記 F E C コードワードに付加する同期パターンの長さを選択することを含む方法。

10

【請求項 8】

前記 F E C コードワードは、2 5 5 以下の総バイトを含み、そのうちの 2 3 9 バイト以下が前記データブロックである請求項 7 記載の方法。

【請求項 9】

前記 F E C コードワードは、2 8 個のデータブロックを含み、各データブロックは、6 6 ビットの長さであり、前記冗長データは、1 2 8 ビットの長さであり、前記同期パターンは、4 0 ビットの長さであり、前記同期パターンを有する F E C コードワードの長さは、2 0 1 6 ビットである請求項 7 記載の方法。

20

【請求項 1 0】

前記 F E C コードワードは、2 5 個のデータブロックを含み、各データブロックは、6 6 ビットの長さであり、前記冗長データは、1 2 8 ビットの長さであり、前記同期パターンは、2 2 ビットの長さであり、前記同期パターンを有する F E C コードワードの長さは、1 8 0 0 ビットである請求項 7 記載の方法。

【請求項 1 1】

前記 F E C コードワードは、2 9 個のデータブロックを含み、各データブロックは、6 5 ビットの長さであり、前記冗長データは、1 2 8 ビットの長さであり、前記同期パターンは、1 7 ビットの長さであり、前記同期パターンを有する F E C コードワードの長さは、2 0 3 0 ビットである請求項 7 記載の方法。

30

【請求項 1 2】

前記 F E C コードワードは、2 5 個のデータブロックを含み、各データブロックは、6 5 ビットの長さであり、前記冗長データは、1 2 8 ビットの長さであり、前記同期パターンは、2 2 ビットの長さであり、前記同期パターンを有する F E C コードワードの長さは、1 7 7 5 ビットである請求項 7 記載の方法。

【請求項 1 3】

前記 F E C コードワードは、2 9 個のデータブロックを含み、各データブロックは、6 5 ビットの長さであり、前記冗長データは、1 2 8 ビットの長さであり、前記同期パターンは、7 5 ビットの長さであり、前記同期パターンを有する F E C コードワードの長さは、2 0 8 8 ビットである請求項 7 記載の方法。

40

【請求項 1 4】

受動光ネットワーク (P O N) コンポーネントにおいて、

送信機および受信機に結合されているフォワードエラー訂正 (F E C) モジュールを具備し、

前記 F E C モジュールは、前記受信機から複数のデータブロックを受け取り、前記複数のデータブロックから複数の冗長データを発生させ、整数個の F E C コードワードを発生させるように構成され、前記整数個の F E C コードワードの各々は整数個のデータブロックと前記冗長データとをカプセル化し、前記 F E C モジュールは、前記送信機上で、前記

50

整数個の F E C コードワードが整数個の伝送クロックタイムクォンタムに均等に位置合せされるように、前記整数個の F E C コードワードの各々に付加する同期パターンの長さを選択するように構成されている P O N コンポーネント。

【請求項 15】

前記 F E C モジュールは、

前記受信機に結合され、前記受信機から前記複数のデータブロックを受け取り、前記冗長データを発生させ、前記冗長データと前記整数個のデータブロックとを、前記整数個の F E C コードワード中にカプセル化するように構成されている F E C エンコーダと、

前記 F E C エンコーダおよび前記送信機に結合され、前記同期パターンを前記整数個の F E C コードワードの各々に付加するように構成されている F E C コードワード処理モジュール (F C P M) とを備える請求項 14 記載の P O N コンポーネント。

10

【請求項 16】

前記 F E C モジュールは、

前記受信機に結合され、前記整数個の F E C コードワードから前記データブロックと冗長データとを抽出し、エラー検出のために、前記冗長データの新しいバージョンを発生させるように構成されている F E C デコーダをさらに備え、

前記 F C P M は、伝送エラーを検出し、前記伝送エラーを訂正するようにさらに構成されている請求項 15 記載の P O N コンポーネント。

【請求項 17】

前記 F E C エンコーダと前記 F E C デコーダは、単一のデバイス中に組み込まれている請求項 16 記載の P O N コンポーネント。

20

【請求項 18】

前記 F E C エンコーダ、前記 F E C デコーダ、および前記 F C P M は、単一のデバイス中に組み込まれている請求項 16 記載の P O N コンポーネント。

【請求項 19】

前記 P O N コンポーネントは、イーサネット P O N における、光ネットワーク終端装置 (O N T) または光ライン終端装置 (O L T) のうちの 1 つの一部である請求項 14 記載の P O N コンポーネント。

【発明の詳細な説明】

【関連出願に対する相互参照】

30

【0001】

本出願は、Frank J. Effenberger 氏により 2006 年 8 月 11 日に
出願された、“64b66b コード化システムのための F E C ” と題する、米国仮出願第
60/822,175 号と、Frank J. Effenberger 氏により 2007
年 6 月 20 日に
出願された、“64b66b コード化システムのためのフォワードエラー
訂正” と題する、米国出願第 11/765,637 号とに対する優先権を主張し、それら
は両方とも、全体として、参照によりここに組み込まれている。

【技術分野】

【0002】

本発明はデータ伝送エラー制御の分野に関し、より詳細には、64b66b コード化シ
ステムのためのフォワードエラー訂正 (F E C) に関する。

40

【背景】

【0003】

電気通信において、フォワードエラー訂正 (F E C) は、データ伝送エラー制御のシ
ステムであり、それによって、送信側は、受信側が伝送エラーを検出することを可能にする
冗長データをオリジナルユーザデータに付加する。F E C システムは、データを再伝送す
ることを送信側に求めることなく、ある限度内で伝送エラーを訂正できる。この利点は、
データ伝送に対するより広い帯域幅の要求を犠牲にして達成され、それゆえに、F E C は
一般的に、再伝送が望まれず、再伝送に比較的成本がかかり、または再伝送が不可能で
ある状況においてのみ適用される。

50

【0004】

受動光ネットワーク（PON）配備中で、EPONとして知られる10ギガビット（10G）イーサネット（登録商標）技術が使用されることは比較的最近の進歩である。EPONは、広く配備されているインターネットプロトコル（IP）ネットワークと、10G光ネットワーク技術の成熟度とを利用している。10GのEPONシステムにおいて、PONにおける64b66b伝送の光伝送品質を改善するために、FECが必要とされる。1GのEPONシステムのような、イーサネット中で使用される以前のFECシステムは、それらが8b10bコーディングスキームを実現していることから、10GのEPONに適していない。伝送品質を改善し、“ラストマイル”カスタマに対してサービス品質要求を満たすために、10GのEPONのネットワークおよびトラフィック特性を考慮に入れた、効率的なFECシステムに対する必要性が存在する。

10

【概要】

【0005】

第1の実施形態において、FECアルゴリズムを複数のデータブロックに適用して複数の冗長データを発生させることと、整数個のデータブロックと、冗長データとをFECコードワード中にカプセル化することと、同期パターンをFECコードワードに付加することと、FECコードワードを伝送することを含む方法を実現するように構成されているプロセッサを備えるネットワークコンポーネントを本開示は含み、コードワードは、伝送レートを有する伝送クロックタイムクォンタムにほぼ均等に位置合せされる。

【0006】

20

第2の実施形態において、複数のデータブロックから複数の冗長データを発生させるFECアルゴリズムを選択することと、整数個のデータブロックをカプセル化するFECコードワードを選択することと、整数個のFECコードワードが、整数個の伝送クロックタイムクォンタムに均等に位置合せされるように、FECコードワードに付加する同期パターンを選択することを含む方法を、本開示は含む。

【0007】

第3の実施形態において、本開示は、送信機および受信機に結合されているFECモジュールを備えているPONコンポーネントを含む。整数個のデータブロックをカプセル化し、整数個のFECコードワードを、整数個の伝送クロックタイムクォンタムに位置合せすることを促進するFECコードワードを発生させるように、FECモジュールは構成されている。

30

【0008】

これらの、および他の特徴は、添付図面および特許請求の範囲とともに考慮された以下の詳細な説明から、よりはっきりと理解される。

【0009】

本開示のより完全な理解のために、同じ参照番号が同じ部分を表す添付図面および詳細な説明とともに考慮された以下の簡単な説明に対して、これから参照を実施する。

【図面の簡単な説明】

【0010】

【図1】図1は、PONシステムの1つの実施形態を図示する。

40

【図2】図2は、FECモジュールを構成するためのプロセスの1つの実施形態のフローチャートである。

【図3】図3は、FECプロセスの1つの実施形態のフローチャートである。

【図4】図4は、エラー訂正プロセスの1つの実施形態のフローチャートである。

【図5】図5は、FECモジュールを備えているPONコンポーネントの1つの例を図示する。

【図6】図6は、本開示のいくつかの実施形態を実現するのに適した、例示的な汎用目的のコンピュータシステムを図示する。

【詳細な説明】

【0011】

50

1つ以上の実施形態の例示的な構成を以下で提供するが、開示するシステムおよび/または方法は、現在知られているか、または実存しているかにかかわらず、何らかの数の技術を使用して実現してもよいことを最初に理解すべきである。本開示は、ここで図示および記述する例示的な設計および構成を含む、以下で説明する実例となる構成、図面、および技術に決して限定すべきでないが、特許請求の範囲の均等物の完全な範囲を加えた特許請求の範囲内で修正してもよい。

【0012】

64b66bコード化システムにおけるFECに対する方法をここで記述する。方法は、リードソロモン(RS)アルゴリズムを使用して冗長データを発生させ、冗長データと、整数個のデータブロックとをコードワード中にカプセル化し、同期パターンをコードワードに付加してもよい。整数個のコードワードが、整数個の複数ポイント制御プロトコル(MPCP)伝送クロックタイムクォンタムに均等に位置合せされるように、このプロセスを実現してもよい。このような実施形態は、低いコード化ラインレートを達成し、低いコード化ラインレートは、より低いオーバーヘッドと、より優れた効率とをもたらす。方法はまた、RSアルゴリズムと同期パターンとを使用して、コードワードを逆アSEMBルし、伝送中に発生しているかもしれないエラーを識別および訂正してもよい。

10

【0013】

図1は、PON100の1つの実施形態を図示する。PON100は、光ライン終端装置(OLT)102と、光配信ネットワーク(ODN)104と、複数の光ネットワークユニット(ONU)106とを備えている。PON100は、OLT102とONU106との間でデータを配信するいずれのアクティブコンポーネントも必要としない通信ネットワークである。代わりに、PON100は、ODN104において受動光コンポーネントを使用して、OLT102とONU106との間でデータを配信する。適切なPON100の例は、ITU-TG.983規格により規定された、非同期転送モードPON(APON)およびブロードバンドPON(BPON)と、ITU-TG.984規格により規定されたギガビットPON(GPON)と、IEEE802.3ah規格により規定されたEPONと、波長分割多重PON(WDM-PON)とを含み、これらすべては、複写されたかのように、全体として参照により組み込まれる。

20

【0014】

PON100の1つのコンポーネントは、OLT102であってもよい。OLT102は、ONU106および(示していない)別のネットワークと通信するように構成されている何らかのデバイスであってもよい。特に、OLT102は、他のネットワークから受信したデータをONU106に転送し、ONU106から受信したデータを他のネットワークに転送するという点で、OLT102は、他のネットワークとONU106との間の媒介として動作する。ここで記述するOLT102は一般的に、中央オフィスのような、中央の場所に位置しているが、他の場所に位置していてもよい。

30

【0015】

PON100の別のコンポーネントは、ONU106であってもよい。ONU106は、OLT102および、(示していない)カスタマまたはユーザと通信するように構成されている何らかのデバイスであってもよい。特に、ONU106は、OLT102から受信したデータをカスタマに転送し、カスタマから受信したデータをOLT102に転送するという点で、ONUは、OLT102とカスタマとの間の媒介として動作する。いくつかの実施形態において、ONU106と光ネットワーク終端装置(ONT)は類似しており、したがって、ここでは、それらの用語を区別なく使用する。ONUは一般的に、カスタマの構内のような、分散された場所に位置しているが、他の場所に位置していてもよい。

40

【0016】

PON100の別のコンポーネントは、ODN104であってもよい。ODN104は、光ファイバケーブル、カップラ、スプリッタ、ディストリビュータ、および/または当業者に知られている他の機器から構成されているデータ配信システムである。1つの実施

50

形態において、光ファイバケーブル、カップラ、スプリッタ、ディストリビュータ、および/または当業者に知られている他の機器は、受動光コンポーネントである。特に、光ファイバケーブル、カップラ、スプリッタ、ディストリビュータ、および/または当業者に知られている他の機器は、OLT102とONU106との間でデータ信号を配信するのに何ら電力を必要としないコンポーネントであってもよい。図1中で示したように、ODN104は一般的に、分岐構成においてOLT102からONU106まで達しているが、代わりに、当業者により決定されるように、構成されてもよい。

【0017】

PONの別のコンポーネントは、FECモジュール101であってもよい。FECモジュールは、ハードウェアおよびソフトウェアのサブコンポーネントの両方を備えていてもよい伝送エラー制御システムである。FECモジュールは、送信側部分と受信側部分とを有していてもよく、2つの部分と一緒に動作して、エラー訂正を達成してもよい。送信側部分はFECアルゴリズムを使用して、オリジナルデータブロックから冗長データを発生させてもよく、冗長データおよびオリジナルデータブロックを、意図した受信者に対して送信してもよい。受信側部分は、同じまたは類似のアルゴリズムを使用して、冗長データのそのバージョンを発生させてもよい。冗長データの2つのバージョンの間の不一致は、伝送エラーを示す。このようなケースにおいて、FECモジュールの受信側部分は冗長データを使用して、エラーを訂正し、オリジナルデータブロックを回復させてもよい。FECモジュールは、ハードウェアモジュール、ソフトウェアモジュール、またはこれらの組み合わせ中で実現してもよい。

【0018】

図2は、FECモジュールを構成するためのプロセス200の1つの実施形態を図示する。プロセス200は、201において、FECアルゴリズムを選択することと、202において、FECコードワードを選択することと、203において、同期パターンを選択することとを含む。プロセス200を使用して、送信側、受信側、または両方に対するFECモジュールを構成してもよい。ブロックの数および順序は、1つの実施形態だけを表し、プロセス200は、ここで記述した数および順序に限定すべきでない。

【0019】

201において、プロセス200は、FECアルゴリズムを選択することにより開始してもよい。FECアルゴリズムの選択は、さまざまな要素に基づいていてもよく、それらは、とりわけ、FECアルゴリズムが処理するデータブロックのサイズや、FECアルゴリズムが対処してもよいデータブロックのサイズの範囲や、コードワードのサイズのようなものである。選択されたFECアルゴリズムは、異なる伝送技術に対処するために、少なくとも1つのラインコーディングフォーマットのデータブロックに、好ましくは、複数のラインコーディングフォーマットのデータブロックに対処してもよい。1つの実施形態において、RSアルゴリズムがFECアルゴリズムとして選択される。RSアルゴリズムは、冗長データとして多くの多項式データ点を発生させる。十分な数の多項式データ点が正しく受信される限り、いくつかの不良データ点が存在する場合でさえ、受信側は、多項式データ点を使用して、任意のオリジナルデータブロックを回復できる。

【0020】

FECアルゴリズムを選択することの一部として、冗長データの長さも決定される。冗長データの長さは設計的選択事項であり、1つの構成と別の構成との間で異なってもよい。例えば、構成次第で、4ビット、8ビット、16ビット、または32ビットのデータに対して、1ビットの冗長データを発生させてもよい。大量の冗長データは、強いエラー訂正能力を生じるが、余分な帯域幅という犠牲を払う。冗長データの特定の長さは、予期されるエラーレート、エラーのタイプ、およびトラフィックパターンに左右される。例えば、予期されるエラーレートが低い場合、所望のエラー訂正能力を達成するために、より少ない冗長データしか必要としないかもしれない。冗長データの長さはまた、1つの実施形態にしたがって、異なるトラフィックおよびネットワーク状態に対処するように設定可能であってもよい。大量のデータエラーが予期されるトラフィックパターンに対して、

より長い長さの冗長データが適切であるかもしれない。さもなければ、データ帯域幅の節約のために、長さをより短くしてもよい。設定可能な冗長データを用いるFECモジュールが、さまざまな動作状態におけるネットワークデバイスに対して配備可能であってもよい。

【0021】

202において、プロセス200は、FECコードワードの選択を続けてもよい。いずれのデータブロックも断片化することなく、FECコードワードが最大数のデータブロックを含むように、FECコードワードのサイズを選択してもよい。1つの実施形態において、RS(239, 255)コードが選択され、約239バイトまでのユーザデータを、約255バイトの長さまでのコードワード中で搬送してもよい。1つの実施形態にしたがうと、約255バイトの長さのRSコードワードを使用して、発生させた冗長データと共に、66ビットの10Gイーサネットデータブロックのうちの約28個をカプセル化してもよい。別の実施形態において、10Gイーサネットラインコーディングからのパリティビットは、冗長データにより冗長となることから、ラインコーディングからの66ビットのデータブロックのうちの約1つのパリティビットを落としてもよい。このようなケースにおいて、結果として生じるデータブロックのそれぞれは、約65ビットの長さであり、RSコードワードは、発生させた冗長データと共に、65ビットデータブロックのうちの約29個をカプセル化してもよい。

10

【0022】

203において、プロセス200は、同期パターンの選択を続けてもよい。受信側が各FECコードワードの開始を見つけるために使用できる、固定された既知のパターンを、同期パターンは提供してもよい。同期パターンの長さは、設計的選択事項の問題であり、特定の構成次第で異なってもよい。同期パターンを選択する際の1つの考慮事項は、FECコードワードの開始を識別する容易さと、余分な帯域幅の犠牲を払うことの間バランスである。より長い同期パターンにより、FECモジュールの受信側部分はより早くコードワードの開始を認識することが可能になるが、余分な帯域幅を使用する。より短い同期パターンは、より効率的に帯域幅を使用するが、特に、伝送エラーの量が増加する場合には、受信側は、コードワードを識別するのにより長い時間がかかる。同期パターンを選択する際の別の考慮事項は、タイムクォンタムと呼ばれる、伝送クロック期間または間隔に、FECコードワードを均等に位置合せすることである。このような実施形態により、FECコードワードまたはタイムクォンタムのいずれかを断片化することに関するオーバーヘッドを持つ必要性が回避される。

20

30

【0023】

1つの実施形態において、10Gイーサネット(登録商標)ラインコーディングの約28個の66ビットデータブロックを保持するRSコードワードに対して、同期パターンは約40ビットの長さであり、これは、約2,016ビットの最終的なコードワードの長さをもたらす。これは、約68ビットの同期情報(同期パターンから約40ビットと、データブロックから約28ビット)と、約9/8の、すなわち、約1.125の、データブロックサイズに対する最終的なコードワードサイズの比(ときにはコード化ラインレートと呼ばれる)とをもたらす。別の実施形態において、10Gイーサネットラインコーディングの約29個の65ビットデータブロックを保持するRSコードワードに対して、同期パターンは約17ビットの長さであり、これは、約2,030ビットの最終的なコードワードの長さをもたらす。これは、約35/32の、すなわち、約1.09375のコード化ラインレートをもたらす。さらに、別の実施形態において、10Gイーサネットラインコーディングの約29個の65ビットデータブロックを保持するRSコードワードに対して、同期パターンは約75ビットの長さであり、これは、約2,088ビットの最終的なコードワードの長さをもたらす。これは、約9/8の、すなわち、約1.125のコード化ラインレートをもたらす。このような実施形態において、約6バイトまでの同期の長さは、FECコードによりカバーされないかもしれないが、同期パターンの目的は、FECプロセスを開始するためのコードワードを見つけることと、実際問題点があった後に訂正す

40

50

ることであるから、このことは問題ではない。これらの同期パターンのいずれもが、10 GのPONに対するMPCP中で使用されるかもしれない16ナノ秒(ns)の伝送クロックタイムクォンタムに、結果として生じるFECコードワードを均等に位置合せさせることができる。

【0024】

図3は、受信者に対して伝送するためのコードワードをアSEMBルするプロセス300の1つの実施形態を図示する。プロセス300は、301において、データブロックから冗長データを発生させ、302において、データブロックと冗長データとをFECコードワード中にカプセル化し、303において、同期パターンをFECコードワードに付加し、304において、受信者に対してFECコードワードを伝送する。ブロックの数および順序は、1つの実施形態だけを表し、プロセス300は、ここで記述した数および順序に限定すべきでない。

10

【0025】

301において、プロセス300は、冗長データの発生を開始してもよい。1つの実施形態において、プロセス200の一部として選択されていてもよいFECアルゴリズムは、オリジナルデータブロックを使用して、冗長データを発生させてもよい。1つの実施形態において、RSアルゴリズムを使用して、冗長データとして複数の多項式データ点を発生させてもよい。冗長データとオリジナルデータブロックとの組み合わせは、FECペイロードと呼ばれることがある。

【0026】

20

302において、プロセス300は、オリジナルデータブロックと冗長データとの、FECコードワードへのカプセル化を続けてもよい。FECコードワードは、エンコードされたデータブロックと、冗長データとを保持する、固定されたサイズを有するデータテナであってもよい。上述したように、データブロックの特定サイズの選択次第で、RSコードワードは、約28個の66ビットデータブロックまたは約29個の65ビットデータブロックまで対処してもよい。

【0027】

303において、プロセス300は、FECコードワードに対して同期パターンの付加を続けてもよい。プロセス200に基づいて決定されていてもよい同期パターンは、受信者に対して各FECコードワードの開始を表示するためのフラグとして機能してもよい。同期パターンは、FECモジュールの送信側部分と受信側部分との両方により同意されていてもよく、そのため、受信側部分は、FECコードワードをどのように抽出するかを知っている。1つの実施形態において、66ビットデータブロックを含むFECペイロードに対して40ビットの同期パターンが使用される。別の実施形態において、65ビットデータブロックを含むFECペイロードに対して17ビットの同期パターンが使用される。さらに別の実施形態において、65ビットデータブロックを含むFECペイロードに対して75ビットの同期パターンを使用して、より長い同期パターンに対する必要性に対処してもよい。

30

【0028】

304において、プロセス300は、FECコードワードの伝送を続けてもよい。上述したODNのような、任意の適切な伝送ネットワークを使用して、FECコードワードを受信者に対して伝送してもよい。1つの実施形態において、任意のコードワードまたはタイムクォンタムを分解することなく、整数個のFECコードワードが整数個のタイムクォンタムに位置合せされる。1つの実施形態において、10GのEPONに対して規定されているような、MPCPの偶数個の16ナノ秒のタイムクォンタムが、整数個の66ビットのデータブロックをカプセル化する整数個の255バイトのRS FECコードワードの伝送に対して使用される。別の実施形態において、整数個の65ビットのデータブロックをカプセル化する整数個のRS 255バイトFECコードワードの伝送に対して、偶数個の16ナノ秒のMPCPタイムクォンタムを使用してもよい。16ナノ秒のタイムクォンタムと、66ビットのコードブロックとを使用する10GB/sシステムにおいて、約

40

50

20バイトのMACデータがタイムクォンタムごとに伝送される。例えば、約2個のタイムクォンタムは、MACデータの約5個の64ビットブロックを含んでいてもよい。66ビットデータブロックに対して、約128ビットの冗長データと、約22ビットの同期パターンを付加することにより、約1,800ビットが生じ、これは、FECコードワードごとに約225バイトと、9/8のコードレートをもたらし、65ビットデータブロックに対して、約128ビットの冗長データと、約22ビットの同期パターンとを付加することにより、1,775ビットが生じ、これは、FECコードワードごとに約221.75バイトと、約1.125のコードレートをもたらし。

【0029】

図4は、FECデータストリームを処理するプロセス400の1つの実施形態を図示する。プロセス400は、401において、ネットワークからビットストリームを受信し、402において、FECコードワードからデータブロックを抽出し、403において、データブロック中の伝送エラーをチェックし、404において、検出されたエラーを訂正してもよい。ブロックの数および順序は、1つの実施形態だけを表し、プロセス400は、ここで記述した数および順序に限定すべきでない。

【0030】

401において、プロセス400は、ビットストリームの受信を開始してもよい。ビットストリームの受信は、同期パターンの認識、および/またはビットストリームをFECコードワードに分割することを含んでいてもよい。いくつかの実施形態において、同期パターンを認識することは、FECコードワードの開始を表示する既知の同期パターンを識別することを含んでいてもよい。同期パターンおよびFECコードワードの長さは、送信側および受信側の両方に知られていることから、ビットストリームをFECコードワードに分割することは、おそらくFECコードワードおよび同期パターンの長さに基づいて、ビットストリームにおいてFECコードワードから同期パターンを分離することを含んでいてもよい。

【0031】

402において、プロセス400は、FECコードワードからのデータブロックの抽出を続けてもよい。冗長データおよび各データブロックの長さは両方とも知られていることから、データブロックを抽出することは、FECコードワードにおいてデータブロックから冗長データを分離することを含んでいてもよい。上述したように、抽出されるデータブロックは、約65または66ビットの長さである。1つの実施形態において、データブロックが約65ビットの長さであるとき、66番目のパリティビットをデータブロックに付加して、データブロックをオリジナルの66ビットの長さに戻してもよい。

【0032】

403において、プロセス400は、伝送エラーに対するチェックを続けてもよい。データが送信側から受信側に伝送されるとき、さまざまなタイプのエラーが発生するかもしれない。例えば、伝送プロセスにおいて、ビットが反転しているかもしれない、および/または、データが破損しているかもしれない。冗長データにより、プロセス400が伝送エラーを識別および訂正することが可能であってもよい。1つの実施形態において、プロセス400は、送信側が冗長データを発生させるのに使用したのと同じFECアルゴリズムを、受信したデータブロックに実行し、冗長データの新しいバージョンを発生させる。冗長データの新しいバージョンは、受信した冗長データのバージョンと比較され、2つの間の不一致は、1つ以上の伝送エラーを示す。

【0033】

エラーがデータ中に存在している場合、404において、プロセス400は、伝送エラーの訂正を続けてもよい。いったん、伝送エラーが検出され、位置が突き止められると、特定の設計的選択事項次第で、冗長データとFECアルゴリズムとの組み合わせを使用することにより、オリジナルのデータブロックを回復させてもよい。例えば、RS多項式のデータ点を使用して、エラーを含むデータブロックを識別し、エラーを訂正してもよい。

【0034】

10

20

30

40

50

図5は、PONにおけるOLTまたはONUのような、ネットワーク要素500の一部における、FECモジュール101の実施形態を示す。FECモジュールは、受信機501と送信機502とを含む、他のネットワークコンポーネントに結合していてもよい。図5は、FECモジュール101の1つの実施形態だけを図示し、ネットワークコンポーネント500は、何らかの数の送信機501と受信機502とを有していてもよく、それらのうちの少なくともいくつかは、トランシーバ中に組み合わされていてもよいことを当業者は理解するだろう。1つの実施形態において、FECモジュール101は、FECモジュールの送信側部分511と、FECモジュールの受信側部分512とを備えている。さまざまな実施形態において、送信側部分511と受信側部分512は、設計的選択事項次第で、単一のモジュールまたは別々のモジュールとして実現してもよい。

10

【0035】

FECモジュールの送信側部分511は、FECエンコーダ511Aと、FECコードワード処理モジュール(FCPM)送信側部分511Bとを備えていてもよい。エンコーダ511Aは、FECアルゴリズムを実現してもよい。特に、エンコーダ511Aは、受信機501からデータブロックを受け取り、FECアルゴリズムを使用して1組の冗長データを発生させ、冗長データとデータブロックとを組み合わせるFECペイロードにし、FECペイロードをエンコードするように構成されていてもよい。FCPM送信側部分511Bは、コードワードの送信側に対するコードワード処理に関連していてもよい。送信機502によるデータ伝送の前に、送信側部分は、エンコードされたFECコードワードに対して同期パターンを付加し、整数個の選ばれた伝送クロックタイムクォンタムに、整数個のFECコードワードを位置合せするように構成されていてもよい。

20

【0036】

FECモジュール受信側部分512は、FECデコーダ512Aと、FCPM受信側部分512Bとを備えていてもよい。FECデコーダ512Aは、FECエンコーダ511Aにより使用されるのと同じまたは類似のFECアルゴリズムを備えていてもよい。デコーダ512Aは、エンコードされたFECコードワードをデコードし、FECペイロードを抽出し、FECアルゴリズムを使用して、エラー検出のために、冗長データの新しいバージョンを発生させるように構成されている。FCPM受信側部分512Bは、伝送エラーを検出し、検出されたエラーを訂正するように構成されている。本開示は、記述した構成で動作する必要はない。代わりに、設計的選択事項の問題として、FECプロセッサ中に組み入れられている機能を、より少ないまたはより多いコンポーネント中に組み合わせてもよい。

30

【0037】

上述したネットワークコンポーネントは、課された必要な作業負荷を取り扱うために、十分な処理能力や、メモリリソースや、ネットワークスループット性能を有する、コンピュータや、ネットワークや、またはノードのような、任意の汎用目的のネットワークコンポーネント上で実現してもよい。図6は、ここで開示したノードの1つ以上の実施形態を実現するのに適した、一般的な汎用目的のネットワークコンポーネントを図示する。ネットワークコンポーネント600は、プロセッサ602(中央プロセッサユニットまたはCPUと呼ばれることがある)を含み、プロセッサ602は、二次記憶デバイス604と読み出し専用メモリ(ROM)606とランダムアクセスメモリ(RAM)608とを含むメモリデバイスと、入力/出力(I/O)デバイス610と、ネットワーク接続デバイス612と通信する。プロセッサは、1つ以上のCPUチップとして実現してもよい。

40

【0038】

二次記憶装置604は、一般的に、1つ以上のディスクドライブまたはテープドライブから構成され、RAM608がすべての作業データを保持するほど十分な大きさでない場合に、データの揮発性記憶のために使用され、オーバーフローデータ記憶デバイスとして使用される。二次記憶装置604を使用してプログラムを記憶してもよく、そのようなプログラムが実行のために選択されるとき、そのようなプログラムは、RAM608中にロードされる。プログラム実行中に読み出される、命令とおそらくはデータとを記憶する

50

ために、ROM 606 が使用される。ROM 606 は、不揮発性メモリデバイスであり、一般的に、二次記憶装置のより大きなメモリ容量に比べて小さいメモリ容量を有する。RAM 608 は、揮発性データを記憶し、おそらくは命令を記憶するために使用される。ROM 606 および RAM 608 の両方へのアクセスは、一般的に、二次記憶装置 604 へのアクセスよりも速い。

【0039】

64b66bコード化システムに適用可能なFECシステムを提供することにより、本FECシステムは、先行技術における欠点を克服する。本FECシステムは、データブロックサイズに対するコードワード長の比が低い点で効率的である。ダウンストリームPON伝送におけるような連続モードと、アップストリームPON伝送のような間欠モードとの両方において、本FECシステムは効率的である。

10

【0040】

本開示においていくつかの実施形態を提供してきたが、本開示の精神または範囲から逸脱することなく、開示したシステムおよび方法を多くの他の特定の形態で具現してもよいことを理解すべきである。本例は、例示であり、限定的でないと考えられ、本発明は、ここで与えた詳細に限定すべきでない。例えば、さまざまな要素またはコンポーネントを別のシステムにおいて組み合わせ、または組み込んでよく、あるいは、いくつかの特徴を省略してもよく、または実現しなくてもよい。

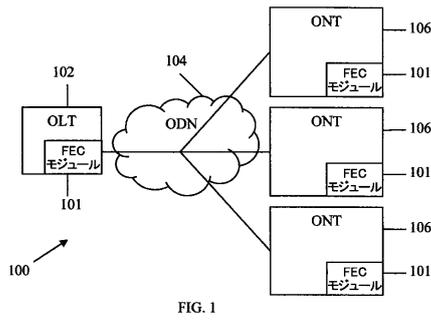
【0041】

さらに、個々のまたは別々のものとして、さまざまな実施形態中で記述および図示した技術、システム、サブシステム、および方法は、本開示の範囲から逸脱することなく、他のシステム、モジュール、技術、または方法と組み合わせてもよく、あるいはそれらに組み込んでよく、互いに結合されているまたは直接結合されているとして、あるいは互いに通信するものとして、示しまたは論じた他のアイテムは、電気的であろうと、機械的であろうと、またはその他の場合であろうと、いくつかのインターフェース、デバイス、または中間コンポーネントを通して、間接的に結合していてもよく、またはそれらを通して通信してもよい。変更、置換、および修正の、他の例は、当業者により把握することが可能であり、ここで開示した精神および範囲から逸脱することなく実施できる。

20

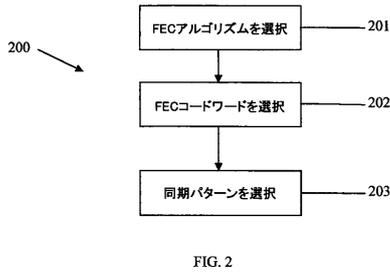
【図1】

図1



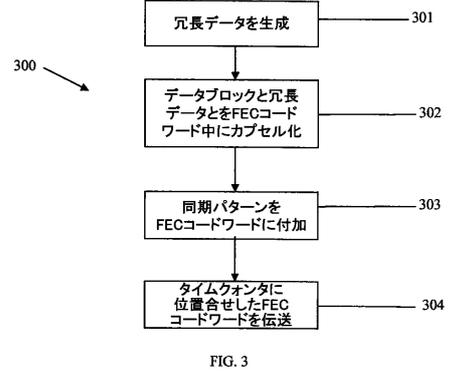
【図2】

図2



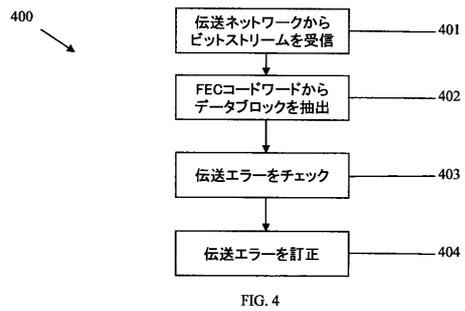
【図3】

図3



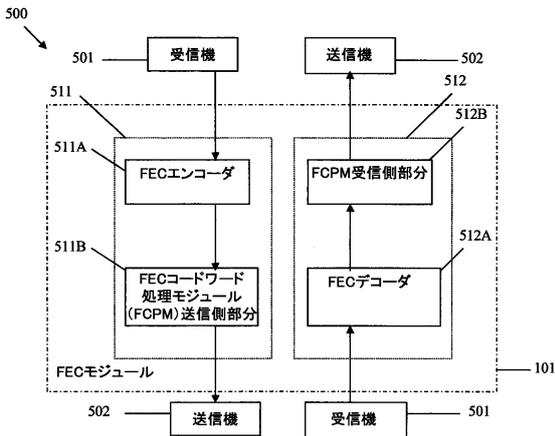
【図4】

図4



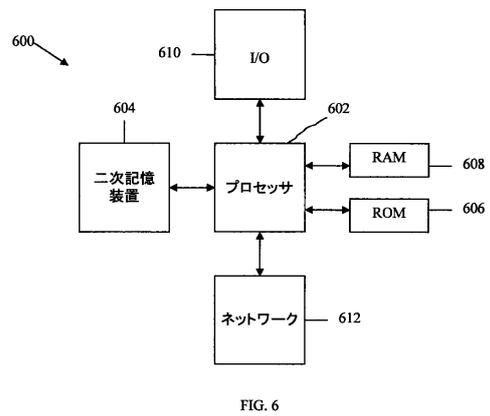
【図5】

図5



【図6】

図6



フロントページの続き

(72)発明者 エフェンバーガー、フランク・ジェイ、
アメリカ合衆国、ニュージャージー州 07728、フリーホールド、プレザント・クノール・ウ
エイ 147

審査官 谷岡 佳彦

(56)参考文献 特開2002-344361(JP, A)
特開平09-219685(JP, A)
特開2006-014228(JP, A)
米国特許出願公開第2005/0149822(US, A1)
Frank Effenberger, et al., 10 Gb/s PMD considerations, IEEE 802.3 10G EPON PHY study group, July 2006, 2006年7月, URL, http://www.ieee802.org/3/10GEPON_study/public/july06/effenberger_1_0706.pdf
Jeff Mandin, Framing for Forward Error Correction in 10G EPON, IEEE 802.3 10G EPON PHY study group, July 2006, 2006年7月, URL, http://www.ieee802.org/3/10GEPON_study/public/july06/mandin_1_0706.pdf
10Gb/s EPON FEC-Coding gain vs power budget, 2006年9月, URL, http://www.ieee802.org/3/10GEPON_study/email/ppt00001.ppt

(58)調査した分野(Int.Cl., DB名)

H04L 1/00

H03M 13/15