

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 200710084736.1

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

H01L 21/308 (2006.01)

G03F 7/00 (2006.01)

[45] 授权公告日 2009年9月2日

[11] 授权公告号 CN 100536091C

[22] 申请日 2007.2.28

[21] 申请号 200710084736.1

[30] 优先权

[32] 2006.3.7 [33] US [31] 11/308,106

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 T·A·布伦纳 L·W·利布曼

J·A·卡尔普

[56] 参考文献

US6605541B1 2003.8.12

US20010029105A1 2001.10.11

Beyond K1 = 0.25 lithography: 70nm L/S patterning using KrF scanners. Takeaki Ebihara. Proc. SPIE, Vol. 5256. 2003

审查员 赵凤瑗

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 刘瑞东

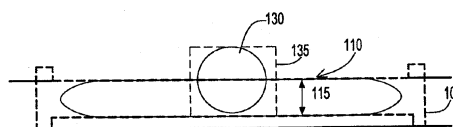
权利要求书 2 页 说明书 8 页 附图 3 页

[54] 发明名称

形成平面场效应晶体管和在集成电路中形成层的方法

[57] 摘要

一种形成平面 CMOS 晶体管的方法，将形成栅极层的步骤划分为：第一步，通过栅极层图形的第一部分构图抗蚀剂层，然后通过栅极图形蚀刻多晶硅。第二步，通过栅极焊盘和局部互连的图像构图第二抗蚀剂层，然后通过栅极焊盘和局部互连的图形蚀刻多晶硅，由此减少衍射的次数以及其它来自不同曝光区域的串扰。



1. 一种形成平面场效应晶体管的方法，包括以下步骤：  
提供半导体衬底；  
在所述半导体衬底的顶表面上形成栅极介质层；  
形成设置在所述栅极介质层上的栅极层；  
形成第一图形层，用于接收栅极层图形的第一部分；  
提供所述栅极层图形的所述第一部分并通过所述栅极层图形的所述第一部分构图所述第一图形层，其中所述提供所述栅极层图形的所述第一部分的步骤包括：将栅极层图形的表示分离为包含至少一个栅极的所述栅极层图形的所述第一部分以及包含至少一个栅极焊盘的所述栅极层图形的第二部分；  
在所述第一图形层之上形成平面化层；  
在所述平面化层上形成第二图形层，用于接收所述栅极层图形的所述第二部分，其中所述栅极层图形的所述第二部分与所述栅极层图形的所述第一部分结合以形成所述栅极层图形；  
通过所述栅极层图形的第二部分构图所述第二图形层；  
利用所述第一图形层和第二图形层作为掩膜蚀刻所述栅极层，由此通过所述栅极层图形构图所述栅极层；以及  
完成所述晶体管。
2. 根据权利要求1的方法，其中所述第一图形层由光致抗蚀剂组成。
3. 根据权利要求1的方法，其中所述第一图形层是由硬掩膜层和在所述硬掩膜层之上的光致抗蚀剂层组成的复合层。
4. 根据权利要求1的方法，其中所述第二图形层由光致抗蚀剂组成。
5. 根据权利要求1的方法，其中所述第二图形层是由硬掩膜层和在所述硬掩膜层之上的光致抗蚀剂层组成的复合层。
6. 根据权利要求1的方法，其中所述平面化层是硬掩膜以及所述第二图形层由光致抗蚀剂组成。

7. 一种在集成电路中形成层的方法，包括以下步骤：

提供半导体衬底；

在所述半导体衬底的顶表面上形成栅极介质层；

形成设置在所述栅极介质层上的栅极层；

在所述栅极层上形成硬掩膜；

形成第一图形层，用于接收栅极层图形的第一部分；

提供所述栅极层图形的所述第一部分并通过所述栅极层图形的所述第一部分构图所述第一图形层，其中所述提供所述栅极层图形的所述第一部分的步骤包括：将栅极层图形的表示分离为包含至少一个栅极的所述栅极层图形的所述第一部分以及包含至少一个栅极焊盘的所述栅极层图形的第二部分；

蚀刻所述硬掩膜并剥离所述第一图形层；

在所述硬掩膜上形成平面化层；

在所述平面化层上形成第二图形层，用于所述接收栅极层图形的所述第二部分，其中所述栅极层图形的所述第二部分与所述栅极层图形的所述第一部分结合以形成所述栅极层图形；

通过所述栅极层图形的所述第二部分构图所述第二图形层；

蚀刻所述硬掩膜并剥离所述第二图形层；

利用所述硬掩膜蚀刻所述栅极层，由此通过所述栅极层图形构图所述栅极层。

8. 根据权利要求7的方法，其中所述第一图形层由光致抗蚀剂组成。

9. 根据权利要求7的方法，其中所述第二图形层由光致抗蚀剂组成。

## 形成平面场效应晶体管和在集成电路中形成层的方法

### 技术领域

本发明涉及形成 CMOS 集成电路，尤其是平面 CMOS 晶体管的栅极电极。

### 背景技术

众所周知，强烈的动力驱使设计者们缩小 CMOS 集成电路的尺寸。较小尺寸的有益效果包括：

每面积上更多的逻辑门（即更多的功能度）

每门更低的功率（随面积成比例缩小）

更快的器件速度，因此总体电路速度更快

每功能较低的制造成本

这些巨大的优点将继续推动缩小尺寸的需要。目前，半导体制造业实际上都采用曝光波长短至 139nm 的光刻方法。

当集成电路的尺寸缩小到当前光刻技术分辨率的极限时，一些尝试被用来避开光刻术的限制。这些新型光刻方法包括：

波长大约为 1nm 的 X 射线光刻。

由于对于此波长没有可应用的镜头，所以采用简单的邻近印刷术，这意味着掩膜图形的尺寸与预期晶片图形的尺寸相同。

在薄膜掩膜上制备极其精细的图形是非常困难的，具有高的缺陷率以及高昂的成本。

电子束光刻具有非常短的波长以及潜在的极高分辨率。不幸地，很难通过此设备获得高产量。低产量，众所周知，需要更多的设备以维持预期的产量，具有反映在增加的晶片成本中的增加的资本成本。

波长小于 193nm 的投影光刻，例如 157nm 或者超紫外 (EUV) 波长，其改善了当前设备的分辨率。不幸地，应用此种技术的成本高昂，以至于在可以预见的未来中，不清楚它们是否可以应用于生产。

总之，这些新型光刻方法中的每一种都未能提供具有可接受总成本的制造解决方案。

为得到改善的图形，一种完全不同的方法是采用常规光刻技术的多次曝光来获得更高的分辨率。近年来，在此领域进行了大量的工作。

这种方法的第一个实例是采用与 Trim 掩膜结合的交替相移掩膜，如最近的论文 [M.Kling et al., "Practicing extension of 248 DUV optical lithography using trim-mask PSM", SPIE3679, pp.10-17(1999)] 所述。在这里，单层光致抗蚀剂被曝光两次，首先通过交替相移掩膜 (PSM) 曝光然后通过 Trim 掩膜曝光。在双重曝光之后，所述图形通过常规光刻工艺显影。采用 Trim 掩膜的第二次曝光用于去除来自 PSM 的不需要的图像残象。重要的是注意，当对单层光致抗蚀剂进行双重曝光时，光学光刻的正常空间频率限制仍然存在，即不可以通过这种技术使分辨率变为原来的两倍。

可以使分辨率变为原来两倍的双重曝光的第二个实例，已被 S.R.J.Brueck 描绘出，["There are no fundamental limits to optical lithography", pp.85-109(Chapter 5) of International Trends in Applied Optics, edited by A.H.Guenther, SPIE Press, 2002]。

注意到这个处理的顺序是重要的，两个抗蚀剂层被独立地构图，并且由此可以使图形的空间频率变为原来的两倍。在他们的实例中，双层抗蚀剂中的一层通过 1:3 的线间距图形曝光，并且然后，在第一个图形被显影之后，采用缓冲层以覆盖第一抗蚀剂的表面形貌，并且增加一层新的抗蚀剂。然后将所述图形移动半个栅距 (pitch)，并曝光这一层新的抗蚀剂。这种新的材料抬高了成像表面的水平面，因此必须适宜地调整聚焦平面。在形成所述抗蚀剂图形后，采用这两组经过显影的抗蚀剂结构作为掩膜以便构图目标薄膜。本工作的重点是获得与单次曝光的方法相比具有其两倍密度的图形。本论文提供了构图掩膜以及进行蚀刻的有用工具，但局限于

不发生相互作用的两个分离图形。

在常规技术中，CMOS 器件由一些图形层构成，其中的大多数都与本发明无关。对于本发明最重要的图形层中的一个，用于定义晶体管栅极，并且由于这一层典型地由多晶硅材料构成，所以该层通常称为“多晶 (Poly)”图形。在未来的工艺中，多晶硅材料可以被新材料，例如硅化物或金属，所替代，并且本发明可易于扩展从而将我们的方法应用于这些栅极图形之中。所述多晶图形的质量对于高速器件至关重要，并且本发明将展示出怎样定义高质量的图形。

为了表达出本发明所提及的问题，我们仅考虑此 CMOS 电路多个层中的三个：多晶，有源区域以及接触孔。这些层对于 CMOS 电路设计领域的技术人员来说将是非常熟悉的。多晶图形的不同部分执行不同的功能。“多晶栅极”区域被定义为那些经过“有源区域”层的多晶线，并因此形成晶体管。“多晶互连”区域包括有源区域外的多晶线，并简单地作为导线使用。“接触接合焊盘”区域通常比互连线以及栅极线稍微宽一点，由于分离的接触孔图形必须接合在这个焊盘上，即使在接触与多晶图形之间存在一些重叠误差。

众所周知，为获得高速电路，对“多晶栅极”区域的控制是非常重要的。尤其是，栅极的线宽偏差将造成晶体管的速度偏差，晶体管的速度偏差会扰乱预期的总体电路时序和性能。

多晶栅极中需控制的最困难部分的其中之一是接近接触焊盘的区域。图 1 示出了这个问题，其中图 1A 示出了理想设计，而图 1B 示出了由于衍射所导致的实际尺寸。图 1A 中多晶线 100 以具有由线 12 表示的线宽的理想结构从左端延伸至右端。图 1B 中示出的多晶栅极的实际线宽在接近接合焊盘的区域中宽得多，这基本上是由于不能印刷出锐的拐角所导致的。图 1B 中的线 112 比图 1A 中的理想线 12 宽得多。

缓解此问题的一个简单途径是将接触接合焊盘从有源区域移开，这样当多晶线成为栅极时会得到好的控制。但是这种解决方案是非常昂贵的，因为它会增加电路的尺寸，并且当其在具有百万个栅极的 VLSI 电路中重

复时，将会造成芯片尺寸的大大增加。增加的芯片尺寸成本更加昂贵的两个原因是：每晶片的芯片数量将减少，以及较大的芯片将更易于受晶片上的缺陷影响。

本发明将公开通过采用新型双重曝光方法来缩小 CMOS 设计的方法，新型双重曝光方法可直接解决栅极线宽变化的问题。

## 发明内容

本发明涉及一种在有益于 IC 的薄膜的单层，例如多晶栅极层中，形成两组不同形状的方法。

本发明的一个特征在于将曝光分离为用于多晶线图形（晶体管栅极和局部互连）的第一图形和用于多晶接触焊盘的第二图形。

本发明的另一特征在于抗蚀剂的第一图形的曝光以及显影，留下具有第一形状（栅极）并随后在第一步中将被蚀刻为薄硬掩膜的一组抗蚀剂方块；接着是具有第二组形状（接触焊盘）的第二层抗蚀剂的淀积以及曝光。最终蚀刻的多晶图形通过硬掩膜形状与抗蚀剂形状的组合得到。

根据本发明的一个方面，提供了一种形成平面场效应晶体管的方法，包括以下步骤：提供半导体衬底；在所述半导体衬底的顶表面上形成栅极介质层；形成设置在所述栅极介质层上的栅极层；形成第一图形层，用于接收栅极层图形的第一部分；提供所述栅极层图形的所述第一部分并通过所述栅极层图形的所述第一部分构图所述第一图形层，其中所述提供所述栅极层图形的所述第一部分的步骤包括：将栅极层图形的表示分离为包含至少一个栅极的所述栅极层图形的所述第一部分以及包含至少一个栅极焊盘的所述栅极层图形的所述第二部分；在所述第一图形层之上形成平面化层；在所述平面化层上形成第二图形层，用于接收所述栅极层图形的所述第二部分，其中所述栅极层图形的所述第二部分与所述栅极层图形的所述第一部分结合以形成所述栅极层图形；通过所述栅极层图形的所述第二部分构图所述第二图形层；利用所述第一图形层和第二图形层作为掩膜蚀刻所述栅极层，由此通过所述栅极层图形构图所述栅极层；以及完成所述晶

体管。

根据本发明的另一个方面，提供了一种在集成电路中形成层的方法，包括以下步骤：提供半导体衬底；在所述半导体衬底的顶表面上形成栅极介质层；形成设置在所述栅极介质层上的栅极层；在所述栅极层上形成硬掩膜；形成第一图形层，用于接收栅极层图形的第一部分；提供所述栅极层图形的所述第一部分并通过所述栅极层图形的所述第一部分构图所述第一图形层，其中所述提供所述栅极层图形的所述第一部分的步骤包括：将栅极层图形的表示分离为包含至少一个栅极的所述栅极层图形的所述第一部分以及包含至少一个栅极焊盘的所述栅极层图形的所述第二部分；蚀刻所述硬掩膜并剥离所述第一图形层；在所述硬掩膜上形成平面化层；在所述平面化层上形成第二图形层，用于所述接收栅极层图形的所述第二部分，其中所述栅极层图形的所述第二部分与所述栅极层图形的所述第一部分结合以形成所述栅极层图形；通过所述栅极层图形的所述第二部分构图所述第二图形层；蚀刻所述硬掩膜并剥离所述第二图形层；利用所述硬掩膜蚀刻所述栅极层，由此通过所述栅极层图形构图所述栅极层。

#### 附图说明

图 1A, 1B 和 1C 分别示出了理想的图形组合，实际曝光区域的模拟和根据本发明的模拟。

图 2A 和 2B 分别示出了布尔加和布尔减的组合。

图 2C 示出了根据本发明的栅极与栅极焊盘的组合。

图 3A 至 3D 示出了将两个栅极层图形转移到多晶栅极层的步骤。

图 4A 至 4C 示出了将两个图像转移到硬掩膜，并且然后转移到多晶栅极层的步骤。

#### 具体实施方式

本领域的技术人员早已懂得通过两次或多次曝光在集成电路中构建结构时，不可避免地存在曝光之间的对准误差，对准误差必须通过设计比典



型的曝光误差大的图像间的重叠来进行补偿,从而即使在对准误差最严重的情况下也可形成足够质量的图像,例如具有导电材料的连续条带的图像。如果仅有一个图像,这种方法典型地使特征在最终结构中的尺寸要比它本来的尺寸大。

因此,由于抗蚀剂中的衍射效应或者非线性效应,当曝光的光致抗蚀剂材料与预期的结果不一致时,光学工程师凭借经验调整掩膜以抑制或加强入射到光致抗蚀剂设定部分的光子的量。

图 1A 示出了 SRAM (静态随机存取存储器电路)的一部分的(理想)预期结果的实例,所述部分具有作为场效应晶体管的栅极电极的水平线 100 以及与线 100 一起作为栅极电极的接触焊盘的长方形 20。

图 1B 示出了在所述掩膜上常规实践所采用的图像的轮廓 110。位于栅极长方形 100' 的四个角上的凸出物 102 是对掩膜的经验性调整,其不希望被印刷。曲线 110 示出了显影的抗蚀剂的模糊的轮廓,其中细节例如凸出物都丢失了,但是在箭头 112 所指示的区域中,栅极电极比预定的结果宽很多。图 1A 示出了线 12 的预定宽度。标号 130 表示图 1A 中示出的方块 20 的结果。短划线 135 对应于没有被复制到图 1B 中的方块 20 的直线。此种预期图像的变形会影响栅极宽度的临界尺寸以及跨芯片线宽变化,这对最终电路的运行速度至关重要。栅极宽度控制不足的基本原因是在栅极线与接触焊盘的交接部分的拐角不锐,这是由常规光刻工艺分辨率的限制造成的。

图 1C 示出了根据本发明在两个不同层中图像的两次分开曝光的 PROLITH 模拟结果;即图 1A 中的线 100 以及方块 20 被分别地曝光。香肠形曲线 110' 被变形,但是按照设计者已经习惯的可以预见的情形变形。尤其,变形是图像的变短,其最重要的是使宽度 115 恒定不变。在掩膜中,长度的任何缩小只要能够被预见都可获得补偿。圆形 132 表示方块 20 变形的结果。标号 135 表示方块 29 的预定结果,如图 1B 中所示。

曝光的分离可以消除栅极宽度定义的不足,这是与图 1B 的现有方法有关的问题。此外,圆形 132 在线 110' 没有变形的情况下与线 110' 相交。

这样，这两次曝光的相交，根据本发明，可以得到高质量的栅极图形，具有栅极线与接触焊盘之间的锐的拐角。最终，获得非常均匀的栅极线宽，从而得到高质量的电栅极均匀性。

尺寸随时间推移而日益缩小，光刻领域的工作人员必须采用不同的途径进行折中。所引用的 Ebihara 等人的论文阐释了一种方法，其意味一个减少独立的线的相关领域，在理解上他们在集成电路中形成不相互作用并且应该是彼此相互隔离的结构。

本发明的一方面是在所引论文的范围之外应用布尔分析将整个栅极层图形（多晶硅或等效材料）分离为栅极层图形的第一部分以及栅极层图形的第二部分，所述两个部分将被运用于分离光致抗蚀剂层。

图 2A 示出了一个附加过程，通过两个抗蚀剂形状 210 与 220 相互重叠配置的布尔“或”，很好地适用于图像在被分开地曝光和显影的分离的光致抗蚀剂层中曝光的情况，然后同时采用它们作为掩膜来蚀刻栅极材料。形状 230 示出了或处理的结果。

图 2B 示出了相关过程，通过相同的两个抗蚀剂形状 210 与 220 处于相同配置的布尔“与”，很好地适用于第一图像被曝光并被蚀刻到硬掩模中的工艺，之后第二图像被曝光并被蚀刻到硬掩模中，形成仅是两个形状的重叠（与）的形状 240。

图 2C 示出了简化的形状 250 与 260 的或作用，其代表栅极接触焊盘 250 与栅极多晶线 260 的交叉。结果，随着由衍射产生的样式变形，形状 255 与形状 265 结合到一起。或结果是两个形状的外部周边。作为结果，栅极多晶线的栅极宽度 267 恒定不变，不具有图 1B 中实例的宽度增加。

图 3 示出了其后是同时蚀刻的顺序显影的简化步骤序列。

作为初始步骤，多晶栅极层的最终图形（称为栅极层图形）被分离成布尔形状，包括：栅极和接触焊盘。这个分离可通过栅极层的一些表示（representation），例如存储在计算机中的表示或者在纸上打印出的直观表示，来完成。形状中的其中一个称为栅极图形的第一部分，形状中的另一个称为栅极图形的第二部分。栅极加上互连称为多晶线部分，以及用于

栅极接触的焊盘称为多晶焊盘部分。分离可以被并入到电路布图软件中或者，若不具有这种软件，可以手动执行。

图 3A 示出了其上具有多晶硅栅极层 20 的衬底 10。增透层 30 支撑着已显影的光致抗蚀剂 35 的三个岛，其中光致抗蚀剂 35 采用第一栅极层图形，例如栅极，曝光并常规地显影。

图 3B 示出了硬化岛 35 的结果，通过氧化岛 35，使其转变为耐剥离化学物质的状态，由标号 35' 表示。第二增透层 40 也用于为第二抗蚀剂 45 平面化表面，其中第二抗蚀剂 45 通过第二栅极层图形，例如栅极焊盘，曝光并显影。

图 3C 示出了对两个增透层 30 和 40 的蚀刻，蚀刻对已显影的抗蚀剂岛 35' 和 45 具有选择性。注意在抗蚀剂岛 35' 和 45 重叠的地方，是由抗蚀剂 35' 和 45 所定义的两个区域的或作用的结果。

图 3D 示出了蚀刻多晶栅极图形层的结果。注意两个图形层 35' 和 45 重叠，所以六个光致抗蚀剂岛形成了用于定义多晶 20 中的图形的四个掩膜区域。

图 4 示出了一种采用布尔减法过程构图栅极层的方法。

图 4A 示出了衬底 10 的一个相似区域，多晶层 20，硬掩膜 25 以及经曝光并构图具有将露出硬掩膜 25 中的区域的两个孔的光致抗蚀剂 135。在这一系列附图中，层 135 表示了光致抗蚀剂以及正在使用的任何增透层。

图 4B 示出了在蚀刻硬掩膜 25 以及在第二层光致抗蚀剂 145 上构图形成两个孔之后的同一区域。

图 4C 示出了硬掩膜 25 的第二次蚀刻结果，剥离光致抗蚀剂 145 并利用硬掩膜 25 蚀刻多晶层 20 以形成三个孔。注意在图 4A 与 4B 中的四个光致抗蚀剂孔中的两个是相邻的并已合并以形成更大的孔，并且在实例中所采用的光致抗蚀剂是负性的。之所以采用负性抗蚀剂是因为使用了硬掩膜。

虽然本发明是跟据一个优选实施例进行描述的，但是本领域的技术人员将会认识到本发明可以在下述权利要求的精神和范围内以多种形式来实践。

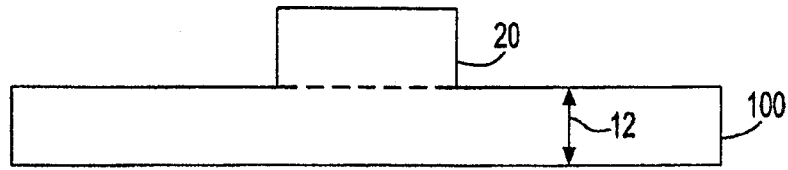


图 1 A

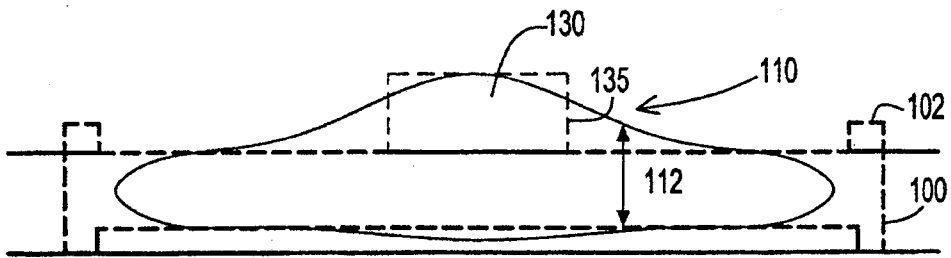


图 1 B

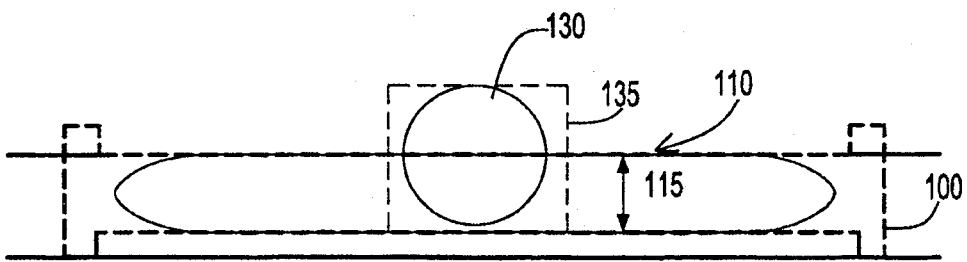


图 1 C

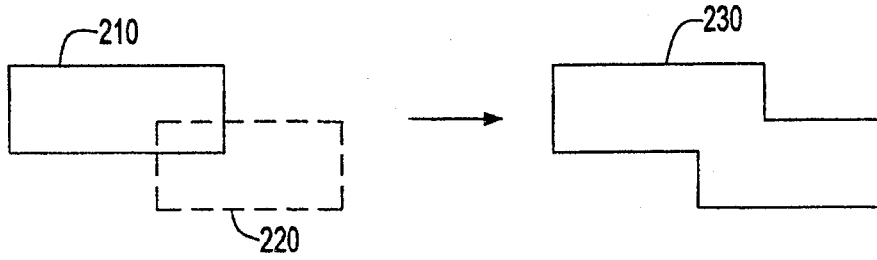


图 2 A

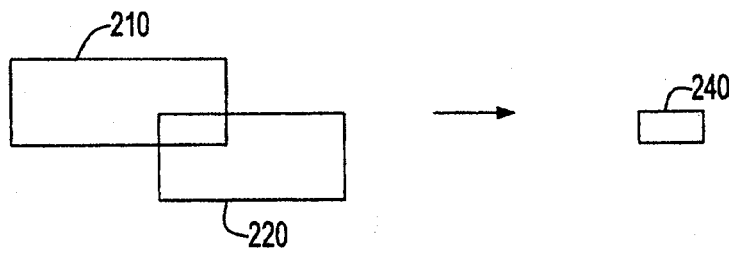


图 2 B

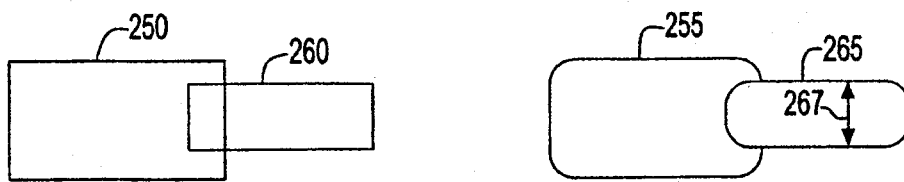


图 2 C

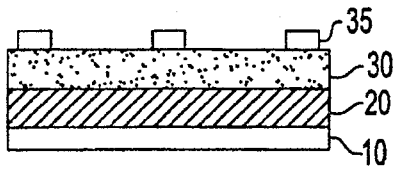


图 3 A

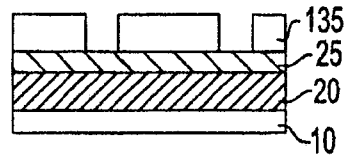


图 4 A

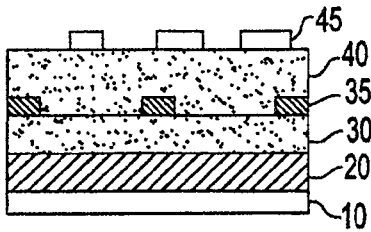


图 3 B

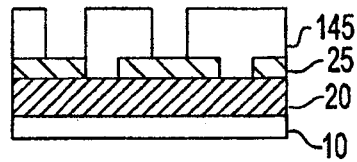


图 4 B

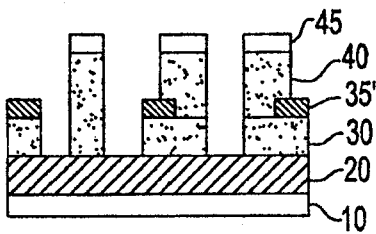


图 3 C

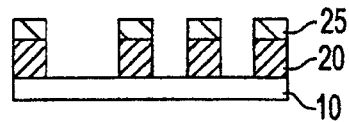


图 4 C

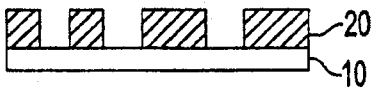


图 3 D