

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 21/28

(45) 공고일자 2001년04월 16일

(11) 등록번호 10-0287180

(24) 등록일자 2001년01월20일

(21) 출원번호	10-1998-0038413	(65) 공개번호	특2000-0020013
(22) 출원일자	1998년09월 17일	(43) 공개일자	2000년04월 15일

(73) 특허권자 삼성전자주식회사 윤종용  
경기 수원시 팔달구 매탄3동 416

(72) 발명자 윤미영  
경기도 성남시 분당구 221 무지개마을 청구아파트 506동 1703호  
이상인  
경기도 수원시 팔달구 매탄2동 한국1차아파트104동 706호  
임현석  
경기도 용인시 기흥읍 농서리 산 7-1 월계수동 804호

(74) 대리인 권석흠, 이영필, 정상빈

**심사관 : 권인희**

**(54) 계면 조절층을 이용하여 금속 배선층을 형성하는 반도체 소자의 제조 방법**

**요약**

원자층으로 이루어지는 계면 조절층을 형성한 후 그 위에 CVD 방법으로 Si막을 형성하여 표면 형상이 우수한 Si 배선층을 형성하는 방법에 관하여 개시한다. 본 발명에 따른 반도체 소자의 제조 방법에서는 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성한다. 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 연속적으로 증착된 복수의 원자층으로 이루어지는 계면 조절층을 수 Å ~ 수십 Å의 두께로 형성한다. 상기 계면 조절층이 형성된 결과물상에 CVD 방법에 의하여 Si를 전면 증착하여 상기 콘택홀 내에 콘택 플러그를 형성하는 동시에 상기 층간절연막상에 상기 콘택 플러그와 연결되는 배선층을 형성한다.

**대표도**

**도 1e**

**명세서**

**도면의 간단한 설명**

도 1a 내지 도 1e는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2d는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 반도체 기판, 12 : 도전 영역  
20 : 층간절연막, 32 : 오믹층  
34 : 배리어층, 42 : 계면 조절층  
44 : 표면 처리층, 50 : 배선층  
52 : 콘택 플러그, 110 : 반도체 기판  
120 : 층간절연막, 132 : 오믹층  
134 : 배리어층, 142 : 계면 조절층  
144 : 표면 처리층, 150 : 도전층  
150a : Cu가 도핑된 Si 배선층, 210 : 반도체 기판  
220 : 층간절연막, 232 : 오믹층

234 : 배리어층, 242 : 제1 계면 조절층  
 244 : 제2 계면 조절층, 246 : 표면 처리층  
 250 : 도전층, 250a : Si 및 Cu가 도핑된 Al 배선층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 미세한 콘택에 의하여 하부의 도전층과 연결되는 금속 배선층을 갖춘 반도체 소자의 제조 방법에 관한 것이다.

반도체 장치가 고집적화되어감에 따라, 콘택홀의 직경은 점차 작아지고, 그 아스펙트비는 점차 커지고 있다. 그에 따라, 비교적 큰 아스펙트비를 가지는 미세한 콘택홀을 효과적으로 매립하는 공정이 필요하게 되었다.

콘택홀 매립 공정으로서 현재 많이 사용되고 있는 PVD(Physical Vapor Deposition) 방법을 이용하는 경우에는 형성되는 막의 스텝 커버리지(step coverage)가 불량하게 되어 미세한 콘택홀을 완전히 매립하기는 어렵다. 이를 극복하기 위하여, CVD(Cheical Vapor Deposition) 방법에 의하여 금속을 증착하는 방법, 즉 콘택홀 내부를 CVD 방법에 의하여 텅스텐으로 채워서 텅스텐 플러그를 형성하는 방법이 사용되고 있다. 그러나, CVD 방법에 의하여 증착되는 텅스텐 플러그는 비저항이 높고 그 위에 형성되는 알루미늄 배선층과의 계면 반응에 의하여 콘택 저항이 증가되는 단점이 있다.

따라서, 콘택홀 내에 비저항이 비교적 낮은 알루미늄을 CVD 방법으로 증착하여 콘택을 형성할 수 있다면 가장 이상적일 것이다. 그러나, 현재 사용되고 있는 CVD 전면 증착(blanket deposition) 방법에 의하여 알루미늄막을 형성하는 경우에는, 그 두께가 증가할수록 표면 형상이 불량해지는 문제가 있다. 이와 같이, 표면 형상이 불량한 막에 의하여는 완벽한 콘택 매립이 불가능하다. 따라서, CVD 방법에 의하여 형성되는 알루미늄막을 금속 배선에 적용하기 위하여는 표면 형상을 개선하는 것이 필수적이다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 큰 아스펙트비를 가지는 미세한 콘택홀을 완벽하게 매립할 수 있는 동시에 우수한 표면 형상을 가지는 금속 배선층을 형성할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 제조 방법에서는 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성한다. 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 연속적으로 증착된 복수의 원자층으로 이루어지고 Si이 함유된 Al 박막으로 형성되는 계면 조절층을 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 수 Å ~ 수십 Å의 두께로 형성한다. 상기 계면 조절층이 형성된 결과물상에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀 내에 콘택 플러그를 형성하는 동시에 상기 층간절연막상에 상기 콘택 플러그와 연결되는 배선층을 형성한다.

또한, 상기 층간절연막을 형성한 후 계면 조절층을 형성하기 전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성하고, 상기 오믹층 위에 배리어층을 더 형성한다. 이 때, 상기 계면 조절층은 상기 배리어층 위에 형성된다.

상기 계면 조절층은 단일 원소로 이루어지는 단일 금속 박막, 또는 두가지 또는 그 이상의 원소로 이루어지는 합금 박막으로 형성된다.

상기 계면 조절층을 형성하기 위하여, 먼저 상기 배리어층이 형성된 결과물상에 Si 함유 가스를 플러쉬(flush)하여 상기 배리어층 표면에 Si를 흡착시킨다. 과잉의 Si 함유 가스를 제거한다. 상기 Si가 흡착된 결과물상에 Al 함유 가스를 공급하여 상기 배리어층 및 흡착된 Si 표면에 Al을 흡착시킨다. 과잉의 Al 함유 가스를 제거한다. 상기 단계를 반복하여 상기 배리어층 위에 상기 Si이 함유된 Al 박막을 형성한다.

바람직하게는, 상기 배리어층은 Ti 리치 TiN막으로 형성된다.

상기 Al 흡착 단계에서는 Al 증착을 향상시키기 위하여 상기 Al 함유 가스 공급과 동시에 H<sub>2</sub> 가스를 공급할 수 있다.

상기 콘택 플러그 및 배선층 형성 단계는 상기 계면 조절층 형성 단계와 인시튜(in-situ)로 행해진다.

상기 계면 조절층 형성 단계 후 상기 콘택 플러그 및 배선층 형성 단계 전에, 상기 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 계면 조절층 위에 형성하는 단계를 더 포함할 수 있다. 이 때, 상기 Al의 증착은 상기 표면 처리층 위에 행해진다.

상기 표면 처리층은 상기 계면 조절층의 표면에 수소 또는 질소를 흡착시킴으로써 형성된다.

본 발명의 제2 양태에 따른 반도체 소자의 제조 방법에서는 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성한다. 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 연속적으로 증착된 복수의 원자층으로 이루어지고, Cu, Ti, W, Si, Ta 및 Ag로 이루어지는 군에서 선택되는 어느 하나로 형성되는 계면 조절층을 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD)

또는 디지털 CVD(digital CVD) 방법에 의하여 수 Å ~ 수십 Å의 두께로 형성한다. 상기 계면 조절층 위에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀의 내부를 채우는 동시에 상기 층간절연막의 상부를 덮는 도전층을 형성한다. 상기 결과물을 어닐링하여 상기 계면 조절층 내의 원자들을 상기 도전층 내로 확산시켜서 도판트로 도핑된 Al 배선층을 형성한다.

상기 층간절연막 형성 후 상기 계면 조절층 형성 전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성한다. 상기 오믹층 위에 배리어층을 형성한다. 이 때, 상기 계면 조절층은 상기 배리어층 위에 형성된다.

상기 계면 조절층이 Cu로 이루어지는 경우, 상기 계면 조절층 형성 단계는 (hfac)Cu(TMVS), CuCl<sub>2</sub> 및 Cu<sub>2</sub>I<sub>4</sub>로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플라쉬하여 상기 배리어층의 표면에 Cu를 흡착시키는 단계와, 퍼징 가스를 사용하여 상기 결과물을 퍼징하는 단계와, 상기 단계들을 반복하는 단계를 포함한다.

상기 어닐링 단계는 300 ~ 650°C의 온도로 행한다.

상기 계면 조절층이 Ti로 이루어지는 경우, 상기 계면 조절층 형성 단계는 TiCl<sub>4</sub>, TDEAT(tri-diethylamine titanate) 및 TDMAT(tri-dimethylamine titanate)로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플라쉬하는 단계를 포함한다.

상기 계면 조절층이 W로 이루어지는 경우, 상기 계면 조절층 형성 단계는 WF<sub>6</sub> 가스를 플라쉬하는 단계를 포함한다.

상기 계면 조절층이 Si로 이루어지는 경우, 상기 계면 조절층 형성 단계는 SiH<sub>4</sub>, SiH<sub>3</sub>Cl, SiHCl<sub>3</sub>, Si<sub>2</sub>H<sub>6</sub> 및 SiCl<sub>4</sub>로 이루어지는 어느 하나 또는 그 조합의 가스를 플라쉬하는 단계를 포함한다. 이 때, 어닐링 단계는 400 ~ 650°C의 온도로 행한다.

상기 계면 조절층 형성 단계 후 상기 도전층 형성 단계 전에, 상기 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 계면 조절층 위에 형성하는 단계를 더 포함한다. 이 때, 상기 도전층은 상기 표면 처리층 위에 형성된다.

본 발명의 제3 양태에 따른 반도체 소자의 제조 방법에서는, 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성한다. 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 Si이 함유된 Al 박막으로 이루어지는 제1 계면 조절층을 수 Å ~ 수십 Å의 두께로 형성한다. 상기 제1 계면 조절층 위에 연속적으로 증착된 복수의 Cu 원자층으로 이루어지는 제2 계면 조절층을 형성한다. 상기 제2 계면 조절층 위에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀 내부를 채우는 동시에 상기 층간절연막의 상부를 덮는 도전층을 형성한다. 상기 결과물을 어닐링하여 Si 및 Cu가 도핑된 Al 배선층을 형성한다.

상기 층간절연막 형성 후 상기 제1 계면 조절층 형성 전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성하고, 상기 오믹층 위에 배리어층을 형성하는 단계를 더 포함한다. 이 때, 상기 제1 계면 조절층은 상기 배리어층 위에 형성된다.

상기 제1 및 제2 계면 조절층은 각각 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 형성된다.

상기 제1 계면 조절층을 형성하는 단계에서는 상기 배리어층이 형성된 결과물상에 Si 함유 가스를 플라쉬하여 상기 배리어층 표면에 Si를 흡착시킨다. 과잉의 Si 함유 가스를 제거한다. 상기 Si가 흡착된 결과물상에 Al 함유 가스를 공급하여 상기 배리어층 및 흡착된 Si 표면에 Al을 흡착시킨다. 과잉의 Al 함유 가스를 제거한다. 상기 단계들을 반복하여 상기 배리어층 위에 상기 Si이 함유된 Al 박막을 형성한다.

바람직하게는, 상기 배리어층은 Ti리치 TiN막으로 형성된다.

상기 Al 흡착 단계에서는 상기 Al 소스 가스 공급과 동시에 H<sub>2</sub> 가스를 공급할 수 있다.

상기 제2 계면 조절층 형성 단계에서는 (hfac)Cu(TMVS), CuCl<sub>2</sub> 및 Cu<sub>2</sub>I<sub>4</sub>로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플라쉬하여 상기 제1 계면 조절층의 표면에 Cu를 흡착시킨다. 퍼징 가스를 사용하여 상기 Cu가 흡착된 결과물을 퍼징한다. 상기 단계들을 반복한다.

상기 어닐링 단계는 300 ~ 650°C의 온도로 행한다.

상기 제1 계면 조절층 형성 단계, 상기 제2 계면 조절층 형성 단계 및 상기 도전층 형성 단계는 인시튜(in-situ)로 연속적으로 행해질 수 있다.

상기 제2 계면 조절층 형성 단계 후 상기 도전층 형성 단계 전에, 상기 제2 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 제2 계면 조절층 위에 형성하는 단계를 더 포함할 수 있다.

본 발명에 의하면, 우수한 표면 형상을 갖는 Al 배선층을 얻을 수 있으며, 배선층의 신뢰도를 향상시킬 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 1a 내지 도 1e는 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 1a를 참조하면, 소정의 도전 영역(12)이 형성된 반도체 기판(10)상에 상기 도전 영역(12)을 노출시키는 콘택홀(H1)을 포함하는 층간절연막(20)을 형성한다.

도 1b를 참조하면, 상기 노출된 도전 영역(12)과, 상기 콘택홀(H1)에 의해 노출되는 층간절연막(20)의 측벽 및 상면에 오믹층(32), 예를 들면 Ti막을 형성하고, 상기 오믹층(32) 위에 배리어층(barrier layer)(34), 예를 들면 TiN막을 형성한다. 바람직하게는, 상기 배리어층(34)은 일반적인 TiN막에서보다 Ti 함량이 높은 Ti 리치(Ti-rich) TiN막으로 형성한다. 이와 같이 형성하는 이유는 후술한다.

도 1c를 참조하면, 상기 오믹층(32) 및 배리어층(34)으로 덮인 콘택홀(H1)의 내벽 및 상기 층간절연막(20)의 상부에 ALD(Atomic Layer Deposition) 방법으로 연속적으로 증착된 복수의 원자층으로 이루어지는 계면 조절층(42)을 수 Å ~ 수십 Å, 바람직하게는 10 Å 미만의 두께로 형성한다. 여기서, 상기 계면 조절층(42)은 Si이 함유된 Al 박막으로 이루어진다.

ALD 방법으로 형성되는 상기 계면 조절층(42)은 필요한 소스 가스(source gas)를 순차적으로 공급하여 화학 흡착(chemisorption) 방법에 의하여 매우 얇은 막을 연속적으로 밀도 높게 형성될 수 있는 장점을 가진다. 따라서, 이와 같은 계면 조절층(42) 위에 CVD 방법으로 Al막을 형성하면, 그 Al막의 두께가 수 천 Å 정도로 증가하여도 표면 형상이 매우 우수한 Al막이 얻어지고, 큰 아스펙트비에 의하여 단차가 큰 미세한 콘택홀을 완벽하게 매립할 수 있다.

상기 Si이 함유된 Al 박막으로 이루어지는 계면 조절층(42)을 형성하기 위하여, 먼저 상기 배리어층(34)이 형성된 결과물상에 Si 함유 가스를 플래쉬(flush)하여 상기 배리어층(34)의 표면에 Si를 흡착시킨다. 상기 Si 함유 가스로서, 예를 들면 SiH<sub>4</sub>를 사용한다. 이 흡착 단계는 SiH<sub>4</sub>가 적절히 분해될 수 있는 온도인 400 ~ 900°C, 바람직하게는 750°C의 온도에서 행한다. Si 함유 가스로서 SiH<sub>3</sub>Cl, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, Si<sub>2</sub>H<sub>6</sub> 또는 SiCl<sub>4</sub>를 사용하는 것도 가능하다. 이 때, 상기 설명한 바와 같이 상기 배리어층(34)을 Ti 리치 TiN막으로 형성하면, TiN막중 과잉의 Ti가 SiH<sub>4</sub>로부터 공급되는 Si와 반응하여 상기 배리어층(34)상에 Si가 흡착되는 것을 용이하게 할 수 있다.

이어서, 상기 배리어층(34)상에 흡착된 Si를 제외한 나머지 과잉의 SiH<sub>4</sub>는 퍼징(purging) 또는 펌핑(pumping out)에 의하여 제거한다.

그 후, Si이 흡착된 결과물상에 Al 함유 가스인 TMA(trimethyl aluminum)를 공급하면, Al(CH<sub>3</sub>)<sub>3</sub> + SiH<sub>4</sub> → Si-Al + CH<sub>4</sub>(↑)의 반응에 따라서 TMA의 메틸기가 메탄으로 기화되고, Al이 배리어층(34)을 구성하는 TiN 및 그 위에 흡착된 Si 위에 흡착된다. 여기서, TMA 공급과 동시에 H<sub>2</sub> 가스를 함께 공급하면, Al(CH<sub>3</sub>)<sub>3</sub> + H<sub>2</sub> → Al + CH<sub>4</sub>의 반응이 유도되어 Al 증착을 더욱 용이하게 할 수 있다.

또한, 상기 Al 함유 가스로서 DMAH(dimethylaluminum hydride), DMEAA(dimethylethylamine alane) 또는 TIBA(triisobutylaluminum)를 사용하는 것도 가능하다.

이어서, 과잉의 TMA를 퍼징(purging) 또는 펌핑(pumping out)에 의하여 제거한다.

상기 설명한 바와 같은 Si 흡착, Al 증착 단계를 필요한 횟수 만큼 반복하여 균일한 사이즈의 그레인이 고밀도로 형성되어 있는 복수의 얇은 막들을 연속적으로 증착함으로써, Si이 함유된 Al막으로 이루어지는 상기 계면 조절층(42)을 얻을 수 있다.

CVD 방법에 의하여 형성되는 Al 배선층에서는 Al의 응집(agglomeration) 현상이 잘 일어나고 Al 배선층의 두께가 커질수록 특정한 핵형성 위치(nucleation site)에서 빨리 성장되는 경향이 있다. 따라서, 상기 계면 조절층(42)을 형성하는 데 있어서 증착 속도를 조절함으로써 그레인 결정화 특성이 우수하고 핵형성 위치가 고밀도로 촘촘하게 확보될 수 있도록 하는 것이 중요하다. 즉, 상기 배리어층(34) 위에 ALD 방법에 의하여 사이즈가 균일한 Al 핵을 랜덤(random)하게 분포시켜서 고밀도의 핵형성 위치를 확보하고, 균일한 사이즈의 그레인이 고밀도로 촘촘하게 형성된 원자층 단위의 상기 계면 조절층(42)이 얻어질 정도로 상기 계면 조절층(42)을 비교적 낮은 증착 속도로 형성한 후, 그 위에 연속적으로 CVD 방법에 의하여 상기 계면 조절층(42)의 증착 속도보다 빠른 증착 속도로 Al 배선층을 형성한다. 그 결과, 우수한 표면 형상을 갖는 Al 배선층을 얻을 수 있다.

상기 계면 조절층(42)을 형성하기 위하여 ALD 방법을 사용하는 것으로 설명하였으나, 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 상기 계면 조절층(42)을 형성하는 것도 가능하다.

상기 계면 조절층(42) 내에 함유되어 있는 Si은 Al 입계(grain boundary) 또는 그레인 내에 석출되어 있는 상태로 존재하게 된다. 따라서, Al의 응집(agglomeration)을 막아주고, Al의 핵형성 위치(nucleation site)가 균일하게 분포될 수 있도록 한다.

도 1d를 참조하면, 상기 계면 조절층(42)의 표면에 수소 함유 가스 또는 질소 함유 가스를 공급하여 수소 또는 질소를 흡착시켜서 상기 계면 조절층(42)의 표면에 표면 처리층(44)을 얇게 형성한다. 상기 표면 처리층(44)은 상기 계면 조절층(42)의 표면이 산화되는 것을 방지하기 위하여 형성하는 것이다. 후속의 CVD 증착 단계를 상기 계면 조절층(42) 형성 단계와 인시튜(in-situ)로 행하는 경우에는 상기 표면 처리층(44)의 형성 단계를 생략할 수 있다.

도 1e를 참조하면, 상기 표면 처리층(44)이 형성된 결과물상에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀(H1) 내에 콘택 플러그(52)를 형성하는 동시에 상기 층간절연막(20)상에 상기 콘택 플러그(52)와 연결되는 배선층(50)을 1,000 ~ 8,000 Å의 두께로 형성한다.

바람직하게는, 상기 콘택 플러그(52) 및 배선층(50) 형성 단계는 상기 계면 조절층(42) 형성 단계와 인시튜로 행한다.

이 때, 상기 콘택홀(H1)의 내벽에 상기 계면 조절층(42)을 미리 형성하였으므로, 상기 콘택 플러그(52)에 의하여 상기 콘택홀(H1)을 완벽하게 매립할 수 있는 동시에 우수한 표면 형상을 가지는 상기 배선층(50)이 얻어질 수 있다.

도 2a 내지 도 2d는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 2a를 참조하면, 도 1a 및 도 1b를 참조하여 설명한 바와 같은 방법으로 반도체 기판(110)상에 상기 반도체 기판(110)의 도전 영역을 노출시키는 콘택홀(H2)을 포함하는 층간절연막(120)을 형성하고, 상기 반도체 기판(110)의 노출된 도전 영역과, 상기 콘택홀(H2)에 의해 노출되는 층간절연막(120)의 측벽 및 상면에 Ti로 이루어지는 오믹층(132) 및 TiN으로 이루어지는 배리어층(134)을 차례로 형성한다.

이어서, 상기 배리어층(134)으로 덮인 상기 콘택홀(H2)의 내벽 및 상기 층간절연막(120)의 상부에 ALD, 사이클릭 CVD 또는 디지털 CVD 방법에 의하여 연속적으로 증착된 복수의 원자층으로 이루어지는 계면 조절층(142)을 수 Å ~ 수십 Å의 두께, 바람직하게는 20Å 이하의 두께로 형성한다.

상기 계면 조절층(142)은 Cu, Ti, W, Si, Ta 및 Ag로 형성할 수 있다. 본 예에서는 상기 계면 조절층(142)을 Cu로 형성하는 경우에 대하여 설명한다.

Cu로 이루어지는 상기 계면 조절층(142)을 형성하기 위하여, 먼저 Cu의 소스 가스로서 (hfac)Cu(TMVS)[(hexafluoroacetyl)Cu(trimethylvinylsilane)], CuCl<sub>2</sub> 또는 Cu<sub>2</sub>I<sub>4</sub> 가스를 상기 배리어층(134)이 형성된 결과물상에 플래쉬하여 상기 배리어층(134)의 표면에 Cu를 흡착시킨 후, H<sub>2</sub>, He 또는 Ar 가스를 사용하여 퍼징한다. 상기 플래쉬 단계 및 퍼징 단계를 필요한 횟수 만큼 반복하여 연속적으로 얇게 증착된 복수의 Cu 원자층으로 이루어지는 상기 계면 조절층(142)을 형성한다.

상기 계면 조절층(142)을 Ti로 형성하는 경우에는 소스 가스로서 TiCl<sub>4</sub>, TDEAT(tri-diethylamine titanate) 또는 TDMAT(tri-dimethylamine titanate) 가스를 플래쉬한다.

상기 계면 조절층(142)을 W으로 형성하는 경우에는 소스 가스로서 WF<sub>6</sub> 가스를 플래쉬한다.

상기 계면 조절층(142)을 Si으로 형성하는 경우에는 소스 가스로서 SiH<sub>4</sub>, SiH<sub>3</sub>Cl, SiHCl<sub>3</sub>, Si<sub>2</sub>H<sub>6</sub> 또는 SiCl<sub>4</sub> 가스를 플래쉬한다.

도 2b를 참조하면, 상기 계면 조절층(142)의 표면이 산화되는 것을 방지하기 위하여 상기 계면 조절층(142) 표면에 수소 함유 가스 또는 질소 함유 가스를 공급하여 수소 또는 질소를 흡착시켜서 표면 처리층(144)을 얇게 형성한다. 후속의 CVD 증착 단계를 상기 계면 조절층(142) 형성 단계와 인시튜로 행하는 경우에는 상기 표면 처리층(144)의 형성 단계를 생략할 수 있다.

도 2c를 참조하면, 상기 표면 처리층(144)이 형성된 결과물상에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀(H2) 내부를 채우는 동시에 상기 층간절연막(120)의 상부를 덮는 도전층(150)을 형성한다. 이때, 상기 콘택홀(H2)의 내벽에 얇고 연속적인 상기 계면 조절층(142)을 미리 형성하였으므로, 상기 배리어층(134)을 구성하는 TiN 표면에 Cu가 연속막의 형태로 흡착되어 있다. 이와 같은 상태에서 상기 도전층(150)을 CVD 방법으로 형성하게 되면, 상기 도전층(150)을 두껍게 형성하여도 상기 콘택홀(H2)을 완벽하게 매립할 수 있는 동시에 우수한 표면 형상을 가지는 상기 도전층(150)이 얻어진다.

바람직하게는, 상기 도전층(150) 형성 단계는 상기 계면 조절층(142) 형성 단계와 인시튜로 행한다.

도 2d를 참조하면, 상기 도전층(150)이 형성된 결과물을 300 ~ 650°C, 바람직하게는 450 ~ 500°C의 온도로 어닐링하여 상기 계면 조절층(142) 내의 Cu 원자를 상기 도전층(150) 내로 확산시킨다. 그 결과, Cu가 도핑된 Al 배선층(150a)이 얻어진다. 상기 Al 배선층(150a) 내의 Cu 도핑 농도를 0.5 atm% 정도로 하고자 한다면 상기 계면 조절층(142)의 두께를 20Å 이하로 하면 충분하다.

상기한 바와 같이, 상기 계면 조절층(142)을 구성하는 Cu가 상기 배리어층(134)을 구성하는 TiN 위에 흡착되어 있는 상태에서 CVD 방법으로 상기 도전층(150)을 형성하면, 두꺼운 Al 도전층에서도 우수한 표면 형상이 얻어질 수 있는 동시에 Al 배선층(150a)에서 Cu가 도판트(dopant)로 작용하여 배선층의 신뢰성을 향상시킬 수 있는 효과가 있다.

상기 계면 조절층(142)을 Cu가 아닌 다른 원소, 예를 들면 Ti, W, Si, Ta 또는 Ag를 이용하여 형성하는 경우에도 동일한 효과를 기대할 수 있다.

상기 계면 조절층(142)을 Ti로 형성한 경우에는 상기 도전층(150)이 형성된 결과물을 400 ~ 650°C의 온도로 어닐링한다.

도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 3a를 참조하면, 도 1a 및 도 1b를 참조하여 설명한 바와 같은 방법으로 반도체 기판(210)상에 상기 반도체 기판(210)의 도전 영역을 노출시키는 콘택홀(H3)을 포함하는 층간절연막(220)을 형성하고, 상기 반도체 기판(210)의 노출된 도전 영역과, 상기 콘택홀(H3)에 의해 노출되는 층간절연막(220)의 측벽 및 상면에 Ti로 이루어지는 오믹층(232) 및 TiN으로 이루어지는 배리어층(234)을 차례로 형성한다.

이어서, 도 1c를 참조하여 설명한 바와 동일한 방법에 의하여, 상기 배리어층(234)으로 덮인 상기 콘택홀(H3)의 내벽 및 상기 층간절연막(220)의 상부에 Si이 함유된 Al 박막으로 이루어지는 제1 계면 조절층(242)을 수 Å ~ 수십 Å의 두께, 바람직하게는 10Å 미만의 두께로 형성한다.

도 3b를 참조하면, 도 2a를 참조하여 설명한 바와 같은 방법으로, 상기 제1 계면 조절층(242) 위에 Cu로 이루어지는 제2 계면 조절층(244)을 형성한다. 상기 제2 계면 조절층(244)은 Ti, W, Si, Ta 또는 Ag로도 형성할 수 있다.

또한, 상기 제2 계면 조절층(244)을 제2 실시예에서와 같이 얇은 연속막의 형태로 형성하는 것도 가능하지만, 상기 제1 계면 조절층(242) 위에 이 분야에서 공지된 기술에 의하여 복수의 아일랜드(island) 형상

으로 형성하는 방법도 가능하다.

도 3c를 참조하면, 도 2b를 참조하여 설명한 바와 같은 방법으로, 상기 제2 계면 조절층(244)의 표면에 산화 방지용 표면 처리층(246)을 형성한다. 후속의 CVD에 의한 Al 증착 단계를 상기 제1 및 제2 계면 조절층(242, 244) 형성 단계와 인시튜로 행하는 경우에는 상기 표면 처리층(246)의 형성 단계를 생략할 수 있다.

도 3d를 참조하면, 상기 표면 처리층(246)이 형성된 결과물상에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀(H3) 내부를 채우는 동시에 상기 층간절연막(220)의 상부를 덮는 도전층(250)을 형성한다. 이때, 상기 콘택홀(H3)의 내벽에 상기 제1 및 제2 계면 조절층(242, 244)을 미리 형성하였으므로, 상기 도전층(250)에 의하여 상기 콘택홀(H3)을 완벽하게 매립할 수 있는 동시에 우수한 표면 형상을 가지는 상기 도전층(250)이 얻어진다.

바람직하게는, 상기 도전층(250) 형성 단계는 상기 제1 및 제2 계면 조절층(242, 244) 형성 단계와 인시튜로 행한다.

도 3e를 참조하면, 상기 도전층(250)이 형성된 결과물을 300 ~ 650°C, 바람직하게는 450 ~ 500°C의 온도로 어닐링하여 상기 제1 계면 조절층(242) 내의 Si 원자 및 상기 제2 계면 조절층(244) 내의 Cu 원자를 상기 도전층(250) 내로 확산시킨다. 그 결과, Si 및 Cu가 도핑된 Al 배선층(250a)이 얻어진다.

본 실시예에서는, 상기 제1 및 제2 계면 조절층(242, 244)에 의하여 우수한 표면 형상을 가지는 상기 Al 배선층을 형성할 수 있는 동시에 상기 Al 배선층(250a)에서 상기 제1 및 제2 계면 조절층(242, 244)의 Si 및 Cu가 도판트로 작용하여 배선층의 신뢰성을 향상시킬 수 있다.

### 발명의 효과

상기한 바와 같이, 본 발명에 의하면 배리어층 위에 ALD방법, 사이클릭 CVD 방법 또는 디지털 CVD 방법에 의하여 균일한 사이즈의 그래인으로 이루어지는 고밀도의 계면 조절층을 형성한 후 Al 배선층을 형성하므로, 우수한 표면 형상을 갖는 Al 배선층을 얻을 수 있으며, 상기 계면 조절층을 배선층 내의 도판트로 이용할 수 있으므로, 배선층의 신뢰도를 향상시킬 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

### (57) 청구의 범위

#### 청구항 1

(a) 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성하는 단계와, (b) 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 연속적으로 증착된 복수의 원자층으로 이루어지고, Si이 함유된 Al 박막으로 형성되는 계면 조절층을 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 수 Å ~ 수십 Å의 두께로 형성하는 단계와, (c) 상기 계면 조절층이 형성된 결과물상에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀 내에 콘택 플러그를 형성하는 동시에 상기 층간절연막상에 상기 콘택 플러그와 연결되는 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 2

제1항에 있어서, 상기 단계 (a) 후 단계 (b) 전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성하는 단계와, 상기 오믹층 위에 배리어층을 형성하는 단계를 더 포함하고, 상기 단계 (b)에서 상기 계면 조절층은 상기 배리어층 위에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 3

제2항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층은 단일 원소로 이루어지는 단일 금속 박막, 또는 두가지 또는 그 이상의 원소로 이루어지는 합금 박막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 4

제2항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층을 형성하는 단계는 (b-1) 상기 배리어층이 형성된 결과물상에 Si 함유 가스를 플래쉬(flush)하여 상기 배리어층 표면에 Si를 흡착시키는 단계와, (b-2) 과잉의 Si 함유 가스를 제거하는 단계와, (b-3) 상기 Si가 흡착된 결과물상에 Al 함유 가스를 공급하여 상기 배리어층 및 흡착된 Si 표면에 Al을 흡착시키는 단계와, (b-4) 과잉의 Al 함유 가스를 제거하는 단계와, (b-5) 상기 단계 (b-1) 내지 (b-4)를 반복하여 상기 배리어층 위에 상기 Si 이 함유된 Al박막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 5

제4항에 있어서, 상기 배리어층은 Ti 리치 TiN막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 6

제4항에 있어서, 상기 단계 (b-3)에서 상기 Al 흡착 단계는 Al 증착을 향상시키기 위하여 상기 Al 함유

가스 공급과 동시에 H<sub>2</sub> 가스를 공급하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 7

제1항에 있어서, 상기 단계 (c)의 콘택 플러그 및 배선층 형성 단계는 상기 단계 (b)와 인시튜 (in-situ)로 행해지는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 8

제1항에 있어서, 상기 단계 (b)의 계면 조절층 형성 단계 후 상기 단계 (c)의 콘택 플러그 및 배선층 형성 단계 전에, 상기 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 계면 조절층 위에 형성하는 단계를 더 포함하고, 상기 단계 (c)에서 상기 Si의 증착은 상기 표면 처리층 위에 행해지는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 9

제8항에 있어서, 상기 표면 처리층은 상기 계면 조절층의 표면에 수소 또는 질소를 흡착시킴으로써 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 10

(a) 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성하는 단계와, (b) 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 연속적으로 증착된 복수의 원자층으로 이루어지고, Cu, Ti, W, Si, Ta 및 Ag로 이루어지는 군에서 선택되는 어느 하나로 형성되는 계면 조절층을 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 수 Å ~ 수십 Å의 두께로 형성하는 단계와, (c) 상기 계면 조절층 위에 CVD 방법에 의하여 Si을 전면 증착하여 상기 콘택홀 내부를 채우는 동시에 상기 층간절연막의 상부를 덮는 도전층을 형성하는 단계와, (d) 상기 (c)의 결과물을 어닐링하여 상기 계면 조절층 내의 원자들을 상기 도전층 내로 확산시켜서 도판트로 도핑된 Si 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 11

제10항에 있어서, 상기 단계 (a) 후 단계 (b) 전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성하는 단계와, 상기 오믹층 위에 배리어층을 형성하는 단계를 더 포함하고, 상기 단계 (b)에서 상기 계면 조절층은 상기 배리어층 위에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 12

제10항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층은 Cu로 이루어지고, 상기 계면 조절층 형성 단계는 (b-1)(hfac)Cu(TMVS), CuCl<sub>2</sub> 및 Cu<sub>2</sub>I<sub>4</sub>로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플라쉬하여 상기 배리어층의 표면에 Cu를 흡착시키는 단계와, (b-2) 퍼징 가스를 사용하여 상기 (b-1)의 결과물을 퍼징하는 단계와, (b-3) 상기 단계 (b-1) 및 (b-2)를 반복하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 13

제12항에 있어서, 상기 단계 (d)의 어닐링 단계는 300 ~ 650℃의 온도로 행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 14

제10항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층은 Ti로 이루어지고, 상기 계면 조절층 형성 단계는 TiCl<sub>4</sub>, TDEAT(tri-diethylamine titanate) 및 TOMAT(tri-dimethylamine titanate)로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플라쉬하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 15

제10항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층은 W로 이루어지고, 상기 계면 조절층 형성 단계는 WF<sub>6</sub> 가스를 플라쉬하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 16

제10항에 있어서, 상기 단계 (b)에서, 상기 계면 조절층은 Si로 이루어지고, 상기 계면 조절층 형성 단계는 SiH<sub>4</sub>, SiH<sub>3</sub>Cl, SiHCl<sub>3</sub>, Si<sub>2</sub>H<sub>6</sub> 및 SiCl<sub>4</sub>로 이루어지는 어느 하나 또는 그 조합의 가스를 플라쉬하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 17

제16항에 있어서, 상기 단계 (d)의 어닐링 단계는 400 ~ 650℃의 온도로 행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 18

제10항에 있어서, 상기 단계 (b)의 계면 조절층 형성 단계 후 상기 단계 (c)의 도전층 형성 단계 전에, 상기 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 계면 조절층 위에 형성하는 단계를 더 포함하고, 상기 단계 (c)에서 상기 도전층은 상기 표면 처리층 위에 형성되는 것을 특징으로

하는 반도체 소자의 제조 방법.

#### 청구항 19

제18항에 있어서, 상기 표면 처리층은 상기 계면 조절층의 표면에 수소 또는 질소를 흡착시킴으로써 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 20

(a) 반도체 기판상에 상기 반도체 기판의 도전 영역을 노출시키는 콘택홀을 포함하는 층간절연막을 형성하는 단계와, (b) 상기 콘택홀의 내벽 및 상기 층간절연막의 상부에 Si이 함유된 Al 박막으로 이루어지는 제1 계면 조절층을 수 Å ~ 수십 Å의 두께로 형성하는 단계와, (c) 상기 제1 계면 조절층 위에 연속적으로 증착된 복수의 Cu 원자층으로 이루어지는 제2 계면 조절층을 형성하는 단계와, (d) 상기 제2 계면 조절층 위에 CVD 방법에 의하여 Al을 전면 증착하여 상기 콘택홀 내부를 채우는 동시에 상기 층간절연막의 상부를 덮는 도전층을 형성하는 단계와, (e) 상기 (d)의 결과물을 어닐링하여 Si 및 Cu가 도핑된 Al 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 21

제20항에 있어서, 상기 단계 (a) 후 단계 (b)전에, 상기 노출된 도전 영역과, 상기 콘택홀에 의해 노출되는 층간절연막의 측벽 및 상면에 오믹층을 형성하는 단계와, 상기 오믹층 위에 배리어층을 형성하는 단계를 더 포함하고, 상기 단계 (b)에서 상기 제1 계면 조절층은 상기 배리어층 위에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 22

제21항에 있어서, 상기 제1 및 제2 계면 조절층은 각각 ALD(Atomic Layer Deposition), 사이클릭 CVD(cyclic CVD) 또는 디지털 CVD(digital CVD) 방법에 의하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 23

제21항에 있어서, 상기 단계 (b)에서, 상기 제1 계면 조절층을 형성하는 단계는 (b-1) 상기 배리어층이 형성된 결과물상에 Si 함유 가스를 플래쉬하여 상기 배리어층 표면에 Si를 흡착시키는 단계와, (b-2) 과잉의 Si 함유 가스를 제거하는 단계와, (b-3) 상기 Si가 흡착된 결과물상에 Al 함유 가스를 공급하여 상기 배리어층 및 흡착된 Si 표면에 Al을 흡착시키는 단계와, (b-4) 과잉의 Al 함유 가스를 제거하는 단계와, (b-5) 상기 (b-1) 내지 (b-4)를 반복하여 상기 배리어층 위에 상기 Si 이 함유된 Al 박막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 24

제23항에 있어서, 상기 배리어층은 Ti리치 TiN막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 25

제23항에 있어서, 상기 단계 (b-3)에서 상기 Al 흡착 단계는 상기 Al 소스 가스 공급과 동시에 H<sub>2</sub> 가스를 공급하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 26

제20항에 있어서, 상기 단계 (c)의 상기 제2 계면 조절층 형성 단계는 (c-1) (hfac)Cu(TMVS), CuCl<sub>2</sub> 및 Cu<sub>2</sub>I<sub>4</sub>로 이루어지는 군에서 선택되는 어느 하나 또는 그 조합으로 이루어지는 가스를 플래쉬하여 상기 제1 계면 조절층의 표면에 Cu를 흡착시키는 단계와, (c-2) 퍼징 가스를 사용하여 상기 (c-1)의 결과물을 퍼징하는 단계와, (c-3) 상기 단계 (c-1) 및 (c-2)를 반복하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 27

제20항에 있어서, 상기 단계 (e)의 어닐링 단계는 300 ~ 650℃의 온도로 행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 28

제20항에 있어서, 상기 단계 (b)의 제1 계면 조절층 형성 단계, 상기 단계(c)의 제2 계면 조절층 형성 단계 및 상기 단계 (d)의 도전층 형성 단계는 인시튜(in-situ)로 연속적으로 행해지는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 29

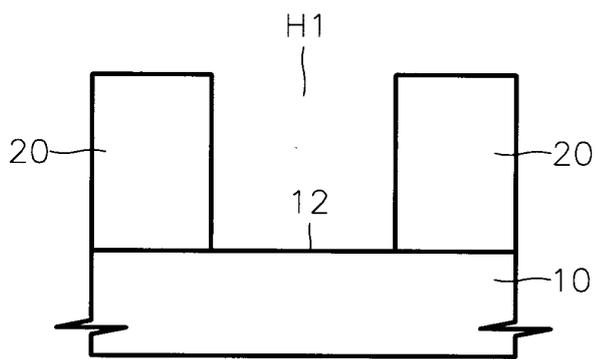
제20항에 있어서, 상기 단계 (c)의 제2 계면 조절층 형성 단계 후 상기 단계 (d)의 도전층 형성 단계 전에, 상기 제2 계면 조절층의 표면이 산화되는 것을 방지하기 위한 표면 처리층을 상기 제2 계면 조절층 위에 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

#### 청구항 30

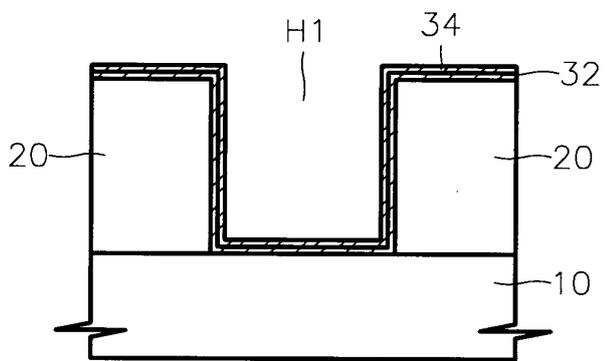
제29항에 있어서, 상기 표면 처리층은 상기 제2 계면 조절층의 표면에 수소 또는 질소를 흡착시킴으로써 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

도면

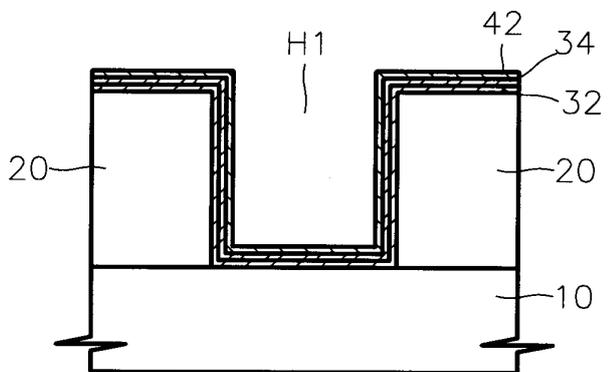
도면 1a



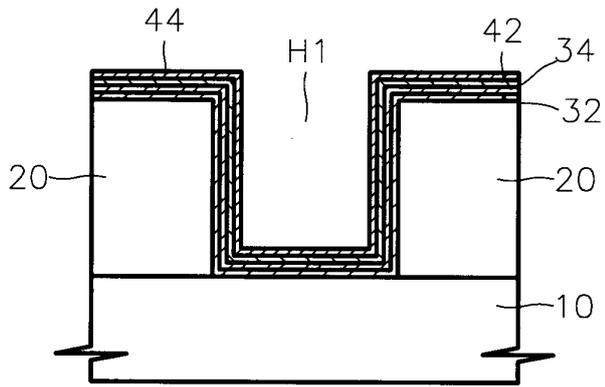
도면 1b



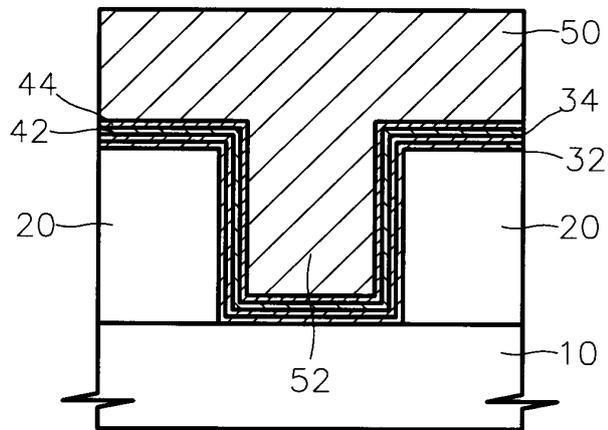
도면 1c



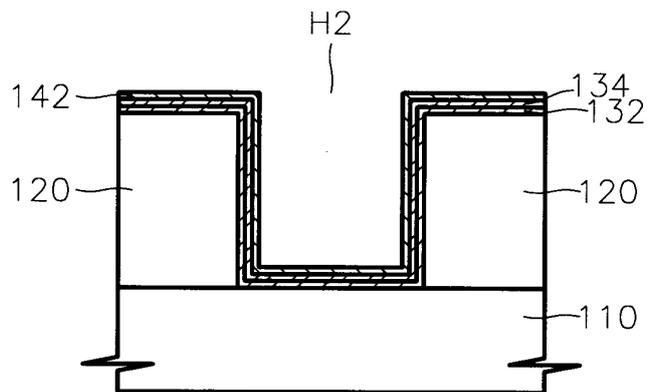
도면1d



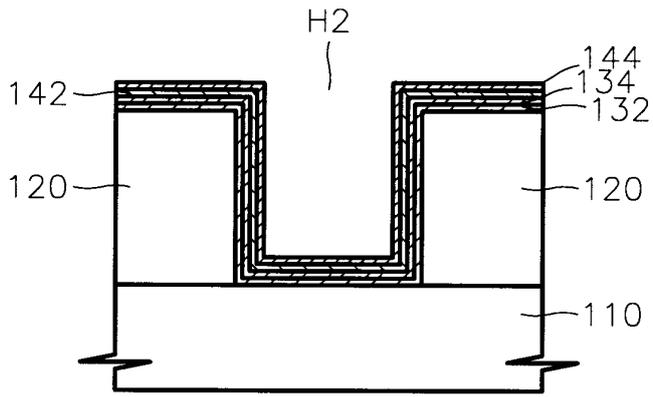
도면1e



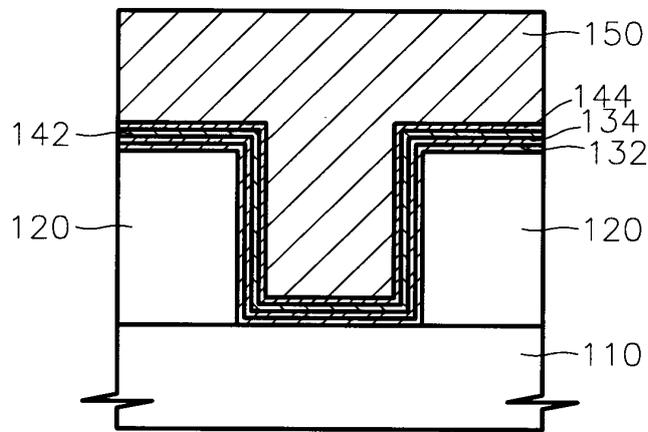
도면2a



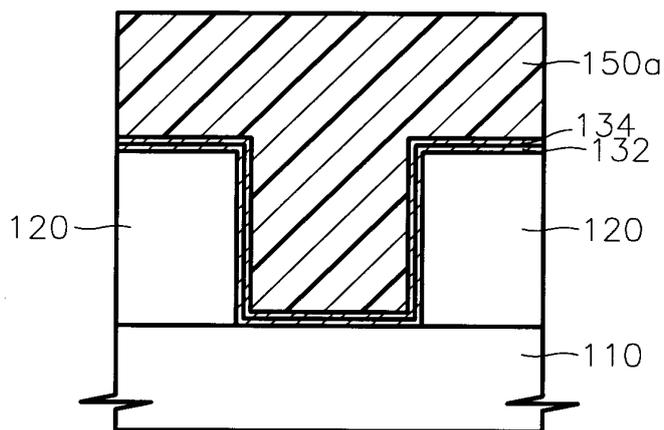
도면2b



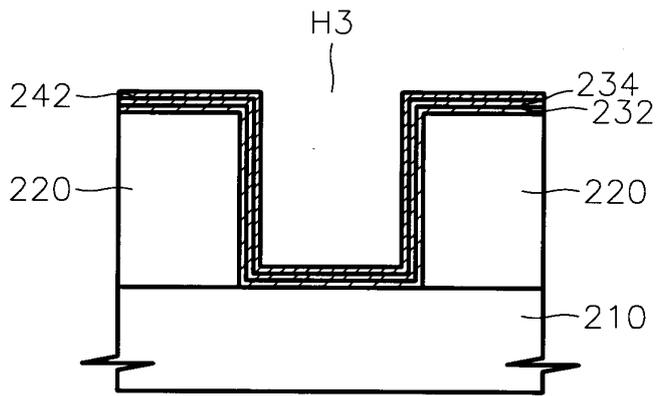
도면2c



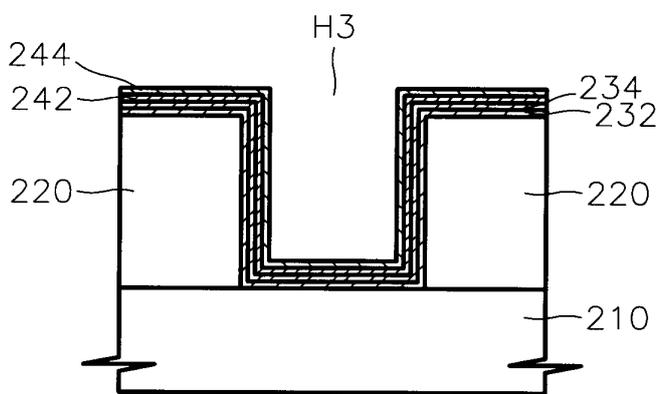
도면2d



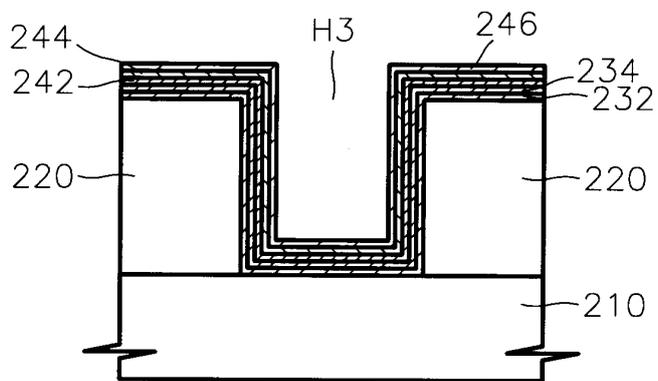
도면3a



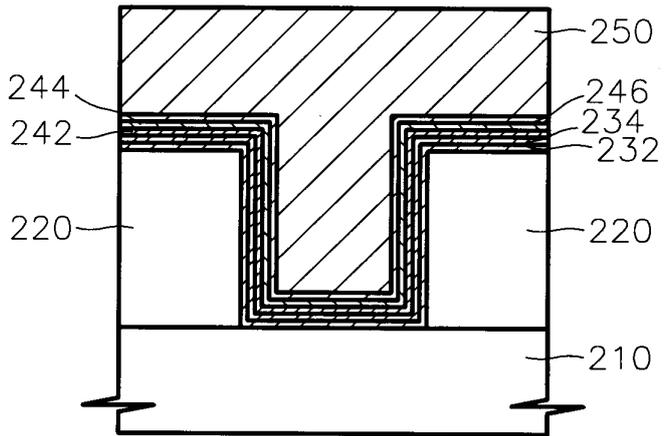
도면3b



도면3c



도면3d



도면3e

