



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2012-0060407  
(43) 공개일자 2012년06월12일

(51) 국제특허분류(Int. Cl.)  
G02F 1/133 (2006.01) G02F 1/136 (2006.01)  
(21) 출원번호 10-2010-0121885  
(22) 출원일자 2010년12월02일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
정석원  
경기도 고양시 일산서구 대화1로 51, 건영아파트  
304동 103호 (대화동)  
공향식  
경기도 성남시 분당구 내정로 152, 136동 201호  
(수내동, 파크타운)  
(뒷면에 계속)  
(74) 대리인  
박영우

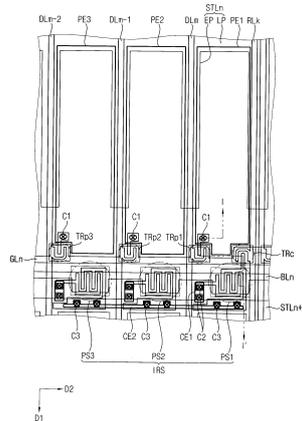
전체 청구항 수 : 총 33 항

(54) 발명의 명칭 표시 기관, 이의 제조 방법 및 이를 포함하는 터치 표시 장치

**(57) 요약**

표시 기관은 화소 스위칭 소자, 화소 전극, 리드 배선, 제어 스위칭 소자, 바이어스 배선, 광 센싱 소자, 센싱 커패시터 및 차광 필터 패턴을 포함한다. 화소 스위칭 소자는 베이스 기관 위에 배치된 데이터 배선과 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함한다. 화소 전극은 화소 스위칭 소자와 전기적으로 연결된다. 리드 배선은 상기 데이터 배선과 평행하게 배치된다. 제어 스위칭 소자는 리드 배선과 게이트 배선에 연결되고, 제2 반도체 패턴을 포함한다. 바이어스 배선은 게이트 배선과 평행하게 배치된다. 광 센싱 소자는 바이어스 배선과 제어 스위칭 소자에 연결되고, 제3 반도체 패턴을 포함한다. 센싱 커패시터는 광 센싱 소자와 스토리지 배선에 연결된다. 차광 필터 패턴은 광 센싱 소자 위에 배치되어 제1 광을 투과하고, 데이터 배선 및 게이트 배선 위에 배치되어 제2 광을 차단한다.

**대표도 - 도1**



(72) 발명자

**양성훈**

서울특별시 성동구 상원길 63, 102동 2001호 (성수동1가, 쌍용아파트)

**한상윤**

서울특별시 강남구 남부순환로365길 16, 대림아파트 101동 802호 (도곡동)

**전경숙**

경기 용인시 기흥구 보라동 한보라마을휴먼시아6단지아파트 604동 2001호

**서승미**

서울특별시 송파구 올림픽로 135, 주공아파트 244동 2404호 (잠실동, 리센츠)

**서미선**

서울특별시 동대문구 휘경로14나길 10 (휘경동)

**특허청구의 범위**

**청구항 1**

베이스 기관 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함하는 화소 스위칭 소자;

상기 화소 스위칭 소자와 전기적으로 연결된 화소 전극;

상기 데이터 배선과 평행한 리드 배선;

상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함하는 제어 스위칭 소자;

상기 게이트 배선과 평행한 바이어스 배선;

상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴을 포함하는 광 센싱 소자;

상기 광 센싱 소자와 스토리지 배선에 연결된 센싱 커패시터; 및

상기 광 센싱 소자 위에 배치되어 제1 광을 투과하고, 상기 데이터 배선 및 상기 게이트 배선 위에 배치되어 제2 광을 차단하는 차광 필터 패턴을 포함하는 표시 기관.

**청구항 2**

제1항에 있어서, 상기 광 센싱 소자는 상기 게이트 배선의 연장 방향으로 길게 배치된 것을 특징으로 하는 표시 기관.

**청구항 3**

제2항에 있어서, 상기 광 센싱 소자는

데이터 배선들 사이에 배치된 광 센서가 적어도 하나 이상 연결된 것을 특징으로 하는 표시 기관.

**청구항 4**

제1항에 있어서, 상기 화소 스위칭 소자, 상기 제어 스위칭 소자 및 상기 광 센싱 소자를 덮도록 상기 베이스 기관 위에 배치된 유기 절연층을 더 포함하고,

상기 차광 필터 패턴은 상기 유기 절연층 위에 배치되는 것을 특징으로 하는 표시 기관.

**청구항 5**

제1항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들 각각은 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 표시 기관.

**청구항 6**

제1항에 있어서, 상기 제1 및 제2 반도체 패턴들 각각은 아몰퍼스 실리콘층 및 오믹 콘택층을 포함하고, 상기 제3 반도체 패턴은 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 표시 기관.

**청구항 7**

제1항에 있어서, 상기 광 센싱 소자는 상기 데이터 배선의 연장 방향으로 길게 배치된 것을 특징으로 하는 표시 기관.

**청구항 8**

베이스 기관 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함하는 화소 스위칭 소자;

상기 화소 스위칭 소자와 전기적으로 연결된 화소 전극;

상기 데이터 배선과 평행한 리드 배선;

상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함하는 제어 스위칭 소자;

상기 게이트 배선과 평행한 바이어스 배선;

상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴 및 상기 제3 반도체 패턴과 중첩되어 적외광을 투과하는 밴드패스필터를 포함하는 광 센싱 소자; 및

상기 광 센싱 소자와 스토리지 배선에 연결된 센싱 커패시터를 포함하는 표시 기관.

#### 청구항 9

제8항에 있어서, 상기 광 센싱 소자는 상기 바이어스 배선과 연결된 게이트 전극을 더 포함하고,

상기 밴드패스필터는 상기 게이트 전극과 전기적으로 연결된 것을 특징으로 하는 표시 기관.

#### 청구항 10

제8항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들 각각은 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 표시 기관.

#### 청구항 11

제8항에 있어서, 상기 제1 및 제2 반도체 패턴들 각각은 아몰퍼스 실리콘층 및 오믹 콘택층을 포함하고, 상기 제3 반도체 패턴은 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 표시 기관.

#### 청구항 12

제8항에 있어서, 상기 광 센싱 소자는 상기 게이트 배선의 연장 방향으로 길게 배치된 것을 특징으로 하는 표시 기관.

#### 청구항 13

제12항에 있어서, 상기 광 센싱 소자는

데이터 배선들 사이에 배치된 광 센서가 적어도 하나 이상 연결된 것을 특징으로 하는 표시 기관.

#### 청구항 14

제8항에 있어서, 상기 광 센싱 소자는 상기 데이터 배선의 연장 방향으로 길게 배치된 것을 특징으로 하는 표시 기관.

#### 청구항 15

베이스 기관 위에 게이트 배선과 상기 게이트 배선과 연결된 제1 게이트 전극 및 제2 게이트 전극과, 바이어스 배선과 상기 바이어스 배선과 연결된 제3 게이트 전극 및 스토리지 배선을 포함하는 게이트 금속패턴을 형성하는 단계;

상기 제1 게이트 전극 위에 제1 반도체 패턴과, 상기 제2 게이트 전극 위에 제2 반도체 패턴 및 상기 제3 게이트 전극 위에 제3 반도체 패턴을 형성하는 단계;

상기 제1, 제2 및 제3 반도체 패턴들이 형성된 상기 베이스 기관 위에 데이터 배선과, 상기 제1 반도체 패턴 위에 중첩된 제1 소스 전극 및 제1 드레인 전극과, 리드 배선과, 상기 제2 반도체 패턴과 중첩된 제2 소스 전극 및 제2 드레인 전극과, 상기 제3 반도체 패턴 위에 중첩된 제3 소스 전극 및 제3 드레인 전극과, 상기 스토리지 배선과 부분적으로 중첩된 전극을 포함하는 소스 금속패턴을 형성하는 단계;

상기 제1 드레인 전극과 전기적으로 연결된 화소 전극, 상기 제3 드레인 전극과 상기 스토리지 배선을 전기적으로 연결하는 콘택 전극을 형성하는 단계; 및

상기 제3 반도체 패턴이 형성된 영역과 상기 데이터 배선 및 상기 게이트 배선이 형성된 영역에 제1 광을 투과하고 제2 광을 차단하는 차광 필터 패턴을 형성하는 단계를 포함하는 표시 기관의 제조 방법.

**청구항 16**

제15항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,  
 상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;  
 상기 게이트 절연층 위에 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 형성하는 단계; 및  
 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 상기 제1, 제2 및 제3 반도체 패턴으로 형성하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 17**

제16항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1 및 제2 반도체 패턴들의 상기 오믹 콘택층 및 상기 아몰퍼스 실리콘 저마늄층을 제거하고, 상기 제3 반도체 패턴의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 18**

제15항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,  
 상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;  
 상기 게이트 절연층 위에 아몰퍼스 실리콘 저마늄층, 오믹 콘택층 및 액티브 보호층을 형성하는 단계;  
 제1 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘 저마늄층, 오믹 콘택층 및 액티브 보호층을 패터닝하여 상기 제3 반도체 패턴 및 상기 제3 반도체 패턴 위에 액티브 보호패턴을 형성하는 단계;  
 상기 제3 반도체 패턴 및 상기 액티브 보호패턴이 형성된 베이스 기판 위에 아몰퍼스 실리콘층 및 오믹 콘택층을 형성하는 단계;  
 제2 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층 및 상기 오믹 콘택층을 패터닝하여 상기 제1 및 제2 반도체 패턴을 형성하는 단계; 및  
 상기 제3 반도체 패턴 위에 형성된 상기 액티브 보호패턴을 제거하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1, 제2 및 제3 반도체 패턴들의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 20**

제15항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,  
 상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;  
 상기 게이트 절연층 위에 아몰퍼스 실리콘 저마늄층 및 제1 두께의 오믹 희생층을 형성하는 단계;  
 제1 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘 저마늄층 및 상기 오믹 희생층을 패터닝하여 예비 반도체 패턴을 형성하는 단계;  
 상기 예비 반도체 패턴이 형성된 베이스 기판 위에 아몰퍼스 실리콘층 및 상기 제1 두께 보다 얇은 제2 두께의 오믹 콘택층을 형성하는 단계; 및  
 제2 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층, 상기 오믹 콘택층을 식각하여 제1 및 제2 반도체 패턴을 형성하고, 상기 예비 반도체 패턴의 오믹 희생층을 일부 식각하여 상기 제3 반도체 패턴의 오믹 콘택층을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 21**

제20항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1, 제2 및 제3 반도체 패턴들의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 22**

베이스 기판 위에 게이트 배선과 상기 게이트 배선과 연결된 제1 게이트 전극 및 제2 게이트 전극과, 바이어스 배선과 상기 바이어스 배선과 연결된 제3 게이트 전극 및 스토리지 배선을 포함하는 게이트 금속패턴을 형성하는 단계;

상기 제1 게이트 전극 위에 제1 반도체 패턴과, 상기 제2 게이트 전극 위에 제2 반도체 패턴 및 상기 제3 게이트 전극 위에 제3 반도체 패턴을 형성하는 단계;

상기 제1, 제2 및 제3 반도체 패턴들이 형성된 상기 베이스 기판 위에 데이터 배선과, 상기 제1 반도체 패턴 위에 증착된 제1 소스 전극 및 제1 드레인 전극과, 리드 배선과, 상기 제2 반도체 패턴과 증착된 제2 소스 전극 및 제2 드레인 전극과, 상기 제3 반도체 패턴 위에 증착된 제3 소스 전극 및 제3 드레인 전극과, 상기 스토리지 배선과 부분적으로 증착된 전극을 포함하는 소스 금속패턴을 형성하는 단계;

상기 제1 드레인 전극과 전기적으로 연결된 화소 전극, 상기 제3 드레인 전극과 상기 스토리지 배선을 전기적으로 연결하는 콘택 전극을 형성하는 단계; 및

상기 제3 반도체 패턴과 증착되고 상기 제3 게이트 전극과 전기적으로 연결되어 적외광을 투과하는 밴드패스 필터를 형성하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 23**

제22항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,

상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 형성하는 단계; 및 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 상기 제1, 제2 및 제3 반도체 패턴으로 형성하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 24**

제23항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1 및 제2 반도체 패턴들의 상기 오믹 콘택층 및 상기 아몰퍼스 실리콘 저마늄층을 제거하고, 상기 제3 반도체 패턴의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 25**

제22항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,

상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 아몰퍼스 실리콘 저마늄층, 오믹 콘택층 및 액티브 보호층을 형성하는 단계;

제1 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘 저마늄층, 오믹 콘택층 및 액티브 보호층을 패터닝하여 상기 제3 반도체 패턴 및 상기 제3 반도체 패턴 위에 액티브 보호패턴을 형성하는 단계;

상기 제3 반도체 패턴 및 상기 액티브 보호패턴이 형성된 베이스 기판 위에 아몰퍼스 실리콘층 및 오믹 콘택층을 형성하는 단계;

제2 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층 및 상기 오믹 콘택층을 패터닝하여 상기 제1 및 제2 반도체 패턴을 형성하는 단계; 및

상기 제3 반도체 패턴 위에 형성된 상기 액티브 보호패턴을 제거하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 26**

제25항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1, 제2 및 제3 반도체 패턴들의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 27**

제22항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들을 형성하는 단계는,

상기 게이트 금속패턴이 형성된 베이스 기판 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 아몰퍼스 실리콘 저마늄층 및 제1 두께의 오믹 희생층을 형성하는 단계;

제1 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘 저마늄층 및 상기 오믹 희생층을 패터닝하여 예비 반도체 패턴을 형성하는 단계;

상기 예비 반도체 패턴이 형성된 베이스 기판 위에 아몰퍼스 실리콘층 및 상기 제1 두께 보다 얇은 제2 두께의 오믹 콘택층을 형성하는 단계; 및

제2 포토레지스트 패턴을 이용하여 상기 아몰퍼스 실리콘층, 상기 오믹 콘택층을 식각하여 제1 및 제2 반도체 패턴을 형성하고, 상기 예비 반도체 패턴의 오믹 희생층을 일부 식각하여 상기 제3 반도체 패턴의 오믹 콘택층을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

**청구항 28**

제27항에 있어서, 상기 소스 금속패턴을 이용하여 상기 제1, 제2 및 제3 반도체 패턴들의 상기 오믹 콘택층을 제거하는 단계를 더 포함하는 표시 기판의 제조 방법.

**청구항 29**

제1 베이스 기판 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함하는 화소 스위칭 소자와, 상기 화소 스위칭 소자와 전기적으로 연결된 화소 전극과, 상기 데이터 배선과 평행한 리드 배선과, 상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함하는 제어 스위칭 소자와, 상기 게이트 배선과 평행한 바이어스 배선과, 상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴을 포함하는 광 센싱 소자 및 상기 광 센싱 소자와 스토리지 배선에 연결된 센싱 커패시터를 포함하는 제1 표시 기판;

상기 광 센싱 소자 위에 배치되어 제1 광을 투과하고 상기 데이터 배선 및 상기 게이트 배선 위에 배치되어 제2 광을 차단하는 차광 필터 패턴; 및

상기 제1 베이스 기판과 대향하는 제2 베이스 기판 위에 형성된 공통 전극을 포함하는 제2 표시 기판; 및

상기 제1 및 제2 표시 기판 사이에 배치된 액정층을 포함하는 터치 표시 장치.

**청구항 30**

제29항에 있어서, 상기 제1 표시 기판은 상기 화소 스위칭 소자, 상기 제어 스위칭 소자 및 상기 광 센싱 소자를 덮도록 상기 베이스 기판 위에 배치된 유기 절연층을 더 포함하고,

상기 차광 필터 패턴은 상기 유기 절연층 위에 배치되는 것을 특징으로 하는 터치 표시 장치.

**청구항 31**

제29항에 있어서, 상기 차광 필터 패턴은 상기 제2 베이스 기판 위에 배치된 것을 특징으로 하는 터치 표시 장치.

**청구항 32**

제29항에 있어서, 상기 제1, 제2 및 제3 반도체 패턴들 각각은 아몰퍼스 실리콘층, 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 터치 표시 장치.

**청구항 33**

제29항에 있어서, 상기 제1 및 제2 반도체 패턴들 각각은 아몰퍼스 실리콘층 및 오믹 콘택층을 포함하고, 상기 제3 반도체 패턴은 아몰퍼스 실리콘 저마늄층 및 오믹 콘택층을 포함하는 것을 특징으로 하는 터치 표시 장치.

**명세서**

**기술분야**

[0001] 본 발명은 표시 기관, 이의 제조 방법 및 이를 포함하는 터치 표시 장치에 관한 것으로, 보다 상세하게는 제조 공정의 단순화를 위한 표시 기관, 이의 제조 방법 및 이를 포함하는 터치 표시 장치에 관한 것이다.

**배경기술**

[0002] 일반적으로, 액정표시패널은 각 화소 영역을 구동하기 위한 박막 트랜지스터가 형성된 제1 기관과, 상기 제1 기관과 대향하는 제2 기관과, 상기 제1 기관 및 상기 제2 기관 사이에 개재되어 형성된 액정층을 포함한다.

[0003] 최근 액정표시패널은 영상을 표시하는 표시 기능에 입력 기능을 부가한 터치 표시 패널이 개발되고 있다. 상기 터치 표시 패널은 영상을 표시하기 위한 화소 전극과 상기 화소 전극과 연결된 스위칭 소자가 형성된 제1 기관과 광을 센싱하는 센싱 소자와 상기 센싱 소자를 제어하는 구동하는 구동 소자가 형성된 제2 기관을 포함한다.

[0004] 상기 터치 표시 패널은 외부로부터 터치가 발생되면, 상기 센싱 소자에 광이 입사되고 입사된 광에 의해 상기 센싱 소자에는 광 전류(photo current)를 발생한다. 상기 터치 표시 패널과 연결된 검출회로에서는 상기 광 전류와 상기 입사광이 수신되기 전의 상기 센싱 소자의 암전류(dark current)와의 차이를 이용하여 상기 터치 표시 패널의 터치 위치를 검출한다.

[0005] 이와 같은 터치 패널과 표시 패널의 기능을 갖는 터치 표시 패널은 상기 제2 기관에 센싱 소자, 구동 소자 및 상기 센싱 소자와 구동 소자를 연결하는 신호 배선들을 형성함으로써 일반 액정표시패널에 비해 제조 공정이 매우 복잡한 단점을 갖는다.

**발명의 내용**

**해결하려는 과제**

[0006] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 제조 공정의 단순화 및 원가 절감을 위한 표시 기관을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 표시 기관의 제조 방법을 제공하는 것이다.

[0008] 본 발명의 또 다른 목적은 상기 표시 기관을 포함하는 터치 표시 장치를 제공하는 것이다.

**과제의 해결 수단**

[0009] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 기관은 화소 스위칭 소자, 화소 전극, 리드 배선, 제어 스위칭 소자, 바이어스 배선, 광 센싱 소자, 센싱 커패시터 및 차광 필터 패턴을 포함한다. 상기 화소 스위칭 소자는 베이스 기관 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함한다. 상기 화소 전극은 상기 화소 스위칭 소자와 전기적으로 연결된다. 상기 리드 배선은 상기 데이터 배선과 평행하게 배치된다. 상기 제어 스위칭 소자는 상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함한다. 상기 바이어스 배선은 상기 게이트 배선과 평행하게 배치된다. 상기 광 센싱 소자는 상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴을 포함한다. 상기 센싱 커패시터는 상기 광 센싱 소자와 스토리지 배선에 연결된다. 상기 차광 필터 패턴은 상기 광 센싱 소자 위에 배치되어 제1 광을 투과하고, 상기 데이터 배선 및 상기 게이트 배선 위에 배치되어 제2 광을 차단한다.

[0010] 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 표시 기관은 화소 스위칭 소자, 화소 전극, 리드 배선, 제어 스위칭 소자, 바이어스 배선, 광 센싱 소자 및 센싱 커패시터를 포함한다. 상기 화소 스위칭 소자는 베이스 기관 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함한다. 상기 화소 전극은 상기 화소 스위칭 소자와 전기적으로 연결된다. 상기 리드 배선은 상기 데이터 배선과 평행하게 배치된다. 상기 제어 스위칭 소자는 상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함한다. 상기 바이어스 배선은 상기 게이트 배선과 평행하게 배치된다. 상기 광 센싱 소자는 상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴 및 상기 제3 반도체 패턴과 중첩되어 적외광을 투과하는 밴드패스필터를 포함한다. 상기 센싱 커패시터는 상기 광 센싱 소자와 스토리지

배선에 연결된다.

[0011] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 기관의 제조 방법은 베이스 기관 위에 게이트 배선과 상기 게이트 배선과 연결된 제1 게이트 전극 및 제2 게이트 전극과, 바이어스 배선과 상기 바이어스 배선과 연결된 제3 게이트 전극 및 스토리지 배선을 포함하는 게이트 금속패턴을 형성한다. 상기 제1 게이트 전극 위에 제1 반도체 패턴과, 상기 제2 게이트 전극 위에 제2 반도체 패턴 및 상기 제3 게이트 전극 위에 제3 반도체 패턴을 형성한다. 상기 제1, 제2 및 제3 반도체 패턴들이 형성된 상기 베이스 기관 위에 데이터 배선과, 상기 제1 반도체 패턴 위에 중첩된 제1 소스 전극 및 제1 드레인 전극과, 리드 배선과, 상기 제2 반도체 패턴과 중첩된 제2 소스 전극 및 제2 드레인 전극과, 상기 제3 반도체 패턴 위에 중첩된 제3 소스 전극 및 제3 드레인 전극과, 상기 스토리지 배선과 부분적으로 중첩된 전극을 포함하는 소스 금속패턴을 형성한다. 상기 제1 드레인 전극과 전기적으로 연결된 화소 전극, 상기 제3 드레인 전극과 상기 스토리지 배선을 전기적으로 연결하는 콘택 전극을 형성한다. 상기 제3 반도체 패턴이 형성된 영역과 상기 데이터 배선 및 상기 게이트 배선이 형성된 영역에 제1 광을 투과하고 제2 광을 차단하는 차광 필터 패턴을 형성한다.

[0012] 상기한 본 발명의 다른 목적을 실현하기 위한 다른 실시예에 따른 표시 기관의 제조 방법은 베이스 기관 위에 게이트 배선과 상기 게이트 배선과 연결된 제1 게이트 전극 및 제2 게이트 전극과, 바이어스 배선과 상기 바이어스 배선과 연결된 제3 게이트 전극 및 스토리지 배선을 포함하는 게이트 금속패턴을 형성한다. 상기 제1 게이트 전극 위에 제1 반도체 패턴과, 상기 제2 게이트 전극 위에 제2 반도체 패턴 및 상기 제3 게이트 전극 위에 제3 반도체 패턴을 형성한다. 상기 제1, 제2 및 제3 반도체 패턴들이 형성된 상기 베이스 기관 위에 데이터 배선과, 상기 제1 반도체 패턴 위에 중첩된 제1 소스 전극 및 제1 드레인 전극과, 리드 배선과, 상기 제2 반도체 패턴과 중첩된 제2 소스 전극 및 제2 드레인 전극과, 상기 제3 반도체 패턴 위에 중첩된 제3 소스 전극 및 제3 드레인 전극과, 상기 스토리지 배선과 부분적으로 중첩된 전극을 포함하는 소스 금속패턴을 형성한다. 상기 제1 드레인 전극과 전기적으로 연결된 화소 전극, 상기 제3 드레인 전극과 상기 스토리지 배선을 전기적으로 연결하는 콘택 전극을 형성한다. 상기 제3 반도체 패턴과 중첩되고 상기 제3 게이트 전극과 전기적으로 연결되어 적외광을 투과하는 밴드패스필터를 형성한다.

[0013] 상기한 본 발명의 또 다른 목적을 실현하기 위한 일 실시예에 따른 터치 표시 장치는 제1 표시 기관, 차광 필터 패턴, 제2 표시 기관 및 액정층을 포함한다. 상기 제1 표시 기관은 제1 베이스 기관 위에 배치된 데이터 배선과 상기 데이터 배선과 교차하는 게이트 배선에 연결되고 제1 반도체 패턴을 포함하는 화소 스위칭 소자와, 상기 화소 스위칭 소자와 전기적으로 연결된 화소 전극과, 상기 데이터 배선과 평행한 리드 배선과, 상기 리드 배선과 상기 게이트 배선에 연결되고, 제2 반도체 패턴을 포함하는 제어 스위칭 소자와, 상기 게이트 배선과 평행한 바이어스 배선과, 상기 바이어스 배선과 상기 제어 스위칭 소자에 연결되고, 제3 반도체 패턴을 포함하는 광 센싱 소자 및 상기 광 센싱 소자와 스토리지 배선에 연결된 센싱 커패시터를 포함한다. 상기 차광 필터 패턴은 상기 광 센싱 소자 위에 배치되어 제1 광을 투과하고 상기 데이터 배선 및 상기 게이트 배선 위에 배치되어 제2 광을 차단한다. 상기 제2 표시 기관은 상기 제1 베이스 기관과 대향하는 제2 베이스 기관 위에 형성된 공통 전극을 포함한다. 상기 액정층은 상기 제1 및 제2 표시 기관 사이에 배치된다.

**발명의 효과**

[0014] 본 발명에 따르면, 표시 기관에 화소 스위칭 소자 및 상기 화소 전극을 형성하는 공정을 이용하여 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성함으로써 제조 공정을 단순화할 수 있다.

**도면의 간단한 설명**

[0015] 도 1은 본 발명의 실시예 1에 따른 터치 표시 장치의 평면도이다.

도 2는 도 1의 I-I'선을 따라 절단한 터치 표시 장치의 단면도이다.

도 3은 도 1에 도시된 터치 표시 장치의 등가 회로도이다.

도 4a 내지 도 4d는 도 2에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.

도 5는 도 2에 도시된 차광 필터 패턴의 특성을 설명하기 위한 그래프이다.

도 6은 본 발명의 실시예 2에 따른 터치 표시 장치의 단면도이다.

도 7은 본 발명의 실시예 3에 따른 터치 표시 장치의 평면도이다.

도 8은 도 7의 II-II'선을 따라 절단한 터치 표시 장치의 단면도이다.  
 도 9a 내지 도 9d는 도 8에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 공정도들이다.  
 도 10a 내지 도 10c는 도 8에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 평면도들이다.  
 도 11은 본 발명의 실시예 4에 따른 터치 표시 장치의 단면도이다.  
 도 12a 내지 도 12d는 도 11에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.  
 도 13a 내지 도 13d는 본 발명의 실시예 5에 따른 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.  
 도 14는 본 발명의 실시예 6에 따른 터치 표시 장치의 단면도이다.  
 도 15a 내지 도 15c는 도 14에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.  
 도 16은 본 발명의 실시예 7에 따른 터치 표시 장치의 평면도이다.  
 도 17은 본 발명의 실시예 8에 따른 터치 표시 장치의 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 이하, 도면들을 참조하여 본 발명의 표시 장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0017] 실시예 1
- [0018] 도 1은 본 발명의 실시예 1에 따른 터치 표시 장치의 평면도이다. 도 2는 도 1의 I-I'선을 따라 절단한 터치 표시 장치의 단면도이다.
- [0019] 도 1 및 도 2를 참조하면, 상기 터치 표시 장치는 제1 표시 기관(100), 제2 표시 기관(200) 및 상기 기관들(100, 200) 사이에 개재된 액정층(300)을 포함한다.
- [0020] 상기 제1 표시 기관(100)은 제1 베이스 기관(101), 복수의 데이터 배선들(DL<sub>m-2</sub>, DL<sub>m-1</sub>, DL<sub>m</sub>), 복수의 리드 배선들(RL<sub>k</sub>), 복수의 게이트 배선들(GL<sub>n</sub>), 복수의 바이어스 배선들(BL<sub>n</sub>), 복수의 스토리지 배선들(STL<sub>n</sub>, STL<sub>n+1</sub>), 제1 화소 스위칭 소자(TR<sub>p1</sub>), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TR<sub>p2</sub>), 제2 화소 전극(PE2), 제3 화소 스위칭 소자(TR<sub>p3</sub>), 제3 화소 전극(PE3), 제어 스위칭 소자(TR<sub>c</sub>), 적외광 센싱 소자(IRS), 센싱 커패시터(Cs) 및 차광 필터 패턴(BMF : Black-Matrix / Band-Pass-Filter)을 포함한다. 여기서, m, k 및 n은 자연수이다.
- [0021] 상기 데이터 배선들(DL<sub>m-2</sub>, DL<sub>m-1</sub>, DL<sub>m</sub>)은 제1 방향(D1)으로 연장되고, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 배열된다.
- [0022] 상기 리드 배선들(RL<sub>k</sub>)은 상기 제1 방향(D1)으로 연장되고, 상기 제2 방향(D2)으로 배열된다. 상기 리드 배선들(RL<sub>k</sub>)은 적어도 하나 이상의 데이터 배선들 사이에 배치될 수 있다.
- [0023] 상기 게이트 배선들(GL<sub>n</sub>)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 배열된다.
- [0024] 상기 바이어스 배선들(BL<sub>n</sub>)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 배열된다. 상기 바이어스 배선들(BL<sub>n</sub>) 각각은 게이트 배선과 인접하게 배치될 수 있다.
- [0025] 상기 스토리지 배선들(STL<sub>n</sub>, STL<sub>n+1</sub>)은 상기 제2 방향(D2)으로 연장된 배선부(LP)와, 상기 배선부로부터 상기 제1 방향(D1)으로 연장된 전극부(EP)를 포함한다. 상기 전극부(EP)는 상기 데이터 배선들(DL<sub>m-2</sub>, DL<sub>m-1</sub>, DL<sub>m</sub>)과 중첩될 수 있다. 도시되지는 않았으나, 상기 전극부(EP)는 상기 데이터 배선들(DL<sub>m-2</sub>, DL<sub>m-1</sub>, DL<sub>m</sub>) 각각과 이격되어 인접하게 배치될 수 있다.
- [0026] 상기 제1 화소 스위칭 소자(TR<sub>p1</sub>)는 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제<sub>n</sub> 게이트 배선(GL<sub>n</sub>)에 연결되고, 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 배치된다. 상기 제1 반도체 패턴(SC1)은 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제1 소스 전극(SE1)은 제<sub>m</sub> 데이터 배선(DL<sub>m</sub>)에 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제1 드레인 전극(DE1)은 제1 콘택홀(C1)을 통해 상기 제1 화소 전극(PE1)과 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다.
- [0027] 상기 제2 화소 스위칭 소자(TR<sub>p2</sub>)는 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제

1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제 $n$  게이트 배선(GL $n$ )에 연결되고, 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 배치된다. 상기 제1 반도체 패턴(SC1)은 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제1 소스 전극(SE1)은 제 $m-1$  데이터 배선(DL $m-1$ )에 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제1 드레인 전극(DE1)은 제1 콘택홀(C1)을 통해 상기 제2 화소 전극(PE2)과 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다.

[0028] 상기 제2 화소 스위칭 소자(TRp3)는 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제 $n$  게이트 배선(GL $n$ )에 연결되고, 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 배치되고, 상기 제1 반도체 패턴(SC1)은 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제1 소스 전극(SE1)은 제 $m-2$  데이터 배선(DL $m-2$ )에 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제1 드레인 전극(DE1)은 제1 콘택홀(C1)을 통해 상기 제3 화소 전극(PE3)과 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다.

[0029] 상기 제어 스위칭 소자(TRc)는 제2 게이트 전극(GE2), 제2 반도체 패턴(SC2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 상기 제 $n$  게이트 배선(GL $n$ )에 연결된다. 상기 제2 반도체 패턴(SC2)은 상기 제2 게이트 전극(GE2) 위에 배치되고, 상기 제2 반도체 패턴(SC2)은 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제2 소스 전극(SE2)은 리드 배선(RLk)에 연결되고 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩된다. 상기 제2 드레인 전극(DE2)은 상기 적외광 센싱 소자(IRS)에 연결되고 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩된다. 상기 제어 스위칭 소자(TRc)는 적색, 녹색 및 청색 화소 영역들 중 청색 화소 영역에 형성될 수 있다.

[0030] 상기 적외광 센싱 소자(IRS)는 전기적으로 서로 연결된 제1 광 센서(PS1), 제2 광 센서(PS2) 및 제3 광 센서(PS3)를 포함하고, 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 상기 제 $n$  게이트 배선(GL $n$ )과 인접한 영역에 상기 제2 방향(D2)으로 배열된다.

[0031] 상기 제1 광 센서(PS1)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 제 $n$  바이어스 배선(BL $n$ )에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제어 스위칭 소자(TRc)의 제2 드레인 전극(DE2)에 연결된다. 상기 제3 드레인 전극(DE3)은 상기 스토리지 배선(STL $n+1$ )과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다.

[0032] 상기 제2 광 센서(PS2)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 상기 제 $n$  바이어스 배선(BL $n$ )에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제1 광 센서(PS1)의 제3 소스 전극(SE3)과 제3 콘택홀들(C3)을 통해 제2 콘택 전극(CE2)으로 연결된다. 상기 제3 드레인 전극(DE3)은 스토리지 배선(STL $n+1$ )과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다.

[0033] 상기 제3 광 센서(PS3)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 제 $n$  바이어스 배선(BL $n$ )에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제1 광 센서(PS1)의 제3 소스 전극(SE3)과 제3 콘택홀들(C3)을 통해 상기 제2 콘택 전극(CE2)으로 연결된다. 상기 제3 드레인 전극(DE3)은 상기 스토리지 배선(STL $n+1$ )과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다.

[0034] 이와 같이, 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)의 제3 게이트 전극들(GE3)은 상기 제 $n$  바이어스 배선(BL $n$ )에 연결되고, 제3 소스 전극들(SE3)은 상기 제2 콘택 전극(CE2)을 통해 상기 제어 스위칭 소자(TRc)의 제2 드레인 전극(DE2)과 연결되고, 제3 드레인 전극들(DE3)은 제1 콘택 전극들(CE1)을 통해 상기 스토리지 배선(STL $n+1$ )과 연결된다.

[0035] 상기 센싱 커패시터(Cs)는 상기 스토리지 배선(STL $n+1$ )과 연결된 제1 전극(E1)과, 상기 적외광 센싱 소자(IRS)의 출력 전극, 즉 상기 제1 광 센서(PS1)의 제3 드레인 전극(SE3)과 연결된 제2 전극(E2)을 포함한다.

- [0036] 상기 차광 필터 패턴(BMF)은 상기 차광 필터 패턴(BMF)은 금속 패턴이 형성된 영역에 배치되어 가시광을 차단하는 차광 패턴(예컨대, Black-Matrix : BM)의 기능과 상기 적외광 센싱 소자(IRS)의 제3 반도체 패턴(SC3)이 형성된 영역에 형성되어 특정 파장대역의 광, 즉, 적외광을 투과하는 밴드패스필터(Band Pass Filter : BPF)의 기능을 수행한다.
- [0037] 예를 들면, 상기 차광 필터 패턴(BMF)은 상기 데이터 배선들(DLm-2, DLm-1, DLm), 상기 게이트 배선들(GLn), 상기 화소 스위칭 소자들(TRp1, TRp2, TRp3), 상기 제어 스위칭 소자(TRc) 및 상기 광 센서들(PS1, PS2, PS3)이 형성된 영역 위에 배치된다.
- [0038] 상기 터치 표시 장치의 아래 부분에서 발생하는 적외광(IR)이 상기 터치 표시 장치의 표면에 터치된 물체에 반사되어 상기 적외광 센싱 소자(IRS)의 제3 반도체 패턴(SC3)에 입사되면, 상기 적외광 센싱 소자(IRS)에는 광 전류가 흐르게 되고 상기 광 전류를 검출함으로써 터치 위치를 판단하게 된다.
- [0039] 상기 제2 표시 기관(200)은 제2 베이스 기관(201), 컬러 필터층(220) 및 공통 전극(230)을 포함한다.
- [0040] 상기 제2 베이스 기관(201)은 상기 제1 베이스 기관(101)과 마주한다.
- [0041] 상기 컬러 필터층(220)은 상기 제2 베이스 기관(201) 위에 배치된다. 상기 컬러 필터층(220)은 적색, 녹색 및 청색 필터들을 포함할 수 있고, 또한, 옐로, 시안, 마젠타 등과 같은 다원색 필터를 포함할 수 있다. 각 컬러 필터는 상기 제1 표시 기관(100)에 배치된 화소 전극에 대응하여 배치될 수 있다. 예를 들면, 적색 필터는 상기 제3 화소 전극(PE3)이 배치된 영역에 대응하여 상기 제2 베이스 기관(201)에 배치되고, 녹색 필터는 상기 제2 화소 전극(PE2)이 배치된 영역에 대응하여 상기 제2 베이스 기관(201) 위에 배치되고, 청색 필터는 상기 제1 화소 전극(PE1)이 배치된 영역에 대응하여 상기 제2 베이스 기관(201) 위에 배치될 수 있다.
- [0042] 상기 공통 전극(230)은 상기 컬러 필터층(220) 위에 배치된다. 상기 공통 전극(230)은 투명한 도전성 물질로 형성될 수 있다.
- [0043] 본 실시예에서는 상기 컬러 필터층(220)이 상기 제2 표시 기관(200)에 포함되는 것을 예로 하였으나, 상기 컬러 필터층(220)은 상기 제1 표시 기관(100) 위에 형성할 수 있다. 이 경우, 상기 제1 표시 기관(100)의 상기 유기 절연층(160)을 상기 컬러 필터층(220)으로 대신할 수 있다.
- [0044] 도 3은 도 1에 도시된 터치 표시 장치의 등가 회로도이다.
- [0045] 도 1 및 도 3을 참조하면, 상기 터치 표시 장치는 화소부(PP)와 센싱부(SP)를 포함한다.
- [0046] 상기 화소부(PP)는 데이터 배선(DL), 게이트 배선(GL), 스토리지 배선(STL), 제1 화소 스위칭 소자(TRp1), 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)를 포함한다. 화소 스위칭 소자(TRp)는 게이트 배선(GL), 상기 데이터 배선(DL) 및 상기 액정 커패시터(Clc)에 연결되고, 상기 스토리지 배선(STL)에는 공통 전압(Vcom)이 인가된다.
- [0047] 상기 게이트 배선(GL)에 하이 레벨의 게이트 신호가 인가되면, 상기 제1 화소 스위칭 소자(TRp1)는 턴-온 되어 상기 데이터 배선(DL)에 인가된 데이터 전압을 상기 액정 커패시터(Clc)에 전달한다. 상기 액정 커패시터(Clc)는 상기 게이트 신호의 하이 레벨 구간 동안 상기 데이터 전압과 상기 공통 전압(Vcom)의 전압 차이만큼을 충전한다. 한편, 상기 스토리지 커패시터(Cst)는 상기 액정 커패시터(Clc)에 연결되어, 상기 데이터 전압을 충전한다. 상기 스토리지 커패시터(Cst)는 상기 게이트 배선(GL)에 다음 주기의 하이 레벨의 게이트 신호가 인가되기 전까지 상기 데이터 전압과 상기 공통 전압(Vcom)의 전압 차이만큼을 충전한다.
- [0048] 상기 센싱부(SP)는 리드 배선(RL), 상기 게이트 배선(GL), 바이어스 배선(BL), 상기 스토리지 배선(STL), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS) 및 센싱 커패시터(Cs)를 포함한다. 상기 제어 스위칭 소자(TRc)는 상기 리드 배선(RLk), 상기 게이트 배선(GLn) 및 상기 적외광 센싱 소자(IRS)의 소스 전극에 연결된다. 상기 리드 배선(RLk)에는 기준 전압(Vref)이 항상 일정하게 인가될 수 있고, 상기 바이어스 배선(BL)에는 바이어스 전압(Vb)이 인가되며, 상기 바이어스 전압(Vb)은 상기 적외광 센싱 소자(IRS)의 제어 전압으로 항상 일정하게 오프 전압이 인가될 수 있다.
- [0049] 상기 적외광 센싱 소자(IRS)는 게이트 전극이 상기 바이어스 배선(BL)에 연결되고, 소스 전극이 상기 제어 스위칭 소자(TRc)의 드레인 전극과 연결되고, 드레인 전극은 상기 스토리지 배선(STL)에 연결된다. 상기 센싱 커패시터(Cs)는 제1 전극이 상기 제어 스위칭 소자(TRc)의 드레인 전극과 연결되고, 제2 전극이 상기 스토리지 배선(STL)에 연결된다.

- [0050] 상기 게이트 배선(GL)에 하이 레벨의 게이트 신호가 인가되면, 상기 제어 스위칭 소자(TRc)는 턴-온 되어 상기 리드 배선(RL)에 인가된 상기 기준 전압(Vref)과 상기 스토리지 배선(STL)에 인가된 상기 공통 전압(Vcom)이 상기 센싱 커패시터(Cs)에 인가된다. 상기 센싱 커패시터(Cs)는 상기 기준 전압(Vref)과 상기 공통 전압(Vcom) 간의 차이만큼 전압을 충전한다.
- [0051] 상기 게이트 배선(GL)에 로우 레벨의 게이트 신호가 인가되면, 상기 제어 스위칭 소자(TRc)는 턴-오프 된다. 상기 제어 스위칭 소자(TRc)가 턴-오프 된 상태에서, 터치에 의해 적외광이 상기 적외광 센싱 소자(IRS)에 수신되면 상기 적외광 센싱 소자(IRS)가 동작하게 된다. 이때, 광 전류가 흘러 상기 센싱 커패시터(Cs)에 상기 기준 전압(Vref)이 인가된 제2 전극에서 전압 강하가 발생한다. 즉, 상기 센싱 커패시터(Cs)는 방전한다. 한편, 상기 제어 스위칭 소자(TRc)가 턴-오프 된 상태에서, 터치가 발생하지 않아 적외광이 상기 적외광 센싱 소자(IRS)에 수신되지 않으면, 상기 센싱 커패시터(Cs)는 방전하지 않는다.
- [0052] 이후, 다음 프레임에 상기 게이트 배선(GL)에 하이 레벨의 게이트 신호가 인가되면, 상기 제어 스위칭 소자(TRc)는 턴-온 된다. 상기 제어 스위칭 소자(TRc)가 턴-온 되면, 방전된 상기 센싱 스토리지(Cs)에 상기 리드 배선(RL)을 통해 전달된 상기 기준 전압(Vref)이 재충전된다. 재충전시 상기 리드 배선(RL)에 전류가 발생하게 되고, 이에 따라서 상기 리드 배선(RL)의 단부에 연결된 검출회로(미도시)는 상기 리드 배선(RL)에 전류가 흐르는 것을 감지하여 터치를 인식하게 된다.
- [0053] 도 4a 내지 도 4d는 도 2에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다. 도 5는 도 2에 도시된 차광 필터 패턴의 특성을 설명하기 위한 그래프이다.
- [0054] 도 1 및 도 4a를 참조하면, 상기 제1 베이스 기관(101) 위에 게이트 금속층을 형성한다. 상기 게이트 금속층을 포토레지스트 패턴을 이용하여 게이트 금속패턴으로 패터닝한다. 상기 게이트 금속패턴은 게이트 배선들(GLn), 스토리지 배선들(STLn, STLn+1), 바이어스 배선들(BLn), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)을 포함한다. 상기 게이트 배선들(GLn) 및 상기 바이어스 배선들(BLn)은 상기 제2 방향(D2)으로 연장되고, 서로 인접하게 배치될 수 있다. 상기 스토리지 배선들(STLn, STLn+1) 각각은 상기 제2 방향(D2)으로 연장된 배선부(LP)와 상기 배선부(LP)에서 상기 제1 방향(D1)으로 연장된 전극부(EP)를 포함한다. 상기 배선부(LP)는 상기 센싱 커패시터(Cs)의 제1 전극(E1)으로 정의될 수 있다. 상기 제1 및 제2 게이트 전극들(GE1, GE2)은 게이트 배선(GLn)으로부터 돌출되어 형성되고, 상기 제3 게이트 전극(GE3)은 바이어스 배선(BLn)으로부터 돌출되어 형성된다. 상기 제3 게이트 전극(GE3)은 상기 제1 및 제2 게이트 전극들(GE1, GE2)의 돌출 방향과 반대 방향으로 돌출 될 수 있다.
- [0055] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기관(101) 위에 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNy)으로 이루어질 수 있다.
- [0056] 상기 게이트 절연층(120)이 형성된 상기 제1 베이스 기관(101) 위에 반도체층(130)을 형성한다. 상기 반도체층은 아몰퍼스 실리콘(a-Si)층(131), 아몰퍼스 실리콘 저마늄(a-SiGe)층(132) 및 오믹 콘택층(133)을 포함한다. 상기 오믹 콘택층(133)은 nt 이온이 도핑된 아몰퍼스 실리콘으로 형성될 수 있다.
- [0057] 상기 반도체층(130)을 포토레지스트 패턴을 이용하여 패터닝하여 제1 반도체 패턴(SC1), 제2 반도체 패턴(SC2) 및 제3 반도체 패턴(SC3)을 형성한다. 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 형성되고, 상기 제2 반도체 패턴(SC2)은 상기 제2 게이트 전극(GE2) 위에 형성되고, 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 형성된다.
- [0058] 도 1 및 도 4b를 참조하면, 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기관(101) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 포토레지스트 패턴을 이용하여 소스 금속패턴으로 패터닝한다. 상기 소스 금속패턴은 데이터 배선들(DLm, DLm-1, DLm-2), 리드 배선들(RLk), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3) 및 상기 센싱 커패시터(Cs)의 제2 전극(E2)을 포함한다.
- [0059] 상기 데이터 배선들(DLm, DLm-1, DLm-2) 및 리드 배선들(RLk)은 상기 제1 방향(D1)으로 연장되고, 상기 제2 방향(D2)으로 배열된다. 예를 들면, 인접한 두 개의 상기 리드 배선들(RLk) 사이에는 소정 개의 데이터 배선들이 배치될 수 있다. 상기 제1 소스 전극(SE1)은 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩되고, 상기 제1 드레인 전극(DE1)은 상기 제1 소스 전극(SE1)과 이격되어 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제2 소스 전극(SE2)은 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩되고, 상기 제2 드레인 전극(DE2)은 상기 제2 소스 전극(SE2)과 이격되어 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩된다. 상기 제3

소스 전극(SE3)은 상기 제3 반도체 패턴(SC3)과 부분적으로 중첩되고, 상기 제3 드레인 전극(DE3)은 상기 제3 소스 전극(SE3)과 이격되어 상기 제3 반도체 패턴(SC3)과 부분적으로 중첩된다. 상기 센싱 커패시터(Cs)의 제2 전극(E2)은 상기 스토리지 배선(STLn+1)의 배선부(LP)와 부분적으로 중첩된다. 이에 따라서, 상기 제2 전극(E2)과 중첩된 상기 배선부(LP)는 상기 센싱 커패시터(Cs)의 제1 전극(E1)으로 정의될 수 있다.

[0060] 이후, 상기 제1, 제2, 제3 소스 전극들(SE1, SE2, SE3) 및 제1, 제2 및 제3 드레인 전극들(DE1, DE2, DE3)을 이용하여 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)을 식각한다. 먼저, 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)의 상층에 위치한 상기 오믹 콘택층(133)을 식각한다. 이어, 식각 조건을 다르게 하여 상기 제1 및 제2 반도체 패턴들(SC1, SC2)의 상기 아몰퍼스 실리콘 저마늄(a-SiGe)층(132)을 식각한다.

[0061] 이에 따라서, 상기 제1 및 제2 반도체 패턴들(SC1, SC2)은 상기 아몰퍼스 실리콘층(131)을 노출하고, 상기 제3 반도체 패턴(SC3)은 상기 아몰퍼스 실리콘 저마늄층(132)을 노출한다. 따라서 온/오프 비 및 신뢰성 측면에서 우수한 특성을 요구하는 화소 스위칭 소자(TRp1) 및 제어 스위칭 소자(TRc)는 상기 아몰퍼스 실리콘층(131)을 백 채널(Back Channel)로 사용할 수 있고, 광 입사시 광전류(Iph)와 광 차단시 암전류(Idark)의 비가 큰 특성을 요구하는 상기 적외광 센싱 소자(IRS)는 상기 아몰퍼스 실리콘 저마늄층(132)을 백 채널로 사용할 수 있다.

[0062] 도 1 및 도 4c를 참조하면, 채널이 정의된 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)을 포함하는 상기 제1 베이스 기판(101) 위에 보호층(150)을 형성한다. 상기 보호층(150)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNy)으로 이루어질 수 있다. 상기 보호층(150)은 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)의 노출된 상기 아몰퍼스 실리콘층(131) 및 상기 아몰퍼스 실리콘 저마늄층(132)을 보호한다. 상기 보호층(150)이 형성된 상기 제1 베이스 기판(101) 위에 유기 절연층(160)을 형성한다. 상기 유기 절연층(160)은 상대적으로 두꺼운 두께로 형성될 수 있으며, 상기 유기 절연층(160)은 복수의 층들이 형성된 상기 제1 베이스 기판(101)을 평탄하게 할 수 있다.

[0063] 상기 유기 절연층(160)을 패터닝하여 상기 제1 콘택홀(C1), 제2 콘택홀(C2) 및 제3 콘택홀(C3)에 대응하는 개구 패턴을 형성한다. 상기 개구 패턴이 형성된 상기 유기 절연층(160)을 마스크로 하여 상기 개구 패턴에 의해 노출된 상기 보호층(150) 및 상기 보호층(150) 아래의 상기 게이트 절연층(120)을 식각하여 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)을 형성한다. 예를 들면, 상기 제1 콘택홀(C1)은 상기 제1 드레인 전극(DE1)을 노출하고, 상기 제2 콘택홀(C2)은 상기 제3 소스 전극(SE2) 및 상기 스토리지 배선(STLn+1)의 배선부(LP)를 노출하고, 상기 제3 콘택홀(C3)은 상기 센싱 커패시터(Cs)의 제2 전극(E2)을 노출한다.

[0064] 도 1, 도 4d 및 도 5를 참조하면, 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)이 형성된 상기 제1 베이스 기판(101) 위에 투명한 도전층을 형성한다. 상기 투명한 도전층을 포토레지스트 패턴을 이용하여 투명 도전 패턴으로 형성한다. 상기 투명 도전 패턴은 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제3 화소 전극(PE3), 제1 콘택 전극(CE1) 및 제2 콘택 전극(CE2)을 포함한다.

[0065] 상기 제1, 제2 및 제3 화소 전극들(PE1, PE2, PE3) 각각은 상기 제1 콘택홀(C1)을 통해 상기 제1 드레인 전극(DE1)과 연결된다. 상기 제1 콘택 전극(CE1)은 상기 제2 콘택홀들(C2)을 통해 상기 제3 소스 전극(SE2) 및 상기 스토리지 배선(STLn+1)의 배선부(LP)를 서로 연결한다. 상기 제2 콘택 전극(CE2)은 상기 제3 콘택홀들(C3)을 통해 서로 이격된 상기 제2 전극들(E2)을 서로 연결한다.

[0066] 상기 투명 도전 패턴이 형성된 상기 제1 베이스 기판(101) 위에 차광 필터층을 형성한다. 상기 차광 필터층은 카본 블랙(Carbon Black)의 양을 조절하여 적외광 파장에서 높은 투과율을 갖는 조성 물질로 이루어질 수 있다. 또한 상기 조성 물질은 광 밀도(Optical Density : OD)가 4이하인 물질을 포함할 수 있다. 예컨대, 상기 조성 물질은 300 nm 내지 800 nm 의 파장대역의 광은 차단하고, 약 850 nm 이상의 파장대역의 광은 약 80% 이상의 투과율을 갖는다. 일반적으로 가시광의 파장대역을 약 400 nm 내지 800 nm 이고, 적외광의 파장대역은 약 760 nm 이상이다. 따라서 상기 차광 필터층은 가시광은 차단하고 적외광은 투과하는 특성을 갖는다.

[0067] 상기 차광 필터층을 패터닝하여 상기 제1 베이스 기판(101) 위에 차광 필터 패턴(BMF)을 형성한다. 상기 차광 필터 패턴(BMF)은 금속 패턴이 형성된 영역에 배치되어 차광 패턴(예컨대, Black Matrix : BM)의 기능과 상기 적외광 센싱 소자(IRS)의 채널이 형성된 영역에 형성되어 밴드패스필터의 기능을 수행한다. 예를 들면, 상기 데이터 배선들(DLm-2, DLm-1, DLm), 상기 게이트 배선들(GLn), 상기 바이어스 배선들(BLn), 상기 리드 배선들(RLk), 상기 제1, 제2, 제3 화소 스위칭 소자들(TRp1, TRp2, TRp3), 상기 제어 스위칭 소자(TRc) 및 상기 광 센서들(PS1, PS2, PS3)이 형성된 영역 위에 배치될 수 있다.

- [0068] 본 실시예에 따르면, 상기 화소 스위칭 소자(TRp1) 및 상기 화소 전극(PE)을 형성하는 공정을 이용하여 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성할 수 있다. 상기 광 센싱 소자 및 제어 스위칭 소자를 형성하기 위한 별도의 마스크가 추가되지 않으므로 제조 공정을 단순화할 수 있다.
- [0069] 이하에서는 실시예 1과 동일한 구성 요소는 동일한 도면 부호를 부여하고 반복되는 설명은 간략하게 또는 생략한다.
- [0070] 실시예 2
- [0071] 도 6은 본 발명의 실시예 2에 따른 터치 표시 장치의 단면도이다.
- [0072] 도 1 및 도 6을 참조하면, 상기 터치 표시 장치는 제1 표시 기관(100B), 제2 표시 기관(200B) 및 상기 기관들(100B, 200B) 사이에 배치된 액정층(300)을 포함한다. 본 실시예에 따른 터치 표시 장치는 실시예 1(도 2에 도시됨)에 따른 터치 표시 장치와 비교할 때, 차광 필터 패턴(BMF)이 제2 표시 기관(200B)에 형성되는 것을 제외한 다른 구성 요소는 실질적으로 동일하다. 이에 동일한 구성 요소에 대한 반복되는 설명은 생략한다.
- [0073] 상기 제1 표시 기관(100B)은 제1 베이스 기관(101), 복수의 데이터 배선들(DLm-2, DLm-1, DLm), 복수의 리드 배선들(RLk), 복수의 게이트 배선들(GLn), 복수의 바이어스 배선들(BLn), 복수의 스토리지 배선들(STLn, STLn+1), 제1 화소 스위칭 소자(TRp1), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TRp2), 제2 화소 전극(PE2), 제3 화소 스위칭 소자(TRp3), 제3 화소 전극(PE3), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS) 및 센싱 커패시터(Cs)를 포함한다. 여기서, m, k 및 n은 자연수이다.
- [0074] 상기 제2 표시 기관(200B)은 제2 베이스 기관(201), 컬러 필터층(210), 차광필터 패턴(BMF), 오버 코팅층(220) 및 공통 전극(230)을 포함한다.
- [0075] 상기 컬러 필터층(210)은 복수의 컬러 필터들을 포함한다. 상기 컬러 필터들은 적색, 녹색 및 청색 필터들을 포함한다. 상기 컬러 필터들은 다원색 필터를 포함할 수 있다.
- [0076] 상기 차광 필터 패턴(BMF)은 금속 패턴이 형성된 영역에 배치되어 가시광을 차단하는 차광 패턴(예컨대, Black-Matrix)의 기능과 상기 적외광 센싱 소자(IRS)의 제3 반도체 패턴(SC3)이 형성된 영역에 형성되어 특정 파장대역의 광, 즉, 적외광을 투과하는 밴드패스필터의 기능을 수행한다.
- [0077] 예를 들면, 상기 차광 필터 패턴(BMF)은 상기 데이터 배선들(DLm-2, DLm-1, DLm), 상기 게이트 배선들(GLn), 상기 바이어스 배선들(BLn), 상기 리드 배선들(RLk), 상기 제1, 제2, 제3 화소 스위칭 소자들(TRp1, TRp2, TRp3), 상기 제어 스위칭 소자(TRc) 및 상기 광 센서들(PS1, PS2, PS3)이 형성된 영역에 대응하여 상기 제2 베이스 기관(201) 위에 배치된다.
- [0078] 상기 오버 코팅층(220)은 상기 컬러 필터층(210) 및 상기 차광 필터 패턴(BMF)이 형성된 상기 제2 베이스 기관(201) 위에 배치되어, 상기 제2 베이스 기관(201)의 표면을 평탄하게 한다. 상기 오버 코팅층(220)은 생략할 수 있다.
- [0079] 상기 공통 전극(230)은 상기 오버 코팅층(220)이 형성된 상기 제2 베이스 기관(201) 위에 배치된다.
- [0080] 본 실시예에 따르면, 상기 화소 스위칭 소자 및 상기 화소 전극을 형성하는 제조 공정을 이용하여 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성할 수 있다. 상기 광 센싱 소자 및 제어 스위칭 소자를 형성하기 위한 별도의 마스크가 추가되지 않으므로 제조 공정을 단순화할 수 있다.

[0081] 실시예 3

- [0082] 도 7은 본 발명의 실시예 3에 따른 터치 표시 장치의 평면도이다. 도 8은 도 7의 II-II'선을 따라 절단한 터치 표시 장치의 단면도이다.
- [0083] 도 7 및 도 8을 참조하면, 상기 터치 표시 장치는 제1 표시 기관(100C), 제2 표시 기관(200C) 및 상기 기관들(100C, 200C) 사이에 배치된 액정층(300)을 포함한다.
- [0084] 상기 제1 표시 기관(100C)은 제1 베이스 기관(101), 복수의 데이터 배선들(DLm-2, DLm-1, DLm), 복수의 리드 배선들(RLk), 복수의 게이트 배선들(GLn), 복수의 바이어스 배선들(BLn), 복수의 스토리지 배선들(STLn, STLn+1), 제1 화소 스위칭 소자(TRp1), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TRp2), 제2 화소 전극

(PE2), 제3 화소 스위칭 소자(TRp3), 제3 화소 전극(PE3), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS) 및 센싱 커패시터(Cs)를 포함한다. 여기서, m, k 및 n은 자연수이다. 상기 제1 표시 기관(100C)의 구성 요소들은 실시예 1(도 1에 도시됨)에 따른 제1 표시 기관(100)과 비교할 때, 상기 적외광 센싱 소자(IRS)를 제외하고는 다른 구성 요소는 실질적으로 동일하다. 이하에서는 동일한 구성 요소에 대한 설명은 생략한다.

- [0085] 상기 적외광 센싱 소자(IRS)는 전기적으로 서로 연결된 제1 광 센서(PS1), 제2 광 센서(PS2) 및 제3 광 센서(PS3)를 포함하고, 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 상기 제n 게이트 배선(GLn)과 인접한 영역에 상기 제2 방향(D2)으로 배열된다.
- [0086] 상기 제1 광 센서(PS1)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 제1 밴드패스필터(BPF1)를 포함한다. 상기 제3 게이트 전극(GE3)은 제n 바이어스 배선(BLn)에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제어 스위칭 소자(TRc)의 제2 드레인 전극(DE2)에 연결된다. 상기 제3 드레인 전극(DE3)은 상기 스토리지 배선(STLn+1)과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다. 상기 제1 광 센서(PS1)는 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3)의 이격 영역에 노출된 상기 제3 반도체 패턴(SC3)의 상기 아몰퍼스 실리콘 저마늄층(132)에 의해 채널이 정의될 수 있다.
- [0087] 상기 제1 밴드패스필터(BPF1)는 상기 제3 반도체 패턴(SC3)과 중첩되도록 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3) 위에 배치된다. 상기 제1 밴드패스필터(BPF1)는 특정한 파장 대역의 광, 예컨대, 적외광을 투과한다. 상기 제1 밴드패스필터(BPF1)는 제4 콘택홀(C4)을 통해 상기 제1 광 센서(PS1)의 제3 게이트 전극(GE3)과 전기적으로 연결된다.
- [0088] 상기 제2 광 센서(PS2)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 상기 제n 바이어스 배선(BLn)에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘(a-Si)층(131), 아몰퍼스 실리콘 저마늄(a-SiGe)층(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제1 광 센서(PS1)의 제3 소스 전극(SE3)과 제3 콘택홀(C3)을 통해 제2 콘택 전극(CE2)으로 연결된다. 상기 제3 드레인 전극(DE3)은 상기 스토리지 배선(STLn+1)과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다. 상기 제2 광 센서(PS2)는 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3)의 이격 영역에 노출된 상기 제3 반도체 패턴(SC3)의 상기 아몰퍼스 실리콘 저마늄층(132)에 의해 채널이 정의될 수 있다.
- [0089] 상기 제2 밴드패스필터(BPF2)는 상기 제3 반도체 패턴(SC3)과 중첩되도록 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3) 위에 배치된다. 상기 제2 밴드패스필터(BPF2)는 특정한 파장 대역의 광, 예컨대, 적외광을 투과한다. 상기 제2 밴드패스필터(BPF2)는 제4 콘택홀(C4)을 통해 상기 제2 광 센서(PS2)의 상기 제3 게이트 전극(GE3)과 전기적으로 연결된다.
- [0090] 상기 제3 광 센서(PS3)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 제n 바이어스 배선(BLn)에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘층(a-Si)(131), 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제1 광 센서(PS1)의 제3 소스 전극(SE3)과 제3 콘택홀들(C3)을 통해 상기 제2 콘택 전극(CE2)으로 연결된다. 상기 제3 드레인 전극(DE3)은 상기 스토리지 배선(STLn+1)과 제2 콘택홀들(C2)을 통해 제1 콘택 전극(CE1)으로 연결된다. 상기 제3 광 센서(PS3)는 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3)의 이격 영역에 노출된 상기 제3 반도체 패턴(SC3)의 상기 아몰퍼스 실리콘 저마늄층(132)에 의해 채널이 정의될 수 있다.
- [0091] 상기 제3 밴드패스필터(BPF3)는 상기 제3 반도체 패턴(SC3)과 중첩되도록 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3) 위에 배치된다. 상기 제3 밴드패스필터(BPF3)는 특정한 파장 대역의 광, 예컨대, 적외광을 투과한다. 상기 제3 밴드패스필터(BPF3)는 제4 콘택홀(C4)을 통해 상기 제3 광 센서(PS3)의 상기 제3 게이트 전극(GE3)과 전기적으로 연결된다.
- [0092] 결과적으로, 본 실시예에 따른 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 듀얼 게이트(Dual Gate) 구조를 가질 수 있다.
- [0093] 상기 제2 표시 기관(200C)은 제2 베이스 기관(201), 컬러 필터층(210), 차광 패턴(BM), 오버 코팅층(220) 및 공통 전극(230)을 포함한다.

- [0094] 상기 제2 베이스 기판(201)은 상기 제1 베이스 기판(101)과 마주한다. 상기 컬러 필터층(220)은 상기 제2 베이스 기판(201) 위에 배치된다. 상기 컬러 필터층(220)은 적색, 녹색 및 청색 필터들을 포함할 수 있고, 또한, 옐로, 시안, 마젠타 등과 같은 다원색 필터를 포함할 수 있다. 각 컬러 필터는 상기 제1 표시 기판(100C)에 배치된 화소 전극에 대응하여 배치될 수 있다. 예를 들면, 적색 필터는 상기 제3 화소 전극(PE3)이 배치된 영역에 대응하여 상기 제2 베이스 기판(201)에 배치되고, 녹색 필터는 상기 제2 화소 전극(PE2)이 배치된 영역에 대응하여 상기 제2 베이스 기판(201) 위에 배치되고, 청색 필터는 상기 제1 화소 전극(PE1)이 배치된 영역에 대응하여 상기 제2 베이스 기판(201) 위에 배치될 수 있다.
- [0095] 상기 차광 패턴(BM : Black Matrix)은 광을 차단한다. 상기 차광 패턴(BM)은 상기 제1 표시 기판(100C)에 금속 패턴이 형성된 영역에 대응하여 상기 제2 베이스 기판(201) 위에 배치된다. 예를 들면, 상기 차광 패턴(BM)은 상기 데이터 배선들(DLm-2, DLm-1, DLm), 상기 게이트 배선들(GLn), 상기 화소 스위칭 소자들(TRp1, TRp2, TRp3), 상기 제어 스위칭 소자(TRc) 및 상기 광 센서들(PS1, PS2, PS3)이 형성된 영역 위에 배치된다.
- [0096] 상기 터치 표시 장치의 아래 부분에서 발생된 상기 적외광(IR)은 상기 터치 표시 장치의 표면에 터치된 물체에 전달되고, 상기 물체에 의해 반사된 적외광이 다시 상기 터치 표시 장치 내부의 상기 적외광 센싱 소자(IRS)의 제3 반도체 패턴(SC3)에 입사된다. 이에 따라서 상기 적외광 센싱 소자(IRS)에 흐르는 광 전류에 의해 터치 위치를 검출할 수 있다.
- [0097] 상기 오버 코팅층(220)은 상기 컬러 필터층(210) 및 상기 차광 패턴(BM)이 형성된 상기 제2 베이스 기판(201) 위에 배치되어, 상기 제2 베이스 기판(201)의 표면을 평탄하게 한다. 상기 오버 코팅층(220)은 생략할 수 있다.
- [0098] 상기 공통 전극(230)은 상기 오버 코팅층(220)이 형성된 상기 제2 베이스 기판(201) 위에 배치된다.
- [0099] 도 9a 내지 도 9d는 도 8에 도시된 제1 표시 기판의 제조 방법을 설명하기 위한 단면도들이다. 도 10a 내지 도 10c는 도 8에 도시된 제1 표시 기판의 제조 방법을 설명하기 위한 평면도들이다.
- [0100] 도 9a 및 도 10a를 참조하면, 상기 제1 베이스 기판(101) 위에 게이트 금속층을 형성한다. 상기 게이트 금속층을 포토레지스트 패턴을 이용하여 게이트 금속패턴으로 패터닝한다. 상기 게이트 금속패턴은 게이트 배선들(GLn), 스토리지 배선들(STLn, STLn+1), 바이어스 배선들(BLn), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)을 포함한다.
- [0101] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기판(101) 위에 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNy)으로 이루어질 수 있다.
- [0102] 상기 게이트 절연층(120)이 형성된 상기 제1 베이스 기판(101) 위에 반도체층(130)을 형성한다. 상기 반도체층은 아몰퍼스 실리콘(a-Si)층(131), 아몰퍼스 실리콘 저마늄(a-SiGe)층(132) 및 오믹 콘택층(133)을 포함한다. 상기 오믹 콘택층(133)은 n+ 이온이 도핑된 아몰퍼스 실리콘으로 형성될 수 있다.
- [0103] 상기 반도체층(130)을 포토레지스트 패턴을 이용하여 패터닝하여 제1 반도체 패턴(SC1), 제2 반도체 패턴(SC2) 및 제3 반도체 패턴(SC3)을 형성한다. 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 형성되고, 상기 제2 반도체 패턴(SC2)은 상기 제2 게이트 전극(GE2) 위에 형성되고, 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 형성된다.
- [0104] 도 9b 및 도 10b를 참조하면, 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기판(101) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 포토레지스트 패턴을 이용하여 소스 금속패턴으로 패터닝한다. 상기 소스 금속패턴은 데이터 배선들(DLm, DLm-1, DLm-2), 리드 배선들(RLk), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3) 및 상기 센싱 커패시터(Cs)의 제2 전극(E2)을 포함한다.
- [0105] 상기 제1, 제2, 제3 소스 전극들(SE1, SE2, SE3) 및 제1, 제2 및 제3 드레인 전극들(DE1, DE2, DE3)을 이용하여 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)을 식각한다. 먼저, 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)의 상층에 위치한 상기 오믹 콘택층(133)을 식각한다. 이어, 식각 조건을 다르게 하여 상기 제1 및 제2 반도체 패턴들(SC1, SC2)의 상기 아몰퍼스 실리콘 저마늄(a-SiGe)층(132)을 식각한다.
- [0106] 이에 따라서, 상기 제1 및 제2 반도체 패턴들(SC1, SC2)은 상기 아몰퍼스 실리콘층(131)을 노출하고, 상기 제3 반도체 패턴(SC3)은 상기 아몰퍼스 실리콘 저마늄층(132)을 노출한다. 따라서 우수한 스위칭 특성이 요구되는 화소 스위칭 소자(TRp1) 및 제어 스위칭 소자(TRc)는 상기 아몰퍼스 실리콘층(131)을 백 채널(Back

Channel)로 사용할 수 있고, 우수한 광 감도 특성이 요구되는 상기 적외광 센싱 소자(IRS)는 상기 아몰퍼스 실리콘 저마늄층(132)을 백 채널로 사용할 수 있다.

- [0107] 상기 채널이 정의된 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)을 포함하는 상기 제1 베이스 기판(101) 위에 보호층(150)을 형성한다. 상기 보호층(150)은 산화 실리콘(SiO<sub>x</sub>) 및 질화 실리콘(SiN<sub>y</sub>)으로 이루어질 수 있다.
- [0108] 상기 보호층(150) 및 상기 보호층(150) 아래에 위치한 상기 게이트 절연층(120)을 식각하여 제4 콘택홀(C4)을 형성한다. 상기 제4 콘택홀(C4)은 상기 제3 게이트 전극(GE3)을 노출한다.
- [0109] 도 9c 및 도 10c를 참조하면, 상기 제4 콘택홀(C4)이 형성된 상기 보호층(150) 위에 밴드패스필터층을 형성한다. 상기 밴드패스필터층은 특정한 파장 대역의 광, 예컨대, 적외광을 투과하는 물질을 포함한다. 상기 밴드패스필터층을 포토레지스터 패턴을 이용하여 패터닝하여 상기 제1, 제2 및 제3 밴드패스필터들(BPF1, BPF2, BPF3)을 형성한다.
- [0110] 상기 제1 밴드패스필터(BPF1)는 상기 제1 광 센서(PS1)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제1 광 센서(PS1)의 제3 게이트 전극(GE3)과 연결된다. 상기 제2 밴드패스필터(BPF2)는 상기 제2 광 센서(PS2)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제2 광 센서(PS2)의 제3 게이트 전극(GE3)과 연결된다. 상기 제3 밴드패스필터(BPF3)는 상기 제3 광 센서(PS3)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제3 광 센서(PS3)의 제3 게이트 전극(GE3)과 연결된다. 결과적으로 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 듀얼 게이트 구조를 갖는다.
- [0111] 도 8 및 도 9d를 참조하면, 상기 제1, 제2 및 제3 밴드패스필터들(BPF1, BPF2, BPF3)이 형성된 상기 제1 베이스 기판(101) 위에 유기 절연층(160)을 형성한다. 상기 유기 절연층(160)을 식각하여 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)에 대응하여 개구 패턴들을 형성한다.
- [0112] 상기 개구 패턴들이 형성된 상기 유기 절연층(160)을 마스크로 하여, 상기 개구 패턴들에 의해 노출된 상기 보호층(150) 및 상기 보호층(150) 아래에 위치한 상기 게이트 절연층(120)을 식각하여 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)을 형성한다. 상기 제1 콘택홀(C1)은 상기 제1 드레인 전극(DE1)을 노출하고, 상기 제2 콘택홀(C2)은 상기 제3 소스 전극(SE2) 및 상기 스토리지 배선(STLn+1)의 배선부(LP)를 노출하고, 상기 제3 콘택홀(C3)은 상기 센싱 커패시터(Cs)의 제2 전극(E2)을 노출한다.
- [0113] 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)이 형성된 상기 제1 베이스 기판(101) 위에 투명한 도전층을 형성한다. 상기 투명한 도전층을 포토레지스트 패턴을 이용하여 투명 도전 패턴으로 패터닝한다. 상기 투명 도전 패턴은 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제3 화소 전극(PE3), 제1 콘택 전극(CE1) 및 제2 콘택 전극(CE2)을 포함한다. 상기 제1, 제2 및 제3 화소 전극들(PE1, PE2, PE3) 각각은 상기 제1 콘택홀(C1)을 통해 상기 제1 드레인 전극(DE1)과 연결된다. 상기 제1 콘택 전극(CE1)은 상기 제2 콘택홀들(C2)을 통해 상기 제3 소스 전극(SE2) 및 상기 스토리지 배선(STLn+1)의 배선부(LP)를 서로 연결한다. 상기 제2 콘택 전극(CE2)은 상기 제3 콘택홀들(C3)을 통해 서로 이격된 상기 제2 전극들(E2)을 서로 연결한다.
- [0114] 본 실시예에 따르면, 상기 화소 스위칭 소자(TRp1) 및 상기 화소 전극(PE)을 형성하는 제조 공정에 밴드패스필터(BPF) 및 상기 밴드패스필터(BPF)와 상기 제3 게이트 전극(GE3)을 연결하기 위한 제4 콘택홀(C4)을 형성하는 공정을 추가함으로써 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성할 수 있다. 기존의 터치 위치 패널을 제공하기 위한 공정과 비교하여 제조 공정을 단순화할 수 있다.
- [0115] 실시예 4
- [0116] 도 11은 본 발명의 실시예 4에 따른 터치 표시 장치의 단면도이다.
- [0117] 도 1 및 도 11을 참조하면, 상기 터치 표시 장치는 제1 표시 기판(100D), 제2 표시 기판(200) 및 상기 기판들(100D, 200) 사이에 배치된 액정층(300)을 포함한다.
- [0118] 상기 제1 표시 기판(100D)은 제1 베이스 기판(101), 복수의 데이터 배선들(DLm-2, DLm-1, DLm), 복수의 리드 배선들(RLk), 복수의 게이트 배선들(GLn), 복수의 마이어스 배선들(BLn), 스토리지 배선(STLn, STLn+1), 제1 화소 스위칭 소자(TRp1), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TRp2), 제2 화소 전극(PE2), 제3 화소 스위칭 소자(TRp3), 제3 화소 전극(PE3), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS), 센싱 커패시터(Cs) 및 차광 필터 패턴(BMF : Black-Matrix / Band-Pass-Filter)을 포함한다. 여기서, m, k 및 n은 자연수이다.

- [0119] 상기 제1 표시 기관(100D)과 도 1에 도시된 제1 표시 기관(100)과 비교할 때, 상기 제1, 제2 및 제3 화소 스위칭 소자들(TRp1, TRp2, TRp3)과, 상기 제어 스위칭 소자(TRc) 및 상기 적외광 센싱 소자(IRS)를 제외하고 다른 구성요소는 실질적으로 동일하다. 이에 동일한 구성요소에 대한 설명은 생략한다.
- [0120] 상기 제1, 제2 및 제3 화소 스위칭 소자들(TRp1, TRp2, TRp3) 각각은 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 반도체 패턴(SC1)은 아몰퍼스 실리콘층(131) 및 오믹 콘택층(132)을 포함한다. 상기 제1 반도체 패턴(SC1)은 상기 제1 소스 전극(SE1) 및 상기 제1 드레인 전극(DE1) 사이의 이격 영역, 즉 채널 영역에 대해 상기 아몰퍼스 실리콘층(131)이 노출된다.
- [0121] 상기 제어 스위칭 소자(TRc)는 제2 게이트 전극(GE2), 제2 반도체 패턴(SC2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 반도체 패턴(SC2)은 아몰퍼스 실리콘층(131) 및 오믹 콘택층(132)을 포함한다. 상기 제2 반도체 패턴(SC2)은 상기 제2 소스 전극(SE2) 및 상기 제2 드레인 전극(DE2) 사이의 이격 영역, 즉 채널 영역에 상기 아몰퍼스 실리콘층(131)이 노출된다.
- [0122] 상기 적외광 센싱 소자(IRS)는 전기적으로 서로 연결된 제1 광 센서(PS1), 제2 광 센서(PS2) 및 제3 광 센서(PS3)를 포함하고, 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 상기 제n 게이트 배선(GLn)과 인접한 영역에 상기 제2 방향(D2)으로 배열된다.
- [0123] 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3) 각각은 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 반도체 패턴(SC3)은 아몰퍼스 실리콘 저마늄(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 반도체 패턴(SC3)은 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3) 사이의 이격 영역, 즉 채널 영역에 상기 아몰퍼스 실리콘 저마늄(132)이 노출된다.
- [0124] 이에 따라서, 상기 제1 및 제2 반도체 패턴들(SC1, SC2)은 상기 아몰퍼스 실리콘(a-Si)층(131)을 노출하고, 상기 제3 반도체 패턴(SC3)은 상기 아몰퍼스 실리콘 저마늄(a-SiGe)층(132)을 노출한다. 따라서 우수한 스위칭 특성이 요구되는 화소 스위칭 소자(TRp1) 및 제어 스위칭 소자(TRc)는 상기 아몰퍼스 실리콘층(131)을 백 채널(Back Channel)로 사용할 수 있고, 우수한 광 감도 특성이 요구되는 상기 적외광 센싱 소자(IRS)는 상기 아몰퍼스 실리콘 저마늄(a-SiGe)층(132)을 백 채널로 사용할 수 있다.
- [0125] 도 12a 내지 도 12d는 도 11에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 공정도들이다.
- [0126] 도 1, 도 11 및 도 12a를 참조하면, 상기 제1 베이스 기관(101) 위에 게이트 금속층을 형성한다. 상기 게이트 금속층을 포토레지스트 패턴을 이용하여 게이트 금속패턴으로 패터닝한다. 상기 게이트 금속패턴은 게이트 배선들(GLn), 스토리지 배선들(STLn, STLn+1), 바이어스 배선들(BLn), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)을 포함한다.
- [0127] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기관(101) 위에 게이트 절연층(120), 아몰퍼스 실리콘 저마늄층(132) 및 오믹 콘택층(133)을 순차적으로 적층한다. 상기 게이트 절연층(120)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNy)으로 이루어질 수 있다. 상기 오믹 콘택층(133)은 n+ 이온이 도핑된 아몰퍼스 실리콘으로 형성될 수 있다.
- [0128] 상기 오믹 콘택층(133)이 형성된 상기 제1 베이스 기관(101) 위에 액티브 보호층(Active Protective Layer : APL)을 형성한다. 상기 액티브 보호층은 금속 물질로 이루어질 수 있다.
- [0129] 제1 포토레지스트 패턴(PR1)을 이용하여 습식 식각 방식으로 상기 제3 게이트 전극(GE3)이 형성된 영역에 대응하는 상기 오믹 콘택층(133) 위에 액티브 보호패턴(135)을 형성한다. 이에 건식 식각 방식으로 상기 오믹 콘택층(133) 및 상기 아몰퍼스 실리콘 저마늄층(132)을 식각하여 상기 액티브 보호패턴(135) 아래에 제3 반도체 패턴(SC3)을 형성한다.
- [0130] 도 1, 도 11 및 도 12b를 참조하면, 상기 제3 게이트 전극(GE) 위에 상기 제3 반도체 패턴(SC3) 및 상기 액티브 보호패턴(135)이 형성된 상기 제1 베이스 기관(101) 위에 아몰퍼스 실리콘층(131) 및 오믹 콘택층(133)을 형성한다.
- [0131] 제2 포토레지스트 패턴(PR2)을 이용하여 상기 아몰퍼스 실리콘층(131) 및 상기 오믹 콘택층(133)을 패터닝하여 상기 제1 게이트 전극(GE1)위에 제1 반도체 패턴(SC1) 및 상기 제2 게이트 전극(GE2) 위에 제2 반도체 패턴(SC2)을 형성한다. 상기 제3 반도체 패턴(SC3)은 위에 형성된 상기 액티브 보호패턴(135)은 상기 아몰퍼스 실리콘층(131) 및 상기 오믹 콘택층(133)을 패터닝하는 공정에서 상기 반도체 패턴(SC3)을 식각 공정으로부터 보호한다.

- [0132] 이후, 상기 액티브 보호패턴(135)을 제거한다.
- [0133] 도 1, 도 11 및 도 12c를 참조하면, 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기판(101) 위에 소스 금속층을 형성한다. 상기 소스 금속층을 포토레지스트 패턴을 이용하여 소스 금속패턴으로 패터닝한다. 상기 소스 금속패턴은 데이터 배선들(DLm, DLm-1, DLm-2), 리드 배선들(RLk), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3) 및 상기 센싱 커패시터(Cs)의 제2 전극(E2)을 포함한다.
- [0134] 이후, 상기 제1, 제2, 제3 소스 전극들(SE1, SE2, SE3) 및 제1, 제2 및 제3 드레인 전극들(DE1, DE2, DE3)을 마스크로 하여 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)의 상기 오믹 콘택층(133)을 제거한다. 이에 따라서, 상기 제1 및 제2 반도체 패턴들(SC1, SC2)은 상기 아몰퍼스 실리콘층(131)을 노출하고, 상기 제3 반도체 패턴(SC3)은 상기 아몰퍼스 실리콘 저마늄층(132)을 노출한다. 따라서 우수한 스위칭 특성이 요구되는 화소 스위칭 소자(TRp1) 및 제어 스위칭 소자(TRc)는 상기 아몰퍼스 실리콘층(131)을 백 채널(Back Channel)로 사용할 수 있고, 우수한 광 감도 특성이 요구되는 상기 적외광 센싱 소자(IRS)는 상기 아몰퍼스 실리콘 저마늄층(132)을 백 채널로 사용할 수 있다.
- [0135] 상기 아몰퍼스 실리콘층(131)과 상기 아몰퍼스 실리콘 저마늄층(132)을 노출시킨 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기판(101) 위에 보호층(150)을 형성한다. 상기 보호층(150)은 산화 실리콘(SiOx) 및 질화 실리콘(SiNy)으로 이루어질 수 있다. 상기 보호층(150)은 상기 제1, 제2 및 제3 반도체 패턴(SC1, SC2, SC3)의 노출된 상기 아몰퍼스 실리콘층(131) 및 상기 아몰퍼스 실리콘 저마늄층(132)을 보호한다.
- [0136] 도 1, 도 11 및 도 12d를 참조하면, 상기 보호층(150)이 형성된 상기 제1 베이스 기판(101) 위에 유기 절연층(160)을 형성한다. 상기 유기 절연층(160)은 상대적으로 두꺼운 두께로 형성될 수 있으며, 상기 유기 절연층(160)은 복수의 층들이 형성된 상기 제1 베이스 기판(101)을 평탄하게 할 수 있다.
- [0137] 상기 유기 절연층(160)을 패터닝하여 상기 제1 콘택홀(C1), 제2 콘택홀(C2) 및 제3 콘택홀(C3)에 대응하는 개구 패턴을 형성한다. 상기 개구 패턴이 형성된 상기 유기 절연층(160)을 마스크로 하여 상기 개구 패턴에 의해 노출된 상기 보호층(150) 및 상기 보호층(150) 아래의 상기 게이트 절연층(120)을 식각하여 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)을 형성한다.
- [0138] 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)이 형성된 상기 제1 베이스 기판(101) 위에 투명한 도전층을 형성한다. 상기 투명한 도전층을 포토레지스트 패턴을 이용하여 투명 도전 패턴으로 형성한다. 상기 투명 도전 패턴은 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제3 화소 전극(PE3), 제1 콘택 전극(CE1) 및 제2 콘택 전극(CE2)을 포함한다.
- [0139] 상기 투명 도전 패턴이 형성된 상기 제1 베이스 기판(101) 위에 차광 필터층을 형성한다. 상기 차광 필터층은 가시광은 차단하고 적외광은 투과하는 물질을 포함한다. 상기 차광 필터층은 카본 블랙(Carbon Black)의 양을 조절하여 적외광 파장에서 높은 투과율을 갖는 조성 물질로 이루어질 수 있다. 또한 상기 조성 물질은 광 밀도(Optical Density : OD)가 4이하인 물질을 포함할 수 있다.
- [0140] 상기 차광 필터층을 패터닝하여 상기 제1 베이스 기판(101) 위에 차광 필터 패턴(BMF)을 형성한다. 상기 차광 필터 패턴(BMF)은 금속 패턴이 형성된 영역에 배치되어 가시광을 차단하는 차광 패턴(예컨대, Black-Matrix)의 기능과 상기 적외광 센싱 소자(IRS)의 제3 반도체 패턴(SC3)이 형성된 영역에 형성되어 특정 파장 대역의 광, 즉, 적외광을 투과하는 밴드패스필터의 기능을 수행한다.
- [0141] 도시되지는 않았으나, 상기 차광 필터 패턴(BMF)은 실시예 2에 따른 터치 표시 장치(도 6에 도시됨)와 같이 상기 제2 표시 기판에 배치될 수 있다. 즉, 본 실시예의 제1 표시 기판(100D)과 실시예 2에 따른 제2 표시 기판(200B)을 포함하는 터치 표시 장치를 구현할 수 있다.
- [0142] 본 실시예에 따르면, 상기 화소 스위칭 소자(TRp1) 및 상기 화소 전극(PE)을 형성하는 제조 공정에 제3 반도체 패턴(SC3)을 형성하는 공정을 추가함으로써 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성할 수 있다. 기존의 터치 위치 패널을 제공하기 위한 공정과 비교하여 제조 공정을 단순화할 수 있다.
- [0143] 실시예 5
- [0144] 도 13a 내지 도 13d는 본 발명의 실시예 5에 따른 제1 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.
- [0145] 도 1 및 도 13a를 참조하면, 제1 베이스 기판(101) 위에 게이트 금속층을 형성한다. 상기 게이트 금속층을 포

트래지스트 패턴을 이용하여 게이트 금속패턴으로 패터닝한다. 상기 게이트 금속패턴은 게이트 배선들(GLn), 스토리지 배선들(STLn, STLn+1), 바이어스 배선들(BLn), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)을 포함한다.

[0146] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기판(101) 위에 게이트 절연층(120), 아몰퍼스 실리콘 저마늄층(132) 및 오믹 희생층(137)을 순차적으로 적층한다. 상기 오믹 희생층(137)은 오믹 콘택층 역할 및 후속 공정인 아몰퍼스 실리콘층의 식각 공정에서 일부 제거되는 오믹 희생층 역할을 한다. 이에 따라서, 상기 오믹 희생층(137)은 아몰퍼스 실리콘 또는 nt 이온이 도핑된 불순물을 포함할 수 있다. 상기 오믹 희생층(137)의 제1 두께(t1)는 일반적인 오믹 콘택층의 제2 두께(t2)보다 두꺼운 두께를 갖는다. 즉, 상기 후속 공정인 상기 아몰퍼스 실리콘층의 식각 공정에서 일부 제거된 후, 상기 오믹 콘택층 역할을 할 수 있을 정도의 두께를 갖는다.

[0147] 제1 포토레지스트 패턴(PR1)을 이용하여 상기 아몰퍼스 실리콘 저마늄층(132) 및 오믹 희생층(137)을 패터닝하여 상기 제3 게이트 전극(GE3) 위에 예비 반도체 패턴(PSC)을 형성한다.

[0148] 도 1 및 도 13b를 참조하면, 상기 제3 반도체 패턴(SC3)이 형성된 상기 제1 베이스 기판(101) 위에 아몰퍼스 실리콘층(131) 및 오믹 콘택층(133)을 순차적으로 적층한다. 제2 포토레지스트 패턴(PR2)을 이용하여 상기 아몰퍼스 실리콘층(131) 및 상기 오믹 콘택층(133)을 식각하여 상기 제1 게이트 전극(GE1)위에 제1 반도체 패턴(SC1) 및 상기 제2 게이트 전극(GE2) 위에 제2 반도체 패턴(SC2)을 형성한다.

[0149] 도 1 및 도 13c를 참조하면, 상기 아몰퍼스 실리콘층(131) 및 상기 오믹 콘택층(133)을 식각하는 공정에서, 상기 예비 반도체 패턴(PSC)의 상부에 위치한 상기 오믹 희생층(137)의 일부가 식각되어 제3 반도체 패턴(SC3)이 형성된다. 이에 따라서, 상기 제3 반도체 패턴(SC3)은 상기 제1 두께(t1) 보다 얇은 제2 두께(t2)를 갖는 오믹 콘택층(133)과 상기 오믹 콘택층(133) 아래에 위치한 상기 아몰퍼스 실리콘 저마늄층(132)을 갖는다.

[0150] 도 1 및 도 13d를 참조하면, 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기판(101) 위에 소스 금속패턴, 보호층(150), 유기 절연층(160), 콘택홀들(C1, C2, C3), 투명 전극 패턴 및 차광 필터 패턴(BMF)을 형성하는 공정은 도 12d에서 설명된 바와 실질적으로 동일하므로 상세한 설명은 생략한다.

[0151] 이상의 실시예 5에 따른 제조 방법에 의해 상기 제1 표시 기판(100D)을 제조하는 경우, 실시예 4에 따른 제조 방법(도 12a 내지 도 12d에 도시됨)과 비교하여 액티브 보호층을 증착하는 공정, 상기 액티브 보호층을 액티브 보호패턴으로 식각하는 공정 및 상기 액티브 보호패턴을 제거하는 공정이 생략됨으로써 제조 공정을 단순화할 수 있다.

[0152] 실시예 6

[0153] 도 14는 본 발명의 실시예 6에 따른 터치 표시 장치의 단면도이다.

[0154] 도 7 및 도 14를 참조하면, 상기 터치 표시 장치는 제1 표시 기판(100E), 제2 표시 기판(200C) 및 상기 기판들(100E, 200C) 사이에 개재된 액정층(300)을 포함한다. 본 실시예에 따른 터치 표시 장치는 실시예 3에 따른 터치 표시 장치(도 7 및 도 8에 도시됨)와 비교할 때 제1 표시 기판(100E)을 제외한 다른 구성 요소는 실질적으로 동일하므로 반복되는 설명은 생략한다.

[0155] 상기 제1 표시 기판(100E)은 제1 베이스 기판(101), 복수의 데이터 배선들(DLm-2, DLm-1, DLm), 복수의 리드 배선들(RLk), 복수의 게이트 배선들(GLn), 복수의 바이어스 배선들(BLn), 복수의 스토리지 배선들(STLn, STLn+1), 제1 화소 스위칭 소자(TRp1), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TRp2), 제2 화소 전극(PE2), 제3 화소 스위칭 소자(TRp3), 제3 화소 전극(PE3), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS) 및 센싱 커패시터(Cs)를 포함한다. 상기 제1 표시 기판(100E)의 구성 요소들은 실시예 4(도 11에 도시됨)에 따른 제1 표시 기판(100D)과 비교할 때, 상기 적외광 센싱 소자(IRS)를 제외하고는 다른 구성 요소는 실질적으로 동일하다. 이하에서는 동일한 구성 요소에 대한 설명은 생략한다.

[0156] 상기 적외광 센싱 소자(IRS)는 전기적으로 서로 연결된 제1 광 센서(PS1), 제2 광 센서(PS2) 및 제3 광 센서(PS3)를 포함하고, 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 상기 제n 게이트 배선(GLn)과 인접한 영역에 상기 제2 방향(D2)으로 배열된다.

[0157] 상기 제1 광 센서(PS1)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3), 제3 드레인 전

극(DE3) 및 제1 밴드패스필터(BPF1)를 포함한다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극(GE3) 위에 배치되고, 아몰퍼스 실리콘 저마늄(a-SiGe)(132) 및 오믹 콘택층(133)을 포함한다. 상기 제3 소스 전극(SE3)은 상기 제3 반도체 패턴(SC3)과 부분적으로 중첩되고, 상기 제3 드레인 전극(D3)은 상기 제3 소스 전극(SE3)과 이격되어 상기 제3 반도체 패턴(SC3)과 부분적으로 중첩된다. 상기 제1 광 센서(PS1)는 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3)의 이격 영역에 노출된 상기 제3 반도체 패턴(SC3)의 상기 아몰퍼스 실리콘 저마늄층(132)에 의해 채널이 정의될 수 있다.

- [0158] 상기 제1 밴드패스필터(BPF1)는 상기 제3 반도체 패턴(SC3)과 중첩되도록 상기 제3 소스 전극(SE3) 및 상기 제3 드레인 전극(DE3) 위에 배치된다. 상기 제1 밴드패스필터(BPF1)는 특정한 파장 대역의 광, 예컨대, 적외광을 투과한다. 상기 제1 밴드패스필터(BPF1)는 제4 콘택홀(C4)을 통해 상기 제1 광 센서(PS1)의 제3 게이트 전극(GE3)과 전기적으로 연결된다. 상기 제1 광 센서(PS1)는 듀얼 게이트 구조를 갖는다.
- [0159] 도시되지 않았으나, 상기 제2 광 센서(PS2) 및 제3 광 센서(PS3) 각각은 상기 제1 광 센서(PS1)의 제3 반도체 패턴(SC3)과 동일하게 상기 아몰퍼스 실리콘 저마늄층(132) 및 상기 오믹 콘택층(133)을 갖는 제3 반도체 패턴(SC3)을 포함할 수 있다. 또한, 상기 제2 광 센서(PS2) 및 제3 광 센서(PS3) 각각은 상기 제1 광 센서(PS1)와 동일하게 제3 게이트 전극(GE3)과 제4 콘택홀(C4)을 통해 연결된 제2 밴드패스필터(BPF2) 및 제3 밴드패스필터(BPF3)를 갖는 듀얼 게이트 구조일 수 있다.
- [0160] 도 15a 내지 도 15c는 도 14에 도시된 제1 표시 기관의 제조 방법을 설명하기 위한 단면도들이다.
- [0161] 도 7, 도 14 및 도 15a를 참조하면, 제1 베이스 기관(101) 위에 게이트 금속층을 형성한다. 상기 게이트 금속층을 포토레지스트 패턴을 이용하여 게이트 금속패턴으로 패터닝한다. 상기 게이트 금속패턴은 게이트 배선들(GLn), 스토리지 배선들(STLn, STLn+1), 바이어스 배선들(BLn), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)을 포함한다.
- [0162] 상기 게이트 금속패턴이 형성된 상기 제1 베이스 기관(101) 위에 제1 반도체 패턴(SC1), 제2 반도체 패턴(SC2) 및 제3 반도체 패턴(SC3)을 형성한다. 상기 제1 및 제2 반도체 패턴들(SC1, SC2)은 아몰퍼스 실리콘층(131) 및 오믹 콘택층(133)을 포함하고, 상기 제2 반도체 패턴(SC3)은 아몰퍼스 실리콘 저마늄층(132) 및 오믹 콘택층(133)을 포함한다.
- [0163] 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)을 형성하는 공정은 실시예 4에 따른 제조 방법(도 12a 및 도 12b에 도시됨) 또는 실시예 5에 따른 제조 방법(도 13a 내지 도 13b)과 실질적으로 동일하므로 반복되는 설명은 생략한다.
- [0164] 도 7, 도 14 및 도 15b를 참조하면, 상기 제1, 제2 및 제3 반도체 패턴들(SC1, SC2, SC3)이 형성된 상기 제1 베이스 기관(101) 위에 소스 금속패턴 및 보호층(150)을 형성한다.
- [0165] 마스크를 이용하여, 상기 보호층(150) 및 상기 보호층(150) 아래에 위치한 상기 게이트 절연층(120)을 식각하여 제4 콘택홀(C4)을 형성한다. 상기 제4 콘택홀(C4)은 상기 제3 게이트 전극(GE3)을 노출한다.
- [0166] 상기 제4 콘택홀들(C4)이 형성된 상기 보호층(150) 위에 밴드패스필터층을 형성한다. 상기 밴드패스필터층은 특정한 파장 대역의 광, 예컨대, 적외광을 투과하는 물질을 포함한다. 상기 밴드패스필터층을 포토레지스트 패턴을 이용하여 패터닝하여 상기 제1, 제2 및 제3 밴드패스필터들(BPF1, BPF2, BPF3)을 형성한다.
- [0167] 상기 제1 밴드패스필터(BPF1)는 상기 제1 광 센서(PS1)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제1 광 센서(PS1)의 제3 게이트 전극(GE3)과 연결된다. 상기 제2 밴드패스필터(BPF2)는 상기 제2 광 센서(PS2)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제2 광 센서(PS2)의 제3 게이트 전극(GE3)과 연결된다. 상기 제3 밴드패스필터(BPF3)는 상기 제3 광 센서(PS3)의 상기 제3 반도체 패턴(SC3) 위에 형성되어 상기 제4 콘택홀(C4)을 통해 상기 제3 광 센서(PS3)의 제3 게이트 전극(GE3)과 연결된다. 결과적으로 상기 제1, 제2 및 제3 광 센서들(PS1, PS2, PS3)은 듀얼 게이트 구조를 갖는다.
- [0168] 도 7, 도 14 및 도 15c를 참조하면, 상기 제1, 제2 및 제3 밴드패스필터들(BPF1, BPF2, BPF3)이 형성된 상기 제1 베이스 기관(101) 위에 유기 절연층(160)을 형성한다. 상기 유기 절연층(160)을 식각하여 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)에 대응하여 개구 패턴들을 형성한다.
- [0169] 상기 개구 패턴들이 형성된 상기 유기 절연층(160)을 마스크로 하여, 상기 개구 패턴들에 의해 노출된 상기 보호층(150) 및 상기 보호층(150) 아래에 위치한 상기 게이트 절연층(120)을 식각하여 상기 제1, 제2 및 제3

콘택홀들(C1, C2, C3)을 형성한다. 상기 제1, 제2 및 제3 콘택홀들(C1, C2, C3)이 형성된 상기 제1 베이스 기관(101) 위에 투명한 도전층을 형성한다. 상기 투명 도전 패턴은 제1 화소 전극(PE1), 제2 화소 전극(PE2), 제3 화소 전극(PE3), 제1 콘택 전극(CE1) 및 제2 콘택 전극(CE2)을 포함한다.

[0170] 본 실시예에 따르면, 상기 화소 스위칭 소자(TRp1) 및 상기 화소 전극(PE)을 형성하는 제조 공정에 제3 반도체 패턴(SC3), 밴드패스필터(BPF) 및 상기 밴드패스필터(BPF)와 상기 제3 게이트 전극(GE3)을 연결하기 위한 제4 콘택홀(C4)을 형성하는 공정을 추가함으로써 터치를 감지하기 위한 광 센싱 소자 및 제어 스위칭 소자를 형성할 수 있다. 기존의 터치 위치 패턴을 제공하기 위한 공정과 비교하여 제조 공정을 단순화할 수 있다.

[0171] 실시예 7

[0172] 도 16은 본 발명의 실시예 7에 따른 터치 표시 장치의 평면도이다.

[0173] 도 16을 참조하면, 상기 터치 표시 장치는 도시되지는 않았으나, 제1 표시 기관, 제2 표시 기관 및 상기 기관들 사이에 개재된 액정층을 포함한다. 본 실시예에 따른 터치 표시 장치는 실시예 1, 실시예 2, 실시예 4 또는 실시예 5에 따른 터치 표시 장치의 단면도와 동일한 적층 구조로 형성될 수 있다. 단, 본 실시예에 따른 터치 표시 장치는 평면도에 있어서, 적외광 센싱 소자(IRS)는 실시예 1, 실시예 2, 실시예 4 또는 실시예 5와 그 위치가 다르다.

[0174] 도시된 바와 같이, 본 실시예에 따른 터치 표시 장치는 복수의 데이터 배선들(DLm-1, DLm), 복수의 리드 배선들(RLk), 복수의 게이트 배선들(GLn), 복수의 바이어스 배선들(BLn), 복수의 스토리지 배선들(STLn, STLn+1), 제1 화소 스위칭 소자(TRp1), 제1 화소 전극(PE1), 제2 화소 스위칭 소자(TRp2), 제2 화소 전극(PE2), 제어 스위칭 소자(TRc), 적외광 센싱 소자(IRS), 센싱 커패시터(Cs) 및 차광 필터 패턴(BMF : Black-Matrix / Band-Pass-Filter)을 포함한다. 여기서, m, k 및 n은 자연수이다.

[0175] 상기 데이터 배선들(DLm-1, DLm)은 제1 방향(D1)으로 연장되고, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 배열된다.

[0176] 상기 리드 배선들(RLk)은 상기 제1 방향(D1)으로 연장되고, 상기 제2 방향(D2)으로 배열된다. 상기 리드 배선들(RLk)은 적어도 하나 이상의 데이터 배선들 사이에 배치될 수 있다.

[0177] 상기 게이트 배선들(GLn)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 배열된다.

[0178] 상기 바이어스 배선들(BLn)은 상기 제2 방향(D2)으로 연장되고, 상기 제1 방향(D1)으로 배열된다. 상기 바이어스 배선들(BLn) 각각은 게이트 배선과 인접하게 배치될 수 있다.

[0179] 상기 스토리지 배선들(STLn)은 상기 제2 방향(D2)으로 연장된다.

[0180] 상기 제1 화소 스위칭 소자(TRp1)는 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제n 게이트 배선(GLn)에 연결되고, 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 배치된다. 상기 제1 소스 전극(SE1)은 제m 데이터 배선(DLm)에 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제1 드레인 전극(DE1)은 제1 콘택홀(C1)을 통해 상기 제1 화소 전극(PE1)과 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다.

[0181] 상기 제2 화소 스위칭 소자(TRp2)는 제1 게이트 전극(GE1), 제1 반도체 패턴(SC1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 제n 게이트 배선(GLn)에 연결되고, 상기 제1 반도체 패턴(SC1)은 상기 제1 게이트 전극(GE1) 위에 배치된다. 상기 제1 소스 전극(SE1)은 제m-1 데이터 배선(DLm-1)에 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다. 상기 제1 드레인 전극(DE1)은 제1 콘택홀(C1)을 통해 상기 제2 화소 전극(PE2)과 연결되고 상기 제1 반도체 패턴(SC1)과 부분적으로 중첩된다.

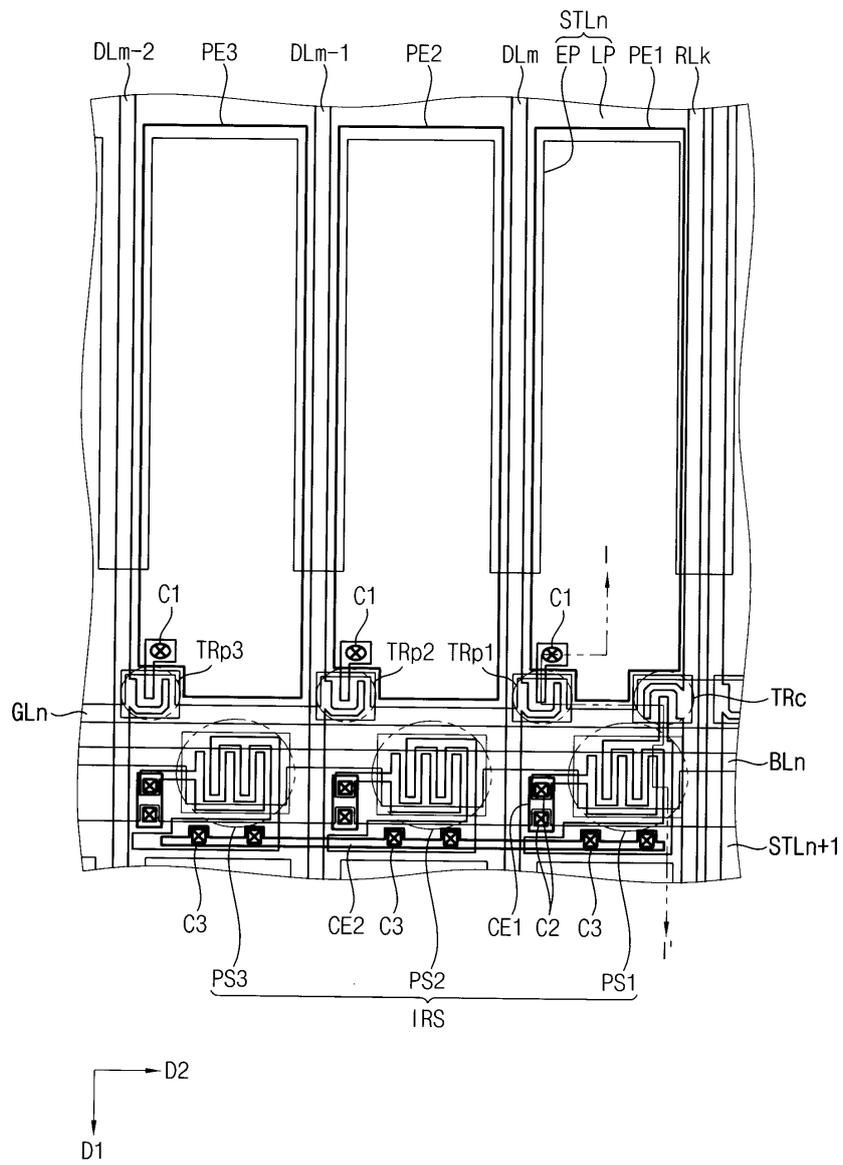
[0182] 상기 제어 스위칭 소자(TRc)는 제2 게이트 전극(GE2), 제2 반도체 패턴(SC2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 상기 제n 게이트 배선(GLn)에 연결되고, 상기 제2 반도체 패턴(SC2)은 상기 제2 게이트 전극(GE2) 위에 배치된다. 상기 제2 소스 전극(SE2)은 리드 배선(RLk)에 연결되고 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩된다. 상기 제2 드레인 전극(DE2)은 상기 적외광 센싱 소자(IRS)에 연결되고 상기 제2 반도체 패턴(SC2)과 부분적으로 중첩된다.

[0183] 상기 적외광 센싱 소자(IRS)는 상기 제1 방향(D1)으로 길게 배치된다. 상기 적외광 센싱 소자(IRS)는 제3 게이트 전극(GE3), 제3 반도체 패턴(SC3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 상기 제3 게이트 전극(GE3)은 제n 바이어스 배선(BLn)에 연결된다. 상기 제3 반도체 패턴(SC3)은 상기 제3 게이트 전극

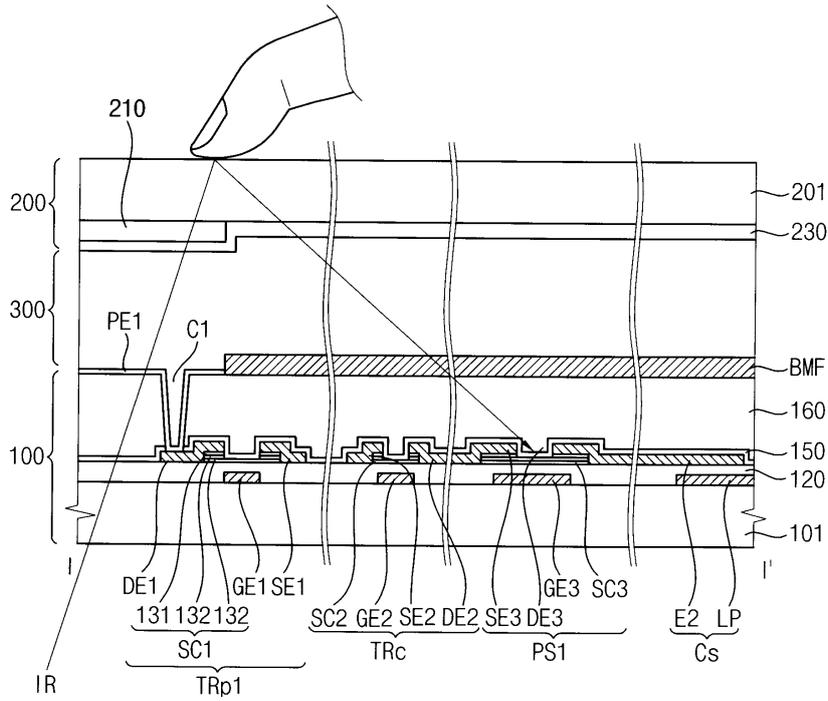


도면

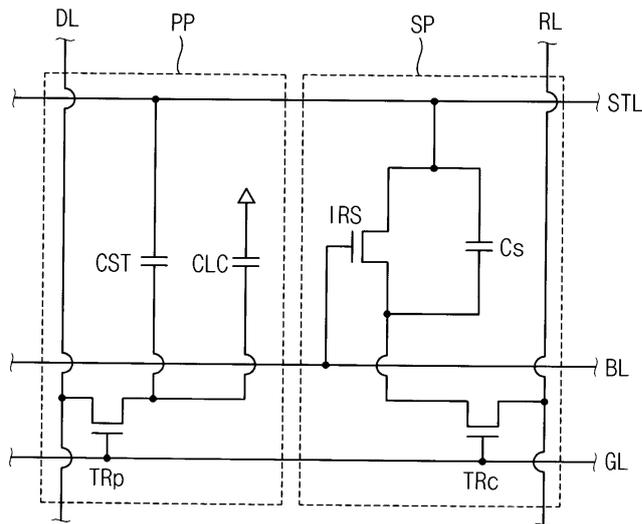
도면1



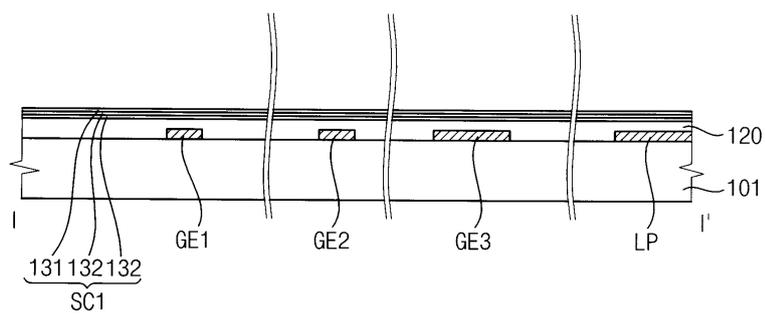
도면2



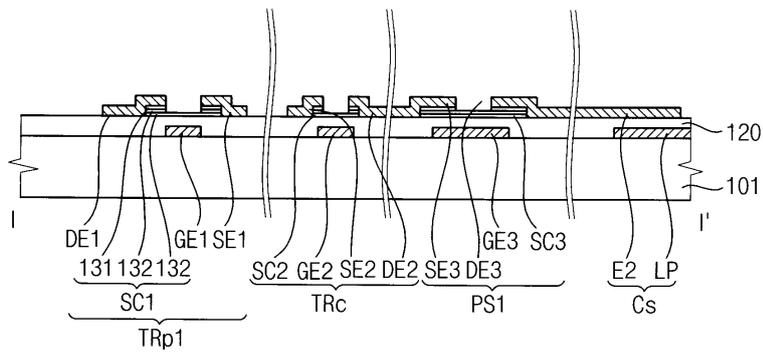
도면3



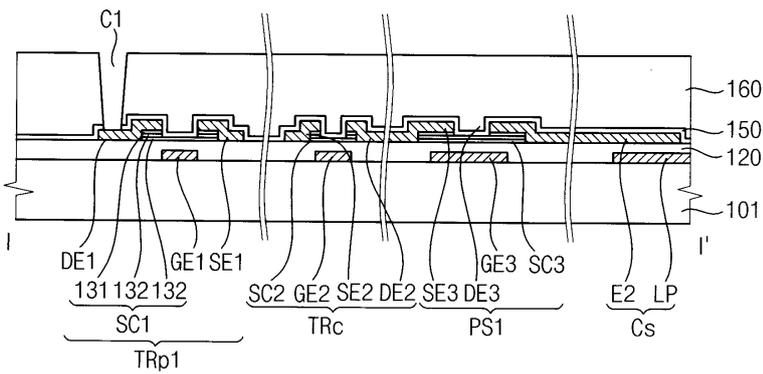
도면4a



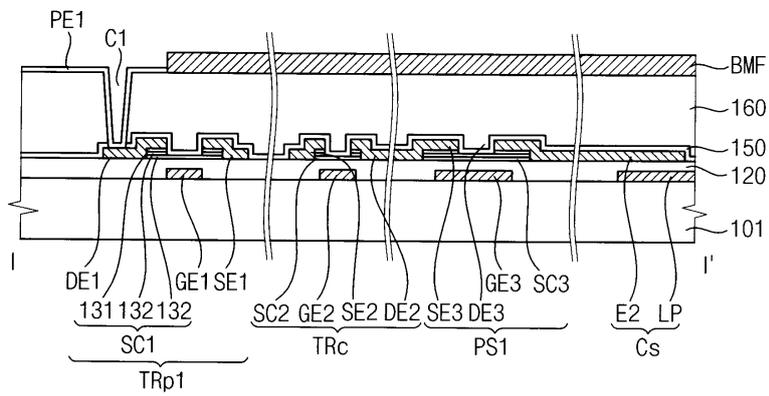
도면4b



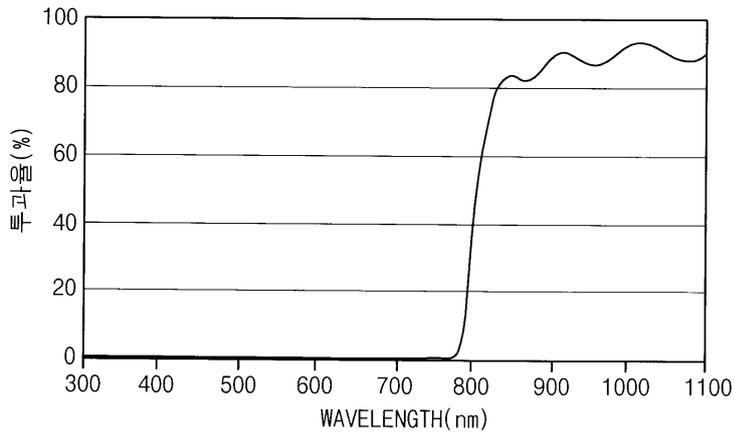
도면4c



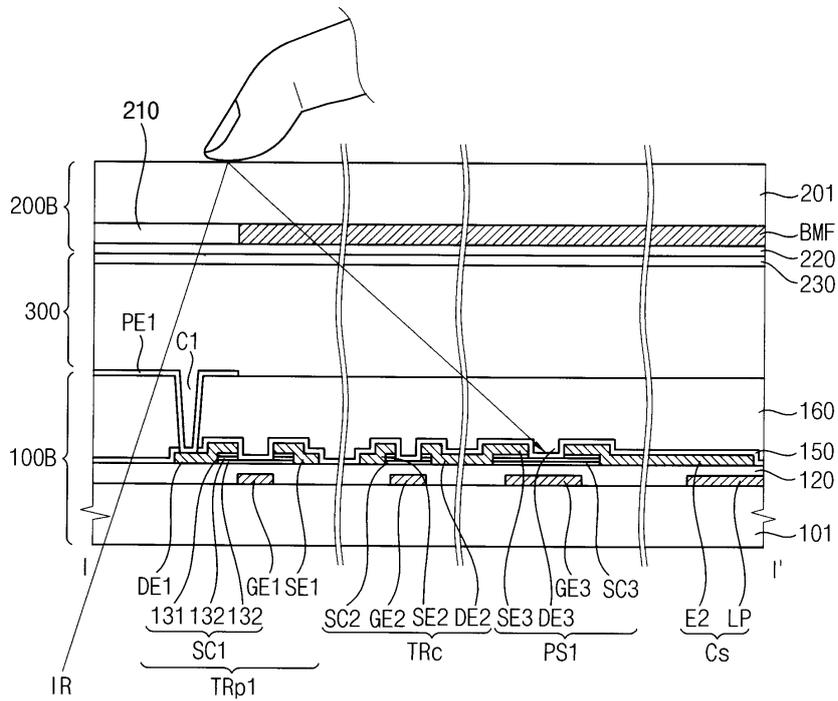
도면4d



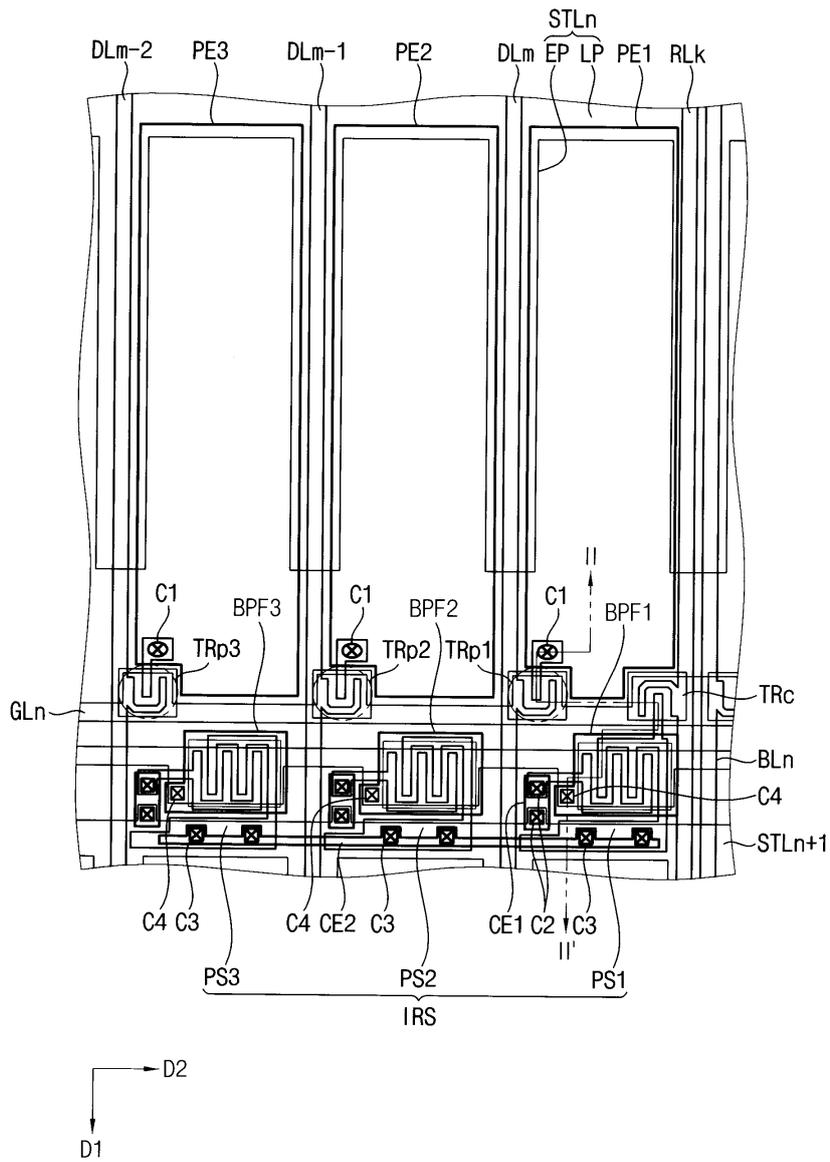
도면5



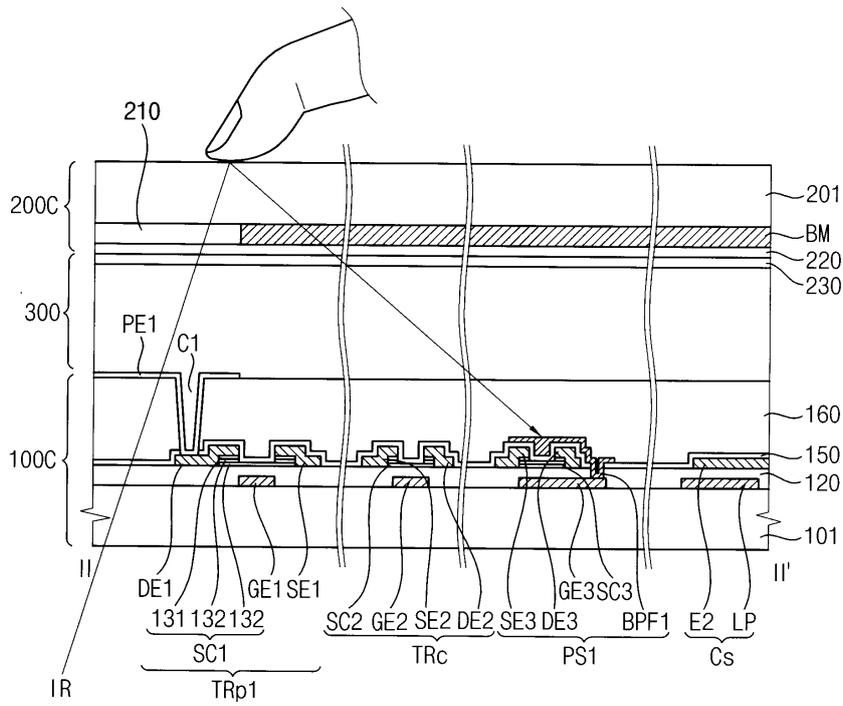
도면6



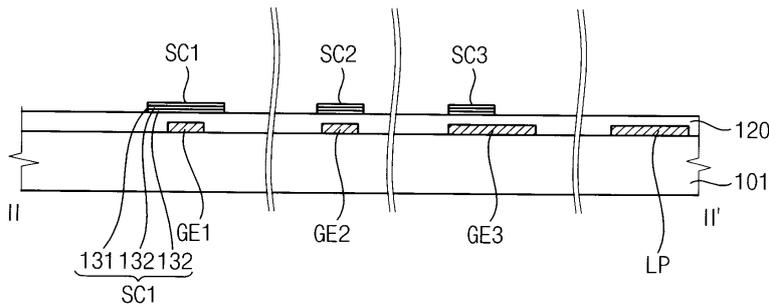
도면7



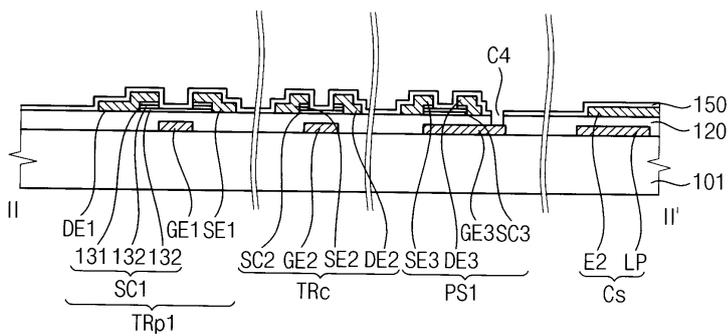
도면8



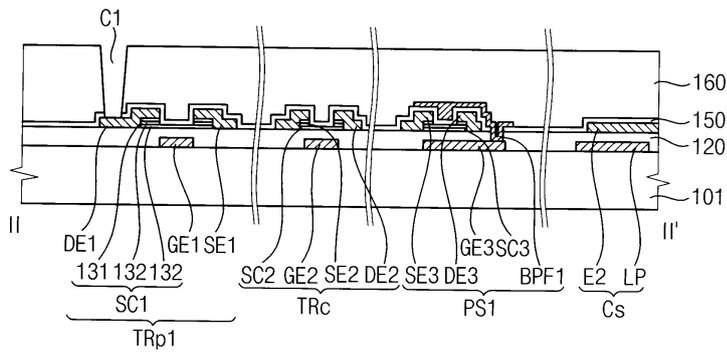
도면9a



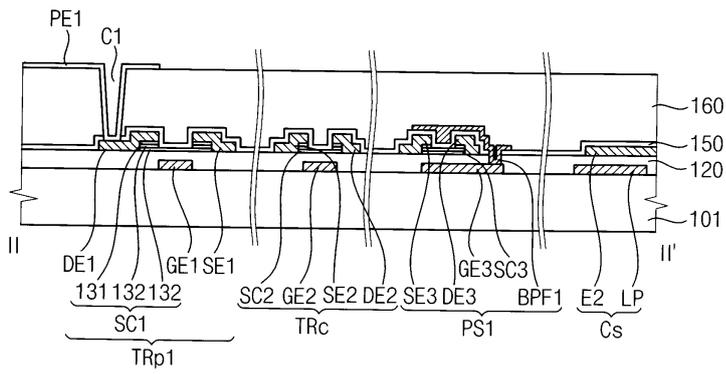
도면9b



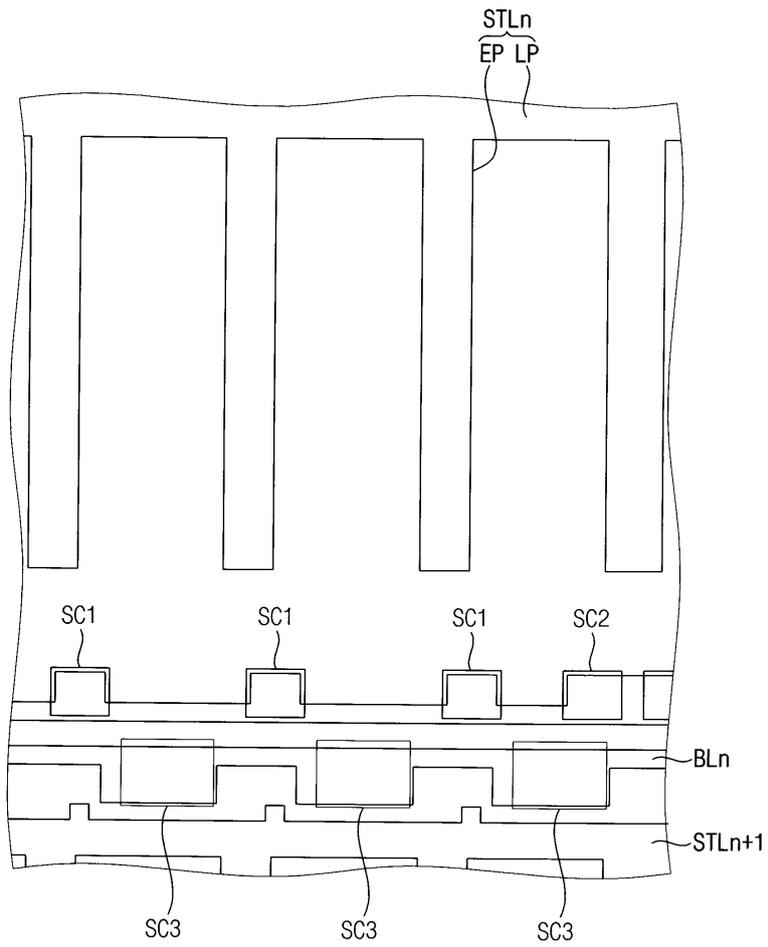
도면9c



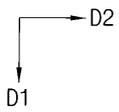
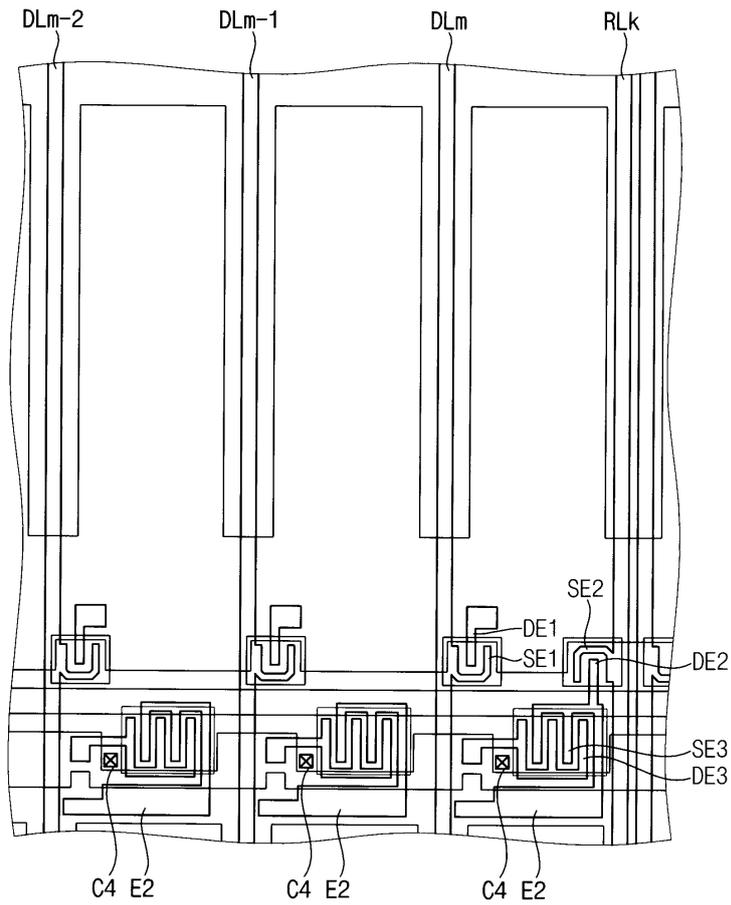
도면9d



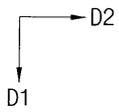
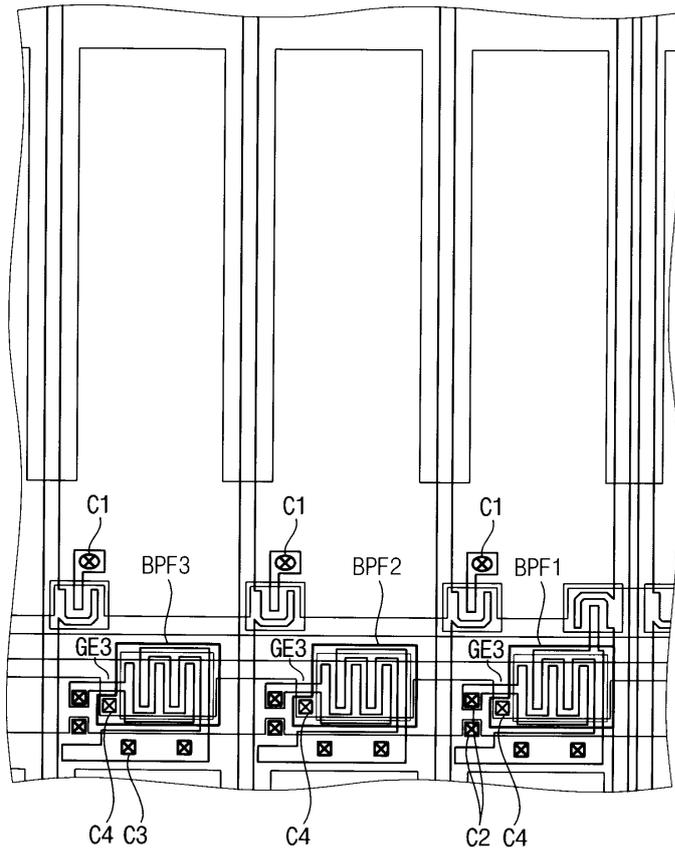
도면10a



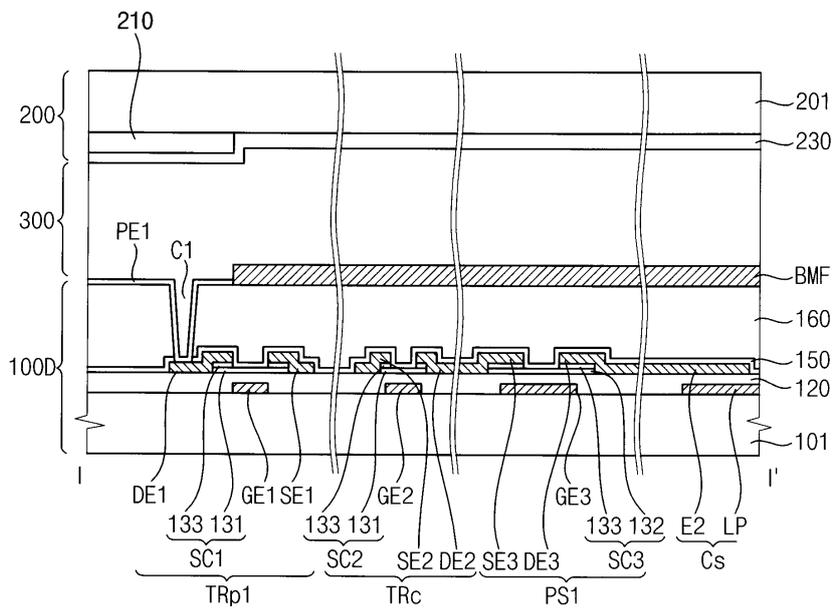
도면10b



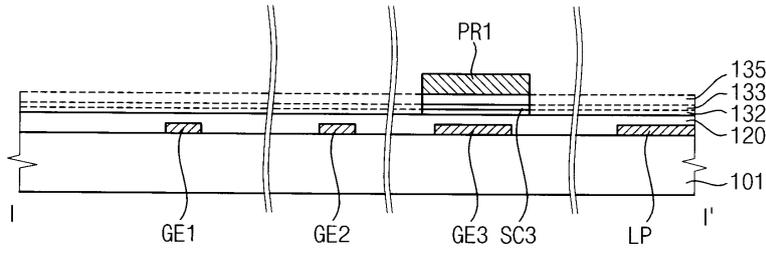
도면10c



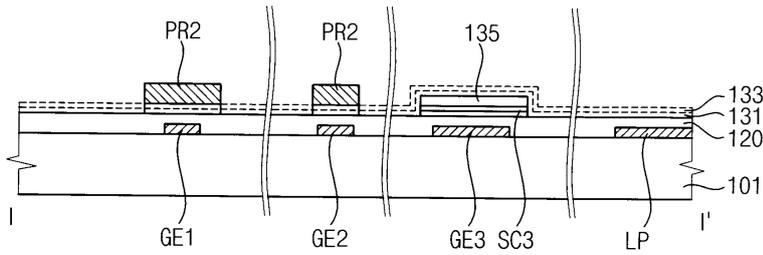
도면11



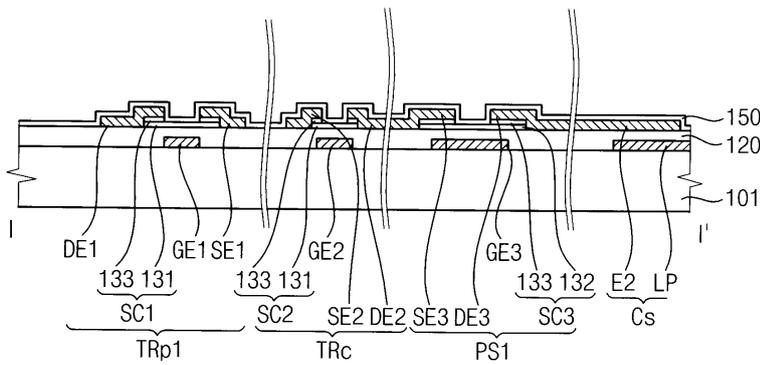
도면12a



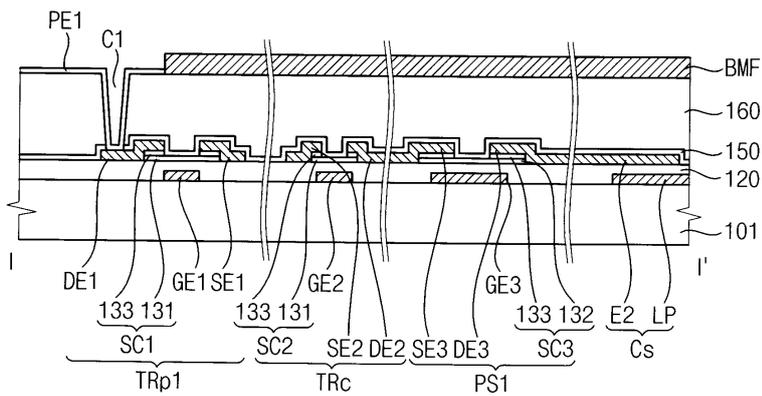
도면12b



도면12c

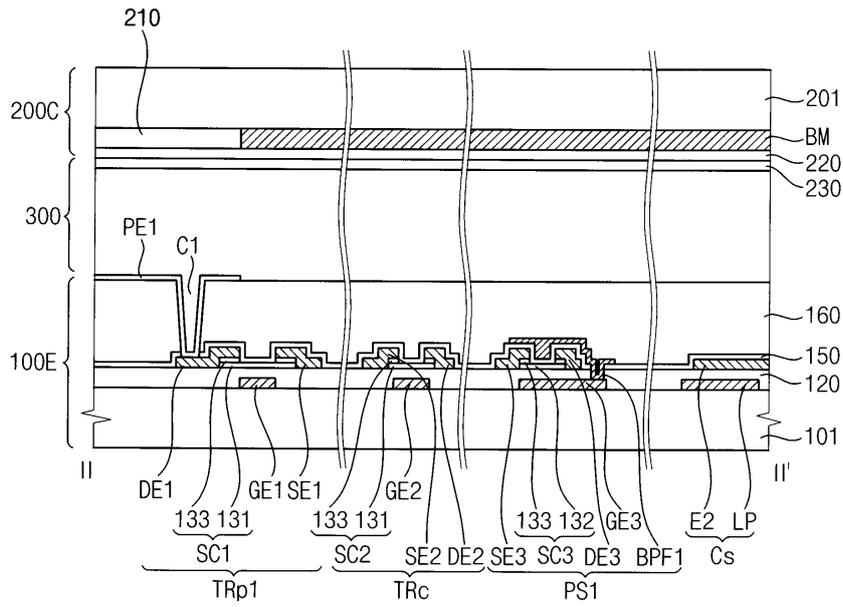


도면12d

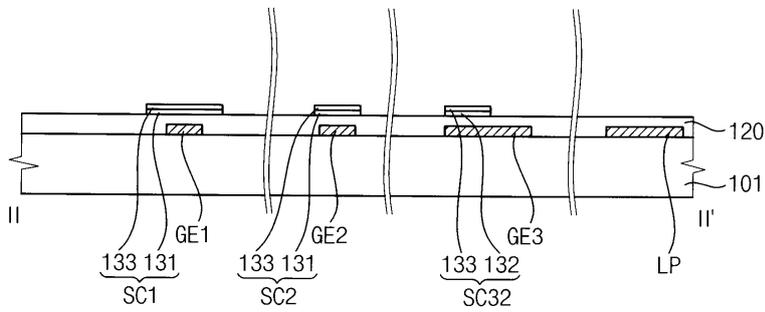




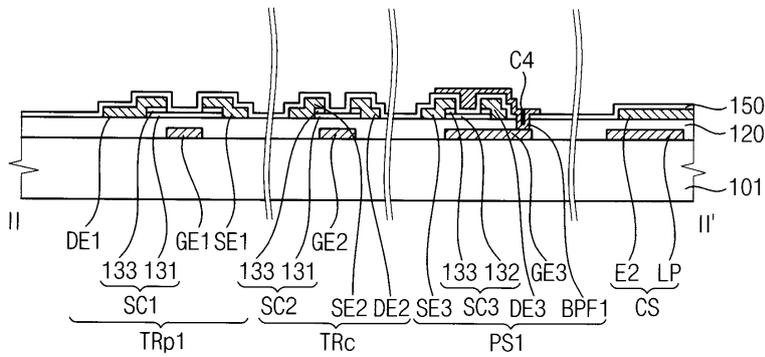
도면14



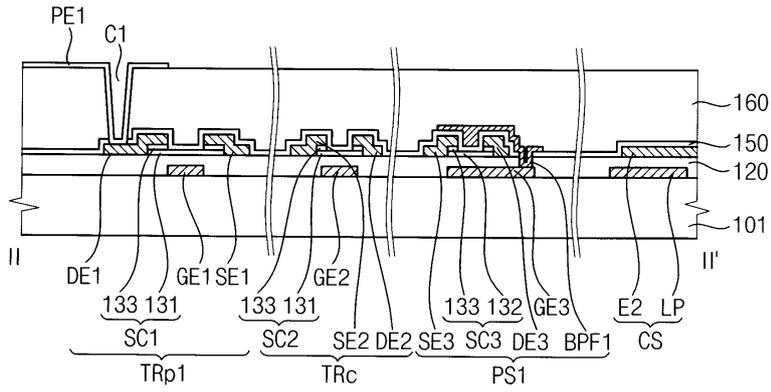
도면15a



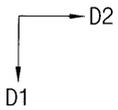
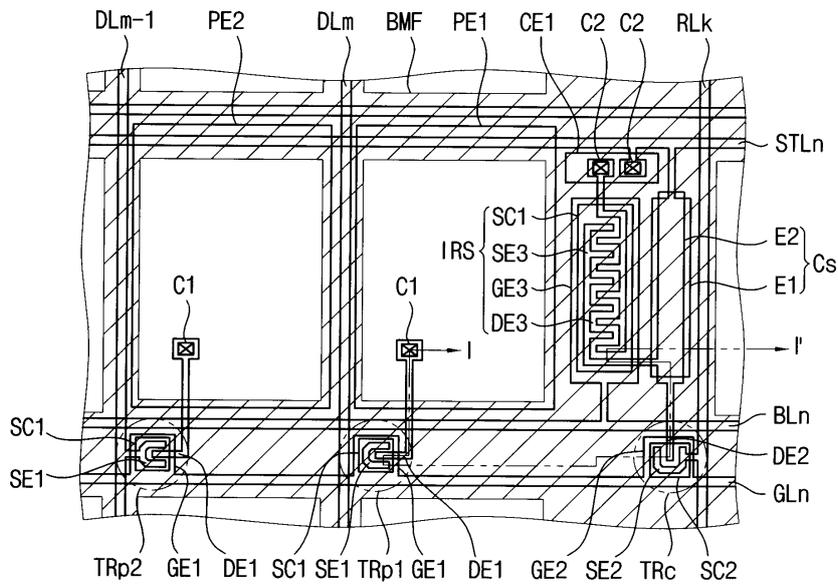
도면15b



도면15c



도면16



도면17

