

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4473807号
(P4473807)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int. Cl. F I
 HO 1 L 25/10 (2006.01) HO 1 L 25/14 Z
 HO 1 L 25/11 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2005-312332 (P2005-312332)	(73) 特許権者	000005821
(22) 出願日	平成17年10月27日(2005.10.27)		パナソニック株式会社
(65) 公開番号	特開2007-123466 (P2007-123466A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年5月17日(2007.5.17)	(74) 代理人	100077931
審査請求日	平成19年3月6日(2007.3.6)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 積層半導体装置及び積層半導体装置の下層モジュール

(57) 【特許請求の範囲】

【請求項1】

複数の第1のチップ端子を有する第1の半導体チップと、
 前記第1の半導体チップの平面寸法よりも大きい第1のチップ保持面を有し、前記第1のチップ保持面の上に前記第1の半導体チップを保持した第1の基板とを備え、
 前記第1の基板は、
 前記第1のチップ保持面の上に設けられ、前記各第1のチップ端子と電氣的に接続された複数の第1のチップ接続端子と、
 前記第1のチップ保持面の上における前記第1の半導体チップの保持領域の外側部分に設けられた複数の上層モジュール接続端子と、
 前記第1のチップ保持面と反対側の面の上に設けられた複数の外部基板接続端子と、
前記第1の基板に埋め込まれた埋め込み配線と、
前記第1の基板を貫通しないように形成された第1非貫通導体及び第2非貫通導体と、
前記第1の基板を貫通する貫通導体とを有し、
前記各上層モジュール接続端子は、前記第1のチップ接続端子と対応する前記外部基板接続端子との間にそれぞれ電氣的に接続され、
前記第1のチップ接続端子と前記埋め込み配線とは、前記第1非貫通導体を介して電氣的に接続され、
前記埋め込み配線と前記上層モジュール接続端子とは、前記第2非貫通導体を介して電氣的に接続され、

10

20

前記上層モジュール接続端子と前記外部接続端子とは、前記貫通導体を介して接続され

、
前記各第 1 のチップ接続端子は、前記外部基板接続端子とそれぞれ電氣的に接続されて
いることを特徴とする積層半導体装置の下層モジュール。

【請求項 2】

前記各外部基板接続端子には、外部基板と接続可能な突起電極が設けられていることを特徴とする請求項 1 に記載の積層半導体装置の下層モジュール。

【請求項 3】

前記第 2 非貫通導体及び貫通導体は、前記上層モジュール接続端子の下側に設けられて
いることを特徴とする請求項 1 又は 2 に記載の積層半導体装置の下層モジュール。

10

【請求項 4】

前記第 2 非貫通導体及び貫通導体は、前記上層モジュール接続端子の下面における平面的に最も離れた 2 つの領域の互いに異なる側とそれぞれ接していることを特徴とする請求項 3 に記載の積層半導体装置の下層モジュール。

【請求項 5】

複数の第 1 のチップ端子を有する第 1 の半導体チップと、前記第 1 の半導体チップの平面寸法よりも大きい第 1 のチップ保持面を有し、前記第 1 のチップ保持面上に前記第 1 の半導体チップを保持した第 1 の基板とを含む下層モジュールと、

複数の第 2 のチップ端子を有する第 2 の半導体チップと、前記第 2 の半導体チップの平面寸法よりも大きい第 2 のチップ保持面を有し、前記第 2 のチップ保持面上に前記第 2

20

の半導体チップを保持した第 2 の基板とを含む上層モジュールとを備え、

前記第 1 の基板は、

前記第 1 のチップ保持面に設けられ、前記各第 1 のチップ端子と電氣的に接続された複数の第 1 のチップ接続端子と、

前記第 1 のチップ保持面における前記第 1 の半導体チップの保持領域の外側部分に設けられた複数の上層モジュール接続端子と、

それぞれが前記第 1 のチップ保持面と反対側の面に設けられた複数の外部基板接続端子と、

前記第 1 の基板に埋め込まれた埋め込み配線と、

前記第 1 の基板を貫通しないように形成された第 1 非貫通導体及び第 2 非貫通導体と、

30

前記第 1 の基板を貫通する貫通導体とを有し、

前記各上層モジュール接続端子は、前記第 1 のチップ接続端子と対応する前記外部基板接続端子との間にそれぞれ電氣的に接続され、

前記第 1 のチップ接続端子と前記埋め込み配線とは、前記第 1 非貫通導体を介して電氣的に接続され、

前記埋め込み配線と前記上層モジュール接続配線とは、前記第 2 非貫通導体を介して電氣的に接続され、

前記上層モジュール接続端子と前記外部接続端子とは、前記貫通導体を介して接続され

、
前記各第 1 のチップ接続端子は、前記外部基板接続端子とそれぞれ電氣的に接続され、

40

前記第 2 の基板は、

前記第 2 のチップ保持面に設けられ、前記複数の第 2 のチップ端子のいずれかと電氣的に接続された複数の第 2 のチップ接続端子と、

前記第 2 のチップ保持面と反対側の面に設けられ、前記複数の第 2 のチップ接続端子のいずれかと電氣的に接続された複数の下層モジュール接続端子を有し、

前記下層モジュールと前記上層モジュールとは、前記第 1 のチップ保持面と、前記第 2 のチップ保持面と反対側の面とを対向させて積層され、

前記各下層モジュール接続端子は、前記複数の上層モジュール接続端子のいずれかと電氣的に接続されていることを特徴とする積層半導体装置。

【請求項 6】

50

前記各第 2 のチップ端子は、対応する前記第 2 のチップ接続端子とフリップチップ方式、ワイヤボンディング方式又はテープオートメーテッドボンディング方式によりそれぞれ電氣的に接続されていることを特徴とする請求項 5 に記載の積層型半導体装置。

【請求項 7】

前記第 2 の半導体チップは、前記第 2 のチップ保持面の上に複数保持されていることを特徴とする請求項 5 又は 6 に記載の積層半導体装置。

【請求項 8】

前記複数の第 2 の半導体チップは、2 個の前記第 2 の半導体チップが前記第 2 のチップ端子が設けられた面と反対側の面を互いに対向させて積層された積層チップとして前記第 2 のチップ保持面に保持されており、

前記 2 個の第 2 の半導体チップの一方の前記各第 2 のチップ端子は、対応する前記第 2 のチップ接続端子とフリップチップ方式によりそれぞれ電氣的に接続されており、

前記 2 個の第 2 の半導体チップの他方の前記各第 2 のチップ端子は、対応する前記第 2 のチップ接続端子とワイヤボンディング方式又はテープオートメーテッドボンディング方式によりそれぞれ電氣的に接続されていることを特徴とする請求項 7 に記載の積層半導体装置。

【請求項 9】

前記第 2 の基板は、ガラスエポキシ樹脂、ポリイミド樹脂、アラミド樹脂又はセラミックからなることを特徴とする請求項 5 から 8 のいずれか 1 項に記載の積層半導体装置。

【請求項 10】

前記第 1 の基板と前記第 2 の基板とは、同一の材料からなることを特徴とする請求項 9 に記載の積層半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体装置を積層して形成した積層半導体装置及び積層半導体装置の下層モジュールに関する。

【背景技術】

【0002】

携帯電話及びデジタルカメラ等を含む各種電子機器の小型化及び高機能化の要請に伴い、電子部品、特に複数個の半導体装置を積層した積層半導体装置が開発されている。

【0003】

例えば、第 1 半導体チップが保持された第 1 半導体パッケージと、第 2 半導体チップが保持された第 2 半導体パッケージを積層した構成が示されている（例えば、特許文献 1 を参照。）。

【0004】

このような積層半導体装置においては、実装の際に積層する半導体チップを検査することができず、積層後に検査を行う必要がある。積層後の検査において不良と判定された場合には、積層半導体装置全体を不良として廃棄するか又は実装箇所を順にはずし、再度実装を行う等の工程を必要とするため歩留まりが悪い。

【0005】

これに対して、複数のチップを積層して実装する積層半導体装置において、実装の際に用いる実装用端子と品質を検査するための検査用端子とを備えた構成も示されている（例えば、特許文献 2 を参照。）。

【0006】

この場合、実装済みのチップの検査用パッドと、積層するチップの検査用端子とをまず接合し、実装済みのチップの検査用パッドから検査用信号を入力して検査を行い、検査結果が良好であった場合には、積層する検査済みのチップの実装用端子を実装済みのチップの実装用パッドに接続して実装を行う。

【0007】

10

20

30

40

50

しかし、この積層モジュールは、チップが基板に直接保持される構成であり、チップを子基板に実装したパッケージ同士を積層する場合に用いることは困難である。

【0008】

さらに、積層半導体装置において、容易に電気的特性を検査できるようにした構成も示されている（例えば、特許文献3を参照。）。

【0009】

この半導体装置においては、半導体チップと電気的に接続された第1及び第2の端子が形成されている。これにより、第1の端子を他の部材との電気的な接続に使用し、第2の端子を電気的な特性の検査に使用することができる。

【0010】

また、グリッドアレータイプの半導体パッケージにおいて、表面実装した際の信号ピンと回路基板の回路パターンとの接合についての導通検査及び作製が完了した半導体パッケージの電気的試験が容易にできる構成も示されている（例えば、特許文献4を参照。）。

【特許文献1】特開2004-363126号公報

【特許文献2】特開2004-281633号公報

【特許文献3】特開2002-83897号公報

【特許文献4】特開平9-223725号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、電子機器の小型化及び薄型化の進展並びに半導体チップの薄片化技術の進展に伴い、半導体チップを積層して高機能化する要求がより強くなってきている。この場合に、積層する半導体装置の積層前の信頼性を保障するための検査を行うことが可能な積層半導体装置が要求されている。例えば、上層に保持された半導体装置と接続するための接続端子及び外部機器と接続するための突起電極との間の導通状態を検査することが必要とされる。しかし、例えば、特許文献3に示された従来の積層半導体装置においては、第2の端子を用いることで検査を行うことができるが、積層するための接続端子を含めた検査を行うことはできないという問題がある。

【0012】

また、特許文献4に示された従来の積層半導体装置においては、信号ピンとコンタクトパッドとを用いることで導通検査を行うことができるが、コンタクトパッドに接触するプローブにより傷が生じるため、積層の際に接続不良が発生しやすくなるという問題がある。また、検査装置が高価になるという問題もある。

【0013】

本発明は、前記従来の問題を解決し、積層半導体装置において接続端子を含めた検査を容易にし、信頼性が高い積層半導体装置を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0014】

前記の目的を達成するため、本発明は積層半導体装置の下層モジュールを、上層モジュールと接続する上層モジュール接続端子が、下層モジュールに保持された半導体チップの端子と下層モジュールを外部基板と接続する端子との間に電気的に接続された構成とする。

【0015】

具体的に、本発明に係る半導体装置の下層モジュールは、複数の第1のチップ端子を有する第1の半導体チップと、第1の半導体チップの平面寸法よりも大きい第1のチップ保持面を有し、第1のチップ保持面の上に第1の半導体チップを保持した第1の基板とを備え、第1の基板は、第1のチップ保持面の上に設けられ、各第1のチップ端子と電気的に接続された複数の第1のチップ接続端子と、第1のチップ保持面の上における第1の半導体チップの保持領域の外側部分に設けられ且つ第2の半導体チップを備えた上層モジュールと電気的に接続可能な複数の上層モジュール接続端子と、それぞれが第1のチップ保持

10

20

30

40

50

面と反対側の面の上に設けられた複数の外部基板接続端子とを有し、各第1のチップ接続端子は、外部基板接続端子とそれぞれ電氣的に接続され、各上層モジュール接続端子は、第1のチップ接続端子と対応する外部基板接続端子との間にそれぞれ電氣的に接続されていることを特徴とする。

【0016】

本発明の積層半導体装置の下層モジュールは、各第1のチップ接続端子は、外部基板接続端子とそれぞれ電氣的に接続され、各上層モジュール接続端子は、第1のチップ接続端子と対応する外部基板接続端子との間にそれぞれ電氣的に接続されているため、外部基板接続端子を用いて、第1の半導体チップの機能を検査する際に上層モジュール接続端子の検査を同時に行うことができる。従って、上層モジュール接続端子の導通検査をするために、上層モジュール接続端子にプローブを接触させる必要がないので、上層モジュール接続端子がプローブにより損傷することを防止できる。その結果、接続不良の発生を抑え、信頼性の高い積層半導体装置を実現できる。また、第1の半導体チップの機能検査と同時に上層モジュール接続端子の検査を行うことができるので、検査時間を短縮することができ、検査装置も単純化することが可能となる。

10

【0017】

本発明の積層半導体装置の下層モジュールにおいて、各外部基板接続端子には、外部基板と接続可能な突起電極が設けられていることが好ましい。

【0018】

本発明の積層半導体装置の下層モジュールにおいて、複数の上層モジュール接続端子の少なくとも一部は、上層モジュールに設けられ且つ第2の半導体チップと電氣的に接続された複数の下層モジュール接続端子のいずれかと電氣的に接続可能であることが好ましい。

20

【0019】

本発明の積層半導体装置の下層モジュールにおいて、上層モジュール接続端子の数は、上層モジュールに設けられた下層モジュール接続端子の数と等しいかそれ以上であることが好ましい。このような構成とすることにより、下層モジュール接続端子の数が異なる複数種類の上層モジュールに対応することが可能となる。

【0020】

本発明の積層半導体装置の下層モジュールにおいて、第1のチップ接続端子と上層モジュール接続端子とは、第1のチップ保持面に設けられた表面配線及び第1の基板に埋め込まれた埋め込み配線の少なくとも一方を介在させて互いに電氣的に接続されており、上層モジュール接続端子と外部基板接続端子とは、第1の基板を貫通する貫通導体又はそれぞれが第1の基板を貫通しないように形成された複数の非貫通導体を介在させて互いに電氣的に接続されていることが好ましい。

30

【0021】

本発明の積層半導体装置の下層モジュールにおいて、複数の下層モジュール接続端子のうちの少なくとも1つは、高速な信号伝達が必要な高速信号処理端子であり、複数の上層モジュール接続端子のうちの高速信号処理端子と電氣的に接続される上層モジュール接続端子は、第1のチップ接続端子とチップ保持面に設けられた表面配線により電氣的に接続されていると共に、外部基板接続端子と第1の基板を貫通する貫通導体とにより電氣的に接続されていることが好ましい。このような構成とすることにより、第1のチップ接続端子と上層モジュール接続端子と外部基板接続端子とを最短距離で電氣的に接続できる。従って、第1の基板の伝送線路のインピーダンスを小さくすることができる。その結果、例えば、上層モジュールに半導体メモリを用いる場合に、アドレス端子やデータ端子からの信号を同じタイミングで高速信号処理することが可能となり、高速動作可能な積層型半導体モジュールを実現できる。

40

【0022】

本発明の積層半導体装置の下層モジュールにおいて、上層モジュール接続端子のうちの少なくとも1つは、第1のチップ接続端子と、第1の基板に埋め込まれた埋め込み配線及

50

び埋め込み配線と上層モジュール接続端子とを電氣的に接続する非貫通導体を介在させて電氣的に接続されていると共に、外部基板接続端子と、第1の基板を貫通する貫通導体を介在させて電氣的に接続され、非貫通導体及び貫通導体は上層モジュール接続端子の下側に設けられていることが好ましい。このような構成とすることにより、第1のチップ実装面に設ける配線は、第1のチップ接続端子近傍に設ける必要最小限の配線のみとなる。また、上層モジュール接続端子の下側の領域を有効利用することができるので、第1の基板の第1のチップ保持面側の配線パターンの設計の自由度を大きくすることができ、半導体装置の信頼性が向上する。

【0023】

この場合において、非貫通導体及び貫通導体は、上層モジュール接続端子の下面における平面的に最も離れた2つの領域の互いに異なる側とそれぞれ接していることが好ましい。このような構成とすることにより、非貫通導体と貫通導体との短絡の発生を低減することができる。これにより、半導体装置の信頼性を維持しつつ、検査工程を簡略化することが可能となる。また、上層モジュール接続端子をソルダレジスト等により保護する場合に、ソルダレジストの開口部分に貫通導体と非貫通導体の少なくとも一部がオーバーラップすることを避けられる。また、ソルダレジスト開口部に露出しないようになるまで貫通導体と非貫通導体とを離してもよい。以上により、上層モジュール接続端子のソルダレジストの開口部において平坦度を維持でき、合わせて上層モジュールが積層されるときに接続強度を維持することもできる。

【0024】

本発明の積層半導体装置の下層モジュールにおいて、第1の半導体チップは、第1の基板にフリップチップ方式、ワイヤボンディング方式又はテープオートメテッドボンディング方式により保持されていることが好ましい。

【0025】

本発明の積層半導体装置の下層モジュールにおいて、第1の半導体チップは、第1のチップ保持面の上に複数保持されていることが好ましい。このような構成とすることにより、例えば第1の半導体チップとして、DSPチップと電源用チップとの組み合わせ又はCPUチップと不揮発メモリチップとの組み合わせ等を用いることができ、より高機能の積層用半導体装置を実現できる。

【0026】

この場合において、複数の第1の半導体チップは、2個の第1の半導体チップが第1のチップ端子が設けられた面と反対側の面を互に対向させて積層された積層チップとして第1のチップ保持面に保持されており、2個の第1の半導体チップの一方の各第1のチップ端子は、対応する第1のチップ接続端子とフリップチップ方式によりそれぞれ電氣的に接続されており、2個の第1の半導体チップの他方の各第1のチップ端子は、対応する第1のチップ接続端子とワイヤボンディング方式又はテープオートメテッドボンディング方式によりそれぞれ電氣的に接続されていることが好ましい。このような構成とすることにより、薄型の積層用半導体装置を実現できる。

【0027】

本発明の積層半導体装置の下層モジュールにおいて、外部基板接続端子は第1のチップ保持面と反対側の面の全面に配置されており、突起電極はボールバンプ又は柱状バンプであることが好ましい。

【0028】

本発明の積層半導体装置の下層モジュールにおいて、第1の基板は、ガラスエポキシ樹脂、ポリイミド樹脂、アラミド樹脂又はセラミックからなることが好ましい。

【0029】

本発明に係る積層半導体装置は、複数の第1のチップ端子を有する第1の半導体チップと、第1の半導体チップの平面寸法よりも大きい第1のチップ保持面を有し、第1のチップ保持面の上に第1の半導体チップを保持した第1の基板とを含む下層モジュールと、複数の第2のチップ端子を有する第2の半導体チップと、第2の半導体チップの平面寸法よ

10

20

30

40

50

りも大きい第2のチップ保持面を有し、第2のチップ保持面の上に第2の半導体チップを保持した第2の基板とを含む上層モジュールとを備え、第1の基板は、第1のチップ保持面の上に設けられ、各第1のチップ端子と電氣的に接続された複数の第1のチップ接続端子と、第1のチップ保持面の上における第1の半導体チップの保持領域の外側部分に設けられた複数の上層モジュール接続端子と、第1のチップ保持面と反対側の面の上に設けられた複数の外部基板接続端子とを有し、各第1のチップ接続端子は、外部基板接続端子とそれぞれ電氣的に接続され、各上層モジュール接続端子は、第1のチップ接続端子と対応する外部基板接続端子との間にそれぞれ電氣的に接続されており、第2の基板は、第2のチップ保持面の上に設けられ、複数の第2のチップ端子のいずれかと電氣的に接続された複数の第2のチップ接続端子と、第2のチップ保持面と反対側の面の上に設けられ、複数の第2のチップ接続端子のいずれかと電氣的に接続された複数の下層モジュール接続端子を有し、下層モジュールと上層モジュールとは、第1のチップ保持面と、第2のチップ保持面と反対側の面とを対向させて積層され、各下層モジュール接続端子は、複数の上層モジュール接続端子のいずれかと電氣的に接続されていることを特徴とする。

10

【0030】

本発明の積層半導体装置によれば、各下層モジュール接続端子は、複数の上層モジュール接続端子のいずれかと電氣的に接続されているため、積層半導体装置を組み立てる際に、下層モジュールについて上層モジュール接続端子を含めた導通検査及び信頼性試験を行った後に、上層モジュールを保持することができる。従って、積層半導体装置の信頼性及び作製歩留まりを大幅に改善することができる。

20

【0031】

本発明の積層半導体装置において、各第2のチップ端子は、対応する第2のチップ接続端子とフリップチップ方式、ワイヤボンディング方式又はテープオートメテッドボンディング方式によりそれぞれ電氣的に接続されていることが好ましい。

【0032】

本発明の積層半導体装置において、第2の半導体チップは、第2のチップ保持面の上に複数保持されていることが好ましい。

【0033】

この場合において、複数の第2の半導体チップは、2個の第2の半導体チップが第2のチップ端子が設けられた面と反対側の面を互いに対向させて積層された積層チップとして第2のチップ保持面に保持されており、2個の第2の半導体チップの一方の各第2のチップ端子は、対応する第2のチップ接続端子とフリップチップ方式によりそれぞれ電氣的に接続されており、2個の第2の半導体チップの他方の各第2のチップ端子は、対応する第2のチップ接続端子とワイヤボンディング方式又はテープオートメテッドボンディング方式によりそれぞれ電氣的に接続されていることが好ましい。

30

【0034】

本発明の積層半導体装置において、第2の基板は、ガラスエポキシ樹脂、ポリイミド樹脂、アラミド樹脂又はセラミックからなることが好ましい。

【0035】

この場合において、第1の基板と第2の基板とは、同一の材料からなることが好ましい。このような構成とすることにより、第1の基板と第2の基板との熱膨張係数を合わせることができるので、積層半導体装置にそりが発生することを容易に防止できる

40

【発明の効果】**【0036】**

本発明の積層半導体装置及び積層半導体装置の下層モジュールによれば、積層半導体装置において接続端子を含めた検査を容易にし、信頼性が高い積層半導体装置を実現できる。

【発明を実施するための最良の形態】**【0037】**

(第1の実施形態)

50

図1は本発明の第1の実施形態に係る積層半導体装置用の下層モジュールの断面構成を示している。図1において、端子、電極及び配線等の個数及び形状については省略又は図示しやすい個数及び形状等としている。また、以下のすべての図において同様の省略等を行っている。

【0038】

図1に示すように本実施形態の下層モジュールは、第1の基板11と第1の基板11の上に保持された第1の半導体チップ21とにより構成されている。

【0039】

本実施形態における第1の半導体チップ21は、図1に示すように平面方形状のチップ基板に形成されており、チップ基板の中央部に半導体素子が形成された集積回路形成領域(図示せず)が設けられ、その外側に複数の第1のチップ端子22が配置されている。なお、第1のチップ端子22は集積回路形成領域内に配置されていてもよい。

10

【0040】

第1のチップ端子22は集積回路の配線の形成に使用される金属と同一の金属により一般的に形成されており、アルミニウム、銅又はアルミニウムと銅との積層材料等で形成される。チップ基板の表面は、第1のチップ端子22が形成されている領域を除き(開口部という)、ソルダーレジスト等の絶縁膜(図示せず)で覆われている。なお、開口部分の表面にニッケル金めっき等の表面処理を施してもよい。

【0041】

本実施形態においては、第1の半導体チップ21は第1の基板11にフリップチップ実装されており、第1のチップ端子22には、突起電極23が設けられている。突起電極23はハンダ、金、銅及びニッケル等のいずれかからなる単体又は2つ以上からなる積層体であればよく、形状は球状又は柱状のバンプであればよい。突起電極23は、ワイヤバンプ方式又はめっき方式等の公知の方法により形成すればよい。

20

【0042】

第1の基板11は、主面が、第1の半導体チップ21の平面寸法よりも大きく、多層配線構造を有している。第1の基板11の上面であるチップ保持面12の上には、複数の第1のチップ接続端子13が設けられている。本実施形態において、第1のチップ接続端子13は、チップ保持面12のほぼ中央部に配置されている第1の半導体チップ21に設けられた突起電極23と対応する位置にそれぞれ形成されており、第1のチップ接続端子13はそれぞれ第1の半導体チップ21の突起電極23と導電性接着材41により電氣的に接続されている。

30

【0043】

チップ保持面12における第1の半導体チップ21の保持領域の外側部分には、積層半導体装置の上層モジュール(図示せず)と接続するための複数の上層モジュール接続端子14が設けられている。

【0044】

上層モジュール接続端子14は、チップ保持面12の第1の半導体チップ21を配置する領域を囲むように設けられ、後述する上層モジュールが有する下層モジュール接続端子と対応する位置に形成されている。なお、下層モジュール接続端子の数が異なる種々の上層モジュールを積層できるように、上層モジュール接続端子14の数は、下層モジュール接続端子の数が最も多い上層モジュールに合わせて設ければよい。従って、下層モジュール接続端子の数が少ない上層モジュールを積層する場合には、上層モジュール接続端子14の一部は下層モジュール接続端子と接続されていなくてよい。

40

【0045】

また、第1の基板11のチップ保持面12と反対側の面(裏面)には、複数の外部基板接続端子15が等間隔の格子状に配置されている。各外部基板接続端子15には突起電極16がそれぞれ設けられており、外部基板接続端子15は外部基板(図示せず)と電氣的に接続することができる。

【0046】

50

図2(a)及び(b)は第1の実施形態に係る第1の基板11の詳細を示し、(a)は平面構成を示しており、(b)は(a)のIIb-IIb線における断面構造を示している。

【0047】

第1の基板11は、アラミド樹脂、ガラスエポキシ樹脂、ポリイミド樹脂又はセラミック等により形成されている。なお、第1の基板11のチップ保持面12及び裏面には、接続端子が形成された部分等を除いて、ソルダーレジスト又はポリイミド等の絶縁膜18が形成されている。

【0048】

各第1のチップ接続端子13は、複数の外部基板接続端子15のいずれかと電気的に接続されている。また、各上層モジュール接続端子14は、第1のチップ接続端子13と外部基板接続端子15との間に電気的に直列に接続されている。つまり、各上層モジュール接続端子14は第1のチップ接続端子13のいずれかと電気的に接続されると共に、外部基板接続端子15のいずれかと電気的に接続されている。

【0049】

第1のチップ接続端子13と上層モジュール接続端子14とは、チップ保持面12に設けられた表面配線31により直接接続されていても、第1の基板11の内部に埋め込まれた埋め込み配線32及び非貫通導体33を介在させて接続されていてもよい。また、上層モジュール接続端子14と外部基板接続端子15とは、第1の基板11を貫通する貫通導体34により直接接続されていても、表面配線31、埋め込み配線32、非貫通導体33等を介在させて接続されていてもよい。また、第1のチップ接続端子13の一部は、上層モジュール接続端子14を介在させずに直接外部基板接続端子15と接続されていてもよい。さらに外部基板接続端子15と非貫通導体33及び貫通導体34とは、第1の基板11の裏面に設けられた裏面配線(図示せず)を介在させて接続されていてもよい。

【0050】

このように、上層モジュール接続端子14が第1のチップ接続端子13と外部基板接続端子15との間に直列に接続される構成とすることにより、突起電極16を用いて第1の半導体チップ21の機能検査を行うのと同時に、上層モジュール接続端子14に対する導通検査を行うことができる。さらに、この導通検査において、上層モジュール接続端子14の表面にプローブを接触させる必要がないため、上層モジュール接続端子14の表面が傷つく恐れがない。従って、上層モジュール接続端子14を用いて上層モジュールを積層する場合に、接続不良が発生したり、接続信頼性が低下したりすることを防止することができる。

【0051】

次に、第1の実施形態に係る下層モジュールの製造方法について説明する。まず、第1の基板11のチップ保持面12に、第1の半導体チップ21の突起電極23が形成された面を対向させて、第1のチップ接続端子13と突起電極23とを位置合わせし、導電性接着剤41により接続する。さらに、チップ保持面12と第1の半導体チップ21との間の空間にアンダーフィル樹脂42を注入して接着及び封止をする。なお、導電性接着剤41及びアンダーフィル樹脂42の硬化を促進するために加熱することが好ましい。また、第1の半導体チップ21と第1の基板11との接続を、アンダーフィル樹脂42の代わりに非導電性樹脂フィルムの硬化収縮により接続する方法等を用いてもよい。

【0052】

次に、第1の基板11の裏面全体に格子状に配置された外部基板接続端子15にハンダ、金、銅又はニッケル等からなるボール形状又は柱状の突起電極16を、例えばハンダ(図示せず)により接合する。なお、突起電極16として表面層に金属蒸着等を行い、導電性を付与した樹脂ボールを用いてもよい。

【0053】

本実施形態に係る下層モジュールは、上層モジュール接続端子14を介して上層モジュールを実装し、積層半導体装置とすることができるが、単体として使用することもできる。この場合においても、突起電極16を介して第1の半導体チップ21の機能検査と同時

10

20

30

40

50

に、上層モジュール接続端子 1 4 に対する導通検査も行うことができる。しかも、この導通検査においては、上層モジュール接続端子 1 4 の表面にプローブを接触させる必要がないため上層モジュール接続端子 1 4 の表面に傷が生じることもない。この結果、第 2 の半導体チップを備えた上層モジュールを実装する場合にも、接続不良が発生したり、接続信頼性が低下したりすることがない。

【 0 0 5 4 】

なお、第 1 の基板 1 1 において第 1 のチップ接続端子 1 3、上層モジュール接続端子 1 4 及び外部基板接続端子 1 5 を電氣的に直列に接続する構成は、上述したような構成に限らず、他の構成としてもよい。

【 0 0 5 5 】

例えば、第 1 のチップ接続端子 1 3 と上層モジュール接続端子 1 4 とを表面配線 3 1 により電氣的に接続し、上層モジュール接続端子 1 4 と外部基板接続端子 1 5 とを貫通導体 3 4 により接続する構成の場合、最短長の導体パターンにより結ぶことができるので高速信号処理が必要な端子に用いることが望ましい。例えば、第 1 の基板 1 1 に積層して実装する上層モジュールが D R A M 等の場合、そのデータ端子やアドレス端子のような高速信号処理が要求される端子に対して、このような構成を用いれば積層半導体装置として高速処理が可能となり、特に 1 0 0 M H z を超えるような周波数帯域で有効である。

【 0 0 5 6 】

さらに、上記構成のみでなく、第 1 の基板 1 1 の表面及び内部の配線パターン設計に合わせて、表面配線、埋め込み配線、非貫通導体、貫通導体及び裏面配線を任意に組み合わせ

【 0 0 5 7 】

(第 1 の実施形態の第 1 変形例)

図 3 は第 1 の実施形態の第 1 変形例に係る下層モジュールの断面構成を示している。図 3 において図 1 と同一の構成要素には同一の符号を附すことにより説明を省略する。図 3 に示すように本変形例の下層モジュールは、第 1 の半導体チップ 2 1 の第 1 のチップ端子 2 2 と、第 1 の基板 1 1 の第 1 のチップ接続端子 1 3 とをワイヤリード 2 4 により接続している。

【 0 0 5 8 】

また、ワイヤリード 2 4 を保護するために、第 1 の半導体チップ 2 1 及びワイヤリード 2 4 を覆う保護樹脂 4 3 が設けられている。

【 0 0 5 9 】

なお、ワイヤリード 2 4 により接続する構成に代えて、第 1 の半導体チップ 2 1 をテープオートメテッドボンディング (T A B) を用いて第 1 の基板 1 1 に実装する構成としてもよい。

【 0 0 6 0 】

(第 1 の実施形態の第 2 変形例)

図 4 は第 1 の実施形態の第 2 変形例に係る下層モジュールの断面構成を示している。図 4 において図 1 と同一の構成要素には同一の符号を附すことにより説明を省略する。図 4 に示すように本変形例の下層モジュールは、2 個の第 1 の半導体チップ 2 1 が隣り合わせに第 1 の基板 1 1 の上に保持されている。例えば、第 1 の半導体チップ 2 1 として、デジタルシグナルプロセッサ (D S P) チップ 2 1 A と電源チップ 2 1 B とが保持されている。また、C P U チップと不揮発メモリチップとの組み合わせ等、他の複数のチップの組み合わせとしてもよい。

【 0 0 6 1 】

なお、本変形例においては 2 つの半導体チップをフリップチップ実装方式で実装しているが、ワイヤボンディング方式又は T A B 方式により実装してもよい。また、2 つの半導体チップを重ねて配置し、一方をフリップチップ方式、他方をワイヤボンディング方式により実装してもよい。

【 0 0 6 2 】

10

20

30

40

50

(第1の実施形態の第3変形例)

図5は第1の実施形態の第3変形例に係る下層モジュールの断面構成を示している。図5において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。図5に示すように本変形例の下層モジュールは、複数の第1の半導体チップ21が積層されて第1の基板11の上に保持されている。例えば、本変形例の第1の半導体チップ21は、DSPチップ21Cと半導体メモリチップ21Dとが積層されており、DSPチップ21Cはフリップチップ方式により実装され、半導体メモリチップ21Dはワイヤボンディング方式により実装されている。

【0063】

本変形例においては、第1のチップ接続端子13は、DSPチップ21Cをフリップチップ方式で実装するための bumps 接続端子13Cと、半導体メモリチップ21Dをワイヤボンディング方式で接続するためのワイヤ接続端子13Dとにより構成されている。

10

【0064】

DSPチップ21Cの突起電極23と、bumps 接続端子13Cとを、例えば導電性接着剤41により接続し、さらにアンダーフィル樹脂42を充填する。次に、半導体メモリチップ21DをDSPチップ21Cの上に貼り付けた後、ワイヤリード24により半導体メモリチップ21Dの接続用電極(図示せず)とワイヤ接続端子13Dと接続する。

【0065】

なお、本変形例においては、第1の半導体チップ21とワイヤリード24とを覆うように、第1の半導体チップ21とワイヤリード24とを保護する保護樹脂43が設けられている。

20

【0066】

なお、この第3の変形例では2つの半導体チップをフリップチップ方式とワイヤボンディング方式とで実装する構成について説明したが、ワイヤボンディング方式のみ若しくはTAB方式のみ又はこれらの組み合わせにより実装してもよい。また、第1の半導体チップの組み合わせは、どのようなものであってもよい。

【0067】

(第1の実施形態の第4変形例)

図6は第1の実施形態の第4変形例に係る下層モジュールの断面構成を示している。図6において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。図6に示すように本変形例の下層モジュールは、上層モジュール接続端子14と接続された表面配線31が設けられておらず、貫通導体34と非貫通導体33とが上層モジュール接続端子14に直接接続されており、第1のチップ接続端子13と上層モジュール接続端子14とは、非貫通導体33及び埋め込み配線32を介在させて電氣的に接続されている。従って、チップ保持面12の第1の半導体チップ21保持領域よりも外側の部分においては、表面配線31を設ける必要がなく、配線パターンの設計の自由度を大幅に向上させることができる。また、貫通導体34と非貫通導体33とが、上層モジュール接続端子14の直下に設けられている。上層モジュール接続端子14直下の領域は、通常空きスペースとなっているので、このように配線領域として活用することにより、配線スペースを確保することが可能となる。

30

40

【0068】

なお、すべての上層モジュール接続端子14に対してこのような構成を適用する必要はなく、配線パターン設計上、特に必要な上層モジュール接続端子14のみをこのような構成としてもよい。

【0069】

本変形例において、上層モジュール接続端子14と非貫通導体33及び貫通導体34との配置を図7に示すようにしてもよい。図7は上層モジュール接続端子14が設けられた部分の平面構成を拡大して示している。図7に示すように、非貫通導体33と貫通導体34とが上層モジュール接続端子14の対角のそれぞれの側に別れて接続されている。これにより、非貫通導体33と貫通導体34との間隔を最も大きくすることができる。

50

【 0 0 7 0 】

この構成により、非貫通導体 3 3 と貫通導体 3 4 とが電氣的に短絡する可能性を低減することができ、第 1 の基板 1 1 を製造工程において検査する率を落とすことができ又は不要とすることができる。

【 0 0 7 1 】

非貫通導体 3 3 と貫通導体 3 4 とが上層モジュール接続端子 1 4 以外の場所で短絡した場合には、第 2 の接続端子への経路を含めて保証を行うことができなくなる。非貫通導体 3 3 と貫通導体 3 4 との短絡は第 1 の基板 1 1 を製造する過程において、例えば非貫通導体 3 3 及び貫通導体 3 4 のビアホールを加工する際に目視により検査することができるが、製造コストが増加してしまう。このため、上層モジュール接続端子 1 4 に接続された非貫通導体 3 3 と貫通導体 3 4 との間隔 d を可能な限り大きくし、非貫通導体 3 3 と貫通導体 3 4 との短絡を防止することが好ましい。

10

【 0 0 7 2 】

図 7 に示すような非貫通導体 3 3 と貫通導体 3 4 とが上層モジュール接続端子 1 4 の対角のそれぞれの側に別れて接続されている構造とすれば、第 1 の基板 1 1 のチップ保持面側における配線パターン設計の自由度は維持しつつ、非貫通導体 3 3 と貫通導体 3 4 との短絡の可能性を著しく低減することができる。従って、第 1 の基板 1 1 に対する検査を簡略化又は不要とすることができる。さらに、上層モジュール接続端子 1 4 におけるソルダレジスト 1 8 の開口部分に非貫通導体 3 3 と貫通導体 3 4 の一部が接続されることを避けられるのでソルダレジスト 1 8 の開口部の平坦度を維持できる。また、上層モジュールが積層されるときに接続強度を維持することもできる。

20

【 0 0 7 3 】

(第 2 の実施形態)

以下に、本発明の第 2 の実施形態について図面を参照して説明する。図 8 は本発明の第 2 の実施形態に係る積層半導体装置の断面構成を示している。図 8 において図 1 と同一の構成要素には同一の符号を附すことにより説明を省略する。本実施形態の積層半導体装置は、下層モジュール 1 0 の上に上層モジュール 6 0 が積層されて形成されている。本実施形態において下層モジュール 1 0 は、第 1 の実施形態の第 1 変形例に係る下層モジュールと同一である。上層モジュール 6 0 は、第 2 の基板 6 1 と、第 2 の基板 6 1 の上に保持された第 2 の半導体チップ 7 1 とにより構成されている。

30

【 0 0 7 4 】

図 9 (a) 及び (b) は本実施形態に係る上層モジュール 6 0 であり、(a) は平面構成を示し、(b) は (a) の IX b - IX b 線における断面構成を示している。図 9 (a) において、理解しやすくするために第 2 の半導体チップ 7 1 の一部を切り欠いて示している。

図 9 に示すように方形状の第 2 の半導体チップ 7 1 の主面側の中央部には、集積回路形成領域 (図示せず) が設けられ、集積回路形成領域を囲むように複数の第 2 のチップ端子 7 2 が形成されている。なお、第 2 のチップ端子は集積回路形成領域内に配置されているもよい。

【 0 0 7 5 】

本実施形態においては、第 2 の半導体チップ 7 1 は第 2 の基板 6 1 にフリップチップ実装されており、第 2 のチップ端子 7 2 には、突起電極 7 3 が設けられている。突起電極 7 3 はハンダ、金、銅及びニッケル等のいずれかからなる単体又は 2 つ以上からなる積層体であればよく、形状は球状又は柱状のバンプであればよい。突起電極 2 3 は、ワイヤバンプ方式又はめっき方式等の公知の方法により形成すればよい。

40

【 0 0 7 6 】

また、第 2 の半導体チップ 7 1 と第 2 の基板 6 1 との間には、アンダーフィル樹脂 4 2 が充填されている。

【 0 0 7 7 】

第 2 の基板 6 1 は、ガラスエポキシ樹脂等からなり、主面が第 2 の半導体チップ 7 1 の平面寸法よりも大きい。第 2 の基板 6 1 の上面であるチップ保持面 6 2 の上には、複数の

50

第2のチップ接続端子63が設けられている。本実施形態において、第2のチップ接続端子63は、チップ保持面62のほぼ中央部に配置される第2の半導体チップ71の突起電極73と対応する位置にそれぞれ形成されており、第2のチップ接続端子63はそれぞれ第2の半導体チップ71の突起電極73と導電性接着材41により電氣的に接続されている。

【0078】

第2の基板61チップ保持面62と反対側の面(裏面)には、第2の基板61の外縁部を囲むように、複数の下層モジュール接続端子64が形成されている。第2のチップ接続端子63と下層モジュール接続端子64とは、チップ保持面62に形成された表面配線81及び貫通導体82を介在させて電氣的に接続されている。

10

【0079】

なお、必要に応じて第2の基板71の内部に埋め込み配線及び非貫通導体を設け、これらを用いて第2のチップ接続端子63と下層モジュール接続端子64とを接続してもよい。

【0080】

第2のチップ接続端子63は、第2の半導体チップ71の突起電極73と対応する位置に形成されている。下層モジュール接続端子64は、下層モジュール10の上層モジュール接続端子14に対応した位置に配置されている。

【0081】

上層モジュール60を、下層モジュール10の上に位置合わせして配置した後、導電性接続部材91を用いて接続することにより、本実施形態の積層半導体装置を形成する。なお、導電性接続部材91としては、例えばハンダ、金、銀等の金属からなるボールあるいは柱状体、表面が導電性を有する樹脂ボールあるいは柱状体を用いることができる。

20

【0082】

この積層半導体装置は、最下層に配置する下層モジュール10の機能検査の際に、上層モジュール接続端子14の導通検査を同時に行うことができる。従って、積層実装した後に積層半導体装置が不良となる割合を大幅に低減でき、製造歩留まりを大幅に改善することができる。

【0083】

なお、積層半導体装置を作製する場合に、それぞれの接続部分の接続方法を適正に選択する必要がある。すなわち、第1の半導体チップ21の突起電極23と第1のチップ接続端子13との接続、第2の半導体チップ71の突起電極73と第2のチップ接続端子63との接続、下層モジュール10と上層モジュール60との接続、及び下層モジュール10と外部基板との接続等については、適正な材料と接続温度を設定することが要求される。

30

【0084】

例えば、第1の半導体チップ21の突起電極23と第1の基板11との接続及び第2の半導体チップ71の突起電極73と第2の基板61との接続については、導電性接着剤や異方導電性接続部材を用い、下層モジュール10と上層モジュール60との接続及び下層モジュール1と外部基板との接続については、融点の異なるハンダ材料を用いることが好ましい。

40

【0085】

(第2の実施形態の一変形例)

以下に、第2の実施形態の一変形例について図面を参照して説明する。図10は本変形例に係る積層半導体装置の断面構成を示している。図10において図8と同一の構成要素には同一の符号を附すことにより説明を省略する。本変形例においては上層モジュール60は、第2の基板61と、第2の基板61の上に保持された半導体チップ71A及び半導体チップ71Bとにより構成されている。

【0086】

一例として半導体チップ71A及び半導体チップ71Bが半導体メモリチップの場合について説明する。半導体チップ71Aは第2の基板61にフリップチップ方式により実装

50

され、半導体チップ71Bはワイヤボンディング方式により第2の基板61に実装されている。

【0087】

このため、第2の基板61の第2のチップ接続端子62は、半導体チップ71Aをフリップチップ方式で接続するためバンプ接続端子62Aと、半導体チップ71Bをワイヤボンディング方式で接続するためのワイヤ接続端子62Bとを有する。

【0088】

半導体チップ71Aの突起電極73と第2の基板61のバンプ接続端子62Aとを、例えば導電性接着剤41により接続しており、半導体チップ71Aと第2の基板61の間にはアンダーフィル樹脂42を充填している。

10

【0089】

半導体チップ71Bは、半導体チップ71Aの上に貼り付けられており、半導体チップ71Bの第2のチップ端子72とワイヤ接続端子62Bとがワイヤリード74により接続されている。

【0090】

なお、本変形例では、上層モジュール60の全面を保護するための保護樹脂45を設けている。

【0091】

本変形例の積層半導体装置は、上層モジュールに複数の半導体チップが保持されているため、第2の半導体チップの機能、例えばメモリ容量を増加することができ、小型で、高機能の積層半導体装置を実現できる。

20

【0092】

なお、第2の実施形態及びその変形例においては、第2の基板の基材としてはガラスエポキシ樹脂を用いた例について説明したが、本発明はこれに限定されない。第2の基板の基材についてはガラスエポキシ樹脂だけでなく、ポリイミド樹脂、アラミド樹脂又はセラミック等を用いてもよい。また、第1の基板の基材と第2の基板の基材とを同じ材料とすると、熱膨張係数の差異によるそりを防止できる点で好ましい。

【0093】

また、第2の実施形態及びその変形例においては、第1の実施形態の第1変形例において説明した下層モジュールを用いる例を示したが、他の実施形態又は変形例において説明した下層モジュールを用いてもよい。

30

【0094】

各実施形態及びその変形例において、貫通導体とは各層を上下に連続して縦につながる導体である。また、非貫通導体は、図1において一例を示したような物理的に非貫通であるものだけでなく、上下を貫通する貫通孔に設けられているが電氣的に非貫通となっているものであってもよい。これは現存する基板と同様である。

【産業上の利用可能性】

【0095】

本発明の積層半導体装置及び積層半導体装置の下層モジュールは、積層半導体装置において接続端子を含めた検査を容易にし、信頼性が高い積層半導体装置を実現でき、複数の半導体装置を積層して形成した積層半導体装置及び積層半導体装置の下層モジュール等として有用である。

40

【図面の簡単な説明】

【0096】

【図1】本発明の第1の実施形態に係る積層半導体装置の下層モジュールを示す断面図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係る積層半導体装置の下層モジュールの基板部分を示し、(a)は平面図であり、(b)は(a)のIIb-IIb線における断面図である。

【図3】本発明の第1の実施形態の第1変形例に係る積層半導体装置の下層モジュールを

50

示す断面図である。

【図4】本発明の第1の実施形態の第2変形例に係る積層半導体装置の下層モジュールを示す断面図である。

【図5】本発明の第1の実施形態の第3変形例に係る積層半導体装置の下層モジュールを示す断面図である。

【図6】本発明の第1の実施形態の第4変形例に係る積層半導体装置の下層モジュールを示す断面図である。

【図7】本発明の第1の実施形態の第4変形例の別の例に係る積層半導体装置の下層モジュールにおける上層モジュール接続端子部分を拡大して示す平面図である。

【図8】本発明の第2の実施形態に係る積層半導体装置を示す断面図である。

10

【図9】(a)及び(b)は本発明の第2の実施形態に係る積層半導体装置の上層モジュールの基板を示し、(a)は平面図であり、(b)は(a)のIXb-IXb線における断面図である。

【図10】本発明の第2の実施形態の一変形例に係る積層半導体装置を示す断面図である。

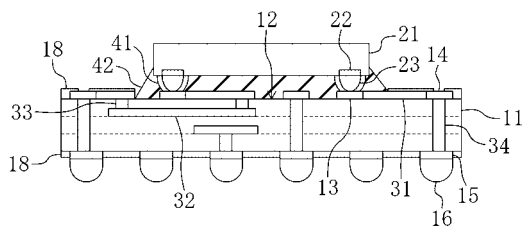
【符号の説明】

【0097】

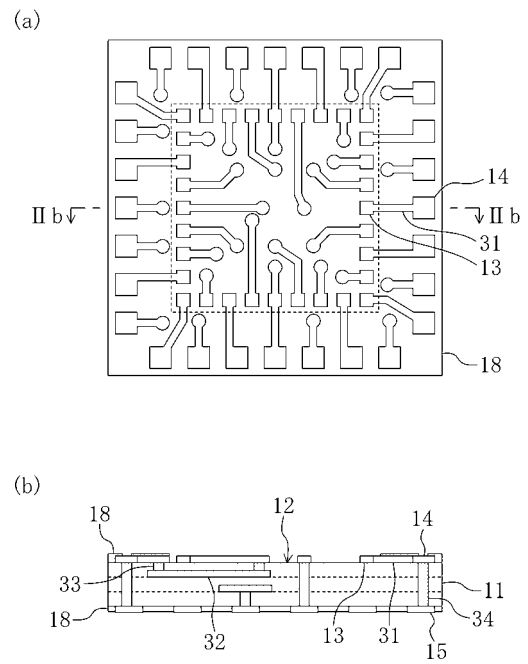
10	下層モジュール	
11	第1の基板	
12	チップ保持面	20
13	第1のチップ接続端子	
13C	バンプ接続端子	
13D	ワイヤ接続端子	
14	上層モジュール接続端子	
15	外部基板接続端子	
16	突起電極	
18	絶縁膜(ソルダレジスト)	
21	第1の半導体チップ	
21A	DSPチップ	
21B	電源チップ	30
21C	DSPチップ	
21D	半導体メモリチップ	
22	第1のチップ端子	
23	突起電極	
24	ワイヤリード	
31	表面配線	
32	埋め込み配線	
33	非貫通導体	
34	貫通導体	
41	導電性接着材	40
42	アンダーフィル樹脂	
43	保護樹脂	
45	保護樹脂	
60	上層モジュール	
61	第2の基板	
62	第2のチップ保持面	
63	第2のチップ接続端子	
63A	バンプ端子	
63B	ワイヤ端子	
64	下層モジュール接続端子	50

- 7 1 第 2 の半導体チップ
- 7 2 第 2 のチップ端子
- 7 3 突起電極
- 7 4 ワイヤリード
- 8 1 表面配線
- 8 2 貫通導体
- 9 1 導電性接続部材

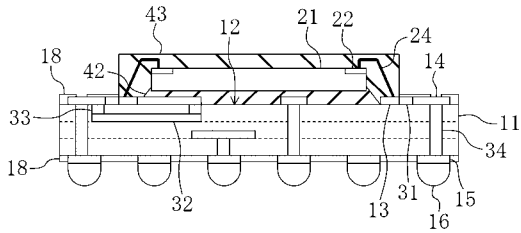
【 図 1 】



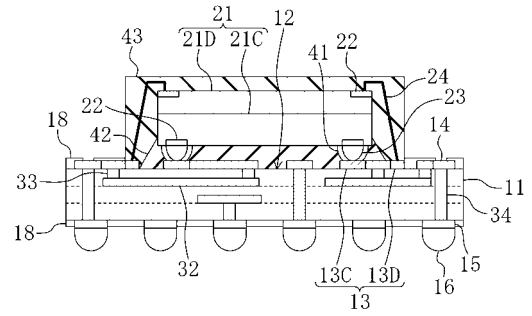
【 図 2 】



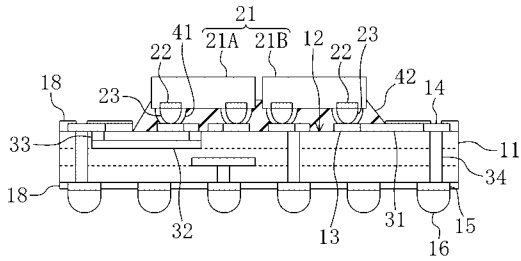
【 図 3 】



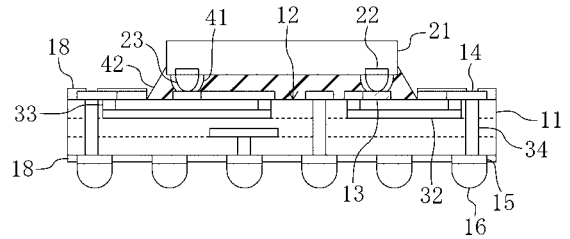
【 図 5 】



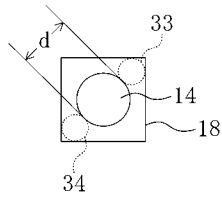
【 図 4 】



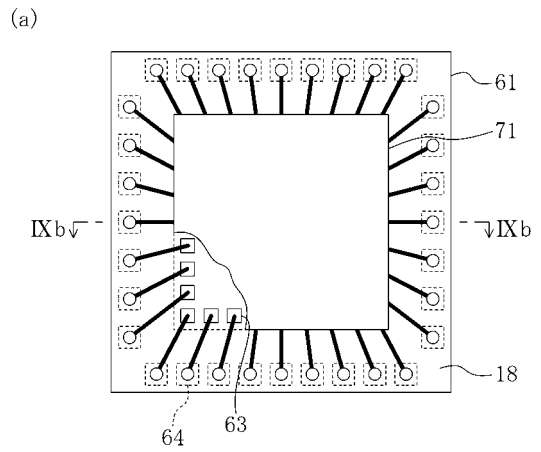
【 図 6 】



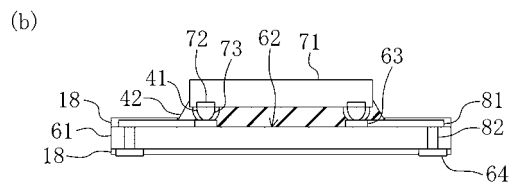
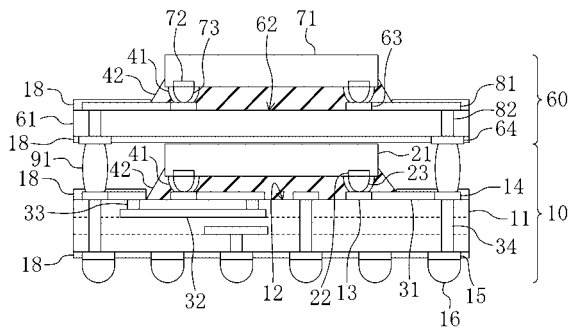
【 図 7 】



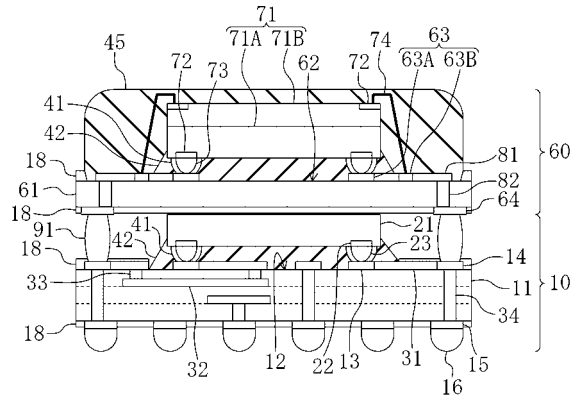
【 図 9 】



【 図 8 】



【図10】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 川端 毅
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 伊藤 史人
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 酒井 英夫

- (56)参考文献 国際公開第2004/027823(WO, A1)
特開平08-167691(JP, A)
特開平08-236694(JP, A)
特開2005-026469(JP, A)
特開2007-012748(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 25/00 - 25/18, 23/12