



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0099734
(43) 공개일자 2009년09월23일

(51) Int. Cl.

H04L 29/02 (2006.01) H04L 12/56 (2006.01)

H04L 29/10 (2006.01)

(21) 출원번호 10-2008-0024893

(22) 출원일자 2008년03월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

한양대학교 산학협력단

서울 성동구 행당동 17 한양대학교 내

(72) 발명자

이재복

경기 성남시 분당구 이매동 아름마을풍림아파트
502-802

이기철

경기 화성시 동탄면 시범단지 포스코 더샵 아파
트 319-303

(뒷면에 계속)

(74) 대리인

리엔목특허법인

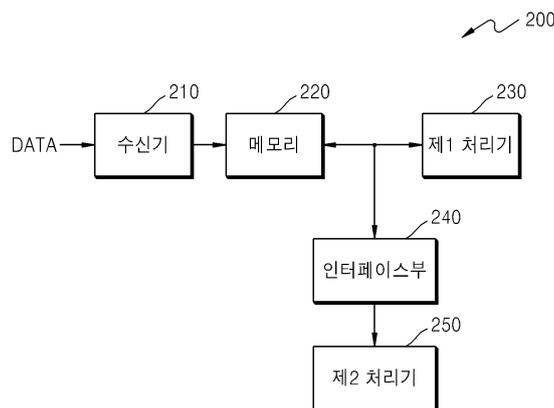
전체 청구항 수 : 총 18 항

(54) 스트림 기반의 인터페이스 시스템 및 그 제어 방법

(57) 요약

스트림 기반의 인터페이스 시스템 및 그 제어 방법이 개시된다. 상기 인터페이스 시스템은 스트림 기반의 인터페이스 시스템에 있어서 메모리, 제 1 처리기, 제 2 처리기 및 인터페이스부를 구비할 수 있다. 상기 메모리는 수신되는 패킷 단위의 데이터를 저장하고, 상기 제 1 처리기는 상기 패킷의 헤더를 분석한다. 상기 제 2 처리기는 상기 헤더가 분석된 패킷 단위의 데이터 중 페이로드를 수신하여 처리하고, 상기 인터페이스부는 상기 패킷의 헤더를 분석한 분석 정보를 이용하여 상기 페이로드만을 상기 제 2 처리기로 전송한다. 상기 스트림 기반의 인터페이스 시스템 및 그 제어 방법은 수신되는 패킷 중 페이로드(payload)만을 별도의 메모리에 복사하는 과정을 수행하지 않고 직접 처리기로 전송함으로써, 메모리 사용 효율 및 전체 시스템의 성능을 향상시킬 수 있고 전력 소모를 감소시킬 수 있는 장점이 있다.

대표도 - 도2



(72) 발명자

송용호

경기 성남시 분당구 정자동 한솔마을아파트
508-202

조한욱

경기 용인시 수지구 풍덕천동 신정마을 성지아파트
503-1403

정재형

경기 구리시 토평동 삼성아파트 303-203

정진원

서울 송파구 문정동 82-2

권극한

인천 강화군 양도면 조신리 146-3

특허청구의 범위

청구항 1

스트림 기반의 인터페이스 시스템에 있어서,

수신되는 패킷 단위의 데이터를 저장하는 메모리;

상기 패킷의 헤더를 분석하는 제 1 처리기;

상기 헤더가 분석된 패킷 단위의 데이터 중 페이로드를 수신하여 처리하는 제 2 처리기; 및

상기 패킷의 헤더를 분석한 분석 정보를 이용하여 상기 페이로드만을 상기 제 2 처리기로 전송하는 인터페이스 부를 구비하는 것을 특징으로 하는 인터페이스 시스템.

청구항 2

제1항에 있어서, 상기 분석 정보는,

상기 헤더의 분석 여부를 의미하는 식별코드, 상기 패킷에서 상기 페이로드의 주소를 의미하는 페이로드 주소 정보, 상기 페이로드가 동종 페이로드에 해당하는가를 의미하는 페이로드 형태 정보를 포함하는 것을 특징으로 하는 인터페이스 시스템.

청구항 3

제2항에 있어서, 상기 분석 정보는,

상기 분석되는 패킷의 페이로드가 상기 동종 페이로드의 시작 부분인 경우, 상기 패킷의 종류를 의미하는 색인을 더 포함하는 것을 특징으로 하는 인터페이스 시스템.

청구항 4

제3항에 있어서, 상기 인터페이스부는,

상기 색인을 이용하여 동종 패킷인지 판단하는 것을 특징으로 하는 인터페이스 시스템.

청구항 5

제2항에 있어서, 상기 인터페이스부는,

상기 페이로드 주소 정보를 이용하여 상기 페이로드를 상기 제 2 처리기로 전송하는 것을 특징으로 하는 인터페이스 시스템.

청구항 6

제2항에 있어서, 상기 인터페이스부는,

상기 페이로드 형태 정보를 이용하여 상기 동종 페이로드의 시작, 중간 및 끝 부분 중 어느 부분인지 판단하는 것을 특징으로 하는 인터페이스 시스템.

청구항 7

제2항에 있어서, 상기 인터페이스부는,

상기 식별코드를 이용하여 상기 헤더가 분석되었는지 판단하는 것을 특징으로 하는 인터페이스 시스템.

청구항 8

제2항에 있어서, 상기 페이로드 주소 정보는,

상기 패킷의 길이가 고정인 경우 상기 페이로드의 시작 주소를 포함하고, 상기 패킷의 길이가 가변인 경우 상기 페이로드의 시작 주소 및 상기 패킷의 전체 길이 정보를 포함하는 것을 특징으로 하는 인터페이스 시스템.

청구항 9

제1항에 있어서, 상기 제 1 처리기는,

상기 분석되는 패킷의 페이로드가 동종 페이로드의 끝 부분에 해당할 때까지 상기 헤더의 분석을 계속하는 것을 특징으로 하는 인터페이스 시스템.

청구항 10

제1항에 있어서, 상기 제 1 처리기는,

상기 메모리에 저장되어 있는 패킷 중 상기 헤더 영역에 상기 분석 정보를 덮어쓰는 것을 특징으로 하는 인터페이스 시스템.

청구항 11

제10항에 있어서, 상기 분석 정보의 크기는,

상기 패킷의 최초 헤더 크기보다 작거나 같은 것을 특징으로 하는 인터페이스 시스템.

청구항 12

제10항에 있어서, 상기 제 1 처리기는,

상기 헤더의 영역 중 상기 분석 정보가 덮어 씌워진 영역을 제외한 영역은 사용하지 않는 영역으로 지정하는 것을 특징으로 하는 인터페이스 시스템.

청구항 13

제1항에 있어서, 상기 인터페이스부는,

상기 인터페이스 시스템이 복수의 제 2 처리기를 구비하는 경우, 상기 분석 정보를 이용하여 대응하는 제 2 처리기로 상기 페이로드를 전송하는 것을 특징으로 하는 인터페이스 시스템.

청구항 14

스트림 기반의 인터페이스 시스템에서 수신기와 처리기 사이의 제어 방법에 있어서,

패킷 단위의 데이터를 수신하여 저장하는 단계;

상기 패킷의 헤더를 분석하는 단계; 및

상기 패킷의 헤더를 분석한 분석 정보를 이용하여 상기 패킷 단위의 데이터 중 페이로드만을 상기 처리기로 전송하는 단계를 구비하는 것을 특징으로 하는 제어 방법.

청구항 15

제14항에 있어서, 상기 분석하는 단계는,

상기 분석되는 패킷의 페이로드가 동종 페이로드의 시작 부분인지 판단하는 단계;

상기 판단결과 시작부분이 아닌 경우, 상기 헤더의 분석 여부를 의미하는 식별코드, 상기 패킷에서 상기 페이로드의 주소를 의미하는 페이로드 주소 정보 및 상기 페이로드가 동종 페이로드에 해당하는가를 의미하는 페이로드 형태 정보를 생성하는 단계; 및

상기 판단결과 시작부분인 경우, 상기 식별코드, 상기 페이로드 주소 정보, 상기 페이로드 형태 정보 및 상기 패킷의 종류를 의미하는 색인을 생성하는 단계를 구비하는 것을 특징으로 하는 제어 방법.

청구항 16

제14항에 있어서, 상기 분석하는 단계는,

상기 분석하는 패킷의 페이로드가 동종 페이로드의 끝 부분에 해당하는 경우까지 상기 분석을 계속하는 것을 특징으로 하는 제어 방법.

청구항 17

제14항에 있어서, 상기 제어 방법은,

상기 분석 정보를 상기 헤더의 영역에 덮어쓰는 단계를 더 구비하는 것을 특징으로 하는 제어 방법.

청구항 18

제14항에 있어서, 상기 전송하는 단계는,

상기 인터페이스 시스템이 복수의 처리기를 구비하는 경우, 상기 분석 정보를 이용하여 대응하는 처리기로 상기 페이로드를 전송하는 단계를 구비하는 것을 특징으로 하는 제어 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 인터페이스 시스템에 관한 것으로, 특히 스트림(stream) 기반의 인터페이스 시스템 및 그 제어 방법에 관한 것이다.

배경기술

<2> 스트리밍(streaming)을 이용한 멀티미디어의 서비스는 인터넷을 통해 널리 사용되고 있으며 관련된 다양한 제품들도 사용되고 있다. 최근에는 개인의 정보화 기기가 단순한 정보 저장 수준에서 벗어나 멀티미디어 기기를 통합하는 형태(예를 들어, 개인용 휴대 동영상 재생기 또는 휴대용 디지털 방송 수신기 등)가 되고 있다. 따라서, 휴대용 멀티미디어 재생기들의 전원, 가격 및 용량 등의 최소화가 요구되고 있다.

<3> 도 1은 종래의 스트림(stream) 기반 인터페이스 시스템(100)의 블록도이다.

<4> 도 1을 참조하면, 종래의 스트림 기반 인터페이스 시스템(100)은 수신기(110), 제 1 메모리(120), 제 1 처리기(130), 제 2 메모리(140) 및 제 2 처리기(150)를 구비한다. 수신기(110)는 패킷(packet) 단위의 데이터(DATA)를 수신하고, 상기 수신된 패킷 단위의 데이터를 제 1 메모리(120)에 저장된다. 즉, 상기 스트리밍 서비스를 이용하는 경우, 데이터는 전송을 위하여 패킷 단위로 패킷화되어 전송되며 일반적으로 다양한 종류의 패킷으로 다중 패킷화된다. 제 1 처리기(130)는 상기 수신된 패킷 단위의 데이터를 분석하여 재생에 필요한 페이로드(payload)만을 제 2 메모리(140)로 전송한다. 즉, 제 2 메모리(140)에는 제 1 메모리(120)에 저장되어 있는 패킷들 중 상기 페이로드들만이 저장된다. 제 2 처리기(130)는 제 2 메모리(140)에 저장되어 있는 상기 페이로드들을 전송받아 처리한다. 즉, 종래에는 상기 수신되는 패킷 단위의 데이터 중 페이로드만을 제 2 메모리(140)에 복사하는 단계를 필요로 하였다.

발명의 내용

해결하고자 하는 과제

<5> 본 발명이 해결하고자 하는 과제는 페이로드(payload)만을 별도의 메모리에 복사함이 없이 직접 처리기로 전송함으로써 메모리 사용 효율과 성능을 향상시키고 전력 소모를 감소시킬 수 있는 인터페이스 시스템을 제공하는 데 있다.

<6> 본 발명이 해결하고자 하는 다른 과제는 상기 인터페이스 시스템의 제어 방법을 제공하는데 있다.

과제 해결수단

<7> 상기 과제를 달성하기 위한 본 발명의 실시예에 따른 인터페이스 시스템은 스트림 기반의 인터페이스 시스템에 있어서 메모리, 제 1 처리기, 제 2 처리기 및 인터페이스부를 구비할 수 있다. 상기 메모리는 수신되는 패킷 단위의 데이터를 저장하고, 상기 제 1 처리기는 상기 패킷의 헤더를 분석한다. 상기 제 2 처리기는 상기 헤더가 분석된 패킷 단위의 데이터 중 페이로드를 수신하여 처리하고, 상기 인터페이스부는 상기 패킷의 헤더를 분석한 분석 정보를 이용하여 상기 페이로드만을 상기 제 2 처리기로 전송한다.

<8> 상기 분석 정보는 상기 헤더의 분석 여부를 의미하는 식별코드, 상기 패킷에서 상기 페이로드의 주소를 의미하는 페이로드 주소 정보, 상기 페이로드가 동종 페이로드에 해당하는가를 의미하는 페이로드 형태 정보를 포함하

는 것이 바람직하다.

- <9> 상기 분석 정보는 상기 분석되는 패킷의 페이로드가 상기 동종 페이로드의 시작 부분인 경우, 상기 패킷의 종류를 의미하는 색인을 더 포함하는 것이 바람직하다.
- <10> 상기 페이로드 주소 정보는 상기 패킷의 길이가 고정인 경우 상기 페이로드의 시작 주소를 포함하고, 상기 패킷의 길이가 가변인 경우 상기 페이로드의 시작 주소 및 상기 패킷의 전체 길이 정보를 포함하는 것이 바람직하다.
- <11> 상기 제 1 처리기는 상기 메모리에 저장되어 있는 패킷 중 상기 헤더 영역에 상기 분석 정보를 덮어쓰는 것이 바람직하고, 상기 분석 정보의 크기는 상기 패킷의 최초 헤더 크기보다 작거나 같은 것이 바람직하다.
- <12> 상기 인터페이스부는 상기 인터페이스 시스템이 복수의 제 2 처리기를 구비하는 경우, 상기 분석 정보를 이용하여 대응하는 제 2 처리기로 상기 페이로드를 전송하는 것이 바람직하다.
- <13> 상기 다른 과제를 달성하기 위한 본 발명의 실시예에 따른 제어 방법은 스트림 기반의 인터페이스 시스템에서 수신기와 처리기 사이의 제어 방법에 있어서, 패킷 단위의 데이터를 수신하여 저장하는 단계, 상기 패킷의 헤더를 분석하는 단계 및 상기 패킷의 헤더를 분석한 분석 정보를 이용하여 상기 패킷 단위의 데이터 중 페이로드만을 상기 처리기로 전송하는 단계를 구비할 수 있다.
- <14> 상기 분석하는 단계는 상기 분석되는 패킷의 페이로드가 동종 페이로드의 시작 부분인지 판단하는 단계, 상기 판단결과 시작부분이 아닌 경우, 상기 헤더의 분석 여부를 의미하는 식별코드, 상기 패킷에서 상기 페이로드의 주소를 의미하는 페이로드 주소 정보 및 상기 페이로드가 동종 페이로드에 해당하는가를 의미하는 페이로드 형태 정보를 생성하는 단계 및 상기 판단결과 시작부분인 경우, 상기 식별코드, 상기 페이로드 주소 정보, 상기 페이로드 형태 정보 및 상기 패킷의 종류를 의미하는 색인을 생성하는 단계를 구비하는 것이 바람직하다.

효 과

- <15> 본 발명에 따른 스트림 기반의 인터페이스 시스템 및 그 제어 방법은 수신되는 패킷 중 페이로드(payload)만을 별도의 메모리에 복사하는 과정을 수행하지 않고 직접 처리기로 전송함으로써, 메모리 사용 효율 및 전체 시스템의 성능을 향상시킬 수 있고 전력 소모를 감소시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <16> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <17> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <18> 도 2는 본 발명의 실시예에 따른 인터페이스 시스템(200)의 블록도이다.
- <19> 도 2를 참조하면, 스트림(stream) 기반의 인터페이스 시스템(200)은 수신기(210), 메모리(220), 제 1 처리기(230), 인터페이스부(240) 및 제 2 처리기(250)를 구비할 수 있다. 수신기(210)는 패킷(packet) 단위의 데이터(DATA)를 수신하고, 상기 수신된 패킷 단위의 데이터(DATA)는 메모리(220)에 저장된다. 제 1 처리기(230)는 상기 패킷의 헤더를 분석한다. 이 경우, 제 1 처리기(230)는 상기 패킷의 헤더를 분석한 분석 정보를 메모리(220)에 저장되어 있는 패킷 중 헤더 영역에 덮어쓸 수 있다. 또한, 제 1 처리기(230)는 상기 헤더 영역 중 상기 분석 정보가 덮어 씌어진 영역을 제외한 영역을 사용하지 않는 영역으로 지정할 수 있다. 그러므로, 상기 분석 정보의 크기는 상기 패킷의 최초 헤더 크기보다 작거나 같은 것이 바람직하다. 제 2 처리기(250)는 상기 헤더가 분석된 패킷 단위의 데이터 중 페이로드만을 수신하여 처리한다. 인터페이스부(240)는 상기 분석 정보를 이용하여 상기 페이로드만을 제 2 처리기(250)로 전송한다. 즉, 제 2 처리기(250)에서 상기 페이로드를 수신하기 위한 명령을 전송하면, 인터페이스부(240)는 메모리(220)에 저장되어 있는 패킷 단위의 데이터 중 페이로드만을 제 2 처리기(250)로 전송한다. 따라서, 본 발명에서는 페이로드만을 별도의 메모리에 복사한 후 제 2 처리기(250)로 전송하지 않고, 인터페이스부(240)를 이용하여 메모리(220)에 저장되어 있는 데이터 중 페이로드만을 직접 제 2 처리기(250)로 전송할 수 있다.
- <20> 도 3(a)는 본 발명의 다른 실시예에 따라 복수의 처리기를 구비하는 인터페이스 시스템(300)의 블록도이다.

- <21> 도 3(b)는 본 발명의 또 다른 실시예에 따라 복수의 처리기를 구비하는 인터페이스 시스템(355)의 블록도이다.
- <22> 도 2에서는 인터페이스 시스템(200)이 하나의 제 2 처리기(250)를 구비하는 경우에 대하여 설명하였으나, 도 3(a) 및 도 3(b)는 도 2의 제 2 처리기(250)와 동일한 기능을 수행하는 처리기를 복수개 구비하는 경우의 인터페이스 시스템(300, 355)을 도시하고 있다.
- <23> 도 2 및 도 3(a)를 참조하면, 도 3(a)의 경우 수신기(310), 메모리(320) 및 제 1 처리기(330)는 도 2의 수신기(210), 메모리(220) 및 제 1 처리기(230)와 동일하게 동작하므로 이하에서 상세한 설명을 생략한다. 제 2 처리기(345) 및 제 3 처리기(350) 각각은 도 2의 제 2 처리기(250)와 동일한 동작을 수행한다. 즉, 전혀 다른 프로토콜에 따라 데이터를 전송하는 경우, 각각의 프로토콜에 대응하여 제 2 처리기(345) 또는 제 3 처리기(350)가 동작한다. 예를 들어, 제 1 프로토콜 및 제 2 프로토콜에 따라 데이터를 전송하는 경우, 상기 제 1 프로토콜에 따라 데이터를 전송하는 경우에는 제 2 처리기(345)가 동작하고, 상기 제 2 프로토콜에 따라 데이터를 전송하는 경우에는 제 3 처리기(350)가 동작할 수 있다. 따라서, 인터페이스부(340)는 상기 분석 정보를 이용하여 대응하는 페이로드를 제 2 처리기(345) 및 제 3 처리기(350) 중 하나의 처리기로 전송한다.
- <24> 도 2 내지 도 3(b)를 참조하면, 도 3(b)의 경우에도 수신기(360), 제 1 메모리(365) 및 제 1 처리기(370)는 도 2의 수신기(210), 메모리(220) 및 제 1 처리기(230)와 동일하게 동작하므로 이하에서 상세한 설명을 생략한다. 또한, 도 3(b)의 경우에도 제 2 처리기(380) 및 제 3 처리기(395) 각각은 도 2의 제 2 처리기(250)와 동일한 동작을 수행한다. 예를 들어, 상기 제 1 프로토콜에 따라 데이터를 전송하는 경우에는 제 2 처리기(380)가 동작하고, 상기 제 2 프로토콜에 따라 데이터를 전송하는 경우에는 제 3 처리기(395)가 동작한다고 가정하자. 제 1 인터페이스부(375)는 상기 분석 정보를 이용하여 상기 제 1 프로토콜에 대응하는 페이로드를 제 2 처리기(380)로 전송하고, 제 2 인터페이스부(390)는 상기 분석 정보를 이용하여 상기 제 2 프로토콜에 대응하는 페이로드를 제 3 처리기(395)로 전송한다. 즉, 도 3(b)는 도 3(a)와 달리 각각의 프로토콜에 대응하여 별도의 인터페이스부(375, 390)를 구비하고 있다.
- <25> 도 3(a) 및 도 3(b)에서는 도 2의 제 2 처리기(250)와 동일한 기능을 하는 두 개의 처리기(제 2 처리기 및 제 3 처리기)에 대하여 도시하였으나, 이는 일 실시예에 불과할 뿐 다른 개수의 처리기를 이용하는 경우에도 도 3(a) 또는 도 3(b)와 동일한 방법으로 구현함으로써 본 발명과 동일한 효과를 얻을 수 있음은 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다.
- <26> 이하에서는 헤더를 분석하여 상기 분석 정보를 생성하는 과정 및 상기 분석 정보를 이용하여 페이로드만 전송하는 과정에 대하여는 상세하게 설명한다.
- <27> 도 4(a)는 수신되는 하나의 패킷(400)의 블록도이고, 도 4(b)는 본 발명의 일 실시예에 따라 도 4(a)의 패킷(400)의 헤더를 분석한 패킷(430)의 블록도이며, 도 4(c)는 본 발명의 다른 일 실시예에 따라 도 4(a)의 패킷(400)의 헤더를 분석한 패킷(450)의 블록도이다.
- <28> 도 2 및 도 4(a)를 참조하면, 수신기(210)로 수신되는 패킷(400)은 크게 헤더(HEADER)(410) 및 페이로드(PAYLOAD)(420)를 포함할 수 있다. 헤더(410)는 수신되는 데이터에 따라 복수의 서브 헤더를 포함할 수 있다. 다만, 본 발명에서는 복수의 서브 헤더를 포함하는 경우에도 동일하게 상기 서브 헤더들을 분석하여 분석 정보를 생성하므로 이하에서 복수의 서브 헤더를 가지는 경우에 대하여 상세한 설명은 생략한다. 다만, 복수의 서브 헤더를 가지는 경우에도 본 발명과 동일한 방법에 의하여 상기 서브 헤더들을 분석함으로써 본 발명과 동일한 효과를 얻을 수 있음은 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다.
- <29> 도 2 내지 도 4(b)를 참조하면, 도 4(b)는 페이로드(420)가 동종 페이로드의 시작 부분인 경우, 헤더(410)를 분석한 분석 정보(CODE, ADDR, TYPE, IND)를 헤더(410) 영역에 덮어 쓴 경우이다. 도 4(a)의 패킷(400)의 헤더(410)를 분석하면 도 4(b)와 같은 분석 정보(CODE, ADDR, TYPE, IND)를 생성할 수 있다. 즉, 상기 분석 정보는 식별코드(CODE), 페이로드 주소 정보(ADDR), 페이로드 형태 정보(TYPE) 및 색인(IND)을 포함할 수 있다. 식별코드(CODE)는 헤더(410)의 분석 여부를 의미한다. 즉, 식별코드(CODE)를 이용하여 헤더(410)가 분석되었는지 분석되지 않았는지 판단할 수 있다.
- <30> 페이로드 주소 정보(ADDR)는 패킷(430)에서 페이로드(420)의 주소를 의미한다. 일반적으로 상기 패킷에서 페이로드(420)가 어디부터 시작하는지 알 수 없다. 따라서, 헤더(410)를 분석하여 페이로드(420)가 시작하는 주소를 알 수 있는데, 페이로드 주소 정보(ADDR)는 상기 페이로드(420)의 주소와 관련된 정보이다. 패킷(430)의 길이가 고정인 경우는 페이로드(420)의 시작 주소만 알면 전체 페이로드를 알 수 있기 때문에, 페이로드 주소 정보(ADDR)는 페이로드(420)의 시작 주소를 포함할 수 있다. 그러나, 패킷(430)의 길이가 가변인 경우는 페이로드

(420)의 시작 주소를 알더라도 전체 페이로드를 알 수 없기 때문에, 페이로드 주소 정보(ADDR)는 페이로드(420)의 시작 주소 및 패킷(430)의 전체 길이를 포함하거나 또는 페이로드(420)의 시작 주소 및 페이로드(420)가 끝나는 위치의 주소를 포함한다.

- <31> 페이로드 형태 정보(TYPE)는 페이로드(420)가 동종 페이로드에 해당하는가를 의한다. 일반적으로 데이터의 전송 시에서 복수의 패킷을 이용하여 패킷화하므로, 동종의 페이로드가 분할되어 패킷화된 복수의 패킷들이 전송된다. 따라서, 상기 페이로드가 상기 동종 페이로드인지 이종의 페이로드인지 판단하여야 하므로, 페이로드 형태 정보(TYPE)가 상기 역할을 담당한다. 페이로드 형태 정보(TYPE)는 상기 동종 페이로드의 시작, 중간 및 끝 부분 중 어느 부분에 해당하는지에 대한 정보를 포함하고 있다.
- <32> 색인(IND)은 패킷(430)의 종류를 의미한다. 예를 들어, 색인(IND)을 이용하여 패킷(430)이 비디오 데이터인지 오디오 데이터인지 등을 판단할 수 있다. 색인(IND)은 상기 동종 페이로드에 있어서 시작 부분의 페이로드를 패킷화할 때만 상기 헤더 정보에 포함된다. 따라서, 색인(IND)은 페이로드(420)가 동종 페이로드의 시작 부분인 경우 상기 분석 정보에 포함된다.
- <33> 앞서 설명한 바와 같이, 제 1 처리기(230)는 상기 패킷의 헤더를 분석한 분석 정보(CODE, ADDR, TYPE, IND)를 최초 수신한 패킷(400)의 헤더 영역(410)에 덮어 쓸 수 있다. 이 경우, 분석 정보(CODE, ADDR, TYPE, IND)의 전체 크기는 헤더 영역(410)의 크기보다 작거나 같은 것이 바람직하다. 만약, 분석 정보(CODE, ADDR, TYPE, IND)의 크기가 헤더 영역(410)의 크기보다 작은 경우, 남은 영역은 불필요한 영역(GAR)으로 지정하여 사용하지 않는다.
- <34> 도 2 내지 도 4(c)를 참조하면, 도 4(c)는 페이로드(420)가 동종 페이로드의 시작 부분이 아닌 경우, 헤더(410)를 분석한 분석 정보(CODE, ADDR, TYPE)를 헤더(410) 영역에 덮어 쓴 경우이다. 도 4(a)의 패킷(400)의 헤더(410)를 분석하면 도 4(c)와 같은 분석 정보(CODE, ADDR, TYPE)를 생성할 수 있다. 즉, 상기 분석 정보는 식별 코드(CODE), 페이로드 주소 정보(ADDR) 및 페이로드 형태 정보(TYPE)를 포함할 수 있다. 도 4(c)의 경우 도 4(b)와 달리 상기 분석 정보에서 색인(IND)이 빠진 것은, 앞서 설명한 바와 같이 색인(IND)은 페이로드(420)가 동종 페이로드의 시작 부분인 경우 상기 분석 정보에 포함되기 때문이다. 도 4(c)의 식별코드(CODE), 페이로드 주소 정보(ADDR) 및 페이로드 형태 정보(TYPE)는 도 4(b)의 식별코드(CODE), 페이로드 주소 정보(ADDR) 및 페이로드 형태 정보(TYPE)와 동일하므로 상세한 설명은 생략한다.
- <35> 도 4(a) 내지 도 4(c)의 패킷(400, 430, 450)에 포함되는 페이로드(420)는 모두 동일하다. 즉, 헤더(410)의 분석에 의한 상기 분석 정보는 헤더(410) 영역에 덮어 쓰여 지고, 페이로드(420)는 최초 수신된 것과 동일한 상태를 유지한다.
- <36> 도 5는 도 2의 메모리(220)에 저장되는 패킷 단위의 데이터(DATA)를 도시한 도면이다.
- <37> 도 6은 도 2의 제 1 처리기(230)가 도 5의 각각의 패킷의 헤더를 분석한 분석 정보를 상기 각각의 헤더 영역에 덮어쓴 상태를 도시한 도면이다.
- <38> 도 7(a) 및 도 7(b)는 도 6의 데이터 중 제 2 처리기(250)로 전송된 페이로드의 상태를 도시한 도면이다.
- <39> 도 8은 도 2의 인터페이스 시스템(200)에서 수신기(210)와 제 2 처리기(250) 사이를 제어하는 방법의 흐름도이다.
- <40> 도 3(a), 도 4 내지 도 8을 참조하면, 수신기(310)는 패킷 단위의 데이터(DATA)를 수신하여 메모리(320)에 저장한다(S710 단계). 이하에서는 도 3(a)의 실시예에 대하여 설명하지만, 도 2의 실시예 또는 도 3(b)의 실시예에 의하더라도 동일한 방법을 이용함으로써 본 발명과 동일한 효과를 얻을 수 있음은 자명한 사항이다. 예를 들어, 수신기(310)에 도 4와 같은 데이터(DATA)가 수신되었고, 수신되는 순서대로 아래에서부터 저장되었다고 가정하자. 즉, 가장 아래의 패킷(H₁₁, P₁₁)이 가장 먼저 수신되어 메모리(320)에 저장된 데이터이다. 이하에서, 빗금친 패킷들(H₂₁, P₂₁, H₂₂, P₂₂, H₂₃, P₂₃, H₂₄, P₂₄)은 비디오 데이터를 분할하여 패킷화한 패킷들이고, 빗금이 없는 패킷들(H₁₁, P₁₁, H₁₂, P₁₂, H₁₃, P₁₃, H₁₄, P₁₄, H₁₅, P₁₅)은 오디오 데이터를 분할하여 패킷화한 패킷들이라고 가정한다. 다만, 본 발명은 이에 한정되는 것이 아님은 당해 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이다. 상기 각각의 패킷은 대응하는 헤더(H₁₁, H₁₂, H₂₁, H₁₃, H₁₄, H₂₂, H₂₃, H₁₅, H₂₄, H₁₆) 및 대응하는 페이로드(P₁₁, P₁₂, P₂₁, P₁₃, P₁₄, P₂₂, P₂₃, P₁₅, P₂₄, P₁₆)를 포함한다. 또한, 제 2 처리기(345)가 상기 오디오 데이터를 처리하고, 제 3 처리기(350)가 상기 비디오 데이터를 처리한다고 가정한다.

- <41> 제 1 처리기(330)는 상기 각각의 패킷의 헤더를 분석한다(S720 단계). 이 경우, 제 1 처리기(330)는 상기 분석되는 패킷의 페이로드가 상기 동종 페이로드의 시작 부분인지 판단한다(S730 단계). 상기 판단 결과, 상기 분석되는 패킷의 페이로드가 상기 동종 페이로드의 시작 부분인 경우, 식별코드(CODE), 페이로드 주소 정보(ADDR), 페이로드 형태 정보(TYPE) 및 색인(IND)을 포함하는 분석 정보를 생성한다(S740 단계, S750 단계). 만약, 상기 판단 결과, 상기 분석되는 패킷의 페이로드가 상기 동종 페이로드의 시작 부분이 아닌 경우, 색인(IND)을 제외하고 식별코드(CODE), 페이로드 주소 정보(ADDR) 및 페이로드 형태 정보(TYPE)를 포함하는 분석 정보를 생성한다(S750 단계).
- <42> 도 5의 데이터에서 상기 각각의 패킷의 헤더를 분석하여 상기 각각의 헤더 영역에 덮어쓴 상태가 도 6이다. 즉, 제 1 처리기(330)는 헤더(H_11)를 분석하여 헤더(H_11) 영역에 상기 분석 정보(H'_11)를 덮어 쓰고 남은 영역은 불필요한 영역(GAR)으로 처리한다. 또한, 제 1 처리기(330)는 헤더(H_12)를 분석하여 헤더(H_12) 영역에 상기 분석 정보(H'_12)를 덮어 쓰고 남은 영역은 불필요한 영역(GAR)으로 처리한다. 동일한 방법으로 제 1 처리기(330)는 상기 각각의 패킷에 대하여 헤더를 분석하여 분석 정보(H'_21, H'_13, H'_14, H'_22, H'_23, H'_15, H'_24, H'_16)를 덮어쓴다. 이하에서 페이로드(P_11) 및 페이로드(P_16)는 각각 상기 오디오 데이터의 페이로드 중 시작 부분 및 끝 부분에 대응하고, 페이로드(P_21) 및 페이로드(P_24)는 각각 상기 비디오 데이터의 페이로드 중 시작 부분 및 끝 부분에 대응한다고 가정한다. 그러므로, 상기 분석된 상태의 각각의 패킷 중 페이로드(P_11)를 포함하는 패킷 및 페이로드(P_21)를 포함하는 패킷은 도 4(c)와 동일한 형태를 가지고, 나머지 패킷들은 도 4(b)와 동일한 형태를 가진다.
- <43> 제 1 처리기(330)는 상기 분석을 동종 페이로드의 끝 부분에 해당하는 경우까지 계속할 수 있다. 그러나, 필요에 따라 동종 페이로드의 전체가 아닌 일 부분을 제 2 처리기(345) 또는 제 3 처리기(350)로 전송하고자 하는 경우에는, 상기 분석이 끝난 일 부분의 페이로드를 제 2 처리기(345) 또는 제 3 처리기(350)로 전송할 수도 있다.
- <44> 인터페이스부(340)는 상기 분석 정보를 이용하여 페이로드만을 제 2 처리기(345) 또는 제 3 처리기(350)로 전송한다(S760 단계). 인터페이스부(340)는 식별코드(CODE)를 이용하여 해당하는 헤더가 분석된 것인지 판단하고, 색인(IND)을 이용하여 동종 패킷인지 판단하며 페이로드 형태 정보(TYPE)를 이용하여 상기 동종 페이로드의 시작, 중간 및 끝 부분 중 어느 부분에 해당하는지 판단한다. 또한, 인터페이스부(340)는 페이로드 주소 정보(ADDR)를 이용하여 대응하는 페이로드의 위치를 판단한다.
- <45> 먼저, 상기 오디오 데이터와 관련된 페이로드들을 제 2 처리기(345)로 전송하는 경우에 대하여 도 7(a)를 참조하여 설명한다. 인터페이스부(340)는 식별코드(CODE), 색인(IND), 페이로드 형태 정보(TYPE) 및 페이로드 주소 정보(ADDR)를 이용하여 상기 동종 페이로드의 시작 부분에 해당하는 페이로드(P_11)를 가장 먼저 제 2 처리기(345)로 전송한다. 이후, 인터페이스부(340)는 상기 분석 정보를 이용하여 상기 동종 페이로드의 중간 부분에 해당하는 페이로드들(P_12, P_13, P_14, P_15)을 순차적으로 제 2 처리기(345)로 전송한다. 마지막으로 인터페이스부(340)는 상기 분석 정보를 이용하여 상기 동종 페이로드의 끝 부분에 해당하는 페이로드(P_16)를 제 2 처리기(345)로 전송한다.
- <46> 다음으로, 상기 비디오 데이터와 관련된 페이로드들을 제 3 처리기(350)로 전송하는 경우에 대하여 도 7(b)를 참조하여 설명한다. 인터페이스부(340)는 식별코드(CODE), 색인(IND), 페이로드 형태 정보(TYPE) 및 페이로드 주소 정보(ADDR)를 이용하여 상기 동종 페이로드의 시작 부분에 해당하는 페이로드(P_21)를 가장 먼저 제 3 처리기(350)로 전송한다. 이후, 인터페이스부(340)는 상기 분석 정보를 이용하여 상기 동종 페이로드의 중간 부분에 해당하는 페이로드들(P_22, P_23)을 순차적으로 제 3 처리기(350)로 전송한다. 마지막으로 인터페이스부(340)는 상기 분석 정보를 이용하여 상기 동종 페이로드의 끝 부분에 해당하는 페이로드(P_24)를 제 3 처리기(350)로 전송한다.
- <47> 상기와 같은 제 2 처리기(345) 및 제 3 처리기(350)로의 페이로드의 전송은 동시에 또는 순차적으로 수행할 수 있다. 또한, 예를 들어, 복수의 비디오 데이터 및 복수의 오디오 데이터 각각에 대하여 상기와 같은 방법을 이용하여 각각의 비디오 데이터 또는 각각의 오디오 데이터에 대응하는 처리기로 상기 페이로드들을 전송함으로써, PiP(Picture in Picture), PoP(Picture on Picture) 등과 같은 다중 화면 처리도 가능하다.
- <48> 이상에서는 동종의 페이로드를 포함하는 패킷 전체에 대한 분석을 종료한 후 제 2 처리기(345) 또는 제 3 처리기(350)로 전송하는 경우를 설명하였으나, 앞서 언급한 바와 같이 필요에 따라 일정량의 페이로드를 포함하는 패킷에 대한 분석을 종료한 후 분석된 패킷의 페이로드들만을 먼저 제 2 처리기(345) 또는 제 3 처리기(340)로

전송할 수도 있다.

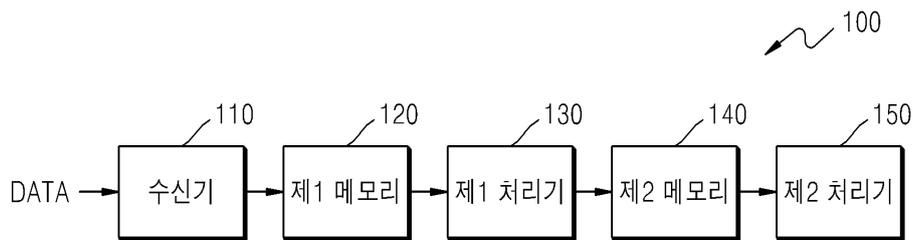
<49> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

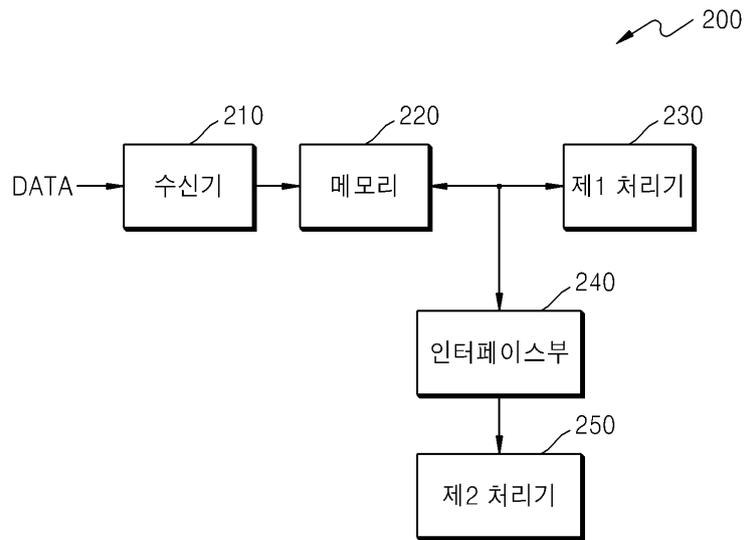
- <50> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <51> 도 1은 종래의 스트림(stream) 기반 인터페이스 시스템의 블록도이다.
- <52> 도 2는 본 발명의 실시예에 따른 인터페이스 시스템의 블록도이다.
- <53> 도 3(a)는 본 발명의 다른 실시예에 따라 복수의 처리기를 구비하는 인터페이스 시스템의 블록도이다.
- <54> 도 3(b)는 본 발명의 또 다른 실시예에 따라 복수의 처리기를 구비하는 인터페이스 시스템(355)의 블록도이다.
- <55> 도 4(a)는 수신되는 하나의 패킷의 블록도이고, 도 4(b)는 본 발명의 일 실시예에 따라 도 4(a)의 패킷의 헤더를 분석한 패킷의 블록도이며, 도 4(c)는 본 발명의 다른 일 실시예에 따라 도 4(a)의 패킷의 헤더를 분석한 패킷의 블록도이다.
- <56> 도 5는 도 2의 메모리에 저장되는 패킷 단위의 데이터를 도시한 도면이다.
- <57> 도 6은 도 2의 제 1 처리기가 도 5의 각각의 패킷의 헤더를 분석한 분석 정보를 상기 각각의 헤더 영역에 덮어 쓴 상태를 도시한 도면이다.
- <58> 도 7(a) 및 도 7(b)는 도 6의 데이터 중 제 2 처리기로 전송된 페이로드의 상태를 도시한 도면이다.
- <59> 도 8은 도 2의 인터페이스 시스템에서 수신기와 제 2 처리기 사이를 제어하는 방법의 흐름도이다.

도면

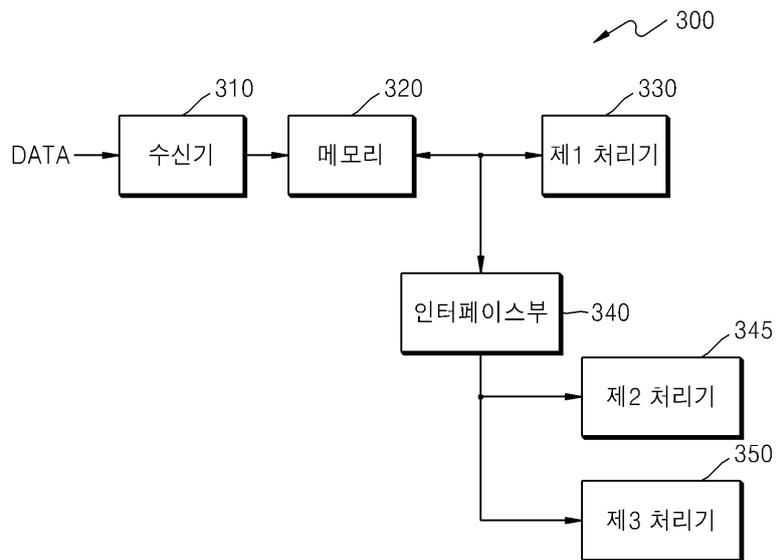
도면1



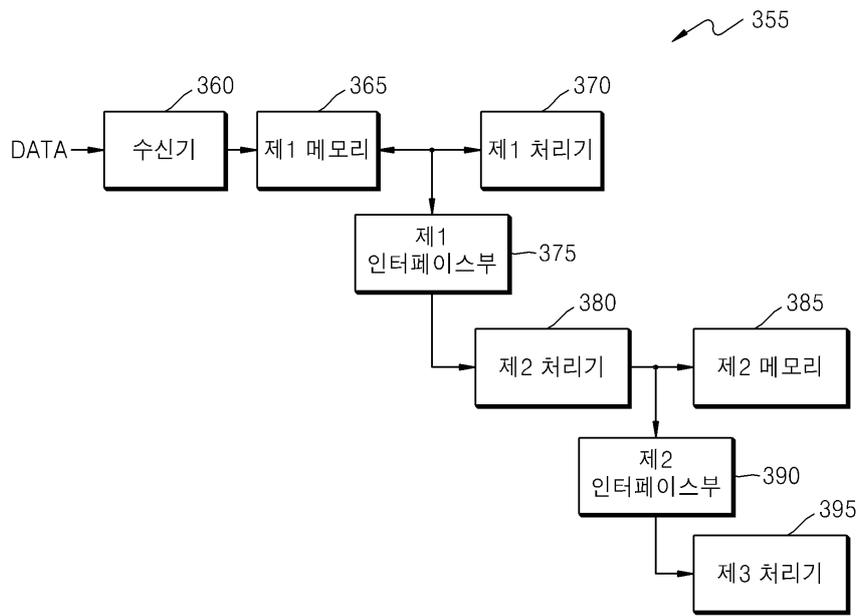
도면2



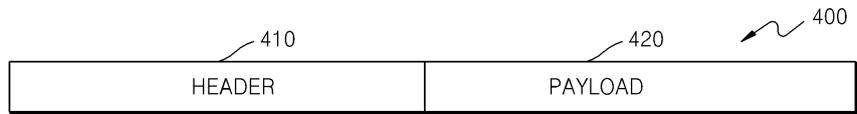
도면3a



도면3b



도면4a



도면4b



도면4c



도면5

H_16	P_16	
H_24		P_24
H_15		P_15
H_23	P_23	
H_22		P_22
H_14	P_14	
H_13	P_13	
H_21		P_21
H_12	P_12	
H_11		P_11

도면6

H'_16	GAR	P_16
H'_24		P_24
H'_15		P_15
H'_23	P_23	
H'_22		P_22
H'_14	P_14	
H'_13	P_13	
H'_21		P_21
H'_12	P_12	
H'_11	GAR	P_11

도면7a

P_11		P_12	
P_12	P_13		P_14
H_14			P_15
H_15		P_16	

도면7b

P_21		P_22	
P_22	P_23		
P_23	P_24		

도면8

