

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-71290

(P2009-71290A)

(43) 公開日 平成21年4月2日(2009.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 A	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 Z	
	HO 1 L 29/78 6 1 8 E	

審査請求 未請求 請求項の数 10 O L (全 49 頁)

(21) 出願番号	特願2008-204651 (P2008-204651)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成20年8月7日(2008.8.7)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2007-213057 (P2007-213057)	(72) 発明者	手塚 祐朗 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成19年8月17日(2007.8.17)	(72) 発明者	鳥海 聡志 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	古野 誠 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

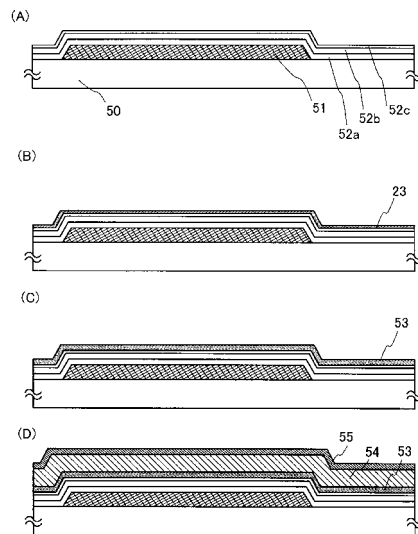
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 良好な品質を有する微結晶半導体膜の作製方法を提供することを課題とする。

【解決手段】 ゲート電極上にゲート絶縁膜を形成した後、成膜初期に形成される微結晶半導体膜の品質を向上するため、成膜速度は低いが品質のよい第1の成膜条件でゲート絶縁膜界面付近の膜を形成し、その後、高い成膜速度の第2の成膜条件に変えて膜を堆積する。さらに微結晶半導体膜上に接してバッファ層を積層する。また、第1の成膜条件の前に、基板上的吸着水を除去するため、アルゴンプラズマ処理などの希ガスプラズマ処理及び水素プラズマ処理を行う。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上に絶縁膜を成膜し、
前記絶縁膜上に微結晶半導体膜を成膜し、
前記微結晶半導体膜上にバッファ層を成膜し、
前記微結晶半導体膜の成膜は、前記バッファ層との界面付近の第 1 領域を前記絶縁膜との界面付近の第 2 領域よりも成膜速度が速くなるように成膜条件を段階的または連続的に変化させる半導体装置の作製方法。

【請求項 2】

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上に絶縁膜を成膜し、
前記基板を真空チャンバー内に導入し、
真空チャンバー内に材料ガスを導入して基板温度が 100 以上 300 未満の第 1 の成膜条件により微結晶半導体膜を成膜し、
前記第 1 の成膜条件での成膜直後に、前記第 1 の成膜条件とは基板温度、電力、材料ガス流量、または真空度の少なくとも 1 つの条件が異なる第 2 の成膜条件で前記真空チャンバーと同一チャンバー内で微結晶半導体膜を堆積し、
前記微結晶半導体膜上にバッファ層を成膜する半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、前記バッファ層は非晶質半導体膜であり、前記真空チャンバーと異なる真空チャンバーで成膜を行い、基板温度が 300 以上 400 未満の成膜条件により成膜する半導体装置の作製方法。

【請求項 4】

請求項 2 または請求項 3 において、前記基板を真空チャンバー内に導入する前に、真空チャンバー内の雰囲気中を 1×10^{-8} Pa を超え 1×10^{-5} Pa 以下の真空度に真空排気した後、材料ガスを導入して真空チャンバー内壁に成膜を行う半導体装置の作製方法。

【請求項 5】

請求項 2 または請求項 3 において、前記基板を真空チャンバー内に導入する前に、真空チャンバー内の雰囲気中を 1×10^{-8} Pa を超え 1×10^{-5} Pa 以下の真空度に真空排気した後、水素ガスまたは希ガスを導入してプラズマを発生させる半導体装置の作製方法。

【請求項 6】

請求項 2 または請求項 3 において、前記基板を真空チャンバー内に導入した後、水素ガスまたは希ガスを導入してプラズマを発生させる半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、さらに、前記バッファ層上に n 型不純物元素を含む半導体膜を成膜し、
前記 n 型不純物元素を含む半導体膜上にソース電極またはドレイン電極を形成し、
前記 n 型不純物元素を含む半導体膜をエッチングして、ソース領域及びドレイン領域を形成し、
前記ソース領域及び前記ドレイン領域と重なる領域を残存させて前記バッファ層の一部をエッチングして除去する半導体装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記第 2 の成膜条件は、基板 1 枚当たりの成膜期間内に高周波電力をオフ状態として放電を停止する期間を複数有する半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、前記微結晶半導体膜を成膜する材料ガスは、シランガス、水素ガス、及びトリメチルボロンガスを含む半導体装置の作製方法。

10

20

30

40

50

【請求項 10】

請求項 1 乃至 9 のいずれか一において、前記微結晶半導体膜を成膜する真空チャンバーの内壁を基板温度よりも高い温度に加熱し、微結晶半導体膜を成膜する半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。

20

【0005】

非晶質半導体膜を用いた薄膜トランジスタは、水素化アモルファスシリコン膜などの非晶質半導体膜を用いるため、プロセス温度に制限があり、水素が膜中から脱離する400以上の加熱や、膜中の水素により表面荒れが生じる強度のレーザ照射などは行わない。水素化アモルファスシリコン膜は、水素を未結合手に結合させ、結果的に未結合手を消失させて膜の電気的特性を向上させた非晶質シリコン膜である。

【0006】

また、ポリシリコン膜などの多結晶半導体膜の形成方法としては、表面荒れが生じないように予め、アモルファスシリコン膜中の水素濃度を低減させる脱水素化処理を行った後、パルス発振のエキシマレーザビームを光学系により線状に加工して、脱水素化させたアモルファスシリコン膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

30

【0007】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が2桁以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

40

【0008】

本出願人は、チャンネル形成領域が結晶構造と非結晶構造の混合からなる半導体であるFET(Field effect transistor)を特許文献1で開示している。

【0009】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献2及び3）。

【0010】

また、従来の薄膜トランジスタの作製方法として、ゲート絶縁膜上にアモルファスシリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、アモルファスシリコン膜をマイクロクリスタルシリコン膜に改質する技術（非特許文

50

献 1) が知られている。この方法によれば、アモルファスシリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。すなわち、金属膜からの伝導加熱によってのみアモルファスシリコン膜が加熱され、マイクロクリスタルシリコン膜を形成する方法である。

【特許文献 1】米国特許第 5 5 9 1 9 8 7

【特許文献 2】特開平 4 - 2 4 2 7 2 4 号公報

【特許文献 3】特開 2 0 0 5 - 4 9 8 3 2 号公報

【非特許文献 1】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p. 1370 - 1373

10

【発明の開示】

【発明が解決しようとする課題】

【0011】

アモルファスシリコンにレーザ光を照射して微結晶半導体膜を形成する方法の他に、微結晶半導体膜をプラズマ CVD 法により成膜する方法がある。この方法は、シランガスを水素希釈することにより微結晶シリコン膜の成膜をすることができる。しかし、水素希釈する、即ち水素ガス流量の増大により成膜速度が低下してしまう。

【0012】

成膜速度が遅いと、成膜時間が長くなるため、成膜時に膜中に含まれる不純物が多くなる恐れがあり、その不純物が TFT の電気特性を低下させてしまう。

20

【0013】

ゲート電極上にゲート絶縁膜を介して半導体層を有する逆スタガ型の TFT 構造において、成膜初期に形成される半導体領域がチャネル形成領域となる。従って、成膜初期に形成される半導体領域の品質が良好であればあるほど、高い電界効果移動度などの優れた電気特性を有する TFT が得られる。

【0014】

また、成膜速度を上げるために、膜中の水素濃度が低減された微結晶半導体膜を形成しようとする、チャネル形成領域となる領域がほとんどアモルファス領域となる恐れがある。

30

【0015】

また、微結晶シリコン膜を用いる逆スタガ型の TFT は、アモルファスシリコン膜を用いる TFT より電界効果移動度を高くすることができるが、オフ電流も高くなる傾向がある。

【0016】

本発明は、良好な品質を有する微結晶半導体膜の作製方法を提供する。また、所望の膜厚を得るために成膜に要する時間を短縮する微結晶半導体膜の作製方法を提供する。さらにアモルファスシリコン膜を用いる TFT より電界効果移動度を高め、且つ、オフ電流値を下げる半導体装置の作製方法を提供する。また、アモルファスシリコン膜を用いる TFT よりも信頼性の高い半導体装置の作製方法を提供する。

40

【課題を解決するための手段】

【0017】

成膜初期に形成される半導体領域の品質を向上するため、ゲート電極上にゲート絶縁膜を形成した後、成膜速度は低い品質のよい第 1 の成膜条件でゲート絶縁膜界面付近の膜を形成し、その後、高い成膜速度の第 2 の成膜条件に変えて膜を堆積する。

【0018】

本明細書で開示する発明の構成は、絶縁表面を有する基板上にゲート電極を形成し、該ゲート電極上に絶縁膜を成膜し、該絶縁膜上に微結晶半導体膜を成膜し、該微結晶半導体膜上に接してバッファ層を成膜し、微結晶半導体膜の成膜は、バッファ層との界面付近の第 1 領域を絶縁膜との界面付近の第 2 領域よりも成膜速度が速くなるように成膜条件を段階

50

的または連続的に変化させる半導体装置の作製方法である。成膜条件を連続的に変化させるとは、単位時間あたりのレベル変化を連続的に生じさせることであり、例えば、チャンパー内に導入する材料ガス（シランガス等）の平均流量を時間経過に伴って増加させ、ガス流量と時間との関係をグラフ（縦軸をガス流量、横軸を時間とするグラフ）で示した時に右上がりの直線または右上がりの曲線を描くことを指している。或いはチャンパー内に導入するシランガスなどの流量を一定または増加させ、その他のガス（水素、希ガスなど）の平均流量を時間経過に伴って減少させて、その他のガス流量と時間との関係をグラフで示した時に右下がりの直線または右下がりの曲線を描くことを指している。また、成膜条件を段階的に変化させるとは、不連続に異なるレベル変化を生じさせることであり、チャンパー内へのガスの導入と停止とを繰り返し、時間の間隔を空けて導入するガスの流量を増加、或いは減少させることを指している。段階的に変化させることと、連続的に変化させることは、両方ともに、少なくとも大気に触れることなく成膜条件を変えて1枚の基板に成膜を行うことを指している。

10

【0019】

成膜速度は低い品質のよい第1の成膜条件としては、予め成膜前に真空チャンパー（反応容器）内の酸素や H_2O などのガスの残留を極力低減するため、到達最低圧力を $\sim 1 \times 10^{-10} \sim 1 \times 10^{-7}$ Torr（約 1×10^{-8} Paを超え 1×10^{-5} Pa以下）の超高真空（UHV）領域に下げ、高い純度の材料ガスを流し、成膜時の基板温度を100以上300未満の範囲とする。

20

【0020】

また、本明細書で開示する他の発明の構成は、絶縁表面を有する基板上にゲート電極を形成し、該ゲート電極上に絶縁膜を成膜し、基板を真空チャンパー内に導入し、真空チャンパー内に材料ガスを導入して基板温度が100以上300未満の第1の成膜条件により第1の微結晶半導体膜を成膜し、第1の成膜条件と、基板温度、電力、電力印加のタイミング、材料ガス流量、または真空度の少なくとも1つの条件が異なる第2の成膜条件で真空チャンパーと同一チャンパー内で第2の微結晶半導体膜を堆積し、該第2の微結晶半導体膜上にバッファ層を成膜する半導体装置の作製方法である。

【0021】

上記第1の成膜条件で得られる第1の微結晶半導体膜は、膜中の酸素濃度が 1×10^{-17} / cm以下である。微結晶半導体膜の成膜の際、酸素は結晶化を阻害し、シリコン膜中に取り込まれた場合にはドナーとして作用する恐れがあるため、特に低減すべき不純物である。この第1の成膜条件で得られる微結晶半導体膜の品質が、後に形成されるTFTのオン電流増大および電界効果移動度の向上に寄与する。

30

【0022】

また、微結晶半導体膜の成膜前に予め、真空チャンパーをベーキング（200以上300以下）して真空チャンパー内に存在する水分を主成分とする残留ガスを取り除き、真空チャンパー内を超高真空領域の真空度の圧力環境にすることが好ましい。また、微結晶半導体膜の成膜中も真空チャンパー内壁を加熱（50以上300以下）して成膜反応を促進させてもよい。

【0023】

また、第2の成膜条件としては、少なくとも第1の成膜条件の成膜速度よりも速い成膜速度が得られる条件とすればよく、例えば、シランガスと水素ガスの流量比を第1の成膜条件とは変えて微結晶シリコン膜が形成される範囲内でチャンパー内の水素濃度を下げればよい。また、第2の成膜条件としては、第1の成膜条件の基板温度よりも高い温度、例えば300以上400未満の基板温度にして成膜速度を速くしてもよい。第1の成膜条件と第2の成膜条件とで基板温度を異ならせる場合は、第1の成膜条件での成膜直後、第1の成膜条件の基板温度から温度を上昇させて第2の成膜条件の基板温度とするため、基板温度上昇途中も成膜が引き続き行われることとなる。また、第2の成膜条件として、第1の成膜条件よりもプラズマ形成時の電力を増大させることにより、成膜速度を速くしてもよい。また、真空チャンパーのコンダクタンسバルブなどの排気バルブを調節して第2

40

50

の成膜条件を第1の成膜条件と異なる真空度として成膜速度を速くしてもよい。

【0024】

また、第1の成膜条件よりも成膜速度を速くする第2の成膜条件として、一定時間高周波電力を投入し、シランガスをプラズマ分解し、次にある時間の間は高周波電力を切り、プラズマの発生を止めるようなシーケンスを繰り返す成膜条件としてもよい。第1の成膜条件は第1の成膜期間内において連続放電を行い、第2の成膜条件として、電力印加のタイミングを変える、具体的には基板1枚当たりの第2の成膜期間内に高周波電力をオフ状態として放電を停止する期間を複数有する方法で成膜速度を第1の成膜条件よりも速くする。なお、微結晶半導体膜の成膜時間は、第1の成膜条件で成膜が行われる第1の成膜期間と第2の成膜条件で成膜が行われる第2の成膜期間とを有し、第2の成膜期間における成膜速度は、第1の成膜期間における成膜速度よりも速い。放電時間と放電停止時間とを適宜に選択する成膜は、間欠放電のプラズマCVD法とも呼ばれる。この場合、微結晶シリコン膜の第1の成膜条件として材料ガスに高周波電力による放電を連続的に作用させる連続放電のプラズマCVD法で行い、同じチャンパー内で微結晶シリコン膜の第2の成膜条件として材料ガスに高周波電力による放電を間欠的に作用させる間欠放電（パルス発振とも言える）のプラズマCVD法で行う。ここで連続放電とは、時間的に連続な波形の高周波電力を用いて発生させた放電を指している。

10

【0025】

また、第1の成膜条件よりも成膜速度を速くする第2の成膜条件として、微結晶半導体膜を成膜する真空チャンパーの内壁を基板温度よりも高い温度に加熱し、微結晶半導体膜を成膜してもよい。第1の成膜条件における基板温度が100であれば、真空チャンパーの内壁を150とすることで、チャンパー内壁と比べて低温である基板表面に微結晶半導体膜を効率よく形成する。

20

【0026】

また、真空チャンパー内の雰囲気中を 1×10^{-8} Paを超え 1×10^{-5} Pa以下の真空度に真空排気した後、基板導入前に予め、真空チャンパー内に水素ガスまたは希ガスを導入してプラズマを発生させ、真空チャンパー内に存在する水分を主成分とする残留ガスを取り除き、真空チャンパー内の残留酸素濃度を低減させた環境にすることが好ましい。

【0027】

また、真空チャンパー内の雰囲気中を 1×10^{-8} Paを超え 1×10^{-5} Pa以下の真空度に真空排気した後、基板導入前に予め、シランガスを真空チャンパー内に流し、真空チャンパー内の残留酸素と反応させ酸化珪素に変えることで、さらに真空チャンパー内の酸素を低減してもよい。また、微結晶半導体膜の成膜中に混入するアルミニウムなどの金属元素の混入を防止するため、基板導入前に予め、シランガスを真空チャンパー内に流し、プラズマを発生させて内壁に成膜する処理（プレコート処理とも呼ぶ）を行ってもよい。

30

【0028】

第1の成膜条件は、成膜速度が遅いため、特に膜厚を厚くすると成膜時間が長くなり、その結果、膜中に酸素などの不純物が混入しやすい。従って、このように、基板導入前に真空チャンパー内の酸素及び水分を十分に低減することによって、成膜時間が長くなっても膜中の酸素などの不純物がほとんど混入されず、後に成膜する微結晶シリコン膜の品質を向上させる上で重要である。

40

【0029】

さらに、基板導入後、微結晶シリコン膜の成膜前に予め、基板上的吸着水を除去するため、アルゴンプラズマ処理などの希ガスプラズマ処理及び水素プラズマ処理を行って、微結晶シリコン膜中の酸素濃度を 1×10^{-17} / cm以下に低減してもよい。

【0030】

このように、基板導入後に基板が有する酸素及び水分を十分に低減することも、後に成膜する微結晶シリコン膜の品質を向上させる上で重要である。

【0031】

50

また、成膜初期（第1の成膜期間）の第1の成膜条件から成膜後期（第2の成膜期間）の高い成膜速度の第2の成膜条件に変えることによって、成膜初期に微結晶が形成されているため、成膜後期では、成膜初期で得られた微結晶を核として品質の高い微結晶シリコン膜を堆積することができる。また、成膜初期に予め、微結晶を形成しておくことにより成膜後期の成膜速度を速くすることができる。

【0032】

成膜条件を途中で変えずに第1の成膜条件のみで所望の膜厚を得る時間に比べて、第1の成膜条件での成膜の後に引き続き同じチャンバーで第2の成膜条件での成膜を行うことで、所望の膜厚を得る時間を短縮することができる。所望の膜厚を得る時間を短縮することができれば、微結晶シリコン膜中に酸素などの不純物がほとんど混入されずに成膜を行うことができる。また、成膜条件を途中で変えずに第1の成膜条件のみで微結晶シリコン膜の膜厚を薄くすると、後に積層するパuffa層の影響が大きくなり、薄膜トランジスタの電界効果移動度が低下する恐れがある。

10

【0033】

また、上記第1の成膜条件で得られる微結晶シリコン膜は、酸素に反応しやすいため、高い成膜速度の第2の成膜条件に成膜途中で変えて成膜することによってゲート絶縁膜界面付近の膜を保護することができる。この第2の成膜条件で得られる微結晶シリコン膜の品質が、後に形成されるTFTのオフ電流低減にも寄与する。

【0034】

こうして成膜条件を2段階に変化させて得られる微結晶シリコン膜は、少なくとも柱状の結晶を含んでおり、膜中の酸素濃度が $1 \times 10^{-7} / \text{cm}$ 以下である。また、2段階に変化させて得られる微結晶シリコン膜の合計膜厚は、 $5 \text{ nm} \sim 100 \text{ nm}$ 、好ましくは $10 \text{ nm} \sim 30 \text{ nm}$ の範囲とする。

20

【0035】

初期の成膜条件が品質の高い微結晶シリコン膜を形成する条件であれば、成膜条件を2段階に変化させて微結晶シリコン膜を形成することに限定されず、3段階以上に变化させて成膜することもできる。さらに成膜条件を連続的に変化させることもできる。

【0036】

また、上記微結晶シリコン膜は、非晶質シリコン膜に比べて酸素に反応しやすいため、さらに大気にさらすことなく、結晶粒を含まないパuffa層を積層して保護することが好ましい。パuffa層は、微結晶シリコン膜を成膜する真空チャンバーと異なる真空チャンバーで上記第1の成膜条件及び上記第2の成膜条件よりも高い基板温度、例えば 300 以上 400 未満とする。パuffa層の成膜時の基板温度を上記第1の成膜条件及び上記第2の成膜条件よりも高い基板温度とすることは有用である。なぜなら、工程を増やすことなく、パuffa層の成膜時に微結晶シリコン膜をアニールすることができ、微結晶シリコン膜の膜質を向上させることができるからである。パuffa層の成膜時に微結晶シリコン膜をアニールすることにより、電圧印加を繰り返し行う信頼性試験におけるTFT特性の変動（閾値の変動など）も抑え、TFTの信頼性も向上させることができる。パuffa層は、代表的には、 100 nm 以上 400 nm 以下、好ましくは 200 nm 以上 300 nm 以下の厚さで形成する。また、パuffa層は、上記微結晶シリコン膜よりも欠陥密度の高い非晶質シリコン膜を用いる。パuffa層に欠陥密度の高い非晶質シリコン膜を用いることで、後に形成されるTFTのオフ電流低減に寄与する。

30

40

【0037】

また、上記微結晶シリコン膜は、不純物が混入してn型の導電性を示しやすいため、材料ガスにトリメチルボロンガスなどを微量に加えて、i型となるように成膜条件を調節することが好ましい。シランガス及び水素ガスが主の材料ガスにトリメチルボロンガスなどを微量に加えることによって、薄膜トランジスタのしきい値制御が可能となる。

【0038】

なお、本明細書において、微結晶半導体膜とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な

50

第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が0.5~20nmの柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520.5 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520.5 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。

10

【0039】

また、基板の処理を複数枚行うスループット上で不利となるが、微結晶シリコン膜を成膜する真空チャンバーと同じ真空チャンバーでバッファ層を形成してもよい。同じ真空チャンバーでバッファ層を連続的に形成すれば、基板搬送中、浮遊する汚染不純物元素に汚染されることなく積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0040】

また、バッファ層上にはソース電極またはドレイン電極を形成し、それらソース電極及びドレイン電極の間のリーク電流を下げるために、バッファ層に溝を形成している。

20

【0041】

また、バッファ層とソース電極またはドレイン電極の間には、n型不純物元素を含む半導体膜(n+層)を有している。また、バッファ層は、n+層と微結晶シリコン膜とが接しないように、これらの間に設けられている。従って、ソース電極の下方には、n+層、バッファ層、微結晶シリコン膜が重なっている。同様にドレイン電極の下方には、n+層、バッファ層、微結晶シリコン膜が重なっている。このような積層構造とし、バッファ層の膜厚を厚くすることで、耐圧向上を図っている。また、バッファ層の膜厚を厚く成膜しておけば、酸化しやすい微結晶シリコン膜を露出させることなくバッファ層の一部に溝を形成することができる。

【0042】

上記作製工程に引き続き、さらに、バッファ層上にn型不純物元素を含む半導体膜を成膜し、該n型不純物元素を含む半導体膜上にソース電極またはドレイン電極を形成し、n型不純物元素を含む半導体膜をエッチングして、ソース領域及びドレイン領域を形成し、前記ソース領域及び前記ドレイン領域と重なる領域を残存させて前記バッファ層の一部をエッチングして除去して薄膜トランジスタを作製する。

30

【0043】

こうして得られた薄膜トランジスタは、オン動作時に第1の成膜条件で成膜した品質の高い微結晶シリコン膜におけるゲート絶縁膜界面付近の領域がチャンネル形成領域として機能し、オフ時には、バッファ層が一部エッチングされた溝の部分がごく微量のリーク電流が流れる経路となる。従って、従来のアモルファスシリコン単層を有する薄膜トランジスタや微結晶シリコン単層を有する薄膜トランジスタに比べて、オフ電流とオン電流の比を大きくすることができ、スイッチング特性に優れていると言え、表示パネルのコントラスト向上につながる。

40

【発明の効果】**【0044】**

本発明の作製方法により、得られる薄膜トランジスタの電界効果移動度を1より大きく50以下とすることができる。このため、本発明の作製方法により得られる微結晶半導体膜を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。

【0045】

50

本発明の作製方法により得られる薄膜トランジスタを用いた発光装置は、薄膜トランジスタの閾値の変動を抑制することが可能であり、信頼性の向上に繋がる。

【0046】

また、本発明の作製方法により得られる薄膜トランジスタを用いた液晶表示装置は、電界効果移動度を大きくできるため、駆動回路の駆動周波数を高くすることが可能となる。駆動回路を高速に動作させることが出来るため、フレーム周波数を4倍とすること、または、黒画面挿入することなども実現することができる。

【発明を実施するための最良の形態】

【0047】

本発明の実施形態について、以下に説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0048】

(実施の形態1)

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図1乃至図5を用いて説明する。図1乃至図3は、薄膜トランジスタの作製工程を示す断面図であり、図4は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。また、図5は、微結晶シリコン膜の成膜方法を示すタイミングチャートである。

【0049】

微結晶半導体膜を有する薄膜トランジスタはp型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャンネル型の薄膜トランジスタを用いて説明する。

【0050】

図1(A)に示すように、基板50上にゲート電極51を形成する。基板50は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板等を用いることができる。基板50がマザーガラスの場合、基板の大きさは、第1世代(320mm×400mm)、第2世代(400mm×500mm)、第3世代(550mm×650mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1000mm×1200mmまたは1100mm×1250mm)、第6世代(1500mm×1800mm)、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)等を用いることができる。

【0051】

ゲート電極51は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極51は、スパッタリング法や真空蒸着法で基板50上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極51を形成することもできる。なお、ゲート電極51の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板50及びゲート電極51の間に設けてもよい。ここでは、第1のフォトマスクを用いて形成したレジストマスクを用いて基板50上に形成された導電膜をエッチングしてゲート電極を形成する。

【0052】

具体的なゲート電極構造の例としては、アルミニウム膜上にモリブデン膜を積層させ、アルミニウム特有のヒロックやエレクトロマイグレーションを防ぐ構造にしてもよい。また、アルミニウム膜をモリブデン膜で挟んだ3層構造としてもよい。また、他のゲート電極

10

20

30

40

50

構造の例として、銅膜上にモリブデン膜の積層、銅膜上に窒化チタン膜の積層、銅膜上に窒化タンタル膜の積層が挙げられる。

【0053】

なお、ゲート電極51上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【0054】

次に、ゲート電極51上に、ゲート絶縁膜52a、52b、52cを順に形成する。ここまでの工程を終えた断面図が図1(A)に相当する。

【0055】

ゲート絶縁膜52a、52b、52cはそれぞれ、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ゲート絶縁膜に形成されるピンホール等による層間ショートを防ぐため、異なる絶縁層を用いて多層とすることが好ましい。ここでは、ゲート絶縁膜52a、52b、52cとして、窒化珪素膜、酸化窒化珪素膜、窒化珪素膜の順に積層して形成する形態を示す。

【0056】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲に含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲に含まれるものをいう。

【0057】

ゲート絶縁膜の1層目及び2層目の膜厚はともに50nmよりも厚くする。ゲート絶縁膜の1層目は、基板からの不純物(例えばアルカリ金属など)の拡散を防ぐために、窒化珪素膜または窒化酸化珪素膜が好ましい。また、ゲート絶縁膜の1層目は、ゲート電極の酸化防止の他、ゲート電極にアルミニウムを用いる場合にヒロック防止ができる。また、微結晶半導体膜と接するゲート絶縁膜の3層目は、0nmより厚く5nm以下、望ましくは約1nmとする。ゲート絶縁膜の3層目は、微結晶半導体膜との密着性を向上させるために設けるものである。また、ゲート絶縁膜の3層目を窒化珪素膜とすることで後に行われる熱処理やレーザ照射によって、微結晶半導体膜の酸化防止を図ることができる。例えば、酸素の含有量が多い絶縁膜と微結晶半導体膜とを接した状態で熱処理を行うと、微結晶半導体膜が酸化する恐れがある。

【0058】

更には、周波数が1GHz以上のマイクロ波プラズマCVD装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマCVD装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、薄膜トランジスタの信頼性を高めることができる。

【0059】

ここでは、ゲート絶縁膜を3層構造としたが、液晶表示装置のスイッチング素子に用いる場合、交流駆動させるため、窒化珪素膜の単層のみでもよい。

【0060】

次いで、ゲート絶縁膜の成膜後、大気に触れさせることなく基板を搬送し、ゲート絶縁膜を成膜する真空チャンパーとは異なる真空チャンパーで微結晶半導体膜53を成膜することが好ましい。

【0061】

以下に、図5も参照しながら微結晶半導体膜53を形成する手順について説明する。図5の説明は反応室を大気圧から真空排気200する段階から示されており、その後に行われるプレコート201、基板搬入202、下地前処理203、成膜処理204、基板搬出205、クリーニング206の各処理が時系列的に示されている。ただし、大気圧から真空

10

20

30

40

50

排気することに限定されず、常時ある程度の真空度に反応室を保っておくことが、量産を行う上好ましい、または短時間で到達真空度を下げる上で好ましい。

【0062】

本実施の形態では、基板搬入前の真空チャンパー内の真空度を 10^{-5} Paよりもさらに真空排気するための超高真空排気を行う。この段階が図5の真空排気200に対応する。このような超高真空排気を行う場合、ターボ分子ポンプとクライオポンプを併用し、ターボ分子ポンプによる排気を行い、さらにクライオポンプを使って真空排気することが好ましい。ターボ分子ポンプを2台直列に連結して真空排気することも有効である。また、反応室にベーキング用のヒータを設けて加熱処理して反応室内壁からの脱ガス処理を行うことが好ましい。また、基板を加熱するヒータも動作させて温度を安定化させる。基板の加熱温度は100 以上300 以下、好ましくは120 以上220 以下で行う。

10

【0063】

次いで、基板搬入前にプレコート201を行い、内壁被覆膜としてシリコン膜を形成する。プレコート201として、水素または希ガスを導入してプラズマを発生させて反応室内壁に付着した気体（酸素及び窒素などの大気成分、若しくは反応室のクリーニングに使用したエッチングガス）を除去した後、シランガスを導入して、プラズマを生成する。シランガスは酸素、水分等と反応するので、シランガスを流し、さらにシランプラズマを生成することで反応室内の酸素、水分を除去することができる。また、プレコート201の処理をしておくことで、微結晶シリコン膜中に反応室を構成する部材の金属元素を不純物として取り込んでしまうのを防ぐことができる。すなわち、反応室内をシリコンで被覆しておくことで、反応室内がプラズマにより食刻されるのを防ぐことができ、後に成膜する微結晶シリコン膜中に含まれる不純物濃度を低減することができる。プレコート201は、反応室内壁を基板上に堆積されるべき膜と同種の膜で被覆する処理が含まれている。

20

【0064】

プレコート201の後、基板搬入202が行われる。微結晶シリコン膜が堆積されるべき基板は、真空排気されたロード室に保管されているので、基板を搬入したとしても反応室内の真空度が著しく悪化することはない。

【0065】

次いで、下地前処理203を行う。下地前処理203は、微結晶シリコン膜を形成する場合において、特に有効な処理であり行うことが好ましい。すなわち、ガラス基板表面、絶縁膜の表面若しくは非晶質シリコンの表面上に微結晶シリコン膜をプラズマCVD法で成膜する場合には、不純物や格子不整合などの要因により堆積初期段階において非晶質層が形成されてしまう恐れがある。この非晶質層の厚さを極力低減し、可能であれば無くすために下地前処理203を行うことが好ましい。下地前処理としては希ガスプラズマ処理、水素プラズマ処理若しくはこの両者の併用により行うことが好ましい。希ガスプラズマ処理としては、アルゴン、クリプトン、キセノンなど質量数の大きい希ガス元素を用いることが好ましい。表面に付着した酸素、水分、有機物、金属元素などの不純物をスパッタリングの効果で除去するためである。水素プラズマ処理は、水素ラジカルにより、表面に吸着した上記不純物の除去と、絶縁膜若しくは非晶質シリコン膜に対するエッチング作用により清浄な膜表面を形成するのに有効である。また、希ガスプラズマ処理と水素プラズマ処理を併用することにより微結晶核生成を促進する作用も期待される。

30

40

【0066】

微結晶核の生成を促進させるという意味においては、図5中の破線207で示すように、微結晶シリコン膜の成膜初期においてアルゴンなどの希ガスを供給し続けることは有効である。

【0067】

次いで、下地前処理203に続いて微結晶シリコン膜を形成する成膜処理204を行う。本実施の形態では、成膜速度は低い品質のよい第1の成膜条件でゲート絶縁膜界面付近の膜を形成し、その後、高い成膜速度の第2の成膜条件に変えて膜を堆積する。

【0068】

50

第1の成膜条件での成膜速度よりも第2の成膜条件の成膜速度が速ければ特に限定されない。従って、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成し、代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈してプラズマ生成することで成膜することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を12倍以上1000倍以下、好ましくは50倍以上200倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

10

【0069】

また、材料ガスにヘリウムを加えた場合、ヘリウムは24.5eVとすべての気体中で最も高いイオン化エネルギーを持ち、そのイオン化エネルギーよりも少し低い、約20eVの準位に準安定状態があるので、放電持続中においては、イオン化にはその差約4eVしか必要としない。そのため放電開始電圧も全ての気体中最も低い値を示す。このような特性から、ヘリウムはプラズマを安定的に維持することができる。また、均一なプラズマを形成することができるので、微結晶シリコン膜を堆積する基板の面積が大きくなってプラズマ密度の均一化を図る効果を奏する。

【0070】

また、シラン等のガス中に CH_4 、 C_2H_6 などの炭素の水素化物、 GeH_4 、 GeF_4 などの水素化ゲルマニウム、フッ化ゲルマニウムを混合して、エネルギーバンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。シリコンに炭素又はゲルマニウムを加えるとTFTの温度特性を変えることができる。

20

【0071】

ここでは、第1の成膜条件は、シランは水素及び/又は希ガスで100倍を超え2000倍以下に希釈し、基板の加熱温度は100以上300未満、好ましくは120以上220以下とする。微結晶シリコンの成長を促進するためには120以上220以下で成膜を行うことが好ましい。

【0072】

第1の成膜条件を終えた段階での断面図を図1(B)に示す。ゲート絶縁膜52c上には、成膜速度は低い品質のよい微結晶シリコン膜23が成膜されている。この第1の成膜条件で得られる微結晶半導体膜23の品質が、後に形成されるTFTのオン電流増大および電界効果移動度の向上に寄与するため、膜中の酸素濃度が $1 \times 10^{17} / \text{cm}$ 以下となるように十分酸素濃度を低減させることが重要である。また、上記手順により、酸素だけでなく、窒素、及び炭素が微結晶半導体膜の膜中に混入する濃度を低減することができるため、微結晶半導体膜がn型化になることを防止することができる。

30

【0073】

次いで、上記第1の成膜条件から第2の成膜条件に変えて成膜速度を上げて微結晶半導体膜53を成膜する。この段階での断面図が図1(C)に相当する。微結晶半導体膜53の膜厚は、50nm～500nm(好ましくは100nm～250nm)の厚さとすれば良い。なお、本実施の形態では、微結晶半導体膜53の成膜時間は、第1の成膜条件で成膜が行われる第1の成膜期間と第2の成膜条件で成膜が行われる第2の成膜期間とを有する。なお、第1の成膜条件で得られる膜を第1の微結晶半導体膜と呼び、第2の成膜条件で得られる膜を第2の微結晶半導体膜と呼ぶこともできるが、成膜後に第1の微結晶半導体膜と第2の微結晶半導体膜の明確な界面を確認することは困難であるため、ここでは成膜途中で条件を変えて得られた積層膜を微結晶半導体膜として表記している。

40

【0074】

ここでは、第2の成膜条件は、シランは水素及び/又は希ガスで12倍以上100倍以下に希釈し、基板の加熱温度は、100以上400未満、さらに好ましくは120以上220以下とする。なお、容量結合型(平行平板型)のCVD装置を用い、ギャップ

50

(電極面と基板表面の間隔)を20mmとし、反応室内の真空度100Paとし、基板温度300とし、60MHzの高周波電力を20W加え、シランガス(流量8sccm)を水素(流量400sccm)で50倍に希釈して微結晶シリコン膜を成膜した成膜速度は3.05nm/minであった。また、この成膜条件で得られた微結晶シリコン膜のラマン強度比(I_c/I_a)は、3.52であった。また、上記成膜条件でシランガスの流量のみを4sccmに変更して100倍に希釈して微結晶シリコン膜を成膜した成膜速度は1.53nm/minであった。このように、実験結果からは、水素流量を固定し、シラン流量を増やすことで成膜速度が増大する傾向が確認できている。また、100倍に希釈して成膜した微結晶シリコン膜のラマン強度比(I_c/I_a)は、6.19であった。また、実験結果からは、速い成膜速度の成膜条件に比べ、遅い成膜速度の成膜条件のほうが、微結晶シリコン膜の結晶性が高い傾向が確認できている。

10

【0075】

また、1.53nm/minの成膜速度が得られた上記条件の基板温度のみを変えて200として成膜した場合、1.286nm/minの成膜速度が得られた。即ち、基板温度を下げると微結晶シリコン膜の成膜速度が若干下がっている。微結晶シリコン膜の成膜は、非晶質シリコン膜の成膜と大きく異なっており、例えば非晶質シリコン膜の成膜においては、基板温度を下げると成膜速度が上がる傾向がある。また、微結晶シリコン膜の成膜条件を基板温度200とした場合においては、水素流量を一定とし、シラン流量を増やすことで成膜速度が速くなる傾向が確認できている。

20

【0076】

本実施の形態では、容量結合型(平行平板型)のCVD装置を用い、ギャップ(電極面と基板表面の間隔)を20mmとし、第1の成膜条件を反応室内の真空度100Paとし、基板温度100とし、60MHzの高周波電力を30W加え、シランガス(流量2sccm)を水素(流量400sccm)で200倍に希釈する条件とし、ガス流量を変えて成膜速度を速めるための第2の成膜条件として4sccmのシランガスを水素(流量400sccm)で100倍に希釈する条件(その他の条件は第1の成膜条件と同じ)で成膜を行う。

30

【0077】

第2の成膜条件での微結晶シリコンの成膜が終了した後、次いで、シラン、水素などの材料ガス及び高周波電力の供給を止めて基板搬出205を行う。引き続き次の基板に対して成膜処理を行う場合には、基板搬入202の段階に戻り同じ処理が行われる。反応室内に付着した被膜や粉末を除去するには、クリーニング206を行う。

40

【0078】

クリーニング206は NF_3 、 SF_6 に代表されるエッチングガスを導入してプラズマエッチングを行う。また、 ClF_3 のようにプラズマを利用しなくてもエッチングが可能なガスを導入して行う。クリーニング206においては基板加熱用のヒータを切って、チャンパー内壁温度を下げて行うことが好ましい。エッチングによる反応副生成物の生成を抑えるためである。クリーニング206の終了後はプレコート201に戻り、次の基板に対して上述した同様の処理を行えば良い。

50

【0079】

次いで、微結晶半導体膜53の成膜後、大気に触れさせることなく基板を搬送し、微結晶半導体膜53を成膜する真空チャンパーとは異なる真空チャンパーでバッファ層54を成膜することが好ましい。バッファ層54の真空チャンパーと別にすることで、微結晶半導体膜53を成膜する真空チャンパーは基板導入前に超高真空にする専用チャンパーとすることができ、不純物汚染を極力抑え、且つ、超高真空に到達する時間を短縮することができる。超高真空に到達するためにベークを行う場合、チャンパー内壁温度が下がって安定になるまで時間がかかるため、特に有効である。また、真空チャンパーを別々とする事で、得ようとする膜質に合わせてそれぞれ高周波電力の周波数を異ならせることができる。例えば、第1のチャンパーで周波数60MHzの高周波電力を用いて微結晶半導体膜を形成した後、第2のチャンパーで周波数13.56MHzの高周波電力を用いてバッファ層

60

を形成することができる。

【0080】

バッファ層54は、水素、窒素、若しくはハロゲンを含む非晶質半導体膜を用いて形成する。水素化珪素の流量の1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等を用いること

10

【0081】

また、バッファ層54は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0082】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz~数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

20

【0083】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングする。そのときに、微結晶半導体膜53が露呈しないようにバッファ層54の一部が残存する厚さで形成することが好ましい。代表的には、100nm以上400nm以下、好ましくは200nm以上300nm以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い(例えば15V程度)表示装置、代表的には液晶表示装置において、バッファ層54の膜厚を上記範囲に示すように厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。

30

【0084】

なお、バッファ層54には、リンやボロン等の一導電型を付与する不純物元素が意図的に添加されていない。一導電型を付与する不純物元素が添加された半導体膜55膜中の不純物元素が微結晶半導体膜53へ拡散しないように、バッファ層54がバリア層として機能している。バッファ層を設けない場合、微結晶半導体膜53と一導電型を付与する不純物が添加された半導体膜55とが接してしまうと、後のエッチング工程や加熱処理により不純物元素が移動し、しきい値制御が困難になる恐れがある。

【0085】

さらにバッファ層54を微結晶半導体膜53の表面上に形成することで、微結晶半導体膜53に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成されてしまう。

40

【0086】

非晶質半導体膜であるバッファ層54のエネルギーギャップが微結晶半導体膜53に比べて大きく(非晶質半導体膜のエネルギーギャップは1.6~1.8eV、微結晶半導体膜53のエネルギーギャップは1.1~1.5eV)、また抵抗が高く、電子移動度が低く、微結晶半導体膜53の1/5~1/10である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜53との間に形成され

50

るバッファ層は高抵抗領域として機能し、微結晶半導体膜 5 3 がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを表示装置のスイッチング素子として用いた場合、表示装置のコントラストを向上させることができる。

【0087】

なお、微結晶半導体膜 5 3 上に、プラズマ CVD 法によりバッファ層 5 4 を 300 以上 400 未満の基板温度にて成膜することが好ましい。この成膜処理により水素が微結晶半導体膜 5 3 に供給され、微結晶半導体膜 5 3 を水素化したのと同等の効果が得られる。すなわち、微結晶半導体膜 5 3 上にバッファ層 5 4 を堆積することにより、微結晶半導体膜 5 3 に水素を拡散させて、ダングリングボンドの終端を行うことができる。また、成膜時に微結晶半導体膜 5 3 のアニールを行うこともでき、膜質を向上させることができる。特に第 2 の成膜条件で得られる膜は、第 1 の成膜条件に比べ成膜速度が速い一方、第 1 の成膜条件で得られる結晶性よりも低下する傾向にあるが、バッファ層の成膜時におけるアニールによって結晶性などの膜質を向上させることができる。

10

【0088】

次いで、バッファ層 5 4 の成膜後、大気に触れさせることなく基板を搬送し、バッファ層 5 4 を成膜する真空チャンパーとは異なる真空チャンパーで一導電型を付与する不純物が添加された半導体膜 5 5 を成膜することが好ましい。この段階での断面図が図 1 (D) に相当する。バッファ層 5 4 を成膜する真空チャンパーとは異なる真空チャンパーで一導電型を付与する不純物が添加された半導体膜 5 5 を成膜することでバッファ層の成膜時に一導電型を付与する不純物が混入しないようにすることができる。

20

【0089】

一導電型を付与する不純物が添加された半導体膜 5 5 は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜 5 5 は、微結晶半導体、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜 5 5 は 2 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

30

【0090】

次いで、図 2 (A) に示すように、一導電型を付与する不純物が添加された半導体膜 5 5 上にレジストマスク 5 6 を形成する。レジストマスク 5 6 は、フォトリソグラフィ技術またはインクジェット法により形成する。ここでは、第 2 のフォトマスクを用いて、一導電型を付与する不純物が添加された半導体膜 5 5 上に塗布されたレジストを露光現像して、レジストマスク 5 6 を形成する。

【0091】

次いで、レジストマスク 5 6 を用いて微結晶半導体膜 5 3、バッファ層 5 4、及び導電型を付与する不純物が添加された半導体膜 5 5 をエッチングし分離して、図 2 (B) に示すように、微結晶半導体膜 6 1、バッファ層 6 2、及び一導電型を付与する不純物が添加された半導体膜 6 3 を形成する。その後、レジストマスク 5 6 を除去する。

40

【0092】

微結晶半導体膜 6 1、バッファ層 6 2 の端部側面が傾斜していることにより、バッファ層 6 2 上に形成されるソース領域及びドレイン領域と微結晶半導体膜 6 1 との間にリーク電流が生じること防止することが可能である。また、ソース電極及びドレイン電極と、微結晶半導体膜 6 1 との間にリーク電流が生じるのを防止することが可能である。微結晶半導体膜 6 1 及びバッファ層 6 2 の端部側面の傾斜角度は、 $30^\circ \sim 90^\circ$ 、好ましくは $45^\circ \sim 80^\circ$ である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

50

【0093】

次に、図2(C)に示すように、一導電型を付与する不純物が添加された半導体膜63及びゲート絶縁膜52cを覆うように導電膜65a~65cを形成する。導電膜65a~65cは、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜65a~65c3層が積層した構造の導電膜を示し、導電膜65a、65cにモリブデン膜、導電膜65bにアルミニウム膜を用いた積層導電膜や、導電膜65a、65cにチタン膜、導電膜65bにアルミニウム膜を用いた積層導電膜を示す。導電膜65a~65cは、スパッタリング法や真空蒸着法で形成する。

10

【0094】

次に、図2(D)に示すように、導電膜65a~65c上に第3のフォトリソマスクを用いてレジストマスク66を形成し、導電膜65a~65cの一部をエッチングして一対のソース電極及びドレイン電極71a~71cを形成する。導電膜65a~65cをウエットエッチングすると、導電膜65a~65cが選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク66より面積の小さいソース電極及びドレイン電極71a~71cを形成することができる。

20

【0095】

次に、図3(A)に示すように、レジストマスク66を用いて一導電型を付与する不純物が添加された半導体膜63をエッチングして、一対のソース領域及びドレイン領域72を形成する。さらに、当該エッチング工程において、バッファ層62の一部もエッチングする。一部エッチングされた、窪み(溝)が形成されたバッファ層をバッファ層73と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の窪み(溝)とを同一工程で形成することができる。バッファ層の窪み(溝)の深さをバッファ層の一番膜厚の厚い領域の1/2~1/3とすることで、ソース領域及びドレイン領域の距離を離すことが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、レジストマスク66を除去する。

30

【0096】

特にドライエッチングなどで用いるプラズマに曝されるとレジストマスクは変質し、レジスト除去工程で完全には除去されず、残渣が残ることを防ぐためにバッファ層を50nm程度エッチングする。レジストマスク66は、導電膜65a~65cの一部のエッチング処理と、ソース領域及びドレイン領域72の形成時のエッチング処理の2回に用いられており、どちらもドライエッチングを用いる場合には、残渣が残りやすいため、残渣を完全に除去する際にエッチングされてもよいバッファ層の膜厚を厚く形成することは有効である。また、バッファ層73は、ドライエッチングの際にプラズマダメージが微結晶半導体膜61に与えられることを防止することもできる。

40

【0097】

次に、図3(B)に示すように、ソース電極及びドレイン電極71a~71c、ソース領域及びドレイン領域72、バッファ層73、微結晶半導体膜61、及びゲート絶縁膜52cを覆う絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52b、52cと同じ成膜方法を用いて形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜76に窒化珪素膜を用いることで、バッファ層73中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。

50

【0098】

図3(B)に示すように、ソース電極及びドレイン電極71a~71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極71a~71cの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極71a~71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極71a~71c及びソース領域及びドレイン領域72の端部に電界が集中せず、ゲート電極51と、ソース電極及びドレイン電極71a~71cとの間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

10

【0099】

以上の工程により、薄膜トランジスタ74を形成することができる。

【0100】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、バッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャンネル形成領域として機能する微結晶半導体膜の表面をバッファ層が覆う。また、バッファ層の一部には窪み(溝)が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、バッファ層に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、バッファ層の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流(寄生チャンネル)が発生することを回避することができる。

20

【0101】

また、チャンネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。また、微結晶半導体膜の表面がバッファ層で覆われている。高抵抗のバッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタにリーク電流が発生することを低減することができると共に、高い電圧の印加による劣化を低減することができる。また、バッファ層と、微結晶半導体膜と、ソース領域及びドレイン領域は、全てゲート電極と重なる領域上に形成される。従って、ゲート電極の端部形状に影響されない構造と言える。ゲート電極を積層構造とした場合、下層としてアルミニウムを用いると、ゲート電極側面にアルミニウムが露出し、ヒロックが発生する恐れがあるが、さらにソース領域及びドレイン領域をゲート電極端部とも重ならない構成とすることで、ゲート電極側面と重なる領域でショートが発生することを防ぐことができる。また、微結晶半導体膜の表面に水素で表面が終端された非晶質半導体膜がバッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が優れ、且つ耐圧に優れた薄膜トランジスタである。

30

【0102】

また、薄膜トランジスタのチャンネル長を短くすることができ、薄膜トランジスタの平面面積を縮小することができる。

40

【0103】

次に、絶縁膜76に第4のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜76の一部をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極71cに接する画素電極77を形成する。なお、図3(C)は、図4の鎖線A-Bの断面図に相当する。

【0104】

図4に示すように、ソース領域及びドレイン領域72の端部は、ソース電極及びドレイン電極71cの端部の外側に位置することが分かる。また、バッファ層73の端部はソース

50

電極及びドレイン電極 71c 及びソース領域及びドレイン領域 72 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース電極及びドレイン電極の他方を囲む形状（具体的には、U字型、C字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【0105】

また、画素電極 77 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0106】

また、画素電極 77 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } \Omega / \square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0107】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

20

【0108】

ここでは、画素電極 77 としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第5のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極 77 を形成する。

【0109】

以上により表示装置に用いることが可能な素子基板を形成することができる。

30

【0110】

（実施の形態2）

本形態は実施の形態1で示されるTFTを構成するゲート絶縁膜、微結晶半導体膜、 $n+$ 層の成膜に適したマルチチャンバ方式のプラズマCVD装置の一例を示す。

【0111】

図6は複数の反応室を備えたマルチチャンバ方式のプラズマCVD装置の一例を示す。この装置は共通室123と、ロード/アンロード室122、第1反応室100a、第2反応室100b、第3反応室100cを備えた構成となっている。ロード/アンロード室122のカセット124に装填される基板は、共通室123の搬送機構126によって各反応室に搬出入される枚葉式の構成である。共通室123と各室の間にはゲートバルブ125が備えられ、各反応室で行われる処理が、相互に干渉しないように構成されている。

40

【0112】

各反応室は形成する薄膜の種類によって区分されている。例えば、第1反応室100aはゲート絶縁膜などの絶縁膜を成膜し、第2反応室100bはチャネルを形成する微結晶半導体層を成膜し、第3反応室100cはバッファ層と、ソース及びドレインを形成する一導電型の不純物半導体層とを積層成膜する反応室として充当される。勿論、反応室の数はこれに限定されるわけではなく、必要に応じて任意に増減することができる。また、一の反応室で一の膜を成膜するようにしても良いし、一の反応室で複数の膜を成膜するように構成しても良い。

【0113】

50

また、他の区分の例として、例えば、第1反応室100aはゲート絶縁膜などの絶縁膜を成膜し、第2反応室100bはチャンネルを形成する微結晶半導体層と、バッファ層とを積層成膜し、第3反応室100cはソース及びドレインを形成する一導電型の不純物半導体層を成膜する反応室として充当してもよい。

【0114】

各反応室には排気手段としてターボ分子ポンプ119とドライポンプ120が接続されている。排気手段はこれらの真空ポンプの組み合わせに限定されるものではなく、概略 10^{-5} Paから 10^{-1} Paの真空度にまで排気できるものであれば他の真空ポンプを適用することができる。また、微結晶半導体膜を形成する第2反応室100bは超高真空まで真空排気するものとして、クライオポンプ121が連結されている。排気手段と各反応室との間にはバタフライバルブ117が設けられており、これによって真空排気を遮断させることができ、コンダクタンスバルブ118によって排気速度を制御して、それぞれの反応室の圧力を調節することができる。また、図6に示す排気手段の組み合わせは一例であって特に限定されない。

10

【0115】

ガス供給手段108は半導体材料ガス若しくは希ガスなどプロセスに用いるガスが充填されるシリンダ110、ストップバルブ112、マスフローコントローラ113などで構成されている。ガス供給手段108gは第1反応室100aに接続され、ゲート絶縁膜を成膜するためのガスを供給する。ガス供給手段108iは第2反応室100bに接続され、微結晶半導体膜用のガスを供給する。ガス供給手段108nは第3反応室100cに接続され、例えばn型半導体膜用のガスを供給する。ガス供給手段108aはアルゴンを供給し、ガス供給手段108fは反応室内のクリーニングに用いるエッチングガスを供給する系統であり、これらは各反応室共通のラインとして構成されている。

20

【0116】

各反応室にはプラズマを形成するための高周波電力供給手段が連結されている。高周波電力供給手段は高周波電源104と整合器106が含まれる。高周波電源104の周波数は数十MHz～数百MHz、例えば13.56MHz、27MHz、60MHzなどを用いることができる。

【0117】

本形態で示すように、図6で示す反応室を複数個用い、共通室で連結することにより複数の異なる層を大気に触れさせることなく連続して積層することが可能となる。

30

【0118】

本実施の形態は実施の形態1と自由に組み合わせることができる。

【0119】

(実施の形態3)

本実施の形態では、実施の形態2に示した図6と異なるマルチチャンバ方式のプラズマCVD装置を用いる薄膜トランジスタの作製工程について、図7を用いて説明する。図6は、3つの反応室を備えた装置であるのに対し、図7は、4つの反応室を備えたマルチチャンバ方式のプラズマCVD装置の上面図である。

【0120】

図7は、図6のマルチチャンバ方式のプラズマCVD装置の構成に、第4反応室100dを追加した構成である。図7において図6と同一の部分は同じ符号とし、詳細な説明をここでは省略する。また、図7に示す排気手段の組み合わせは一例であって特に限定されない。

40

【0121】

第4反応室100dには、ガス供給手段108bが連結されている。その他、高周波電力供給手段、排気手段の構成は図6と同様である。反応室は形成する薄膜の種類によって使い分けることが可能である。例えば、第1反応室100aはゲート絶縁膜などの絶縁膜を成膜し、第2反応室100bはチャンネルを形成する微結晶半導体層を成膜し、第4反応室100dではチャンネル形成用の半導体層を保護するバッファ層を形成し、第3反応室10

50

0 c はソース及びドレインを形成する一導電型の不純物半導体層を成膜する反応室として用いることができる。それぞれの薄膜は最適な成膜温度（基板温度とも呼ぶ）があるので、反応室を個別に分けておくことで成膜温度を管理することが容易となる。さらに、同じ膜種を繰り返し成膜することができるので、前に形成された膜に起因する残留不純物の影響を排除することができる。

【0122】

また、図7において第2反応室100bには、高周波電力の投入を制御するスイッチ127が設けられている。第1の成膜条件において、スイッチ127をオン状態とした状態を保って材料ガスに高周波電力による放電を連続的に作用させる連続放電のプラズマCVD法で行い、第2の成膜条件において、スイッチ127をオン状態とオフ状態を制御し、材料ガスに高周波電力による放電を間欠的に作用させる間欠放電のプラズマCVD法で行う。即ち、第1の成膜条件は第1の成膜期間内において放電を連続的にを行い、第2の成膜条件として、基板1枚当たりの第2の成膜期間内に高周波電力をオフ状態として放電を停止する期間を複数有する方法で成膜速度を第1の成膜条件よりも速くする。高周波電力のオンオフ制御で第2の成膜条件の成膜速度を第1の成膜条件よりも速くできるため、他の条件を変えるよりも簡便である。

10

【0123】

本実施の形態は実施の形態1または実施の形態2と自由に組み合わせることができる。

【0124】

（実施の形態4）

実施の形態1とは異なる薄膜トランジスタの作製方法について、図8乃至図12を用いて説明する。ここでは、上記実施の形態1よりフォトマスク数を削減することが可能なプロセスを用いて薄膜トランジスタを作製する工程について示す。

20

【0125】

実施の形態1に示した図1(A)と同様に、基板50上に導電膜を形成し、導電膜上にレジストを塗布し、第1のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電膜の一部をエッチングして、ゲート電極51を形成する。次に、ゲート電極51上に、ゲート絶縁膜52a、52b、52cを順に形成する。

【0126】

次に、実施の形態1に示した図1(B)と同様に、第1の成膜条件で微結晶半導体膜23を形成する。引き続き、同じチャンバーで第2の成膜条件で成膜を行って、実施の形態1に示した図1(C)と同様に、微結晶半導体膜53を形成する。次に、実施の形態1に示した図1(D)と同様に、微結晶半導体膜53上に、バッファ層54、一導電型を付与する不純物が添加された半導体膜55を順に形成する。

30

【0127】

次に、一導電型を付与する不純物が添加された半導体膜55上に導電膜65a~65cを形成する。次に、図9(A)に示すように、導電膜65a上にレジスト80を塗布する。

【0128】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

40

【0129】

次に、第2のフォトマスクとして多階調マスク59を用いて、レジスト80に光を照射して、レジスト80を露光する。

【0130】

ここで、多階調マスク59を用いた露光について、図8を用いて説明する。

【0131】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

50

【0132】

多階調マスクの代表例としては、図8(A)に示すようなグレートンマスク59a、図8(C)に示すようなハーフトーンマスク59bがある。

【0133】

図8(A)に示すように、グレートンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過率が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

10

【0134】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0135】

グレートンマスク59aに露光光を照射した場合、図8(B)に示すように、遮光部164においては、光透過率166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過率166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整可能である。

20

【0136】

図8(C)に示すように、ハーフトーンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0137】

ハーフトーンマスク59bに露光光を照射した場合、図8(D)に示すように、遮光部168においては、光透過率169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過率169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過率の調整は、半透過部167の材料により調整により可能である。

30

【0138】

多階調マスクを用いて露光した後、現像することで、図9(B)に示すように、膜厚の異なる領域を有するレジストマスク81を形成することができる。

【0139】

次に、レジストマスク81により、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物が添加された半導体膜55、及び導電膜65a~65cをエッチングし分離する。この結果、図10(A)に示すような、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物が添加された半導体膜63、及び導電膜85a~85cを形成することができる。なお、図10(A)は図12(A)のA-Bにおける断面図に相当する(但しレジストマスク86を除く)。

40

【0140】

次に、レジストマスク81をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト(ゲート電極51の一部と重畳する領域)は除去され、図10(A)に示すように、分離されたレジストマスク86を形成することができる。

【0141】

次に、レジストマスク86を用いて、導電膜85a~85cをエッチングし分離する。この結果、図10(B)に示すような、一对のソース電極及びドレイン電極92a~92c

50

を形成することができる。レジストマスク 86 を用いて導電膜 85a ~ 85c をウエットエッチングすると、導電膜 85a ~ 85c が選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク 86 より面積の小さいソース電極及びドレイン電極 92a ~ 92c を形成することができる。

【0142】

次に、レジストマスク 86 を用いて、一導電型を付与する不純物が添加された半導体膜 63 をエッチングして、一对のソース領域及びドレイン領域 88 を形成する。なお、当該エッチング工程において、パuffa層 62 の一部もエッチングする。一部エッチングされたパuffa層をパuffa層 87 と示す。なお、パuffa層 87 には凹部が形成される。ソース領域及びドレイン領域の形成工程と、パuffa層の窪み（溝）とを同一工程で形成することができる。ここでは、パuffa層 87 の一部が、レジストマスク 81 と比較して面積が縮小したレジストマスク 86 で一部エッチングされたため、ソース領域及びドレイン領域 88 の外側にパuffa層 87 が突出した形状となる。この後、レジストマスク 86 を除去する。また、ソース電極及びドレイン電極 92a ~ 92c の端部と、ソース領域及びドレイン領域 88 の端部は一致せずずれており、ソース電極及びドレイン電極 92a ~ 92c の端部の外側に、ソース領域及びドレイン領域 88 の端部が形成される。

【0143】

なお、図 10 (C) は、図 12 (B) の A - B の断面図に相当する。図 12 (B) に示すように、ソース領域及びドレイン領域 88 の端部は、ソース電極及びドレイン電極 92c の端部の外側に位置することが分かる。また、パuffa層 87 の端部はソース電極及びドレイン電極 92c 及びソース領域及びドレイン領域 88 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース電極及びドレイン電極の他方を囲む形状（具体的には、U字型、C字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、微結晶半導体膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【0144】

図 10 (C) に示すように、ソース電極及びドレイン電極 92a ~ 92c の端部と、ソース領域及びドレイン領域 88 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 92a ~ 92c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極 92a ~ 92c の端部と、ソース領域及びドレイン領域 88 の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極 92a ~ 92c 及びソース領域及びドレイン領域 88 の端部に電界が集中せず、ゲート電極 51 と、ソース電極及びドレイン電極 92a ~ 92c との間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

【0145】

以上の工程により、薄膜トランジスタ 83 を形成することができる。また、2枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

【0146】

次に、図 11 (A) に示すように、ソース電極及びドレイン電極 92a ~ 92c、ソース領域及びドレイン領域 88、パuffa層 87、微結晶半導体膜 90、及びゲート絶縁膜 52c 上に絶縁膜 76 を形成する。絶縁膜 76 は、ゲート絶縁膜 52a、52b、52c と同じ作製方法で形成することができる。

【0147】

次に、第 3 のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜 76 の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいてソース電極またはドレイン電極 92c に接する画素電極 77 を形成する。ここでは、画素電極

77としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第4のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極77を形成する。なお、図11(B)は、図12(C)のA-Bの断面図に相当する。

【0148】

以上により、多階調マスクを用いてマスク数を減らし、表示装置に用いることが可能な素子基板を形成することができる。

【0149】

また、本実施の形態は、実施の形態1乃至3のいずれか一と自由に組み合わせることができる。

10

【0150】

(実施の形態5)

本実施の形態では、表示装置の一形態として、実施の形態1で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

【0151】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に液晶分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

20

【0152】

図14及び図15は、それぞれ画素電極及び対向電極を示している。なお、図14は画素電極が形成される基板側の平面図であり、図中に示す切断線A-Bに対応する断面構造を図13に表している。また、図15は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0153】

図13は、TF T 6 2 8とそれに接続する画素電極624、及び保持容量部630が形成された基板600と、対向電極640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

30

【0154】

対向基板601においてスペーサ642が形成される位置には、遮光膜632、第1の着色膜634、第2の着色膜636、第3着色膜638、対向電極640が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサ642の高さを異ならせている。画素電極624上には配向膜648が形成され、同様に対向電極640上にも配向膜646が形成されている。この間に液晶層650が形成されている。

【0155】

スペーサ642はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ642を基板600上に形成される画素電極624上に形成してもよい。

40

【0156】

基板600上には、TF T 6 2 8とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、TF T 6 2 8、配線618、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TF T 6 2 8は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TF T 6 2 8のゲート配線602と同様に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同様に形成した第2の容量配線617で構成される。

50

【0157】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0158】

図14に基板600上の構造を示す。画素電極624は実施の形態1で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0159】

図14に示すTFT629とそれに接続する画素電極626及び保持容量部631は、それぞれTFT628、画素電極624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶パネルの画素(ピクセル)は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

10

【0160】

図15に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。また、遮光膜632の位置に合わせてスペーサ642が形成されている。

【0161】

この画素構造の等価回路を図16に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液層素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

20

【0162】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み(斜め電界)が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

30

【0163】

次に、上記とは異なるVA型の液晶表示装置について、図17乃至図20を用いて説明する。

【0164】

図17と図18は、VA型液晶パネルの画素構造を示している。図18は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図17に表している。以下の説明ではこの両図を参照して説明する。

【0165】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

40

【0166】

画素電極624はコンタクトホール623において、配線618でTFT628と接続している。また、画素電極626はコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1で示す薄膜トランジスタを適宜用いることができる。

50

【0167】

画素電極624と画素電極626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極624の外側を囲むように画素電極626が形成されている。画素電極624と画素電極626に印加する電圧のタイミングを、TF T 6 2 8及びTF T 6 2 9により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図20に示す。TF T 6 2 8はゲート配線602と接続し、TF T 6 2 9はゲート配線603と接続している。ゲート配線602とゲート配線603は異なるゲート信号を与えることで、TF T 6 2 8とTF T 6 2 9の動作タイミングを異ならせることができる。

【0168】

対向基板601には、遮光膜632、着色膜636、対向電極640が形成されている。また、着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。図19に対向基板側の構造を示す。対向電極640は異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極624及び画素電極626側のスリット625とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0169】

画素電極624と液晶層650と対向電極640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極626と液晶層650と対向電極640が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

【0170】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0171】

図21は、TF T 6 2 8とそれに接続する第1の画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、着色膜636、平坦化膜637などが形成されている。画素電極は基板600側に有るので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0172】

基板600上には、第2の画素電極607及び第2の画素電極607に接続する容量配線604、並びに及び実施の形態1で示すTF T 6 2 8が形成される。第2の画素電極607は、実施の形態1で示す画素電極77と同様の材料を用いることができる。また、第2の画素電極607は略画素の形状に区画化した形状で形成する。なお、第2の画素電極607及び容量配線604上にはゲート絶縁膜606が形成される。

【0173】

TF T 6 2 8の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0174】

配線616、配線618上に絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホールにおいて、配線618に接続する第1の画素電極624が形成される。第1の画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。

10

20

30

40

50

【0175】

このようにして、基板600上にTF T 6 2 8とそれに接続する第1の画素電極624が形成される。なお、保持容量は第1の画素電極624と第2の画素電極607の間で形成している。

【0176】

図22は、画素電極の構成を示す平面図である。第1の画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極624と第2の画素電極607の間で発生する。第1の画素電極624と第2の画素電極607の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50~200nmであり、2~10μmである液晶層の厚さと比較して十分薄いので、基板600と平行な方向(水平方向)に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極624と第2の画素電極607は共に透光性の電極であるので、開口率を向上させることができる。

10

【0177】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0178】

図23と図24は、IPS型の液晶表示装置の画素構造を示している。図24は平面図であり、図中に示す切断線A-Bに対応する断面構造を図23に表している。以下の説明ではこの両図を参照して説明する。

20

【0179】

図23は、TF T 6 2 8とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極624は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0180】

基板600上には、共通電位線609、及び実施の形態1で示すTF T 6 2 8が形成される。共通電位線609は薄膜トランジスタ628のゲート配線602と同時に形成することができる。また、画素電極624は略画素の形状に区画化した形状で形成する。

30

【0181】

TF T 6 2 8の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、画素電極624と接続する配線である。

【0182】

配線616、配線618上に絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。なお、図24に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と同時に形成した櫛形の電極と交互に咬み合うように形成される。

40

【0183】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

50

【0184】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け、それにより形成している。容量電極615と画素電極624はコンタクトホール633を介して接続されている。

【0185】

次に、TN型の液晶表示装置の形態について示す。

【0186】

図25と図26は、TN型の液晶表示装置の画素構造を示している。図26は平面図であり、図中に示す切断線A-Bに対応する断面構造を図25に表している。以下の説明ではこの両図を参照して説明する。

10

【0187】

画素電極624はコンタクトホール623により、配線618でTFT628と接続している。データ線として機能する配線616は、TFT628と接続している。TFT628は実施の形態1に示すTFTのいずれかを適用することができる。

【0188】

画素電極624は、実施の形態1で示す画素電極77を用いて形成されている。

【0189】

対向基板601には、遮光膜632、着色膜636、対向電極640が形成されている。また、着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。液晶層650は画素電極624と対向電極640の間に形成されている。

20

【0190】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0191】

また、基板600または対向基板601にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜(ブラックマトリクス)などが形成されていても良い。また、基板600の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板601の対向電極640が形成されている面とは逆の面に、偏光板を貼り合わせておく。

30

【0192】

対向電極640は、画素電極624と同様の材料を適宜用いることができる。画素電極624と液晶650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0193】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。

【0194】

(実施の形態6)

本実施の形態では、表示装置の一形態である発光装置について、図9乃至図11、図27、及び図28を用いて説明する。発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0195】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このよ

50

うな発光素子は、電流励起型の発光素子と呼ばれる。

【0196】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、実施の形態1の薄膜トランジスタを用いて示す。実施の形態1により得られる薄膜トランジスタを用いた発光装置は、薄膜トランジスタの閾値の変動を抑制することが可能であり、信頼性の向上に繋がる。特に、発光装置で用いる薄膜トランジスタは直流駆動させるため、ゲート絶縁膜を3層構造とし、1層目を窒化珪素膜、2層目を酸化窒化珪素膜、3層目を窒化珪素膜とした実施の形態1の薄膜トランジスタは、主に2層目の酸化窒化珪素膜で閾値のドリフトを抑制することができる。

10

【0197】

図9乃至図11の工程を経て、図27に示すように基板50上に薄膜トランジスタ83を形成し、薄膜トランジスタ83上に保護膜として機能する絶縁膜87を形成する。また、駆動回路12にも薄膜トランジスタ84を形成する。薄膜トランジスタ84は、画素部11の薄膜トランジスタ83と同じ工程で作製することができる。次に、絶縁膜87上に平坦化膜93を形成し、平坦化膜93上に薄膜トランジスタ83のソース電極またはドレイン電極に接続する画素電極94を形成する。

20

【0198】

平坦化膜93は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0199】

図27(A)では画素部11の薄膜トランジスタがn型であるので、画素電極94として、陰極を用いるのが望ましいが、逆にp型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい公知の材料、例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等を用いることができる。

30

【0200】

次に図27(B)に示すように、平坦化膜93及び画素電極94の端部上に、隔壁91を形成する。隔壁91は開口部を有しており、該開口部において画素電極94が露出している。隔壁91は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0201】

次に、隔壁91の開口部において画素電極94と接するように、発光層95を形成する。発光層95は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

40

【0202】

そして発光層95を覆うように、陽極として機能する共通電極96を形成する。共通電極96は、実施の形態1に画素電極77として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極96として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図27(B)では、共通電極96とインジウム錫酸化物を用いている。隔壁91の開口部において、画素電極94と発光層95と共通電極96が重なり合うことで、発光素子98が形成されている。この後、発光素子98に酸素、水素、水分、二酸化炭素等が侵入しないように、共通電極96及び隔壁91上に保護膜97を形成することが好ましい。保護膜97としては、窒化珪素膜、窒化酸化珪

50

素膜、DLC膜等を形成することができる。

【0203】

さらに、実際には、図27(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0204】

次に、発光素子の構成について、図28を用いて説明する。ここでは、駆動用TF Tがn型の場合を例に挙げて、画素の断面構造について説明する。

【0205】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

10

【0206】

上面射出構造の発光素子について図28(A)を用いて説明する。

【0207】

図28(A)に、駆動用TF T 7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図28(A)では、発光素子7002の陰極7003と駆動用TF T 7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

20

30

【0208】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図28(A)に示した画素の場合、発光素子7002から発せられる光は、白抜き矢印で示すように陽極7005側に射出する。

【0209】

次に、下面射出構造の発光素子について図28(B)を用いて説明する。駆動用TF T 7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図28(B)では、駆動用TF T 7011と電氣的に接続された透光性を有する導電性材料7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜が成膜されていてもよい。陰極7013は、図28(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するAlを、陰極7013として用いることができる。そして発光層7014は、図28(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図28(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を

40

50

添加した樹脂等を用いることもできる。

【0210】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図28(B)に示した画素の場合、発光素子7012から発せられる光は、白抜きの矢印で示すように陰極7013側に射出する。

【0211】

次に、両面射出構造の発光素子について、図28(C)を用いて説明する。図28(C)では、駆動用TFT7021と電氣的に接続された透光性を有する導電性材料7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図28(A)の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極7023として用いることができる。そして発光層7024は、図28(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図28(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0212】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図28(C)に示した画素の場合、発光素子7022から発せられる光は、白抜きの矢印で示すように陽極7025側と陰極7023側の両方に射出する。

20

【0213】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0214】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ(駆動用TFT)と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0215】

なお本実施の形態で示す発光装置は、図28に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

30

【0216】

以上の工程により、発光装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、電気特性が優れ、信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光装置である。

【0217】

(実施の形態7)

本発明の表示装置の一形態である表示パネルの構成について、以下に示す。

【0218】

図29(A)に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している表示パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路6013は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、またはSOIを用いたトランジスタであっても良い。画素部6012と、信号線駆動回路6013と、走査線駆動回路6014とに、それぞれ電源の電位、各種信号等が、FPC6015を介して供給される。

40

【0219】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良

50

い。

【0220】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図29(B)に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している液晶表示装置パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆動回路6024とに、それぞれ電源の電位、各種信号等が、FPC6025を介して供給される。

10

【0221】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図29(C)に、信号線駆動回路の一部であるアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路の一部であるシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路の一部であるシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。

20

【0222】

図29に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【0223】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図29に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

30

【0224】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0225】

図32に本発明の液晶表示装置のブロック図を示す。図32に示す表示装置は、表示素子を備えた画素を複数有する画素部701と、各画素を選択する走査線駆動回路702と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路703とを有する。

40

【0226】

図32において信号線駆動回路703は、シフトレジスタ704、アナログスイッチ705を有している。シフトレジスタ704には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ704においてタイミング信号が生成され、アナログスイッチ705に入力される。

【0227】

またアナログスイッチ705には、ビデオ信号(video signal)が与えら

50

れている。アナログスイッチ705は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0228】

次に、走査線駆動回路702の構成について説明する。走査線駆動回路702は、シフトレジスタ706、バッファ707を有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路702において、シフトレジスタ706にクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファ707において緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファ707は大きな電流を流すことが可能なものが用いられる。

10

【0229】

フルカラーの液晶表示装置で、R(赤)、G(緑)、B(青)に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ704とアナログスイッチ705とを接続するための端子数が、アナログスイッチ705と画素部701の信号線を接続するための端子数の1/3程度に相当する。よって、アナログスイッチ705を画素部701と同じ基板上に形成することで、アナログスイッチ705を画素部701と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

20

【0230】

なお、図32の走査線駆動回路702は、シフトレジスタ706、及びバッファ707を有するが、シフトレジスタ706で走査線駆動回路702を構成してもよい。

【0231】

なお、図32に示す構成は、本発明の表示装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。図32に示したような回路を、微結晶半導体を用いたトランジスタで構成した液晶表示装置は、回路を高速に動作させることが出来る。例えば、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、トランジスタの移動度が大きいいため、駆動回路(例えば走査線駆動回路702のシフトレジスタ706)の駆動周波数を高くすることが可能となる。走査線駆動回路702を高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

30

【0232】

フレーム周波数を上げる場合は、画像の動きの方向に応じて、画面のデータを生成することが望ましい。つまり、動き補償を行って、データを補間することが望ましい。このように、フレーム周波数を上げ、画像データを補間することにより、動画の表示特性が改善され、滑らかな表示を行うことが出来る。例えば、2倍(例えば120ヘルツ、100ヘルツ)以上、より好ましくは4倍(例えば480ヘルツ、400ヘルツ)以上により、動画における画像のぼけや残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、フレーム周波数を上げる

40

【0233】

黒画面挿入を行う場合は、画像データもしくは黒表示となるデータを画素部701に供給できるようにする。その結果、インパルス駆動に近い形となり、残像を低減することが出来る。その場合、走査線駆動回路702も、駆動周波数を高くして、動作させることにより、黒画面挿入を行うことが出来る。

【0234】

さらに、走査線駆動回路702のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。例えば8倍(例えば960ヘルツ、800ヘルツ)以上のフレーム周波数とす

50

ることが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

【0235】

なお、図32に示したような回路を、微結晶半導体を用いたトランジスタで構成することにより、レイアウト面積を小さくすることが出来る。そのため、表示装置の一例である液晶表示装置の額縁を小さくすることができる。例えば、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、トランジスタの移動度が大きい為、トランジスタのチャンネル幅を小さくすることが出来る。その結果、液晶表示装置を狭額縁化させることが可能となる。

10

【0236】

しかしながら、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、劣化しにくい。したがって、微結晶半導体膜を用いた場合は、トランジスタのチャンネル幅を小さくすることが出来る。または、劣化に対する補償用の回路を配置しなくても正常に動作させることが出来る。これらにより、画素1つ当たりのトランジスタの平面面積を小さくすることが出来る。

【0237】

(実施の形態8)

本発明の表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図33を用いて説明する。図33(A)は、第1の基板4001上に形成された微結晶半導体膜を有する薄膜トランジスタ4010及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図33(B)は、図33(A)のA-A'における断面図相当する。

20

【0238】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図33では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

30

【0239】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図33(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。薄膜トランジスタ4010は微結晶半導体膜を用いた薄膜トランジスタに相当する。

40

【0240】

また4013は液晶素子に相当し、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と配線4040を介して電氣的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。

【0241】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとして

50

は、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0242】

また4035は球状のスペーサであり、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いても良い。

【0243】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、引き回し配線4014、4015を介して、FPC4018から供給されている。

【0244】

本実施の形態では、接続端子4016が、液晶素子4013が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4040と同じ導電膜で形成されている。

【0245】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0246】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【0247】

また図33では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0248】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【0249】

(実施の形態9)

次に、本発明の表示装置の一形態に相当する発光表示パネルの外観及び断面について、図34を用いて説明する。図34(A)は、第1の基板上に形成された微結晶半導体膜を用いた薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図34(B)は、図34(A)のA-A'における断面図に相当する。

【0250】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、充填材4007と共に密封されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図34(B)では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

10

20

30

40

50

【0251】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図34(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。なお本実施の形態では、薄膜トランジスタ4010が駆動用TFTであると仮定するが、薄膜トランジスタ4010は電流制御用TFTであっても良いし、消去用TFTであっても良い。薄膜トランジスタ4010は微結晶半導体膜を用いた薄膜トランジスタに相当する。

【0252】

また4011は発光素子に相当し、発光素子4011が有する画素電極4017は、薄膜トランジスタ4010のソース電極またはドレイン電極と、配線4020を介して電氣的に接続されている。そして本実施の形態では、発光素子4011の共通電極と透光性を有する導電性膜4012が電氣的に接続されている。なお発光素子4011の構成は、本実施の形態に示した構成に限定されない。発光素子4011から取り出す光の方向や、薄膜トランジスタ4010の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

10

【0253】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図34(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、FPC4018から供給されている。

20

【0254】

本実施の形態では、接続端子4016が、発光素子4011が有する画素電極4017と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4020と同じ導電膜から形成されている。

【0255】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0256】

発光素子4011からの光の取り出し方向に位置する第2の基板は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

30

【0257】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態では充填材として窒素を用いた。

【0258】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(/ 4板、 / 2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【0259】

なお、図34では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0260】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

50

【0261】

(実施の形態10)

本発明により得られる表示装置等によって、アクティブマトリクス型表示装置モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0262】

その様な電子機器としては、ビデオカメラ、デジタルカメラなどのカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図30に示す。

10

【0263】

図30(A)はテレビジョン装置である。表示モジュールを、図30(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0264】

図30(A)に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

20

【0265】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

30

【0266】

図31はテレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネルにCOG方式により実装されていても良い。

【0267】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を増幅する映像信号増幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

40

【0268】

チューナ924で受信した信号のうち、音声信号は、音声信号増幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局(受信周波数)や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

【0269】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをは

50

じめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0270】

図30(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した表示装置を適用することで、量産性を高めることができる。

【0271】

また、図30(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す表示装置を適用することにより、量産性を高めることができる。

10

【0272】

図30(D)は卓上照明器具であり、照明部2501、傘2502、可変アーム2503、支柱2504、台2505、電源2506を含む。上記実施の形態6で説明した発光装置を照明部2501に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態6に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

【図面の簡単な説明】

【0273】

【図1】本発明の作製方法を説明する断面図である。

20

【図2】本発明の作製方法を説明する断面図である。

【図3】本発明の作製方法を説明する断面図である。

【図4】本発明の作製方法を説明する上面図である。

【図5】微結晶シリコン膜を形成する工程を説明するタイムチャートの一例を示す図である。

【図6】3つの処理室を備えたマルチチャンバ方式のプラズマCVD装置の構成を示す上面図である。

【図7】4つの処理室を備えたマルチチャンバ方式のプラズマCVD装置の構成を示す上面図である。

【図8】本発明に適用可能な多階調マスクを説明する図である。

30

【図9】本発明の作製工程の断面図を示す図。

【図10】本発明の作製工程の断面図を示す図。

【図11】本発明の作製工程の断面図を示す図。

【図12】本発明の作製工程の上面図を示す図。

【図13】液晶表示装置の一例を説明する図である。

【図14】液晶表示装置の一例を説明する図である。

【図15】液晶表示装置の一例を説明する図である。

【図16】液晶表示装置の一例を説明する図である。

【図17】液晶表示装置の一例を説明する図である。

【図18】液晶表示装置の一例を説明する図である。

40

【図19】液晶表示装置の一例を説明する図である。

【図20】液晶表示装置の一例を説明する図である。

【図21】液晶表示装置の一例を説明する図である。

【図22】液晶表示装置の一例を説明する図である。

【図23】本発明の液晶表示装置を説明する図である。

【図24】本発明の液晶表示装置を説明する図である。

【図25】液晶表示装置の一例を説明する図である。

【図26】液晶表示装置の一例を説明する図である。

【図27】発光装置の作製方法の一例を説明する断面図である。

【図28】発光装置に適用可能な画素を説明する断面図である。

50

【図 29】表示パネルを説明する斜視図である。

【図 30】発光装置を用いた電子機器を説明する斜視図である。

【図 31】発光装置を用いた電子機器を説明する図である。

【図 32】発光装置の構成を説明するブロック図である。

【図 33】表示パネルを説明する上面図及び断面図である。

【図 34】表示パネルを説明する上面図及び断面図である。

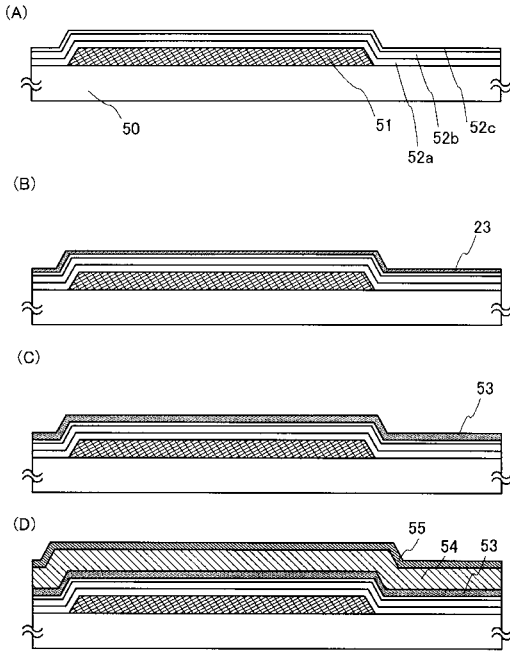
【符号の説明】

【0274】

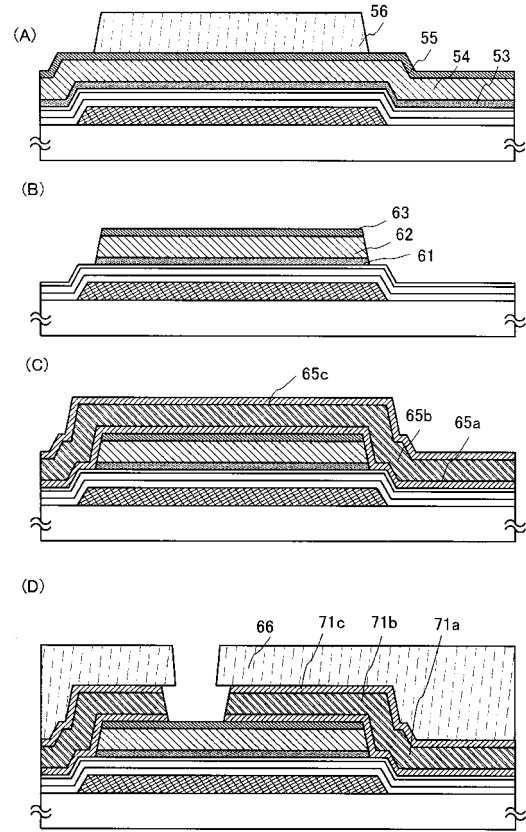
11	: 画素部	
12	: 駆動回路部	10
23	: 微結晶半導体膜	
50	: 基板	
51	: ゲート電極	
52 a、52 b、52 c	: ゲート絶縁膜	
53	: 微結晶半導体膜	
54	: バッファ層	
55	: 一導電性を付与する不純物が添加された半導体膜	
56	: レジストマスク	
59	: 多階調マスク	
61	: 微結晶半導体膜	20
62	: バッファ層	
63	: 一導電性を付与する不純物が添加された半導体膜	
65 a、65 b、65 c	: 導電膜	
66	: レジストマスク	
71 a、71 b、71 c	: ソース電極及びドレイン電極	
72	: ソース領域及びドレイン領域	
73	: バッファ層	
74	: 薄膜トランジスタ	
76	: 絶縁膜	
77	: 画素電極	30
80	: レジストマスク	
81	: レジストマスク	
83	: 薄膜トランジスタ	
84	: 薄膜トランジスタ	
85 a ~ 85 c	: 導電膜	
87	: バッファ層	
86	: レジストマスク	
88	: ソース領域及びドレイン領域	
90	: 微結晶半導体膜	
91	: 隔壁	40
92 a、92 b、92 c	: ソース電極及びドレイン電極	
93	: 平坦化膜	
94	: 画素電極	
95	: 発光層	
96	: 共通電極	
97	: 保護膜	
98	: 発光素子	
100 a	: 第1反応室	
100 b	: 第2反応室	
100 c	: 第3反応室	50

1 0 0 d	第 4 反 応 室	
1 0 4	高 周 波 電 源	
1 0 6	整 合 器	
1 0 8	ガ ス 供 給 手 段	
1 0 8 g	ガ ス 供 給 手 段	
1 0 8 i	ガ ス 供 給 手 段	
1 0 8 n	ガ ス 供 給 手 段	
1 0 8 a	ガ ス 供 給 手 段	
1 0 8 f	ガ ス 供 給 手 段	
1 1 8	コ ン ダ ク タ ン ス バ ル ブ	10
1 1 9	タ ー ボ 分 子 ポ ン プ	
1 2 0	ド ラ イ ポ ン プ	
1 2 1	ク ラ イ オ ポ ン プ	
1 2 2	ロ ー ド / ア ン ロ ー ド 室	
1 2 3	共 通 室	
1 2 4	カ セ ッ ト	
1 2 5	ゲ ー ト バ ル ブ	
1 2 6	搬 送 機 構	
1 2 7	ス イ ッ チ	
2 0 0	真 空 排 気	20
2 0 1	プ レ コ ー ト	
2 0 2	基 板 搬 入	
2 0 3	下 地 前 処 理	
2 0 4	成 膜 処 理	
2 0 5	基 板 搬 出	
2 0 6	ク リ ー ニ ン グ	
2 0 7	破 線	

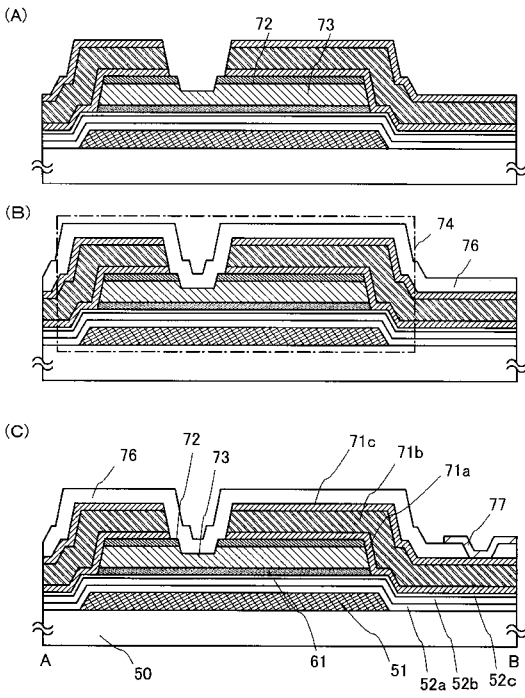
【 図 1 】



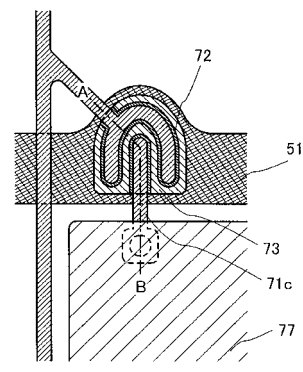
【 図 2 】



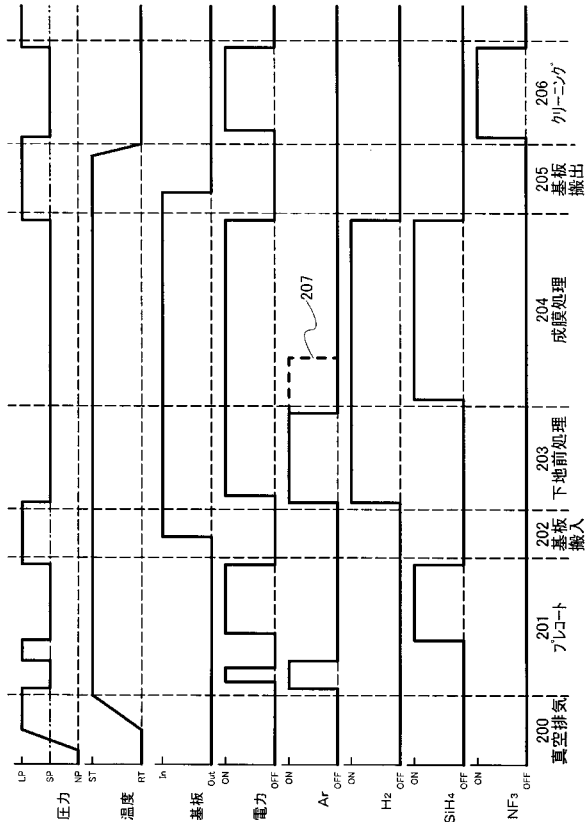
【 図 3 】



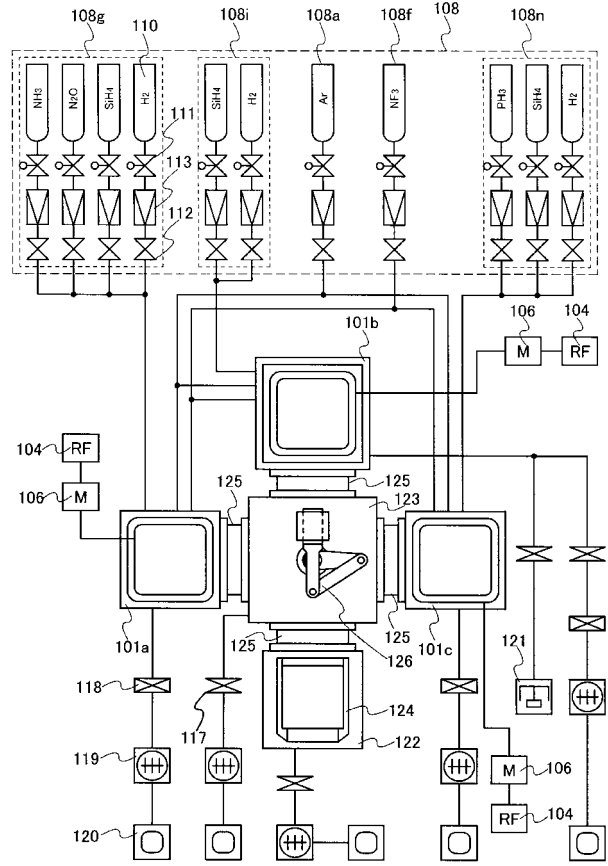
【 図 4 】



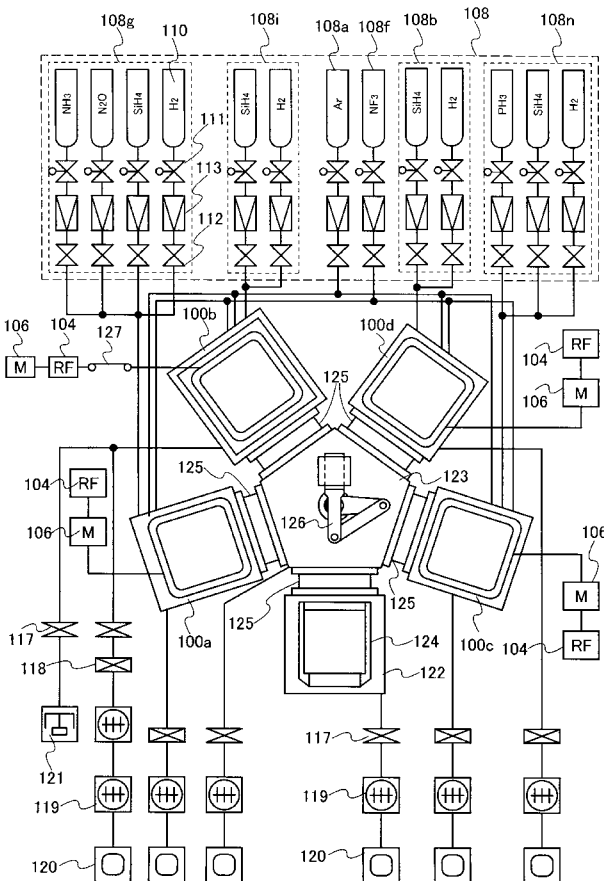
【図5】



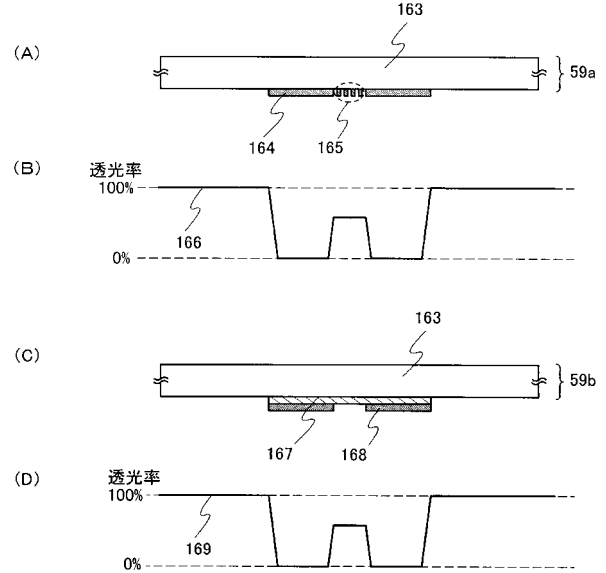
【図6】



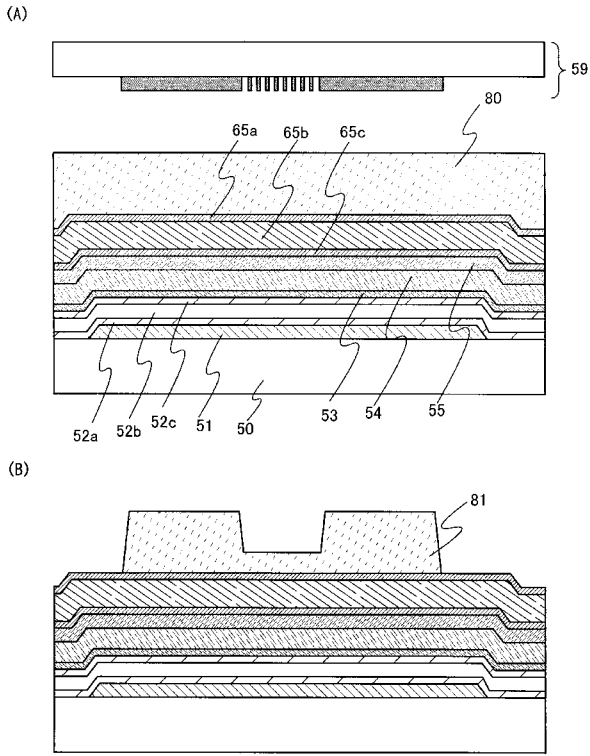
【図7】



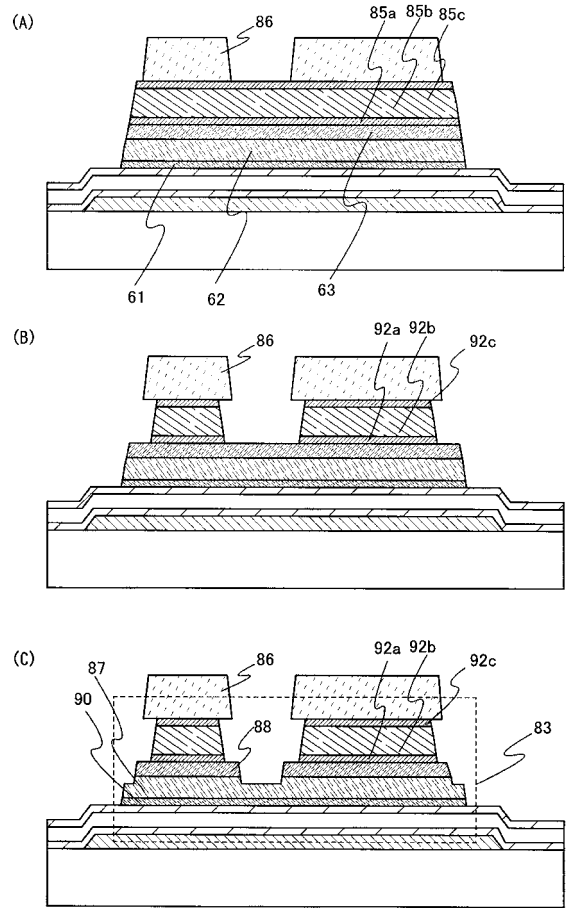
【図8】



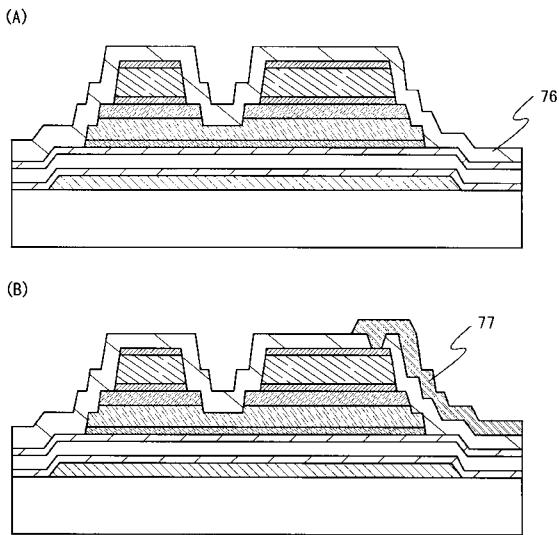
【 図 9 】



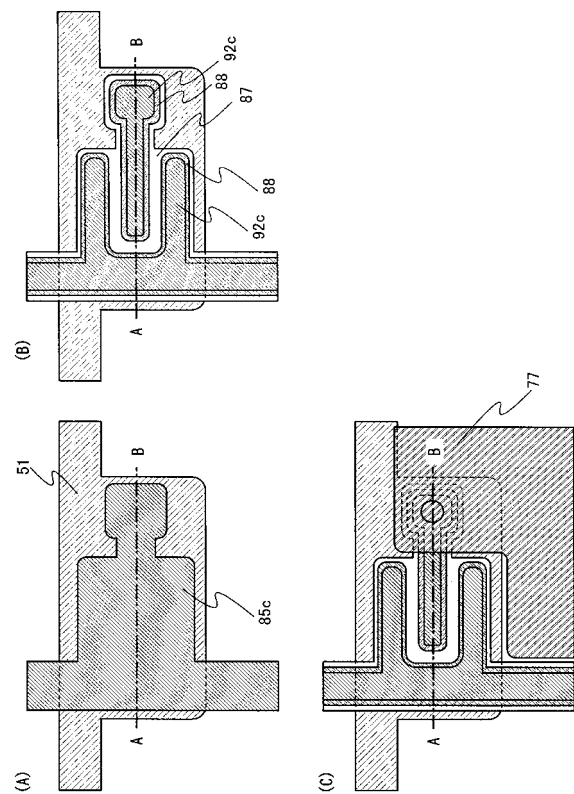
【 図 1 0 】



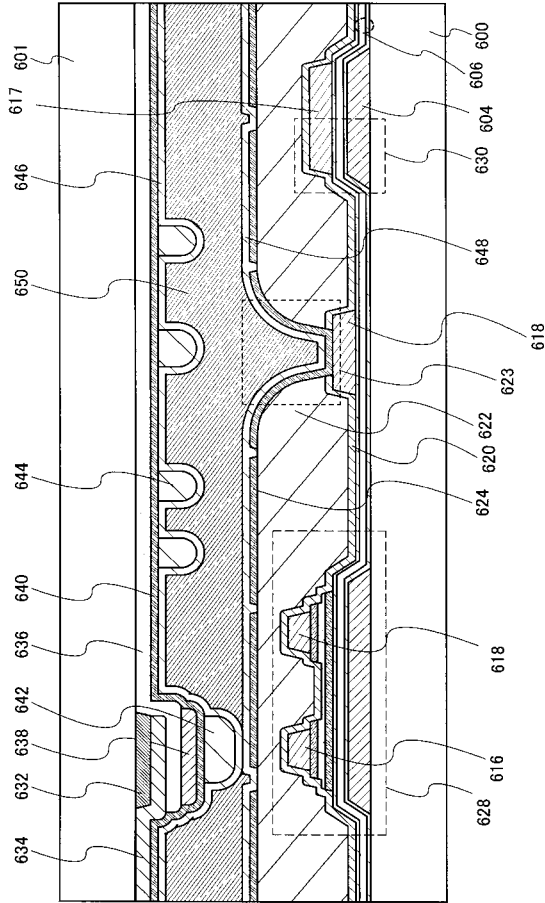
【 図 1 1 】



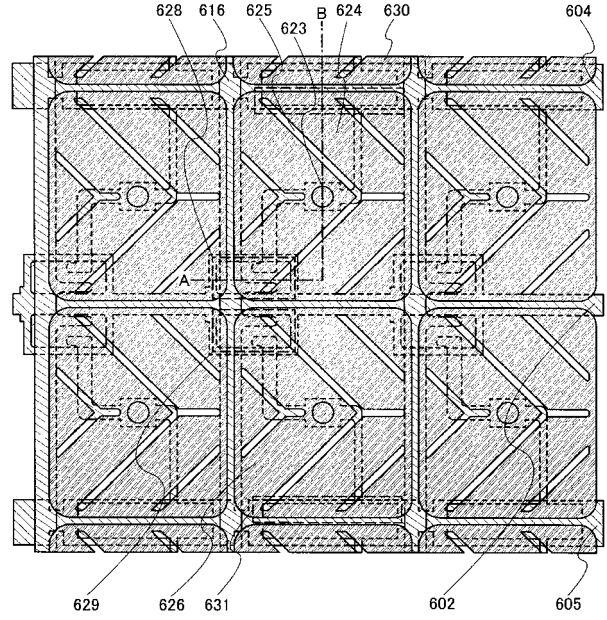
【 図 1 2 】



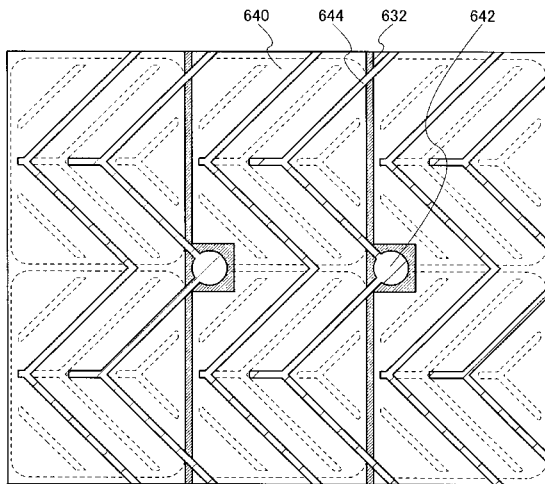
【 図 1 3 】



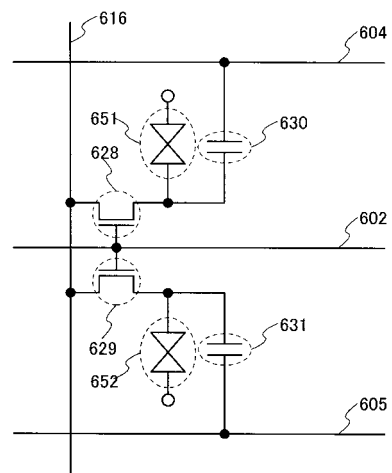
【 図 1 4 】



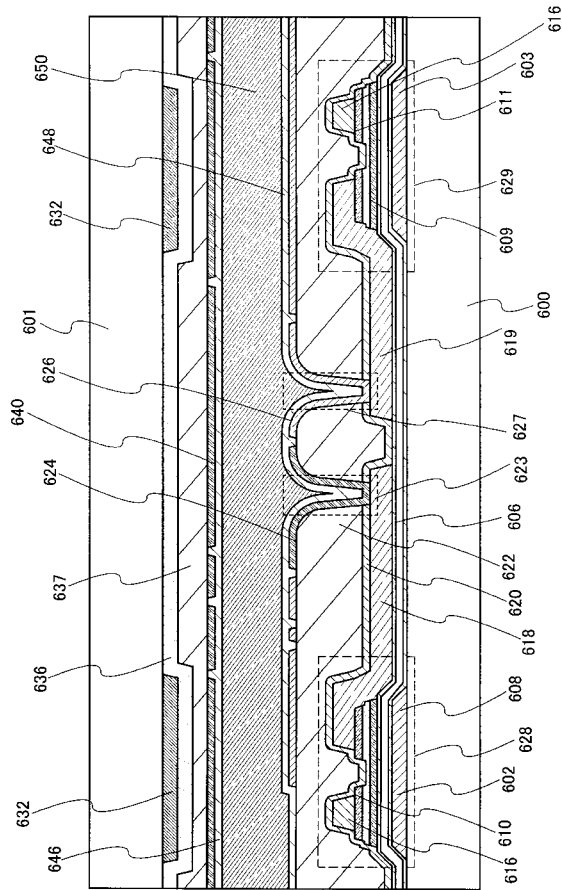
【 図 1 5 】



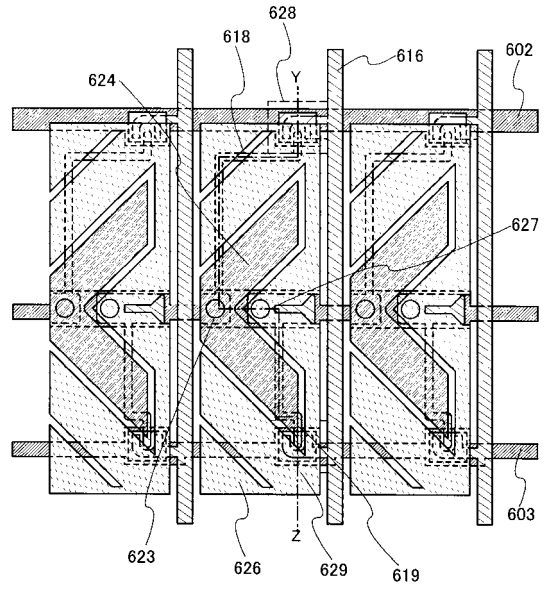
【 図 1 6 】



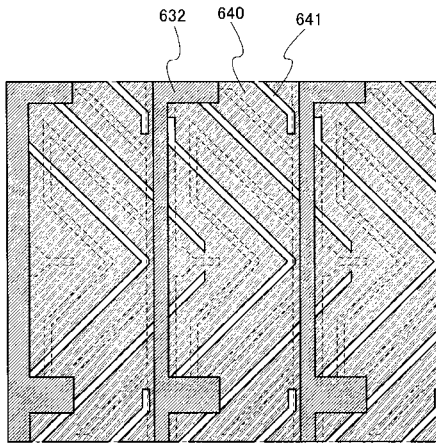
【 図 1 7 】



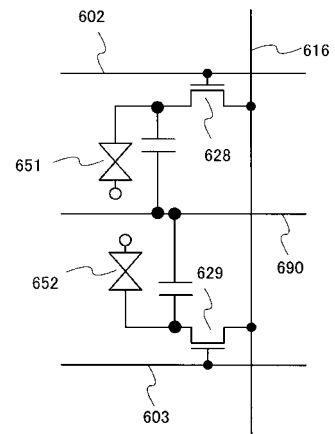
【 図 1 8 】



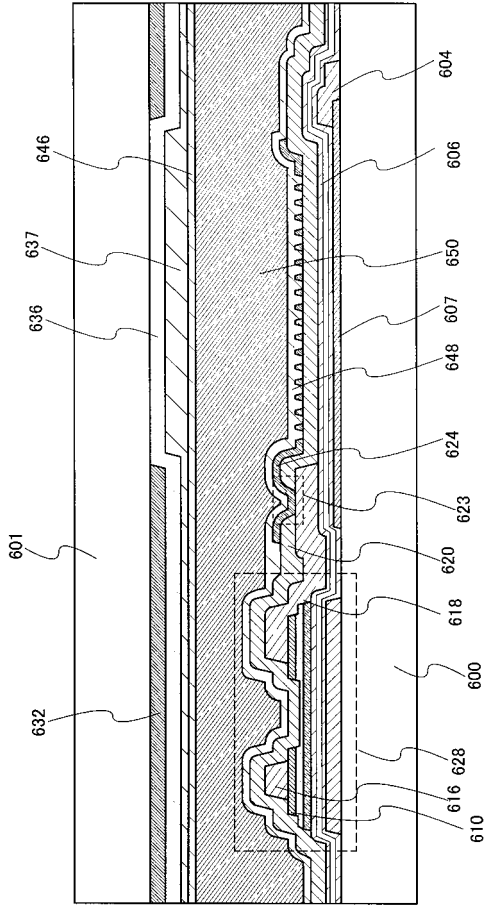
【 図 1 9 】



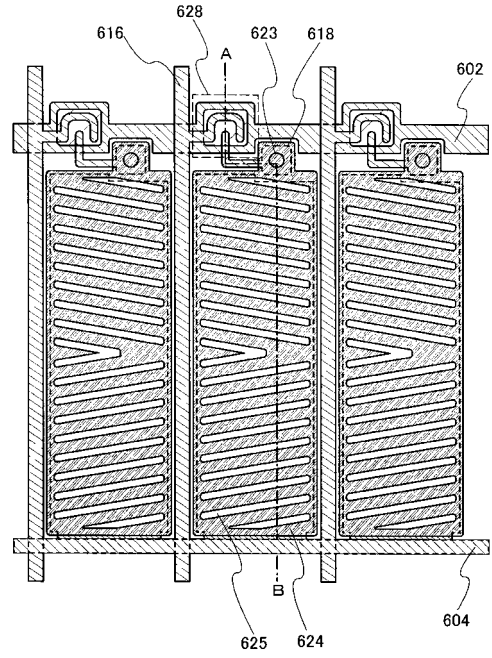
【 図 2 0 】



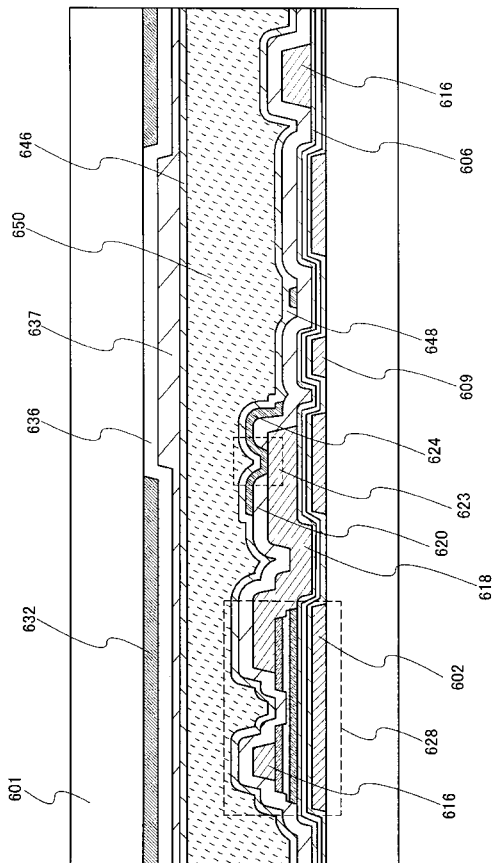
【 図 2 1 】



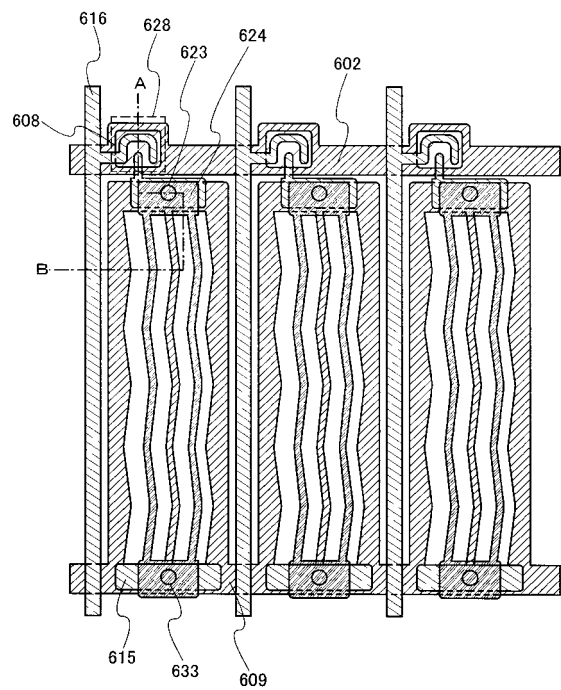
【 図 2 2 】



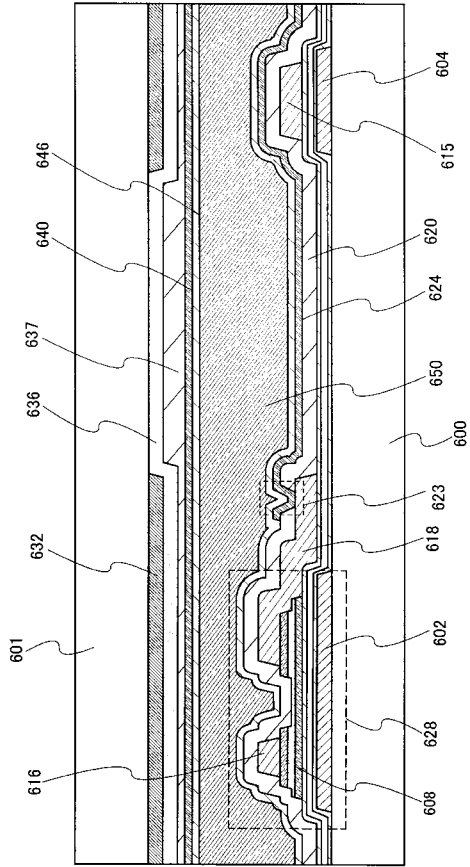
【 図 2 3 】



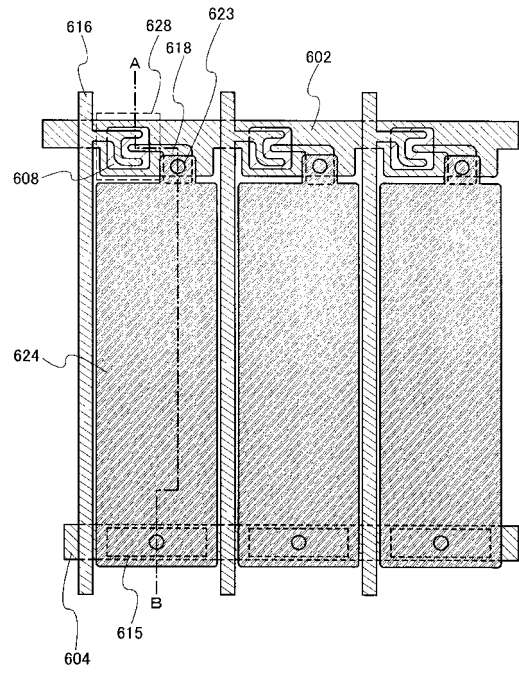
【 図 2 4 】



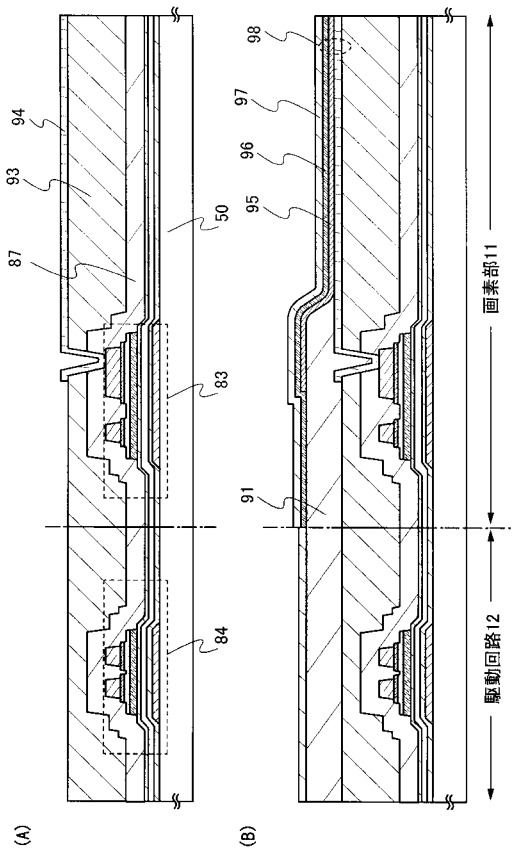
【 図 2 5 】



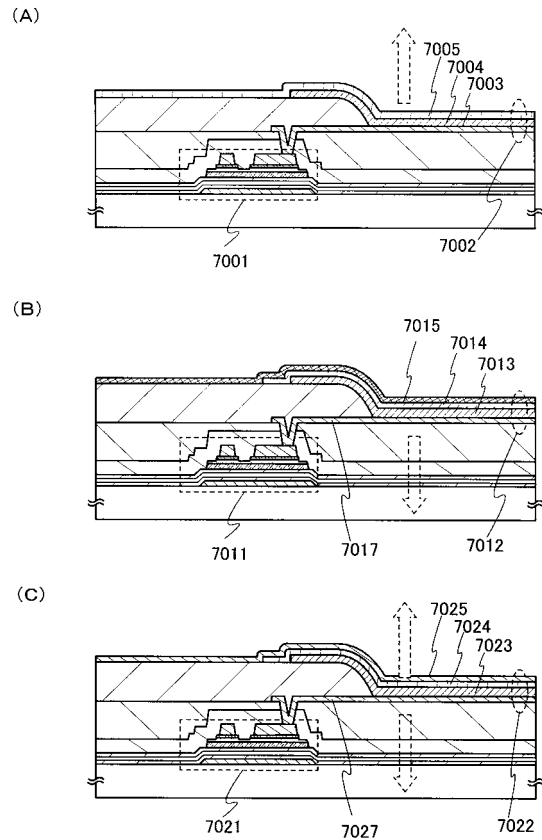
【 図 2 6 】



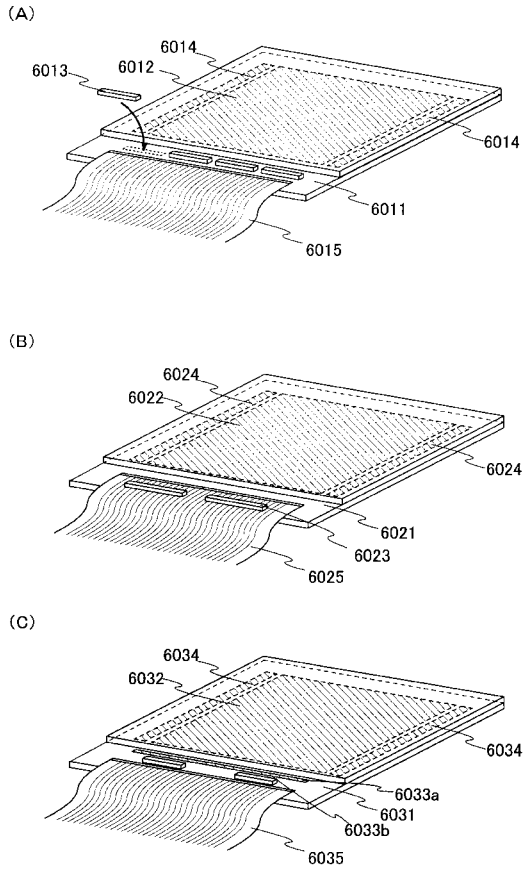
【 図 2 7 】



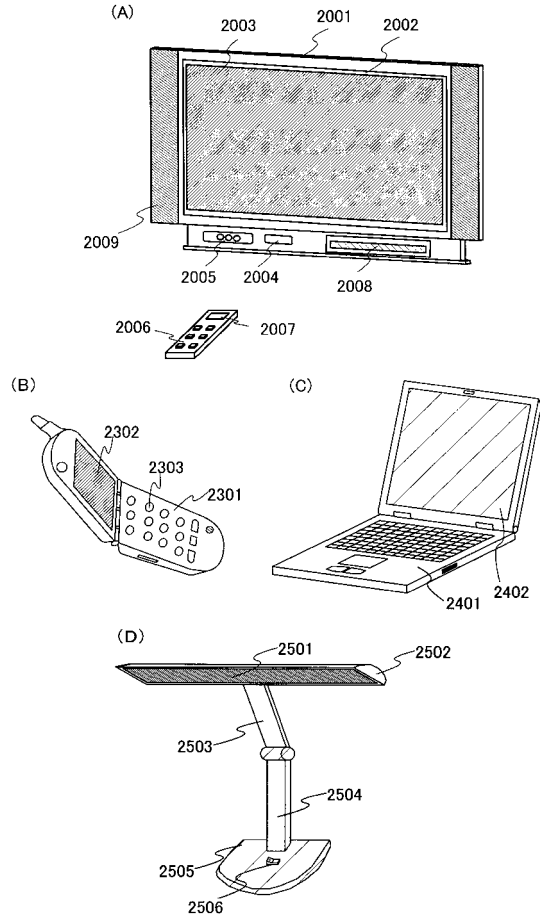
【 図 2 8 】



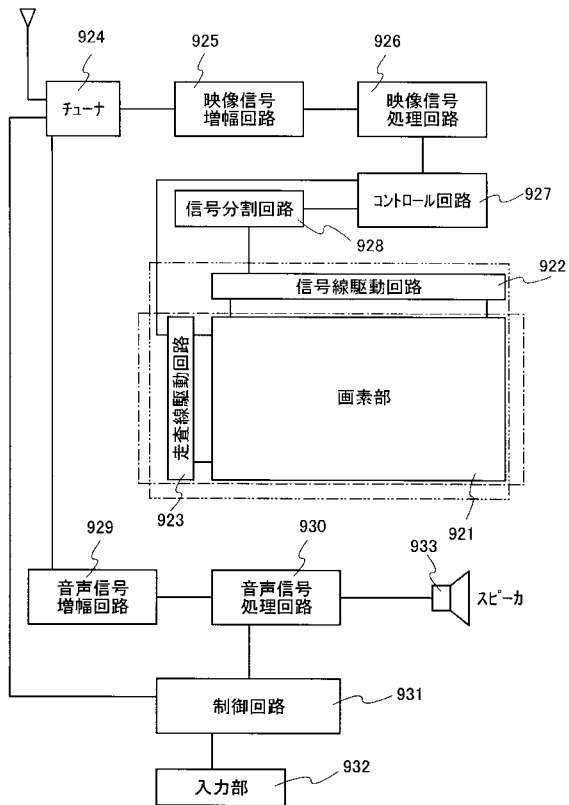
【図 29】



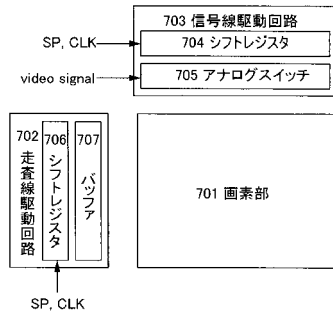
【図 30】



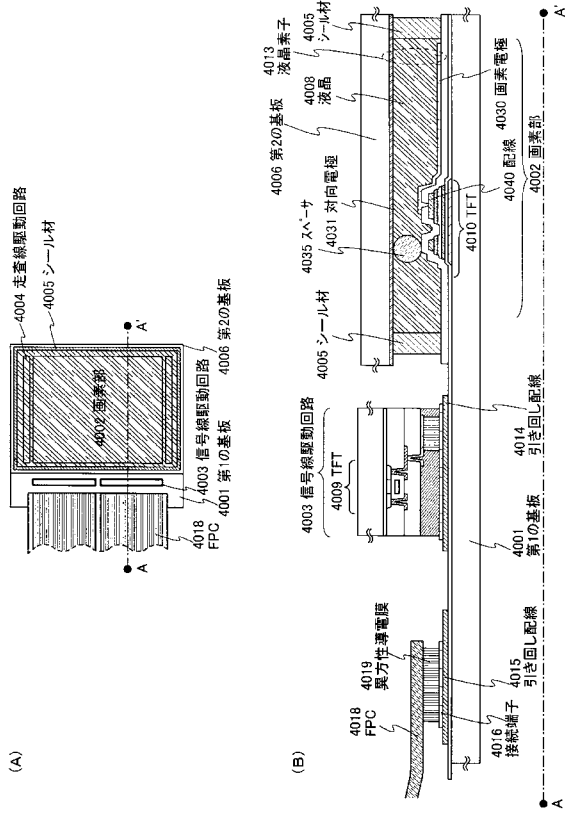
【図 31】



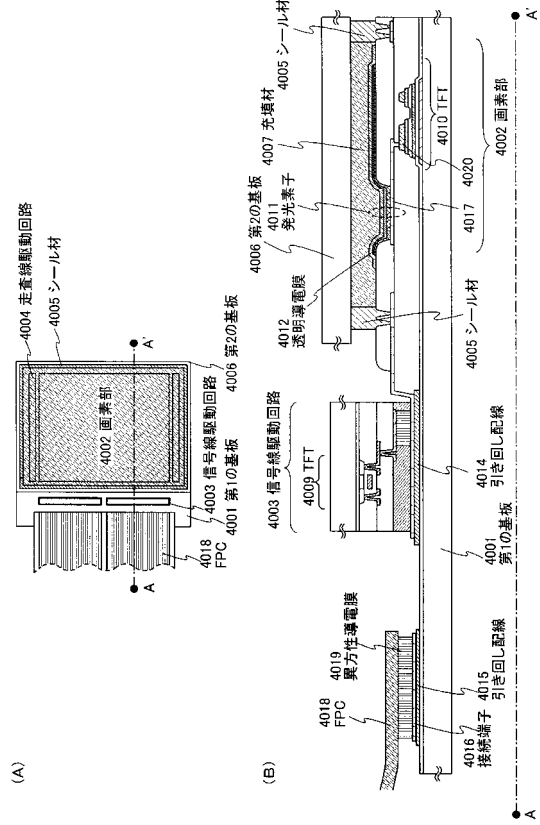
【図 32】



【図 3 3】



【図 3 4】



フロントページの続き

(72)発明者 神保 安弘

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 大力 浩二

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 桑原 秀明

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 5F110 AA01 BB01 BB02 BB04 CC07 DD01 DD02 EE01 EE03 EE04
EE14 EE15 EE23 EE42 EE43 EE44 FF02 FF03 FF04 FF10
FF28 FF29 FF30 GG02 GG14 GG15 GG19 GG22 GG45 GG57
HK02 HK03 HK04 HK06 HK09 HK16 HK22 HK25 HK32 HK33
HL01 HL07 HL23 HM04 HM12 NN02 NN24 NN27 QQ02 QQ09