

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6019692号
(P6019692)

(45) 発行日 平成28年11月2日(2016.11.2)

(24) 登録日 平成28年10月14日(2016.10.14)

(51) Int.Cl. F I
 HO4N 5/369 (2011.01) HO4N 5/335 690
 HO4N 5/232 (2006.01) HO4N 5/232 H

請求項の数 14 (全 27 頁)

<p>(21) 出願番号 特願2012-92590 (P2012-92590) (22) 出願日 平成24年4月16日(2012.4.16) (65) 公開番号 特開2013-223054 (P2013-223054A) (43) 公開日 平成25年10月28日(2013.10.28) 審査請求日 平成27年1月6日(2015.1.6)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100112955 弁理士 丸島 敏一 (72) 発明者 桑添 泰嘉 東京都港区港南1丁目7番1号 ソニー株式会社内 審査官 松永 隆志</p>
---	--

最終頁に続く

(54) 【発明の名称】 撮像素子、撮像素子の制御方法、および、撮像装置

(57) 【特許請求の範囲】

【請求項1】

位相差を検出するための位相差画素と複数の通常画素とが配列された複数の位相差ラインと、

複数の通常画素が配列された複数の通常ラインと、

第1の期間内に前記複数の位相差ラインおよび前記複数の通常ラインの各々に配列された複数の通常画素を選択するとともに、前記第1の期間とは異なる第2の期間内に前記複数の位相差ラインの各々に配列された複数の位相差画素を選択する走査部とを備え、

前記第2の期間は、前記第1の期間に選択された前記複数の通常画素の出力に基づく画像処理が行われる期間と重複する期間である
 撮像素子。

【請求項2】

前記走査部は、前記複数の位相差ライン及び前記複数の通常ラインを選択する行走査部と、前記行走査部で選択されたラインに含まれる画素を選択する列走査部とからなる
 請求項1に記載の撮像素子。

【請求項3】

前記第1の期間内に選択された位相差ライン及び通常ラインの各々における前記複数の通常画素の各々を同時に駆動するとともに、前記第2の期間内に選択されたラインの各々における前記複数の位相差画素の各々を同時に駆動する駆動部をさらに備える
 請求項1又は2に記載の撮像素子。

【請求項 4】

前記駆動された通常画素または前記駆動された位相差画素の画素値を保持する画素値保持部をさらに備える

請求項 3 に記載の撮像素子。

【請求項 5】

前記第 1 の期間内において、通常画素に基づく画素値と前記位相差画素の画素値に代えて出力される固定値とが出力される

請求項 1 乃至 4 に記載の撮像素子。

【請求項 6】

前記第 1 の期間内に選択されたラインの各々において、所定の位置関係にある複数の画素に前記位相差画素が含まれる場合には、前記通常画素の画素値と前記固定値とを加算し、前記所定の位置関係にある複数の画素に前記位相差画素が含まれない場合には、前記複数の画素の画素値を加算する画素加算部をさらに備える

請求項 5 に記載の撮像素子。

【請求項 7】

前記複数の位相差画素は、瞳分割された一对の光を受光するための一对の位相差画素を含み、

前記第 2 の期間は、一对の期間に分割され、

前記一对の期間の一方において前記一对の位相差画素のうち一方の位相差画素が選択され、前記一对の期間の他方において前記一对の位相差画素のうち他方の位相差画素が選択される

請求項 1 乃至 6 に記載の撮像素子。

【請求項 8】

前記第 1 の期間は、前記第 1 の期間とは異なる期間に選択された前記複数の位相差画素の画素値の出力に基づく位相差検出処理が行われる期間と重複する期間である

請求項 1 乃至 7 に記載の撮像素子。

【請求項 9】

位相差を検出するための位相差画素と複数の通常画素とが配列された複数の位相差ラインと、

複数の通常画素が配列された複数の通常ラインと、

第 1 の期間内に前記複数の位相差ラインおよび前記複数の通常ラインの各々に配列された複数の通常画素を選択するとともに、前記第 1 の期間とは異なる第 2 の期間内に前記複数の位相差ラインの各々に配列された複数の位相差画素を選択する走査部と、を備える撮像素子と、

前記撮像素子からの通常画素の出力に基づき画像処理を行う画像処理部とを備え、

前記第 2 の期間は、前記第 1 の期間に選択された前記複数の通常画素の出力に基づく画像処理が行われる期間と重複する期間である

撮像装置。

【請求項 10】

前記撮像素子からの位相差画素の出力に基づき位相差検出処理を行う位相差検出部をさらに備える

請求項 9 に記載の撮像装置。

【請求項 11】

前記走査部は、前記複数の位相差ライン及び前記複数の通常ラインを選択する行走査部と、前記行走査部で選択されたラインに含まれる画素を選択する列走査部とからなる

請求項 9 または 10 に記載の撮像装置。

【請求項 12】

前記走査部は、前記第 1 の期間内に前記複数の位相差ラインのいずれかが選択された場合には前記位相差画素の位置に対応する順番において画素の画素値として出力されることのない固定値をさらに出力する

10

20

30

40

50

請求項 9 乃至 1 1 に記載の撮像装置。

【請求項 1 3】

前記複数の位相差画素は、瞳分割された一对の光を受光するための一对の位相差画素を含み、

前記第 2 の期間は、一对の期間に分割され、

前記一对の期間の一方において前記一对の位相差画素のうち一方の位相差画素が選択され、前記一对の期間の他方において前記一对の位相差画素のうち他方の位相差画素が選択される

請求項 9 乃至 1 2 に記載の撮像装置。

【請求項 1 4】

前記第 1 の期間は、前記第 1 の期間とは異なる期間に選択された前記複数の位相差画素の画素値の出力に基づく位相差検出処理が行われる期間と重複する期間である

請求項 9 乃至 1 3 に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、撮像素子、撮像素子の制御方法、および、撮像装置に関する。詳しくは、位相差を検出するための画素を含む撮像素子、撮像素子の制御方法、および、撮像装置に関する。

【背景技術】

【0002】

従来、撮像装置においては、焦点検出のための一手法として位相差検出方式が知られている。この位相差検出方式は、1 対の受光素子により出力された信号の位相差から焦点を検出する方式である。この位相差検出用の受光素子に光を導くミラーを備えない撮像装置においては、位相差を検出するための画素（以下、「位相差画素」と称する。）が、それ以外の画素（以下、「通常画素」と称する。）とともに受光面に配置されることがある。このような撮像装置において、画像を撮像するとともに位相差を検出する場合、通常、全画素の画素値を読み出してから、それらの画素値において位相差画素の画素値を補間してデモザイク処理などの画像処理が行われる。また、読み出した全画素の画素値から位相差画素の画素値を分離することにより位相差の検出が行われる。

【0003】

このような位相差画素および通常画素が配置された撮像装置においては、撮像開始から画像処理および位相差検出処理の終了までの時間が短いほど、画像の表示や合焦のレスポンスが向上する。そこで、画像処理および位相差検出処理の終了までの時間を短縮するために、例えば、画素値の読出しにおいて、3 ラインのうち 1 ラインのみを読み出すなど、ラインを間引いて読出しを行う制御方法が提案されている（例えば、特許文献 1 参照。）

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 1 1 - 1 0 1 3 2 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、上述の従来技術では、撮像開始から、画像処理や位相差検出処理の終了までの時間を十分に短縮できないおそれがある。ラインを間引いて位相差検出処理および画像処理を行う場合においても、撮像装置は、画像処理に不要な位相差画素も読み出す必要があるため、不要な位相差画素を読み出す時間の分、画像処理の開始が遅れてしまう。また、撮像装置は、位相差検出に不要な通常画素も読み出す必要があるため、通常画素を読み出す時間の分、位相差検出の開始が遅れてしまう。このため、撮像開始から、画像処理や位

10

20

30

40

50

相差検出処理までの時間が十分に短くならないという問題がある。

【 0 0 0 6 】

本技術はこのような状況に鑑みて生み出されたものであり、撮像装置において、撮像開始から、画像処理または位相差検出処理の終了までの時間を短縮することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、位相差を検出するための位相差画素を含む複数の画素が配列された複数の位相差ラインと、上記位相差画素を含まない複数の通常画素が配列された複数の通常ラインと、第1の期間内に上記複数の位相差ラインおよび上記複数の通常ラインの各々を選択し、上記第1の期間と異なる第2の期間内に上記複数の位相差ラインの各々を選択する行走査部と、上記第1の期間内に選択されたラインの各々において上記複数の通常画素の画素値を出力し、上記第2の期間内に選択されたラインの各々において上記位相差画素の画素値を出力する列走査部とを具備する撮像素子、および、その制御方法である。これにより、第1の期間内に選択されたラインの各々において複数の通常画素の画素値が出力され、第2の期間内に選択されたラインの各々において位相差画素の画素値が出力されるという作用をもたらす。

10

【 0 0 0 8 】

また、この第1の側面において、上記第1の期間内に選択されたラインの各々において上記複数の通常画素の各々を同時に駆動し、上記第2の期間内に選択されたラインの各々において上記位相差画素の各々を同時に駆動する駆動部と、上記駆動された通常画素または上記駆動された位相差画素の画素値の各々を保持する画素値保持部とをさらに具備し、上記列走査部は、上記保持された画素値の各々を所定の順番で出力してもよい。これにより、選択されたラインの各々において複数の通常画素または位相差画素の各々が同時に駆動し、駆動された位相差画素の画素値の各々が保持され、保持された画素値の各々が所定の順番で出力されるという作用をもたらす。

20

【 0 0 0 9 】

また、この第1の側面において、上記列走査部は、上記第1の期間内に上記複数の位相差ラインのいずれかが選択された場合には上記位相差画素の位置に対応する順番において画素の画素値として出力されることのない固定値をさらに出力してもよい。これにより、第1の期間内に複数の位相差ラインのいずれかが選択された場合には位相差画素の位置に対応する順番において固定値がさらに出力されるという作用をもたらす。

30

【 0 0 1 0 】

また、この第1の側面において、上記第1の期間内に選択されたラインの各々において所定の位置関係にある複数の画素に上記位相差画素が含まれる場合には上記通常画素の画素値と上記固定値とを加算し、上記所定の位置関係にある複数の画素に上記位相差画素が含まれない場合には上記複数の画素の画素値を加算する画素加算部をさらに具備し、上記列走査部は、上記第1の期間内に選択されたラインの各々において上記加算された値を出力してもよい。これにより、第1の期間内に選択されたラインの各々において加算された値が出力されるという作用をもたらす。

40

【 0 0 1 1 】

また、この第1の側面において、前記複数の位相差画素の各々は、瞳分割された一対の光を受光するための一対の位相差画素を含み、前記行走査部は、前記第2の期間において前記位相差ラインの各々を選択する走査処理を2回実行し、前記列走査部は、前記第2の期間内の1回目の走査処理で選択されたラインの各々において前記一対の位相差画素のうち一方の画素値を出力し、前記第2の期間内の2回目の走査処理で選択されたラインの各々において前記一対の位相差画素のうち他方の画素値を出力してもよい。これにより、1回目の走査処理で一対の位相差画素のうち一方の画素値が出力され、2回目の走査処理で他方の画素値が出力されるという作用をもたらす。

【 0 0 1 2 】

50

また、本技術の第2の側面は、位相差を検出するための位相差画素を含む複数の画素が配列された複数の位相差ラインと、上記位相差画素を含まない複数の通常画素が配列された複数の通常ラインと、第1の期間内に上記複数の位相差ラインおよび上記複数の通常ラインの各々を選択し、上記第1の期間と異なる第2の期間内に上記複数の位相差ラインの各々を選択する行走査部と、上記第1の期間内に選択されたラインの各々において上記複数の通常画素の画素値を出力し、上記第2の期間内に選択されたラインの各々において上記位相差画素の画素値を出力する列走査部とを具備する撮像素子と、上記出力された上記複数の通常画素の画素値から画像を生成する画像処理部と、上記出力された位相差画素の画素値に基づいて位相差を検出する位相差検出部とを具備する撮像装置である。

【発明の効果】

10

【0013】

本技術によれば、撮像装置において、撮像開始から、画像処理または位相差検出処理の終了までの時間が短縮されるという優れた効果を奏し得る。

【図面の簡単な説明】

【0014】

【図1】第1の実施の形態における撮像装置の一構成例を示すブロック図である。

【図2】第1の実施の形態における撮像素子の一構成例を示すブロック図である。

【図3】第1の実施の形態における撮像素子の動作の一例を示す図である。

【図4】第1の実施の形態における画素の配置の一例を示す図である。

【図5】第1の実施の形態における行走査回路の一構成例を示すブロック図である。

20

【図6】第1の実施の形態における転送信号生成回路の一構成例を示すブロック図である。

【図7】第1の実施の形態における通常画素の一構成例を示す回路図である。

【図8】第1の実施の形態における列走査回路の一構成例を示すブロック図である。

【図9】第1の実施の形態における画像処理部の一構成例を示すブロック図である。

【図10】第1の実施の形態における通常画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

【図11】第1の実施の形態における位相差画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

【図12】第1の実施の形態における撮像装置の動作の一例を示すタイミングチャートである。

30

【図13】第2の実施の形態における撮像素子の一構成例を示すブロック図である。

【図14】第2の実施の形態における固定値挿入部の一構成例を示すブロック図である。

【図15】第2の実施の形態における列走査回路の一構成例を示すブロック図である。

【図16】第2の実施の形態における画像処理部の一構成例を示すブロック図である。

【図17】第2の実施の形態における画素加算が行われない場合の通常画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

【図18】第2の実施の形態における画素加算が行われる場合の通常画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

【図19】第2の実施の形態における位相差画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

40

【図20】第3の実施の形態における撮像素子の一構成例を示すブロック図である。

【図21】第3の実施の形態における位相差画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。

【図22】第3の実施の形態における撮像装置の動作の一例を示すタイミングチャートである。

【発明を実施するための形態】

【0015】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

50

1. 第1の実施の形態(通常画素の画素値を出力し、位相差画素の画素値を出力する例)
2. 第2の実施の形態(通常画素の画素値と固定値とを出力し、画素加算を行う例)
3. 第3の実施の形態(左側画素の画素値を出力し、右側画素の画素値を出力する例)

【0016】

< 1. 第1の実施の形態 >

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像を撮像する装置であり、カメラ制御部110、撮影レンズ120、画像処理部130、位相差検出部140、表示処理部150、表示部160、画像出力部170、画像記録制御部180および画像記録部190を備える。また、撮像装置100は、さらに撮像素子200を備える。

10

【0017】

カメラ制御部110は、撮像装置100全体を制御するものである。このカメラ制御部110は、ユーザの操作に従って、信号線119を介して撮像素子200へ制御信号を出力して画像を撮像させる。例えば、制御信号には、ライブビューモードであるかキャプチャーモードであるかを示す信号が含まれる。ライブビューモードは、画像を一定の間隔で(例えば、1/30秒ごと)撮像して表示部160に表示するためのモードである。一方、キャプチャーモードは、動画、または、静止画を撮像して記録するためのモードである。動画には、一定の間隔で撮像された複数の画像が含まれる。ライブビューモードにおいて撮像される画像は、キャプチャーモードにおいて撮像される画像よりも低解像度に設定される。また、カメラ制御部110は、ユーザの操作に従って、位相差検出部140が検出した位相差を受け取り、撮影レンズ120におけるフォーカシングレンズなどの位置を位相差に応じて制御することにより、焦点距離を調節する。

20

【0018】

撮影レンズ120は、焦点距離を変更することができるレンズである。例えば、フォーカシングレンズ、バリエータ、コンペンセータ、および、マスターレンズを備える、いわゆる4群ズームレンズが撮影レンズ120として用いられる。

【0019】

撮像素子200は、撮影レンズ120を介して受光した光量を電位に変換し、その電位に応じた画素値を出力するものである。この撮像素子200は、複数の通常画素と複数の位相差画素とを備える。これらの位相差画素は、位相差を検出するための画素である。そして、位相差画素の各々は、瞳分割された一对の光の各々を受光するための一对の画素(以下、「左側画素」および「右側画素」と称する。)を含む。また、通常画素は、位相差画素以外の画素であり、画像を生成するために用いられる。撮像素子200は、カメラ制御部110の制御に従って、通常画素の画素値を読み出し、信号線209を介して画像処理部130へ出力する。また、撮像素子200は、位相差画素の画素値を読み出し、信号線209を介して位相差検出部140へ出力する。

30

【0020】

画像処理部130は、通常画素の画素値により生成される画像に対して、デモザイク処理などの画像処理を実行するものである。この画像処理部130は、通常画素の画素値からなる画像を保持し、その画像において位相差画素の画素値を補間する。そして、画像処理部130は、補間後の画像にデモザイク処理やホワイトバランス処理などの画像処理を必要に応じて実行して、表示処理部150および画像記録制御部180に信号線139を介して出力する。

40

【0021】

位相差検出部140は、位相差画素の画素値から位相差を検出するものである。位相差検出部140は、例えば、左側画素および右側画素のそれぞれの輝度値の分布を生成し、それらの相関度から位相差を検出する。位相差検出部140は、検出した位相差をカメラ制御部110に信号線149を介して出力する。

50

【 0 0 2 2 】

表示処理部 1 5 0 は、画像に対して、ガンマ補正処理、色補正処理、または、コントラスト調整処理などの表示処理を必要に応じて実行するものである。表示処理部 1 5 0 は、表示処理後の画像を表示部 1 6 0 および画像出力部 1 7 0 に信号線 1 5 9 を介して出力する。

【 0 0 2 3 】

表示部 1 6 0 は、表示処理部 1 5 0 からの画像を表示するものである。画像出力部 1 7 0 は、表示処理部 1 5 0 からの画像を撮像装置 1 0 0 の外部へ出力するものである。

【 0 0 2 4 】

画像記録制御部 1 8 0 は、画像処理部 1 3 0 からの画像を画像記録部 1 9 0 に信号線 1 8 9 を介して出力して、その画像を画像記録部 1 9 0 に記録させるものである。画像記録部 1 9 0 は、画像を記録するものである。

【 0 0 2 5 】

[撮像素子の構成例]

図 2 は、第 1 の実施の形態における撮像素子 2 0 0 の一構成例を示すブロック図である。この撮像素子 2 0 0 は、タイミング制御回路 2 1 0、行走査回路 2 2 0、転送信号生成回路 2 3 0、画素アレイ部 2 4 0、D/A変換部 2 5 0、A/D変換部 2 6 0、カウンタ 2 7 0、および、列走査回路 2 9 0 を備える。

【 0 0 2 6 】

タイミング制御回路 2 1 0 は、カメラ制御部 1 1 0 からの制御信号に従って、画素値の出力のタイミングを制御するものである。このタイミング制御回路 2 1 0 は、タイミング信号 T_c および T_r を出力することにより、行および列の走査のタイミングを制御する。タイミング信号 T_c は、行の走査開始のタイミングを指示する信号である。一方、タイミング信号 T_r は、行の各々における列の走査開始のタイミングを指示する信号である。ここで、行は、画素アレイ部 2 4 0 において、ある一方向に複数の画素が配列されたものであり、水平ラインとも呼ばれる。これらの行（水平ライン）のうち位相差画素を含む行を位相差ラインと称し、位相差画素を含まない行を通常ラインと称する。一方、列は、画素アレイ部 2 4 0 において、行と直交する方向に複数の画素が配列されたものであり、垂直ラインとも呼ばれる。

【 0 0 2 7 】

具体的には、タイミング制御回路 2 1 0 は、1枚の画像を撮像するための撮像期間の開始時にタイミング信号 T_c を生成して行走査回路 2 2 0 および転送信号生成回路 2 3 0 に供給する。この撮像期間は、通常画素の画素値を出力するための通常画素出力期間と、位相差画素の画素値を出力するための位相差画素出力期間とに分割される。タイミング制御回路 2 1 0 は、撮像期間開始時にタイミング信号 T_c を出力した後、位相差画素出力期間の開始時にタイミング信号 T_c を出力する。そして、タイミング制御回路 2 1 0 は、撮像期間内の行の選択のタイミングに同期してタイミング信号 T_r を生成して列走査回路 2 9 0 に供給する。ただし、ライブビューモードの場合には、選択される行の数が少なくなるため、タイミング制御回路 2 1 0 は、キャプチャーモードの場合より、少ない数のタイミング信号 T_r を撮像期間内に生成する。

【 0 0 2 8 】

例えば、位相差ライン k 行を含む n 行、 m 列の画像が 1 枚撮像される場合、タイミング制御回路 2 1 0 は、撮像期間開始時にタイミング信号 T_c を 1 回生成し、通常画素出力期間内にタイミング信号 T_r を n 回生成する。ここで、 n 、 m は、2 以上の整数であり、 k は 1 乃至 n の整数である。そして、タイミング制御回路 2 1 0 は、位相差画素出力期間開始時にタイミング信号 T_c を 1 回生成し、位相差画素出力期間内にタイミング信号 T_r を k 回生成する。

【 0 0 2 9 】

また、タイミング制御回路 2 1 0 は、基準電圧値を示すデジタル信号を D/A変換部 2 5 0 に供給する。さらに、タイミング制御回路 2 1 0 は、タイミング信号 T_r を生成する

10

20

30

40

50

タイミングと同期してカウンタ270を制御してカウンタ値を初期値にする。

【0030】

行走査回路220は、タイミング信号Tcおよび制御信号に従って、行の各々を選択するものである。この行走査回路220は、通常画素出力期間内に、行選択信号を行の各々へ229-1乃至229-nを介して順に出力することにより行を選択する。これらの行選択信号は、例えば、行が選択される場合にハイレベルに設定され、選択されない場合にローレベルに設定される。また、行走査回路220は、位相差画素出力期間内に、位相差ラインの各々を順に選択する。ただし、ライブビューモードの場合には、行走査回路220は、キャプチャーモードの場合より少ない数の行を撮像期間内に選択する。なお、行走査回路220は、特許請求の範囲に記載の行走査部の一例である。

10

【0031】

転送信号生成回路230は、タイミング信号Tcおよび制御信号に従って、選択された列における画素の各々に転送信号を出力することにより、画素を駆動するものである。この転送信号は、例えば、画素を駆動させる場合にハイレベルに設定され、駆動させない場合にローレベルに設定される。転送信号生成回路230は、タイミング信号Tcから行走査回路220が行を選択するタイミングを取得する。通常画素出力期間内においては、転送信号生成回路230は、行の選択のタイミングに同期して、選択された行における通常画素の各々を同時に駆動する。そして、位相差画素出力期間内においては、転送信号生成回路230は、行の選択のタイミングに同期して、選択された行における位相差画素の各々を同時に駆動する。ただし、ライブビューモードの場合には、キャプチャーモードの場合より少ない数の行が選択されるため、通常画素出力期間および位相差画素出力期間は短くなる。なお、転送信号生成回路230は、特許請求の範囲に記載の駆動部の一例である。

20

【0032】

画素アレイ部240は、複数の位相差画素241と複数の通常画素242とが2次元格子状に配列されたものである。それぞれの画素は、ハイレベルの行選択信号および転送信号が入力された場合に、受光量に応じた電位の電気信号である画素信号をA/D変換部260へ信号線249-1乃至249-mのうち対応する列の信号線を介して出力する。

【0033】

D/A変換部250は、タイミング制御回路210からの基準電圧値をD/A(Digital to Analog)変換して基準電圧VrefをA/D変換部260に供給するものである。

30

【0034】

A/D変換部260は、アナログ信号である画素信号をデジタル信号に変換するものである。A/D変換部260は、複数(例えば、m個)のA/D変換回路261を備える。各々のA/D変換回路261は、コンパレータ262およびメモリ263を備える。コンパレータ262は、参照電圧Vrefと、画素信号の電圧とを比較して比較結果を出力するものである。A/D変換回路261は、例えば、積分回路により画素信号を積分し、積分した電圧が基準電圧Vrefを越えたことをコンパレータ262の出力値が示すまでの期間をカウンタ270に計数させる。そして、カウンタ270の計数値を画素値としてメモリ263に保持する。なお、図2において、積分回路は、省略されている。

40

【0035】

メモリ263は、画素値を保持するものである。各々のメモリ263には、信号線298-1乃至298-mのうち対応する列の信号線を介して列選択信号が入力される。列選択信号は、列に対応するメモリ263を選択して画素値を出力させるための信号である。例えば、画素値を出力させる場合には、列選択信号にハイレベルが設定され、出力させない場合にはローレベルが設定される。メモリ263は、列選択信号がハイレベルの場合に信号線209を介して画素値を出力する。

【0036】

列走査回路290は、タイミング信号Trおよび制御信号に従って、選択された行における画素の各々の画素値を読み出して出力するものである。転送信号生成回路230は、

50

通常画素出力期間において、タイミング信号Trが入力されるたびに、A/D変換部260に保持された通常画素の画素値を所定の順番で読み出して出力する。また、転送信号生成回路230は、位相差画素出力期間において、タイミング信号Trが入力されるたびに、A/D変換部260に保持された位相差画素の画素値を所定の順番で読み出して出力する。ここで、列走査回路290は、タイミング信号Trの回数を計数することにより、通常画素出力期間および位相差画素出力期間の各々の開始および終了時点を取得する。例えば、n行の画像撮像において、通常画素出力期間は、最初のタイミング信号Trが入力されてから、n回目のタイミング信号Trが入力されるまでの期間である。ただし、ライブビューモードにおいては、選択される行がキャプチャーモードの場合より少ないため、各期間において計数されるタイミング信号の行数も少なくなる。なお、列走査回路290は、特許請求の範囲に記載の列走査部の一例である。

10

【0037】

図3は、第1の実施の形態における撮像素子200の動作の一例を示す図である。制御信号によりライブビューモードが設定されている場合には、タイミング制御回路210は、例えば、1/30秒ごとに、タイミング信号Tcを生成する。それらのタイミング信号Tcに応じて、行走査回路220は、通常画素出力期間において全ラインのうち1/3の水平ラインを選択する。次いで、位相差画素出力期間において、行走査回路220は、位相差ラインを選択する。通常画素出力期間内における1/3の水平ラインの選択時に、列走査回路290は、通常画素を選択する。次いで、位相差画素出力期間における位相差ライン選択時に、列走査回路290は、位相差画素を選択する。

20

【0038】

一方、制御信号によりキャプチャーモードが設定されている場合には、タイミング制御回路210は、シャッタースピードに従って（静止画撮影時）、または、1/30秒毎などに（動画撮影時）、タイミング信号Tcを生成する。それらのタイミング信号Tcに応じて、行走査回路220は、通常画素出力期間において全水平ラインを選択する。次いで、位相差画素出力期間において、行走査回路220は、位相差ラインを選択する。通常画素出力期間内における全水平ラインの選択時に、列走査回路290は、通常画素を選択する。次いで、位相差画素出力期間における位相差ライン選択時に、列走査回路290は、位相差画素を選択する。なお、ライブビューにおける間引き数は3ラインのうち2ラインに限定されない。例えば、ライブビューモードの場合に、行走査回路220が、1/3ラインでなく、全行の1/5ラインを選択する構成としてもよい。

30

【0039】

図4は、第1の実施の形態における画素の配置の一例を示す図である。画素アレイ部240には、ベイヤー配列などの配列方式で、2次元格子状に、R (Red)、G (Green)またはB (Blue)の複数の通常画素242が配列される。ただし、所定の座標において、通常画素の代わりに位相差画素241が配置される。例えば、1行目、9行目、および、17行目等のそれぞれにおける1列目、3列目、7列目、および、9列目等に位相差画素が配置される。

【0040】

キャプチャーモードの場合には、通常画素出力期間において全水平ラインが選択され、それらの水平ラインにおいて通常画素が出力される。そして、位相差画素出力期間においては、位相差ライン（1行目、9行目、および、17行目等）が選択され、それらの水平ラインにおいて、位相差画素が出力される。

40

【0041】

一方、ライブビューモードの場合には、通常画素出力期間において、全水平ラインの1/3の水平ラインが選択され、それらの水平ラインにおいて、通常画素が出力される。例えば、2行目、5行目、および、8行目などが選択される。そして、位相差画素出力期間においては、1/3の水平ラインのうちの位相差ライン（17行目等）が選択され、それらの水平ラインにおいて、位相差画素が出力される。

【0042】

50

[行走査回路の構成例]

図5は、第1の実施の形態における行走査回路220の一構成例を示すブロック図である。この行走査回路220は、行選択制御回路221、シフトレジスタ222、および、行選択回路224を備える。

【0043】

シフトレジスタ222は、タイミング信号Tcを段階的に遅延させて出力するものである。シフトレジスタ222は、直列に接続された複数段(例えば、n段)のDフリップフロップ223を備える。Dフリップフロップ223は、入力された信号を遅延させて出力するものである。具体的には、クロック信号が「1」のときに、Dフリップフロップ223は、入力された信号と同じ値の信号を出力する。これにより、クロック信号が「0」のときに入力された信号が、クロック信号が立ち上がるまでの間、遅延する。1段目のDフリップフロップ223には、タイミング信号Tcが入力される。各々の段のDフリップフロップ223は、前段から入力された信号を遅延させて、後段のDフリップフロップ223および行選択回路224へ出力する。1乃至n段目のDフリップフロップの出力のそれぞれは、1乃至n行目の行選択信号として用いられる。各々の段の行選択信号は、前段の行選択信号に対して遅延して出力されるため、これらの行選択信号により、行の各々が先頭から順に選択される。

10

【0044】

行選択制御回路221は、行選択回路224を制御して、行を選択するものである。行選択制御回路221は、通常画素出力期間内において、シフトレジスタ222からの行選択信号の全てを、それぞれに対応する行へ出力させる。そして、行選択制御回路221は、位相差画素出力期間内において、シフトレジスタ222からの行選択信号を、位相差ラインへ出力させる。例えば、1行目、9行目、および、17行目等が位相差ラインである場合、行選択制御回路221は、1段目のDフリップフロップ223からの行選択信号を1行目へ、2段目からの行選択信号を9行目へ、3段目からの行選択信号を17行目へ出力させる。ただし、ライブビューモードの場合には、行選択制御回路221は、キャプチャモードの場合より少ない数の行を撮像期間内に選択する。

20

【0045】

行選択回路224は、行選択制御回路221の制御に従って、シフトレジスタ222からの行選択信号の出力先を選択するものである。

30

【0046】

[転送信号生成回路の構成例]

図6は、第1の実施の形態における転送信号生成回路230の一構成例を示すブロック図である。この転送信号生成回路230は、転送制御回路231、転送クロック信号生成回路232、および、出力制御回路233を備える。

【0047】

転送クロック信号生成回路232は、転送クロック信号tCLKを生成するものである。転送クロック信号tCLKは、シフトレジスタ222における1段当たりの信号の遅延時間に周期が等しくなるように調整されたクロック信号である。これにより、行の選択のタイミングに同期して、転送クロック信号tCLKが立ち上がる。転送クロック信号tCLKは、列のそれぞれへの転送信号として用いられる。転送クロック信号生成回路232は、生成した転送クロック信号tCLKを出力制御回路233へ出力する。

40

【0048】

転送制御回路231は、出力制御回路233に転送信号を出力させるものである。通常画素出力期間内において、転送制御回路231は、通常画素が配置された列に転送信号を出力させる。転送制御回路231は、通常ライン選択時には、全列へ転送信号を出力させ、位相差ライン選択時には、位相差画素の列を除く列へ転送信号を出力させる。例えば、位相差ラインの1列目および3列目等に位相差画素が配置されている場合、転送制御回路231は、位相差ライン選択時には、1列目および3列目等を除く、2列目および4列目等へ転送信号を出力させる。

50

【 0 0 4 9 】

一方、位相差画素出力期間において、転送制御回路 2 3 1 は、位相差画素が配置された列に転送信号を出力させる。ただし、ライブビューモードの場合には、キャプチャーモードの場合より少ない数の行が選択されるため、転送信号の出力期間は短くなる。

【 0 0 5 0 】

出力制御回路 2 3 3 は、転送制御回路 2 3 1 の制御に従って、列の各々に転送信号を出力するものである。出力制御回路 2 3 3 は、複数（例えば、 m 個）のスイッチ 2 3 4 を備える。各々のスイッチ 2 3 4 は、転送制御回路 2 3 1 によりオン状態またはオフ状態に制御される。スイッチ 2 3 4 がオンの場合には入力された信号が出力され、オフの場合には出力されない。 m 個のスイッチ 2 3 4 の各々の入力端子には転送クロック信号 $tCLK$ が入力され、各々の出力端子には、信号線 2 3 9 - 1 乃至 2 3 9 - m のいずれかが接続される。例えば、 r (r は 1 乃至 m の整数) 個目のスイッチ 2 3 4 からの転送クロック信号 $tCLK$ は、 r 列目への転送信号として用いられる。

10

【 0 0 5 1 】

〔画素の構成例〕

図 7 は、通常画素 2 4 2 の一構成例を示す回路図である。通常画素 2 4 2 は、フォトダイオード 2 4 3、転送トランジスタ 2 4 4、リセットトランジスタ 2 4 5、浮遊拡散層 2 4 6、増幅トランジスタ 2 4 7、および、選択トランジスタ 2 4 8 を備える。なお、位相差画素 2 4 1 の構成は、通常画素 2 4 2 の構成と同様である。

【 0 0 5 2 】

フォトダイオード 2 4 3 は、受光した光を電荷に変換するものである。転送トランジスタ 2 4 4 は、転送信号に従ってフォトダイオード 2 4 3 により変換された電荷を浮遊拡散層 2 4 6 に転送するための素子である。この転送トランジスタ 2 4 4 の入力端子は、フォトダイオード 2 4 3 の出力端子に接続され、出力端子は浮遊拡散層 2 4 6 に接続される。また、転送トランジスタ 2 4 4 の制御端子は、信号線 2 3 9 - 1 乃至 2 3 9 - m のうち列に対応する信号線に接続される。例えば、通常画素 2 4 2 が r (r は 1 乃至 m の整数) 列目に位置する画素であれば、転送トランジスタ 2 4 4 の制御端子は信号線 2 3 9 - r に接続される。転送トランジスタ 2 4 4 は、ハイレベルの転送信号が入力されたときに、オン状態となり、フォトダイオード 2 4 3 により変換された電荷が浮遊拡散層 2 4 6 に転送される。

20

30

【 0 0 5 3 】

リセットトランジスタ 2 4 5 は、リセット信号に従って浮遊拡散層 2 4 6 の電位を初期電位にするための素子である。このリセットトランジスタ 2 4 5 の入力端子は、電源電圧 Vcc が印加される電源端子に接続され、出力端子は浮遊拡散層 2 4 6 に接続される。また、リセットトランジスタ 2 4 5 の制御端子には、リセット信号が入力される。このリセット信号は、浮遊拡散層 2 4 6 の電位を初期電位に制御するための信号であり、例えば、行走査回路 2 2 0 により撮像期間より前に生成される。リセット信号が入力された場合には、リセットトランジスタ 2 4 5 は、オン状態となる。この結果、浮遊拡散層 2 4 6 に蓄積された電荷が放出されて、浮遊拡散層 2 4 6 の電位が初期電位となる。

【 0 0 5 4 】

浮遊拡散層 2 4 6 は、転送トランジスタ 2 4 4 により転送された電荷を蓄積するものである。この浮遊拡散層 2 4 6 の一端は接地端子に接続され、他端は、転送トランジスタ 2 4 4 の出力端子、リセットトランジスタ 2 4 5 の出力端子、および、増幅トランジスタ 2 4 7 のゲート端子に接続される。これにより、浮遊拡散層 2 4 6 に蓄積された電荷量に応じた電位が増幅トランジスタ 2 4 7 のゲート端子に印加される。

40

【 0 0 5 5 】

増幅トランジスタ 2 4 7 は、印加された電位を増幅するものである。この増幅トランジスタ 2 4 7 の入力端子は電源端子に接続され、出力端子は選択トランジスタ 2 4 8 の入力端子に接続され、制御端子は浮遊拡散層 2 4 6 に接続される。増幅トランジスタ 2 4 7 は、浮遊拡散層 2 4 6 の電位を所定の増幅率で増幅して選択トランジスタ 2 4 8 に出力する

50

【 0 0 5 6 】

選択トランジスタ 2 4 8 は、行選択信号に従って、増幅トランジスタ 2 4 7 により増幅された電位の電気信号を出力するものである。この選択トランジスタ 2 4 8 の入力端子は増幅トランジスタ 2 4 7 の出力端子に接続され、出力端子は信号線 2 4 9 - 1 乃至 2 4 9 - m のうち列に対応する信号線に接続される。例えば、通常画素 2 4 2 が r 列目に位置する画素であれば、選択トランジスタ 2 4 8 の出力端子は信号線 2 4 9 - r に接続される。また、選択トランジスタ 2 4 8 の制御端子は、信号線 2 2 9 - 1 乃至 2 2 9 - n のうち行に対応する信号線に接続される。例えば、通常画素 2 4 2 が c (c は 1 乃至 n の整数) 行目に位置する画素であれば、選択トランジスタ 2 4 8 の制御端子は信号線 2 2 9 - c に接続される。選択トランジスタ 2 4 8 は、ハイレベルの行選択信号が入力された場合には、オン状態となる。この結果、光量に応じた電位の電気信号が通常画素 2 4 2 から A / D 変換部 2 6 0 へ出力される。

10

【 0 0 5 7 】

図 7 に例示した構成により、通常画素 2 4 2 は、ハイレベルの行選択信号およびハイレベルの転送信号が入力されたときに、受光量に応じた電位の電気信号を出力する。

【 0 0 5 8 】

[列走査回路の構成例]

図 8 は、第 1 の実施の形態における列走査回路 2 9 0 の一構成例を示すブロック図である。列走査回路 2 9 0 は、列選択制御回路 2 9 1、列選択回路 2 9 2、および、シフトレジスタ 2 9 3 を備える。

20

【 0 0 5 9 】

シフトレジスタ 2 9 3 は、タイミング信号 T_r を段階的に遅延させて出力するものである。シフトレジスタ 2 9 3 は、行を選択するためのシフトレジスタ 2 2 2 と同様に、直列に接続された複数段 (例えば、m 段) の D フリップフロップ 2 9 4 を備える。ただし、列を選択するためのシフトレジスタ 2 9 3 における全段の遅延時間は、行を選択するためのシフトレジスタ 2 2 2 における 1 段の遅延時間未満となるように設定される。

【 0 0 6 0 】

列選択制御回路 2 9 1 は、列選択回路 2 9 2 を制御して、列を所定の順番で選択するものである。例えば、列選択制御回路 2 9 1 は、1 乃至 m 列目を昇順に選択する。列選択制御回路 2 9 1 は、通常画素出力期間内においては、通常画素が配置された列を選択する。列選択制御回路 2 9 1 は、通常ライン選択時には、全列を選択し、位相差ライン選択時には、位相差画素の列を除く列を選択する。例えば、位相差ラインの 1 列目および 3 列目等に位相差画素が配置されている場合、列選択制御回路 2 9 1 は、位相差ライン選択時には、1 列目および 3 列目等を除く、2 列目および 4 列目等を順に選択する。

30

【 0 0 6 1 】

一方、位相差画素出力期間において、列選択制御回路 2 9 1 は、位相差画素が配置された列を順に選択する。ただし、ライブビューモードの場合には、キャプチャーモードの場合より少ない数の行が選択されるため、通常画素出力期間および位相差画素出力期間は短くなる。

40

【 0 0 6 2 】

列選択回路 2 9 2 は、列選択制御回路 2 9 1 の制御に従って、シフトレジスタ 2 9 3 からの列選択信号の出力先を選択するものである。列選択回路 2 9 2 は、列選択信号により A / D 変換部 2 6 0 を制御して、通常画素出力期間において選択された列の画素値を画像処理部 1 3 0 へ出力させる。また、列選択回路 2 9 2 は、位相差画素出力期間において選択された列の画素値を位相差検出部 1 4 0 へ出力させる。

【 0 0 6 3 】

[画像処理部の構成例]

図 9 は、画像処理部 1 3 0 の一構成例を示すブロック図である。この画像処理部 1 3 0 は、画像バッファ 1 3 1、位相差画素アドレス記憶部 1 3 2、画素補間部 1 3 3、および

50

、デモザイク処理部 1 3 4 を備える。

【 0 0 6 4 】

画像バッファ 1 3 1 は、撮像素子 2 0 0 からの画素値からなる画像を保持するものである。位相差画素アドレス記憶部 1 3 2 は、画像における位相差画素のアドレスを記憶するものである。

【 0 0 6 5 】

画素補間部 1 3 3 は、通常画素の画素値を使用して位相差画素の画素値を補間するものである。この画素補間部 1 3 3 は、位相差画素アドレス記憶部 1 3 2 から位相差画素のアドレスを読み出し、そのアドレスの近傍の通常画素の画素値を画像バッファ 1 3 1 から読み出す。そして、画素補間部 1 3 3 は、位相差画素の画素値を、通常画素の画素値により補間する。例えば、位相差画素の座標を (x, y) とした場合、画素補間部 1 3 3 は、 $(x - 1, y - 1)$ 、 $(x + 1, y - 1)$ 、 $(x - 1, y + 1)$ および $(x + 1, y + 1)$ の 4 つの通常画素の画素値の平均値により、位相差画素の画素値を補間する。隣接する画素の画素値が使用されないのは、ベイヤー配列においては、隣接した画素同士の色が異なるためである。画素補間部 1 3 3 は、補間後の画像をデモザイク処理部 1 3 4 へ出力する。

10

【 0 0 6 6 】

デモザイク処理部 1 3 4 は、補間後の画像に対して、各々の画素に欠落している色情報を補間するデモザイク処理を実行するものである。デモザイク処理部 1 3 4 は、デモザイク後の画像を表示処理部 1 5 0 へ出力する。

20

【 0 0 6 7 】

なお、画像処理部 1 3 0 は、デモザイク前の画像（いわゆる、RAW 画像）にデモザイク処理を実行してから出力する構成としているが、デモザイク処理を行わずに、RAW 画像をそのまま出力してもよい。また、画像処理部 1 3 0 は、デモザイク処理のほか、ホワイトバランス処理や、カラーバランス処理などの画像処理を実行してもよい。

【 0 0 6 8 】

[撮像素子の動作例]

図 1 0 は、第 1 の実施の形態における通常画素出力期間内の撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。通常画素出力期間開始時に、タイミング信号 T_c が入力されると、行走査回路 2 2 0 は、そのタイミング信号 T_c を段階的に遅延させて、遅延させた各々の信号を行選択信号として出力する。

30

【 0 0 6 9 】

位相差ラインが選択されている場合には、転送信号生成回路 2 3 0 は、位相差画素を除く列の転送信号を生成して出力し、それらの列の画素を同時に駆動する。一方、通常ラインが選択されている場合には、転送信号生成回路 2 3 0 は、全列の転送信号を生成する。

【 0 0 7 0 】

駆動された画素の画素値は、A/D 変換部 2 6 0 に保持される。そして、行選択時にタイミング信号 T_r が入力されると、列走査回路 2 9 0 は、そのタイミング信号 T_r を段階的に遅延させて、遅延させた各々の信号を列の各々を順に選択するための列選択信号として出力する。ただし、位相差ラインが選択されている場合には、列走査回路 2 9 0 は、位相差画素を除く列の列選択信号を生成する。一方、通常ラインが選択されている場合には、列走査回路 2 9 0 は、全列の列選択信号を生成する。

40

【 0 0 7 1 】

例えば、1 行目が位相差ラインであり、1 行目の 1 列目、3 列目、7 列目、および、9 列目等に位相差画素が配置されている場合を考える。この場合、行走査回路 2 2 0 により 1 行目が選択されると、2 列目、4 列目、5 列目、および、6 列目および 8 列目等の画素が転送信号生成回路 2 3 0 により同時に駆動され、列走査回路 2 9 0 により、これらの列の画素値が順に読み出される。

【 0 0 7 2 】

また、2 行目が通常ラインである場合、行走査回路 2 2 0 により 2 行目が選択されると

50

、転送信号生成回路 230 により全列の画素が同時に駆動され、列走査回路 290 により、それらの画素値が順に読み出される。

【0073】

図 10 に例示したように行選択信号は、タイミング信号 Tc を遅延させた信号であるため、このタイミング信号 Tc のオン期間を変更することにより、通常画素出力期間の長さが変更される。通常画素出力期間は、位相差画素を出力する必要はないため、通常画素出力期間は、全画素を出力する時間よりも、短く設定される。

【0074】

図 11 は、第 1 の実施の形態における位相差画素出力期間内の撮像素子 200 の動作の一例を示すタイミングチャートである。位相差画素出力期間開始時に、タイミング信号 Tc が入力されると、行走査回路 220 は、そのタイミング信号 Tc を段階的に遅延させて、遅延させた各々の信号を行選択信号として出力する。

10

【0075】

位相差ラインが選択されるタイミングに同期して、転送信号生成回路 230 は、位相差画素が配置された列の転送信号を生成して出力し、それらの列の画素を同時に駆動する。

【0076】

駆動された画素の画素値は、A/D変換部 260 に保持される。そして、位相差ライン選択時にタイミング信号 Tr が入力されると、列走査回路 290 は、そのタイミング信号 Tr を段階的に遅延させて、遅延させた各々の信号を位相差画素の列の各々を順に選択するための列選択信号として出力する。

20

【0077】

例えば、1行目は位相差ラインであり、1行目の1列目、3列目、7列目、および、9列目等に位相差画素が配置されている場合を考える。この場合、行走査回路 220 により1行目が選択されると、1列目、3列目、7列目、および、9列目等の画素が転送信号生成回路 230 により同時に駆動され、列走査回路 290 により、これらの列の画素値が順に読み出される。

【0078】

位相差画素出力期間の開始時に入力されるタイミング信号 Tc のオン期間を変更することにより、位相差画素出力期間の長さが変更される。位相差画素出力期間は、通常画素を出力する必要はないため、位相差画素出力期間は、全画素を出力する時間よりも、短く設定される。

30

【0079】

図 12 は、第 1 の実施の形態における第 1 の実施の形態における撮像装置の動作の一例を示すタイミングチャートである。1枚の画像(フレーム)を撮像する期間は、通常画素出力期間および位相差画素出力期間に分割される。前述したように、通常画素出力期間は、全画素を出力する必要がないため、全画素を出力する場合と比較して短く設定される。位相差画素出力期間も同様に、全画素を出力する場合よりも短く設定される。通常画素出力期間が時刻 A に開始すると、その期間が終了する時刻 B までの間、撮像素子 200 は通常画素の画素値を画像処理部 130 へ順に出力する。そして、時刻 B に位相差画素出力期間が開始すると、その期間が終了する時刻 D までの間、撮像素子 200 は位相差画素の画素値を位相差検出部 140 へ順に出力する。

40

【0080】

画像処理部 130 は、時刻 B において画像処理を開始し、その画像処理は、例えば、位相差画素出力期間の終了時刻 D より前の時刻 C に終了する。一方、位相差検出部 140 は、時刻 D において位相差検出処理を開始し、その位相差検出処理は時刻 E に終了する。

【0081】

仮に、撮像素子 200 が全画素を読み出す構成とすると、時刻 D に近い時刻に画素の読出しが完了するため、その時刻が経過しないと画像処理部 130 は、画像処理を開始することができない。しかし、撮像素子 200 が通常画素のみを先に読み出すことにより、画像処理部 130 は、時刻 D より前の時刻 B に画像処理を開始することができる。したがっ

50

て、全画素を読み出す場合と比較して、画像処理が高速化される。

【 0 0 8 2 】

なお、通常画素出力期間が位相差画素出力期間より先に開始する構成としているが、逆に位相差画素出力期間が通常画素出力期間より先に開始する構成としてもよい。これにより、全画素を読み出す場合と比較して、位相差検出処理が高速化される。

【 0 0 8 3 】

このように、本技術の第1の実施の形態によれば、撮像装置100は、通常画素出力期間内に通常画素の画素値を読み出し、位相差画素出力期間内に位相差画素の画素値を読み出して、画像処理および位相差検出処理のいずれかを先に開始することができる。これにより、撮像開始から、画像処理または位相差検出処理の終了までの時間が短縮される。したがって、画像処理終了までの時間が短縮された場合には、撮像開始から画像の表示や記録終了までの時間が短縮され、撮像装置100の画像の表示や記録におけるレスポンスを向上させることができる。また、位相差検出終了までの時間が短縮された場合には、撮像開始から合焦完了までの時間が短くなり、撮像装置100の合焦におけるレスポンスを向上させることができる。

10

【 0 0 8 4 】

< 2 . 第2の実施の形態 >

[撮像素子の構成例]

図13は、第2の実施の形態における撮像素子200の一構成例を示すブロック図である。第2の実施の形態の撮像素子200は、通常画素出力期間において位相差画素の画素値の代わりに固定値を出力し、画素加算処理をさらに実行する点において第1の実施の形態と異なる。具体的には、第2の実施の形態の撮像素子200は、複数(例えば、m個)の固定値挿入部280と、画素加算部285とを備える点において第1の実施の形態と異なる。

20

【 0 0 8 5 】

固定値挿入部280は、列走査回路290の制御に従って、A/D変換部260に保持された画素値の代わりに、固定値を挿入するものである。ここで、固定値は、画素値として出力されることのない値である。例えば、A/D変換部260が、画素アレイ部240から出力された信号の電位を最大12ビットの画素値に変換することができる場合を想定する。この場合、電位は、4096階調(0乃至4095)の画素値に変換される。この構成において、撮像装置100のモード設定などにより、A/D変換部260が、電位を10ビットの画素値に変換するときは、画素値は、1024階調(0乃至1023)の画素値に変換される。このときにおいて、1024乃至4095の値が画素値として出力されることはないため、これらのいずれか(1024など)が固定値とされる。

30

【 0 0 8 6 】

これらの固定値挿入部280は、列毎に配置される。そして、固定値挿入部280の入力端子には、信号線269-1乃至269-mのうち対応する列の信号線を介してA/D変換部260からの画素値が入力される。また、固定値挿入部280の出力端子からの画素値は、信号線289-1乃至289-mのうち対応する列の信号線を介して画素加算部285に出力される。ただし、画素加算の対象とならない列(例えば、1列目)の画素値は、画像処理部130へ直接出力される。

40

【 0 0 8 7 】

第2の実施の形態の列走査回路290は、固定値挿入部280へ切替信号を出力することにより固定値挿入部280を制御して、通常画素出力期間内に、位相差画素の画素値を読み出す順番において固定値を挿入させる。また、列走査回路290は、通常画素出力期間内に各々の行において、全ての列を選択する。一方、位相差画素出力期間内では、列走査回路290は、固定値を挿入させない。切替信号は、例えば、固定値を挿入させる場合にハイレベルに設定され、挿入させない場合にローレベルに設定される。

【 0 0 8 8 】

画素加算部285は、制御信号に従って、行内の所定の位置関係にある複数の画素の画

50

素値を加算して画像処理部 130 へ出力するものである。第 2 の実施の形態の制御信号には、画素加算を行うか否かを指示する信号がさらに含まれる。

【0089】

例えば、2、4 および 6 列目に B 画素が配置された行において画素加算を行う場合、画素加算部 285 は、2、4 および 6 列目の画素値を加算して 1 つの B 画素の画素値として出力する。ただし、所定の位置関係にある複数の画素に、位相差画素が含まれる場合には、画素加算部 285 は、固定値挿入部 280 が挿入した固定値と、通常画素の画素値とを加算する。例えば、1 行目において、3 列目に通常画素が配置され、5 および 7 列目に位相差画素が配置される場合、画素加算部 285 は、3 列目の画素値に、2 つの固定値を加算して出力する。

10

【0090】

画素加算により、画像の解像度が低下するものの、画素の各々の感度が高くなる。また、出力する画素数も少なくなるため、画素加算が行われない場合よりも、画像処理および位相差検出処理が高速化される。

【0091】

[固定値挿入部の構成例]

図 14 は、第 2 の実施の形態における固定値挿入部 280 の一構成例を示すブロック図である。この固定値挿入部 280 は、固定値記憶部 281 およびセクタ 282 を備える。固定値記憶部 281 は、固定値を記憶するものである。セクタ 282 は、列走査回路 290 からの切替信号に従って、固定値および画素値のいずれかを出力するものである。このセクタ 282 は、2 つの入力端子と出力端子とを備える。入力端子の一方は、A/D 変換部 260 に接続され、他方は固定値記憶部 281 に接続される。例えば、ハイレベルの切替信号が入力された場合には、セクタ 282 は、固定値を出力し、ローレベルの切替信号が入力された場合には、セクタ 282 は、A/D 変換部 260 からの画素値を出力する。

20

【0092】

[列走査回路の構成例]

図 15 は、第 2 の実施の形態における列走査回路 290 の一構成例を示すブロック図である。第 2 の実施の形態の列走査回路 290 は、セクタ制御部 295 をさらに備える点において、第 1 の実施の形態と異なる。セクタ制御部 295 は、通常画素出力期間内に、位相差画素が配置された列の固定値挿入部 280 にハイレベルの切替信号を送信して、固定値を挿入させる。一方、位相差画素出力期間内に、セクタ制御部 295 は、全ての固定値挿入部 280 にローレベルの切替信号を送信して、固定値を挿入させない。

30

【0093】

また、列選択制御回路 291 は、画素加算が行われない場合に通常画素出力期間において、全ての列を選択する。一方、画素加算が行われる場合に通常画素出力期間において、加算対象の複数の列を同時に選択する。

【0094】

なお、列走査回路 290 は、固定値挿入部 280 を制御する構成としているが、固定値挿入部 280 を制御しない構成とすることもできる。この構成では、転送信号生成回路 230 が、各々の転送信号を反転した信号を、その転送信号に対応する列の切替信号として固定値挿入部 280 に出力すればよい。

40

【0095】

[画像処理部の構成例]

図 16 は、第 2 の実施の形態における画像処理部 130 の一構成例を示すブロック図である。画像処理部 130 は、位相差画素アドレス記憶部 132 の代わりに、読出画素数カウンタ 135 を備える点において、第 1 の実施の形態と異なる。

【0096】

第 2 の実施の形態の画素補間部 133 は、画素加算が行われない場合には、画像バッファ 131 に保持された画像において、固定値の画素を補間する。前述したように固定値は

50

画素値として用いられない値であるため、画素補間部 1 3 3 は、位相差画素アドレス記憶部 1 3 2 からアドレスを読み出さずとも、固定値により、位相差画素であるか否かを判断することができる。これにより、位相差画素アドレス記憶部 1 3 2 が不要となる。

【 0 0 9 7 】

一方、画素加算が行われる場合には、画素補間部 1 3 3 は、画像バッファから画素値を読み出す毎に、読出画素数カウンタ 1 3 5 に画素数を計数させる。画素補間部 1 3 3 は、カウント値に基づいて、読み出した画素値が固定値を含むか否かを判断する。例えば、1 行目において、1、5 および 7 列目等に位相差画素が配置され、2、4 および 6 列目の画素値が加算され、3 列目の画素値と 2 つの固定値とが加算された場合を考える。この場合、1 行目において最初に読み出される画素値（すなわち、加算値）は、固定値を含まず、2 番目に読み出される加算値は、固定値を含む。

10

【 0 0 9 8 】

画素補間部 1 3 3 は、固定値を含む画素値から固定値を減じて、減じた後の画素値に所定の乗算値を乗算することにより補間を行う。例えば、画素補間部 1 3 3 は、1 つの画素値と 2 つの固定値とが加算された値において、それらの固定値を減じ、減じた後の画素値を 3 倍にする。また、2 つの画素値と固定値とが加算された場合には、画素補間部 1 3 3 は、固定値を減じた後の値を 1 . 5 倍すればよい。

【 0 0 9 9 】

[撮像素子の動作例]

図 1 7 は、第 2 の実施の形態における画素加算が行われない場合の通常画素出力期間内の撮像素子の動作の一例を示すタイミングチャートである。第 2 の実施の形態の行選択信号および転送信号の生成のタイミングは、第 1 の実施の形態と同様である。

20

【 0 1 0 0 】

第 2 の実施の形態の列走査回路 2 9 0 は、全ての列を順に選択する。また、第 2 の実施の形態の列走査回路 2 9 0 は、位相差画素が配置された列の固定値挿入部 2 8 0 にハイレベルの切替信号を送信して、固定値を挿入させる。例えば、1 行目において、1、5、7 および 9 列目等に位相差画素が配置され、1 行目の選択時に列走査回路 2 9 0 は 1、5、7 および 9 列目の固定値挿入部 2 8 0 にハイレベルの切替信号を出力し、それ以外にローレベルの切替信号を送信する。そして、2 行目において位相差画素が配置されない場合、2 行目の選択時に列走査回路 2 9 0 は、全切替信号をローレベルにする。この結果、画素値の読出しにおいて、位相画素の画素値に対応する順番において固定値が挿入される。

30

【 0 1 0 1 】

図 1 7 に例示したように、画素加算を行わない場合においては、固定値が挿入されるため、通常画素出力期間は、全画素の画素値を出力する時間と変わらなくなり、画像処理は高速化されない。このため、画素加算を行わない場合には、撮像素子 2 0 0 は、位相差画素出力期間を通常画素出力期間より先に開始するものとする。これにより、位相差検出処理が高速化される。一方、画素加算を行う場合には、撮像素子 2 0 0 は、第 1 の実施の形態と同様に通常画素出力期間および位相差画素出力期間のいずれを先に行ってもよい。

【 0 1 0 2 】

図 1 8 は、第 2 の実施の形態における画素加算が行われる場合の通常画素出力期間内の撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。

40

【 0 1 0 3 】

第 2 の実施の形態の列走査回路 2 9 0 は、加算対象の複数の列を同時に選択する。例えば、1 行目において、2、4 および 6 列目が加算され、3、5 および 7 列目が加算される場合、列走査回路 2 9 0 は、2、4 および 6 列目を同時に選択し、次いで、2、4 および 6 列目を同時に選択する。この結果、各々の加算値が画素値として出力される。

【 0 1 0 4 】

図 1 9 は、第 2 の実施の形態における位相差画素出力期間内の撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。第 2 の実施の形態の行選択信号、転送信号、および、列選択信号の生成のタイミングは、第 1 の実施の形態と同様である。一方、切替信号

50

は、列走査回路 290 により全てがローレベルに設定される。

【0105】

なお、撮像素子 200 は、全ての列に固定値挿入部 280 を設けているが、図 20 に例示するように位相差画素が配置される列にのみ固定値挿入部 280 を設けてもよい。これにより、固定値挿入部 280 を離散的に配置しなくてはならないために撮像素子 200 の製造が若干困難となるものの、ハードウェアは削減される。

【0106】

このように、本技術の第 2 の実施の形態によれば、撮像素子 200 が位相差画素の位置に対応する順番において固定値を挿入することにより、画像処理部 130 は、位相差画素の位置を記憶しておかなくても、位相差画素を補間することができる。

10

【0107】

また、画素加算部 285 が所定の位置関係にある複数の画素の画素値を加算することにより、読み出す画素数が少なくなるため、撮像装置 100 は、画素加算を行わない場合よりも、撮像開始から画像処理および位相差検出処理の終了までの時間が短縮される。したがって、撮像開始から合焦完了までの時間が短縮され、撮像装置 100 の合焦におけるレスポンスを向上させることができる。

【0108】

< 3 . 第 3 の実施の形態 >

[撮像素子の動作例]

図 21 は、第 3 の実施の形態における位相差画素出力期間内の撮像素子 200 の動作の一例を示すタイミングチャートである。第 3 の実施の形態の撮像素子 200 は、位相差画素出力期間において、全位相差ラインの走査を 2 回実行し、1 回目の走査において左側画素および右側画素の一方を読み出し、2 回目の走査において他方を読み出す点において第 1 の実施の形態と異なる。具体的には、行走査回路 220 が、位相差画素出力期間内に、全位相差ラインの走査を 2 回実行する。そして、列走査回路 290 は、1 回目の走査において、例えば、左側画素のみを選択し、2 回目の走査において、右側画素のみを選択する。

20

【0109】

1 行目において、1 および 7 列目に左側画素が配置され、3 および 9 列目に右側画素が配置される場合、例えば、1 回目の走査において 1 行目が選択されたときに、列走査回路 290 は、1 および 7 列目等の画素を順に選択する。そして、2 回目の走査において 1 行目が選択されたときに、列走査回路 290 は、3 および 9 列目等の画素を順に選択する。

30

【0110】

図 22 は、第 3 の実施の形態における撮像素子 200 の動作の一例を示すタイミングチャートである。時刻 B 乃至 D の位相差画素出力期間は、時刻 B 乃至 F の期間と、時刻 F 乃至 D の期間とに分割される。撮像素子 200 は、時刻 B 乃至 F の期間内に、1 回目の位相差ラインの走査を行って左側画素のみを出力する。そして、時刻 F 乃至 D の期間において 2 回目の位相差ラインの走査を行って右側画素のみを出力する。位相差検出部 140 は、左側画素の出力が完了した時刻 F から、位相差検出処理を開始し、左側画素の輝度分布を求める処理等を行う。そして、位相差検出部 140 は、右側画素の出力が完了した時刻 D から、右側画素の輝度分布を求める処理等を行う。時刻 D の前に位相差検出処理が開始されるため、第 3 の実施の形態の位相差検出処理の終了時刻 E' は、時刻 D から位相差検出処理が開始される第 1 の実施の形態の終了時刻 E よりも早くなる。したがって、位相差検出処理が高速化される。

40

【0111】

このように、本技術の第 3 の実施の形態によれば、撮像素子 200 は、位相差画素出力期間内に、左側画素群および右側画素群のいずれかの画素値を先に読み出すことにより、左側画素および右側画素のいずれかの処理を先に実行することができる。これにより、撮像開始から位相差検出処理の終了までの時間が短縮される。したがって、撮像開始から合焦完了までの時間が短縮され、撮像装置 100 の合焦におけるレスポンスを向上させるこ

50

とができる。

【 0 1 1 2 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【 0 1 1 3 】

なお、本技術は以下のような構成もとることができる。

(1) 位相差を検出するための位相差画素を含む複数の画素が配列された複数の位相差ラインと、

前記位相差画素を含まない複数の通常画素が配列された複数の通常ラインと、

第 1 の期間内に前記複数の位相差ラインおよび前記複数の通常ラインの各々を選択し、前記第 1 の期間と異なる第 2 の期間内に前記複数の位相差ラインの各々を選択する行走査部と、

前記第 1 の期間内に選択されたラインの各々において前記複数の通常画素の画素値を出力し、前記第 2 の期間内に選択されたラインの各々において前記位相差画素の画素値を出力する列走査部と

を具備する撮像素子。

(2) 前記第 1 の期間内に選択されたラインの各々において前記複数の通常画素の各々を同時に駆動し、前記第 2 の期間内に選択されたラインの各々において前記位相差画素の各々を同時に駆動する駆動部と、

前記駆動された通常画素または前記駆動された位相差画素の画素値の各々を保持する画素値保持部と

をさらに具備し、

前記列走査部は、前記保持された画素値の各々を所定の順番で出力する

前記 (1) 記載の撮像素子。

(3) 前記列走査部は、前記第 1 の期間内に前記複数の位相差ラインのいずれかが選択された場合には前記位相差画素の位置に対応する順番において画素の画素値として出力されることのない固定値をさらに出力する

前記 (2) 記載の撮像素子。

(4) 前記第 1 の期間内に選択されたラインの各々において所定の位置関係にある複数の画素に前記位相差画素が含まれる場合には前記通常画素の画素値と前記固定値とを加算し、前記所定の位置関係にある複数の画素に前記位相差画素が含まれない場合には前記複数の画素の画素値を加算する画素加算部をさらに具備し、

前記列走査部は、前記第 1 の期間内に選択されたラインの各々において前記加算された値を出力する

前記 (3) 記載の撮像素子。

(5) 前記複数の位相差画素の各々は、瞳分割された一对の光を受光するための一对の位相差画素を含み、

前記行走査部は、前記第 2 の期間において前記位相差ラインの各々を選択する走査処理を 2 回実行し、

前記列走査部は、前記第 2 の期間内の 1 回目の走査処理で選択されたラインの各々において前記一对の位相差画素のうち一方の画素値を出力し、前記第 2 の期間内の 2 回目の走査処理で選択されたラインの各々において前記一对の位相差画素のうち他方の画素値を出力する

前記 (1) 乃至 (4) のいずれかに記載の撮像素子。

(6) 行走査部が、第 1 の期間内に、位相差を検出するための位相差画素を含む複数の画素が配列された複数の位相差ラインと前記位相差画素を含まない複数の通常画素が配列さ

10

20

30

40

50

れた複数の通常ラインとの各々を選択し、前記第 1 の期間と異なる第 2 の期間内に前記複数の位相差ラインの各々を選択する行走査手順と、

列走査部が、前記第 1 の期間内に選択されたラインの各々において前記複数の通常画素の画素値を出力し、前記第 2 の期間内に選択されたラインの各々において前記位相差画素の画素値を出力する列走査手順と

を具備する撮像素子の制御方法。

(7) 位相差を検出するための位相差画素を含む複数の画素が配列された複数の位相差ラインと、前記位相差画素を含まない複数の通常画素が配列された複数の通常ラインと、第 1 の期間内に前記複数の位相差ラインおよび前記複数の通常ラインの各々を選択し、前記第 1 の期間と異なる第 2 の期間内に前記複数の位相差ラインの各々を選択する行走査部と、前記第 1 の期間内に選択されたラインの各々において前記複数の通常画素の画素値を出力し、前記第 2 の期間内に選択されたラインの各々において前記位相差画素の画素値を出力する列走査部とを具備する撮像素子と、

10

前記出力された前記複数の通常画素の画素値から画像を生成する画像処理部と、

前記出力された位相差画素の画素値に基づいて位相差を検出する位相差検出部とを具備する撮像装置。

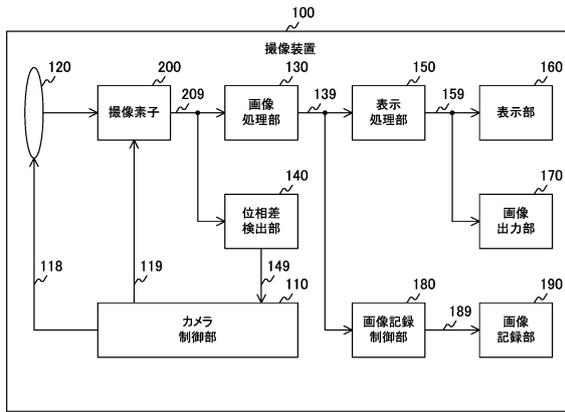
【符号の説明】

【 0 1 1 4 】

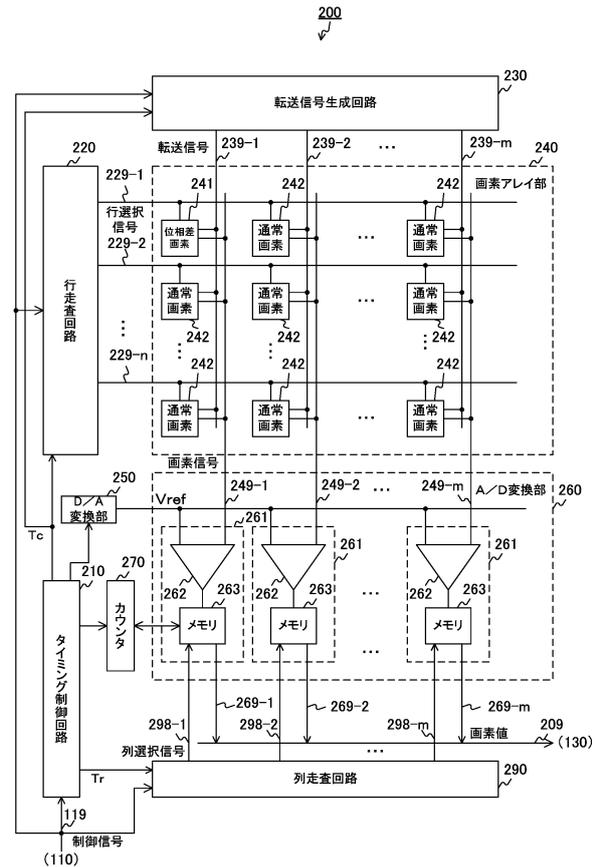
1 0 0	撮像装置	
1 1 0	カメラ制御部	20
1 2 0	撮影レンズ	
1 3 0	画像処理部	
1 3 1	画像バッファ	
1 3 2	位相差画素アドレス記憶部	
1 3 3	画素補間部	
1 3 4	デモザイク処理部	
1 3 5	読出画素数カウンタ	
1 4 0	位相差検出部	
1 5 0	表示処理部	
1 6 0	表示部	30
1 7 0	画像出力部	
1 8 0	画像記録制御部	
1 9 0	画像記録部	
2 0 0	撮像素子	
2 1 0	タイミング制御回路	
2 2 0	行走査回路	
2 2 1	行選択制御回路	
2 2 2、2 9 3	シフトレジスタ	
2 2 3、2 9 4	Dフリップフロップ	
2 2 4	行選択回路	40
2 3 0	転送信号生成回路	
2 3 1	転送制御回路	
2 3 2	転送クロック信号生成回路	
2 3 3	出力制御回路	
2 3 4	スイッチ	
2 4 0	画素アレイ部	
2 4 1	位相差画素	
2 4 2	通常画素	
2 4 3	フォトダイオード	
2 4 4	転送トランジスタ	50

- 2 4 5 リセットトランジスタ
- 2 4 6 浮遊拡散層
- 2 4 7 増幅トランジスタ
- 2 4 8 選択トランジスタ
- 2 5 0 D / A 変換部
- 2 6 0 A / D 変換部
- 2 6 1 A / D 変換回路
- 2 6 2 コンパレータ
- 2 6 3 メモリ
- 2 7 0 カウンタ
- 2 8 0 固定値挿入部
- 2 8 1 固定値記憶部
- 2 8 2 セレクタ
- 2 8 5 画素加算部
- 2 9 0 列走査回路
- 2 9 1 列選択制御回路
- 2 9 2 列選択回路
- 2 9 5 セレクタ制御部

【図 1】



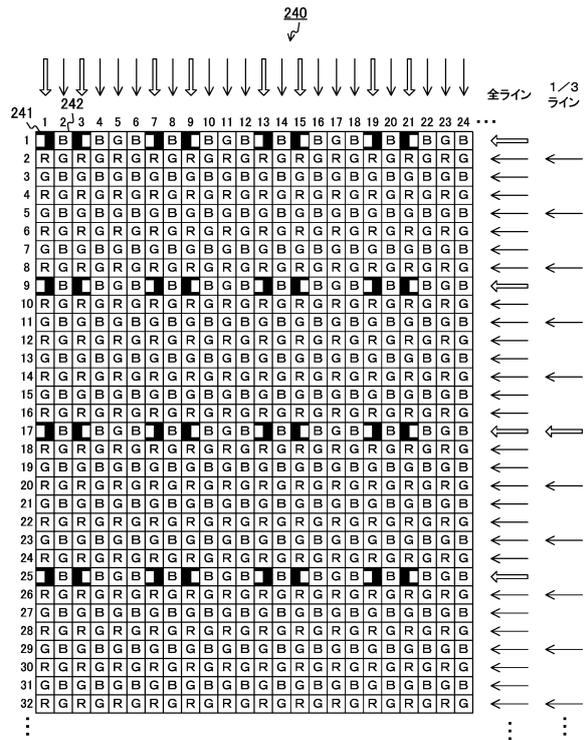
【図 2】



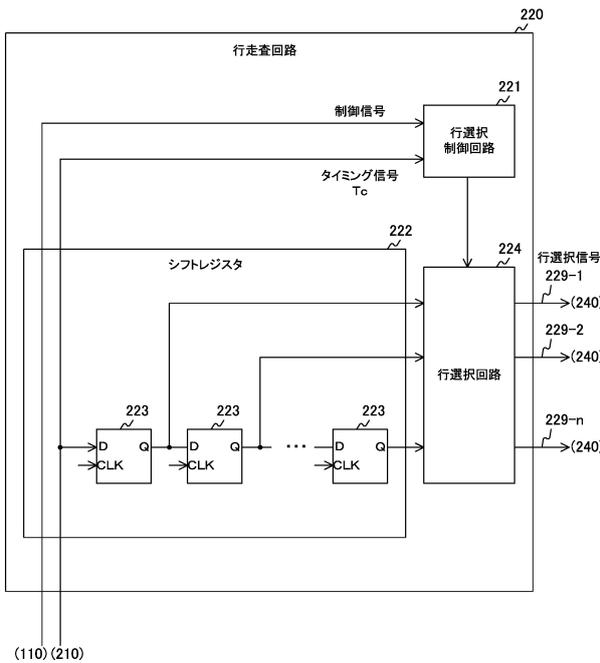
【図3】

制御信号	タイミング制御回路の動作	行走回路の動作	列走回路の動作
0 (ライブビュー)	1/30秒ごとにタイミング信号Tcを出力する	タイミング信号Tolに応じて1/3ラインを選択し、次いで位相差ラインを選択する	1/3ライン選択時に通常画面を選択し、位相差ライン選択時に位相差画面を選択する
1 (キャプチャー)	シャッタースピードに従って、または、1/30秒ごとにタイミング信号Tcを出力する	タイミング信号Tolに応じて全ラインを選択し、次いで位相差ラインを選択する	全ライン選択時に通常画面を選択し、位相差ライン選択時に位相差画面を選択する

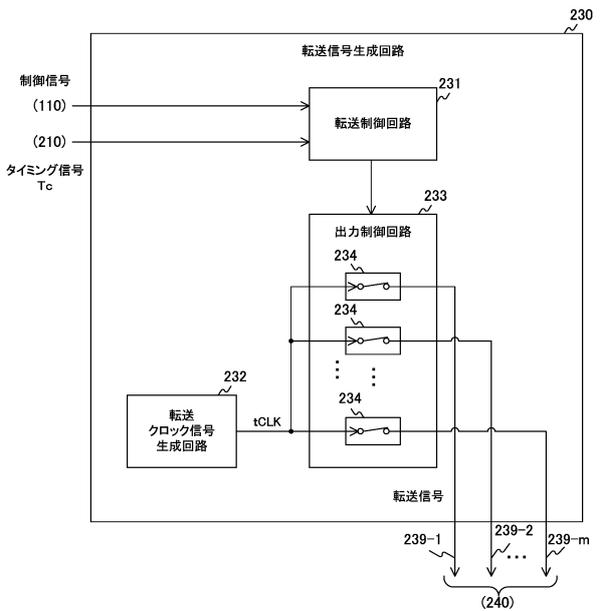
【図4】



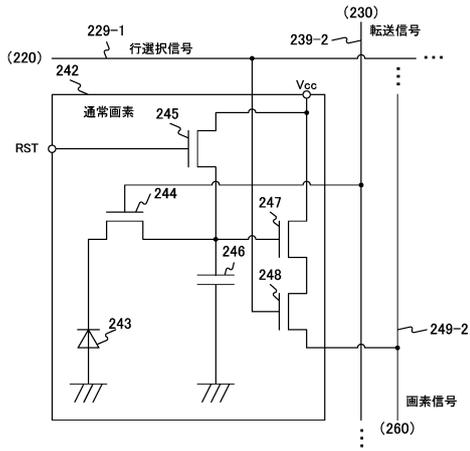
【図5】



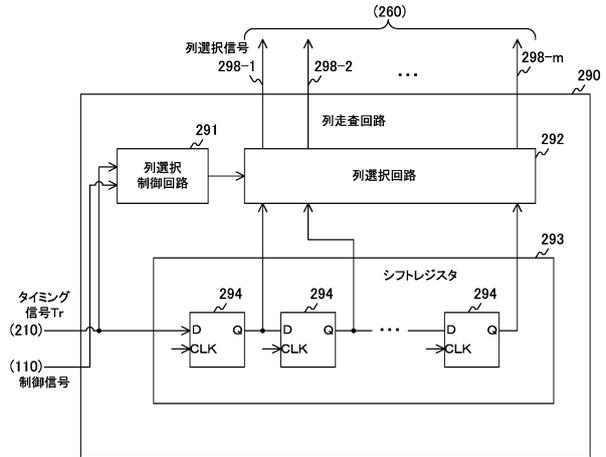
【図6】



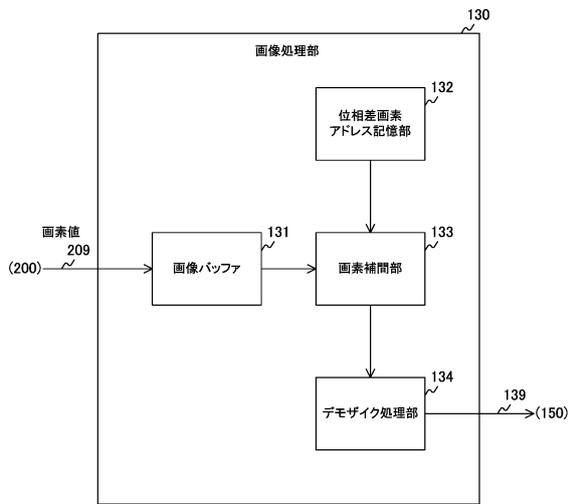
【図7】



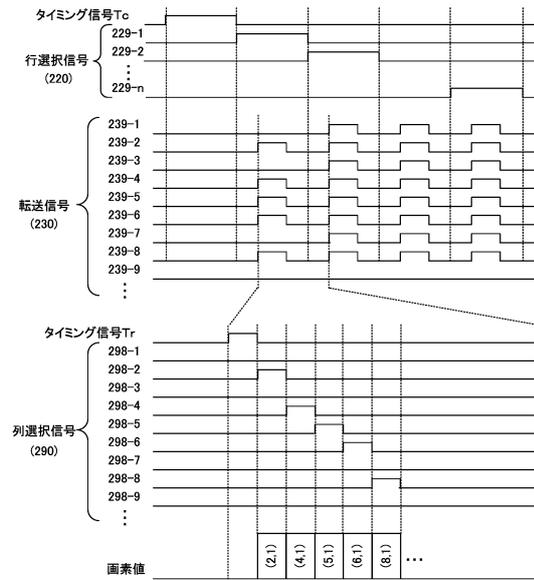
【図8】



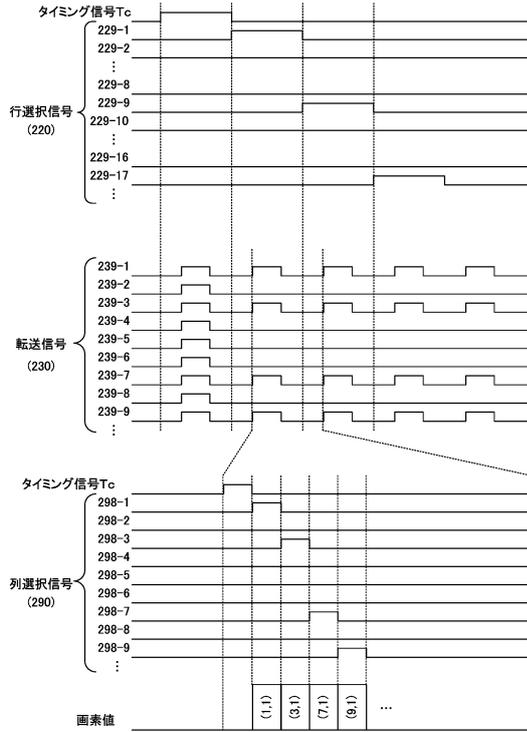
【図9】



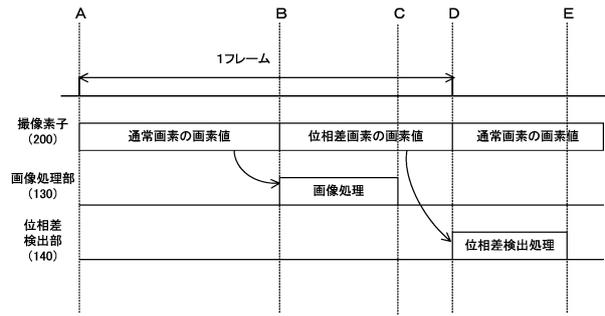
【図10】



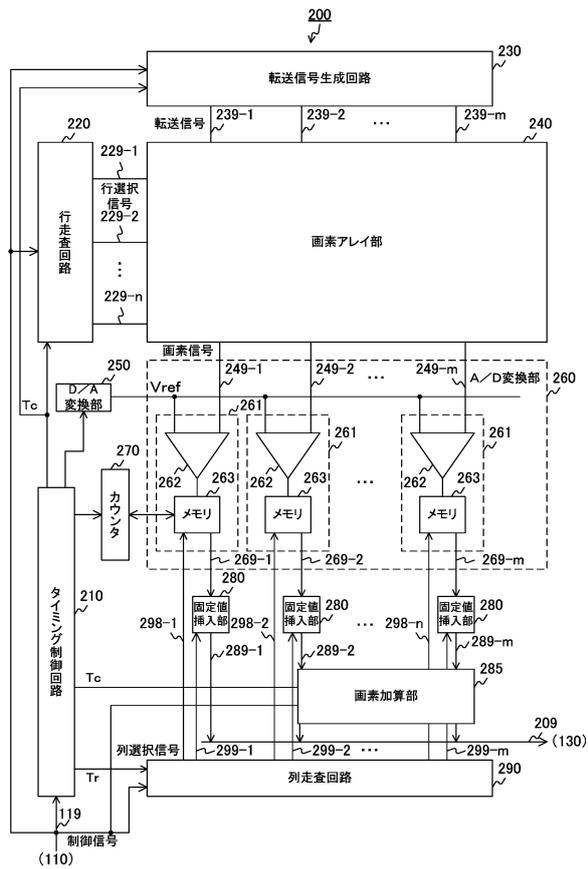
【図11】



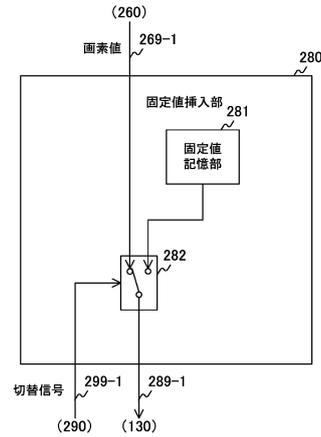
【図12】



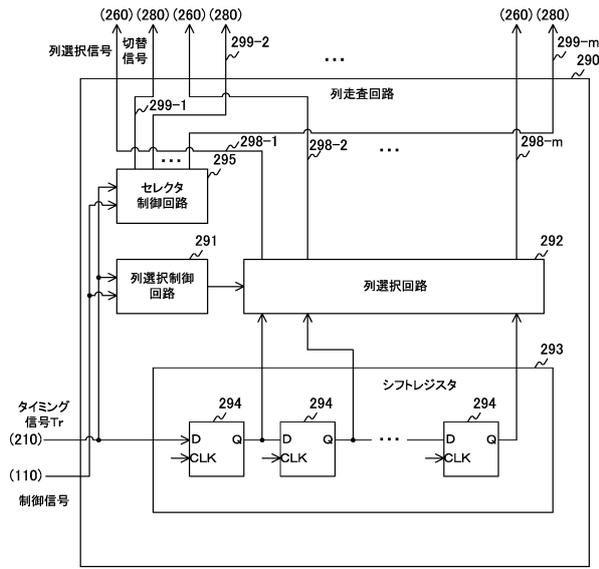
【図13】



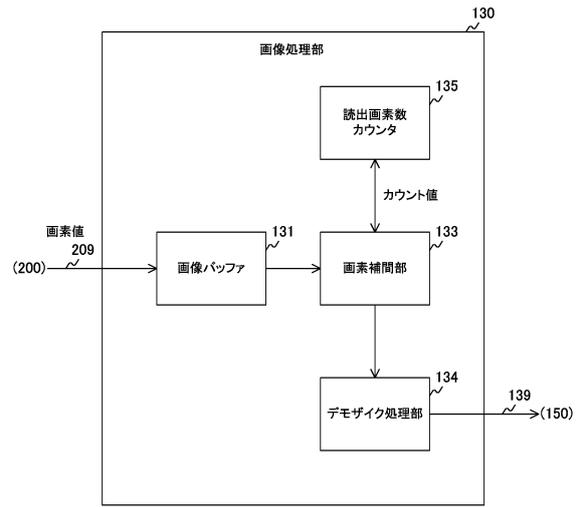
【図14】



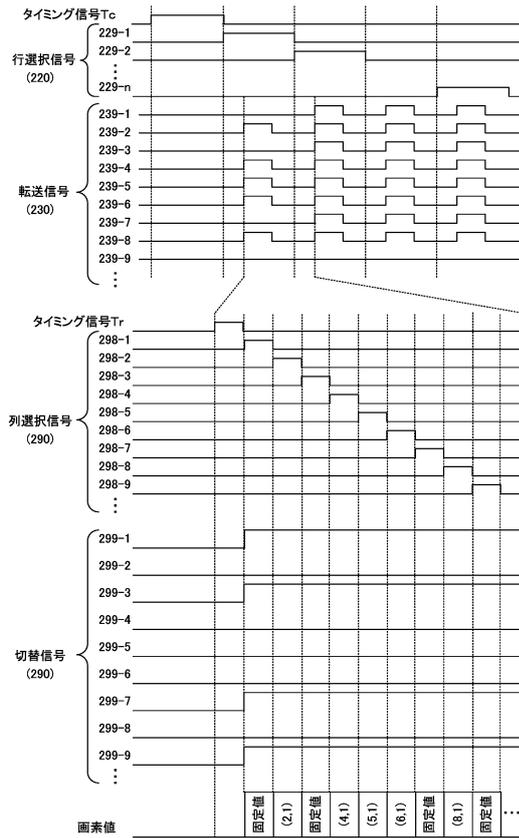
【図15】



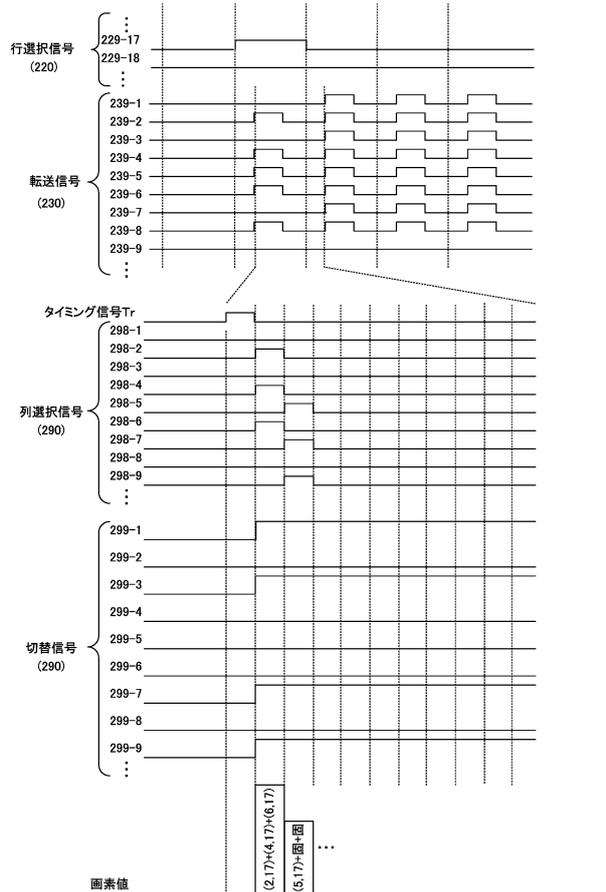
【図16】



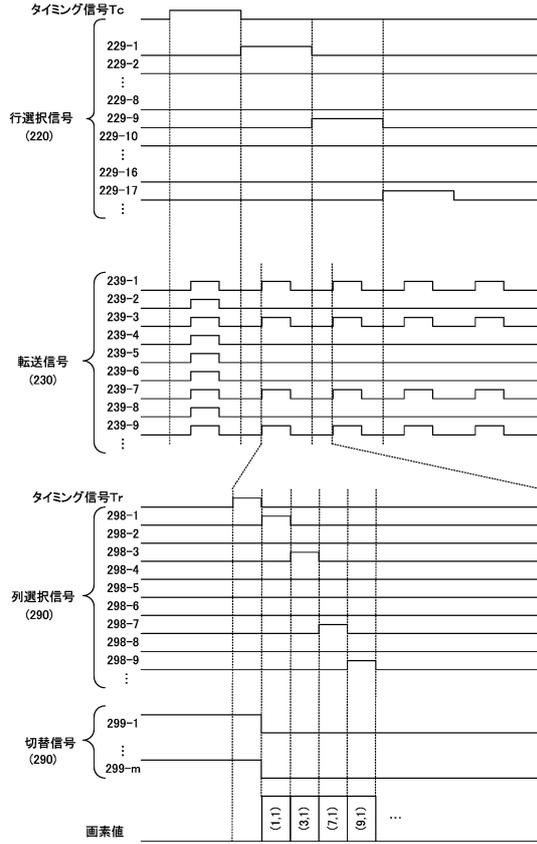
【図17】



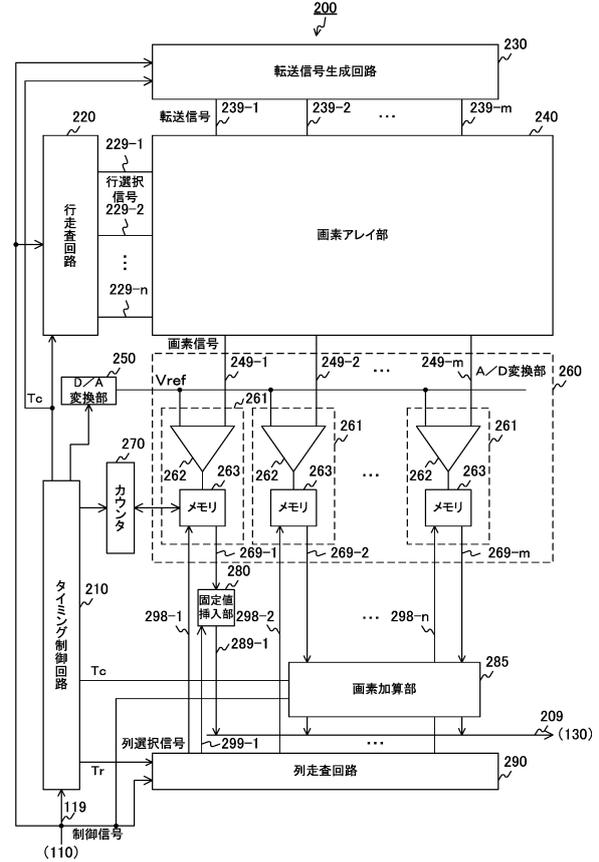
【図18】



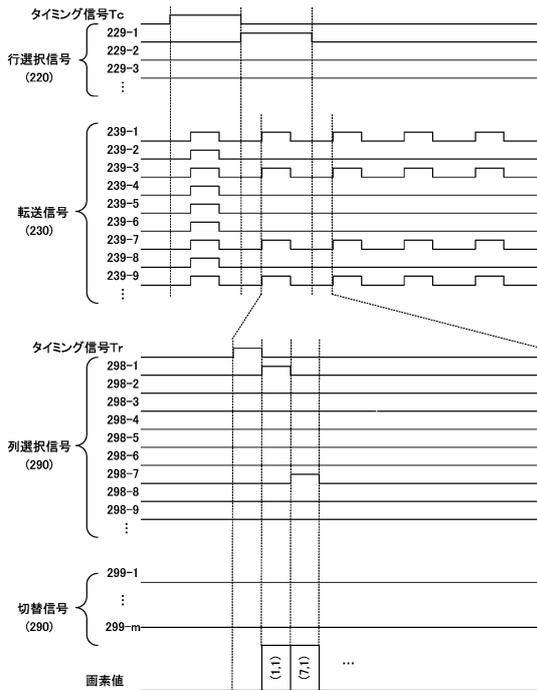
【図19】



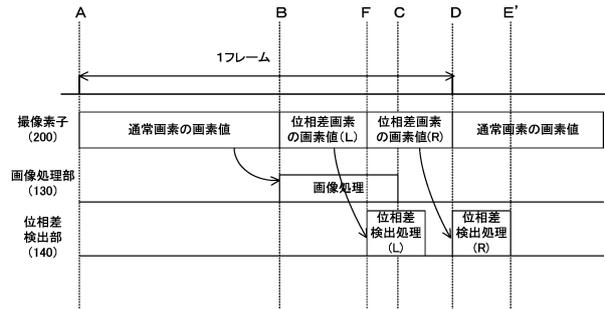
【図20】



【図21】



【図22】



フロントページの続き

- (56)参考文献 特開2009-089143(JP,A)
特開2012-015819(JP,A)
特開2010-074243(JP,A)
国際公開第2012/023355(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/369
H04N 5/232