



(12) 发明专利申请

(10) 申请公布号 CN 117729768 A

(43) 申请公布日 2024.03.19

(21) 申请号 202310944670.8

(22) 申请日 2023.07.28

(30) 优先权数据

63/408,030 2022.09.19 US

(71) 申请人 长江存储科技有限责任公司

地址 430000 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 刘雅琴 刘威 王言虹 黄诗琪
刘子琛

(74) 专利代理机构 北京永新同创知识产权代理有限公司 11376

专利代理人 刘景峰 林锦辉

(51) Int. Cl.

H10B 12/00 (2023.01)

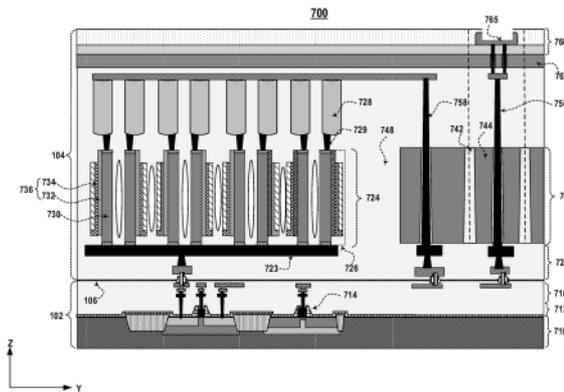
权利要求书3页 说明书20页 附图22页

(54) 发明名称

三维存储器装置和用于形成三维存储器装置的方法

(57) 摘要

本文公开了三维存储器装置和用于形成三维存储器装置的方法。提供了一种半导体装置、存储器系统以及制作方法。半导体装置包括与电路结构键合的存储器结构。存储器结构包括：第一晶体管，每个第一晶体管包括在垂直方向上延伸的半导体主体；位于第一晶体管的横向侧的半导体层；延伸穿过半导体层并且横向地环绕半导体层的第一部分的第一隔离结构；延伸穿过半导体层的第一部分的第一接触结构；以及位于半导体层的第一部分上方并且与第一接触结构连接的第一接触焊盘。第一接触焊盘的横向尺寸小于半导体层的第一部分的横向尺寸。电路结构包括第二晶体管，并且第一接触焊盘通过第一接触结构电连接到第二晶体管。



1. 一种半导体装置,包括:
存储器结构,所述存储器结构包括:
第一晶体管,每个所述第一晶体管包括在竖直方向上延伸的半导体主体,
半导体层,所述半导体层位于所述第一晶体管的横向侧上,
第一隔离结构,所述第一隔离结构延伸穿过所述半导体层并且横向地环绕所述半导体层的第一部分,
第一接触结构,所述第一接触结构延伸穿过所述半导体层的所述第一部分,以及
第一接触焊盘,所述第一接触焊盘位于所述半导体层的所述第一部分上方并且与所述第一接触结构连接,其中,所述第一接触焊盘的横向尺寸小于所述半导体层的所述第一部分的横向尺寸;以及
电路结构,所述电路结构包括第二晶体管,其中,所述电路结构与所述存储器结构键合,所述第一接触焊盘通过所述第一接触结构电连接到所述第二晶体管。
2. 根据权利要求1所述的半导体装置,其中:
所述第一隔离结构的横向横截面是环形。
3. 根据权利要求1所述的半导体装置,其中,所述存储器结构还包括:
第二隔离结构,所述第二隔离结构延伸穿过所述半导体层并且横向地环绕所述半导体层的第二部分;
第二接触结构,所述第二接触结构延伸穿过所述半导体层的第二部分;以及
第二接触焊盘,所述第二接触焊盘位于所述半导体层的第二部分上方并且与所述第二接触结构连接,其中,所述第二接触焊盘的横向尺寸小于所述半导体层的第二部分的横向尺寸。
4. 根据权利要求3所述的半导体装置,其中:
所述第一隔离结构与所述第二隔离结构分隔开。
5. 根据权利要求3所述的半导体装置,其中:
所述第一隔离结构和所述第二隔离结构共享公共隔离壁。
6. 根据权利要求1所述的半导体装置,其中,所述存储器结构还包括:
字线,每个所述字线沿第一横向方向延伸并且包括在所述第一横向方向上布置的一行所述第一晶体管的多个栅极结构;以及
位线,每个所述位线沿不同于所述第一横向方向的第二横向方向延伸并且连接到在所述第二横向方向上布置的一列所述第一晶体管。
7. 根据权利要求6所述的半导体装置,其中,所述存储器结构还包括:
存储件,每个所述存储件与对应的第一晶体管连接。
8. 根据权利要求7所述的半导体装置,其中:
所述存储件是电容器。
9. 根据权利要求7所述的半导体装置,其中:
所述第一晶体管包括竖直的半导体主体,所述竖直的半导体主体包括:
与一个存储件连接的第一端;以及
与一个位线连接的第二端。
10. 根据权利要求7所述的半导体装置,其中,所述存储器结构还包括:

第三接触结构,所述第三接触结构延伸穿过位于所述第一隔离结构外部的所述半导体层并与导电层连接,所述导电层与所述存储件电连接。

11.一种形成半导体装置的方法,包括:

形成存储器结构,其包括:

在半导体层的横向侧上形成第一晶体管,

形成延伸穿过所述半导体层以横向地环绕所述半导体层的第一部分的第一隔离结构,以及

形成延伸穿过所述半导体层的所述第一部分的第一接触结构;以及

将电路结构键合到包括晶体管的所述存储器结构,使得所述第一接触结构耦合到所述电路结构中的第二晶体管。

12.根据权利要求11所述的方法,还包括:

在所述半导体层的所述第一部分上方形成与所述第一接触结构连接的第一接触焊盘,其中,所述第一接触焊盘的横向尺寸小于所述半导体层的所述第一部分的横向尺寸。

13.根据权利要求11所述的方法,其中,形成所述存储器结构还包括:

移除半导体衬底的一部分从而将所述半导体层与所述第一晶体管分隔开。

14.根据权利要求13所述的方法,其中,形成所述第一隔离结构包括:

形成竖直地延伸穿过所述半导体层并且横向地环绕所述半导体层的所述第一部分的第一隔离结构,所述半导体层的所述第一部分与所述半导体层的位于所述第一隔离结构外部的其它部分隔离。

15.根据权利要求11所述的方法,其中,形成所述存储器结构还包括:

移除半导体衬底的一部分从而将所述半导体层与所述第一晶体管分隔开,并且从而将所述半导体层的被所述第一隔离结构环绕的所述第一部分与所述半导体层的位于所述第一隔离结构外部的其它部分分隔开。

16.根据权利要求12所述的方法,还包括:

形成竖直地延伸穿过所述半导体层以通过所述半导体层的其它部分横向地环绕所述半导体层的第二部分的第二隔离结构;

形成延伸穿过所述半导体层的所述第二部分的第二接触结构;以及

在所述半导体层的所述第二部分上方形成与所述第二接触结构连接的第二接触焊盘,其中,所述第二接触焊盘的横向尺寸小于所述半导体层的所述第二部分的横向尺寸。

17.根据权利要求16所述的方法,其中:

在同一第一工艺中形成所述第一隔离结构和所述第二隔离结构;并且

在同一第二工艺中形成所述第一接触结构和所述第二接触结构;并且

在同一第三工艺中形成所述第一接触焊盘和所述第二接触焊盘。

18.根据权利要求17所述的方法,其中:

所述第一隔离结构和所述第二隔离结构被形成为共享公共隔离壁。

19.根据权利要求11所述的方法,还包括:

形成与所述第一晶体管连接的存储件;以及

形成延伸穿过所述半导体层并位于所述第一隔离结构外部的第三接触结构,并且所述第三接触结构与导电层连接,所述导电层与所述存储件电连接,

其中,在同一工艺中形成所述第一接触结构和所述第三接触结构。

20.一种存储器系统,包括:

存储器装置,所述存储器装置包括与电路结构耦合的存储器结构,其中:

所述存储器结构包括:

第一晶体管,每个所述第一晶体管包括在垂直方向上延伸的半导体主体,

半导体层,所述半导体层位于所述第一晶体管的横向侧上,

隔离结构,所述隔离结构延伸穿过所述半导体层并且横向地环绕所述半导体层的部分,触点,所述触点延伸穿过所述半导体层的被所述隔离结构环绕的所述部分,以及

接触焊盘,所述接触焊盘位于所述半导体层的所述部分上方并且与所述触点连接,其中,所述接触焊盘的横向尺寸小于所述半导体层的所述部分的横向尺寸;

所述电路结构包括通过所述触点电连接到所述接触焊盘的第二晶体管;以及

存储器控制器,所述存储器控制器连接到所述接触焊盘并且被配置为通过所述接触焊盘控制所述存储器装置。

三维存储器装置和用于形成三维存储器装置的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求享有于2022年9月19日提交的第63/408,030号美国临时申请的优先权的权益,其全部内容通过引用并入本文中。

技术领域

[0003] 本公开一般涉及半导体技术的领域,并且更具体地,涉及半导体装置及其制作方法。

背景技术

[0004] 通过改进工艺技术、电路设计、编程算法和制作工艺,将平面存储器单元缩放到较小的尺寸。然而,随着存储器单元的特征尺寸接近下限,平面工艺和制造技术变得具有挑战性并且成本高昂。因此,平面存储器单元的存储密度接近上限。

[0005] 三维(3D)存储器架构可以解决平面存储器单元中的密度限制。3D存储器架构包括存储阵列和用于促进存储阵列的操作的外围电路。

发明内容

[0006] 在一个方面中,一种半导体装置包括:存储器结构,其包括:第一晶体管,每个第一晶体管包括在垂直方向上延伸的半导体主体,位于第一晶体管的横向侧的半导体层,延伸穿过半导体层并且横向地环绕半导体层的第一部分的第一隔离结构,延伸穿过半导体层的第一部分的第一接触结构,以及位于半导体层的第一部分上方并且与第一接触结构连接的第一接触焊盘,其中,第一接触焊盘的横向尺寸小于半导体层的第一部分的横向尺寸;以及电路结构,其包括第二晶体管,其中,电路结构与存储器结构键合,第一接触焊盘通过第一接触结构电连接到第二晶体管。

[0007] 在一些实施方式中,第一隔离结构的横向横截面是环形。

[0008] 在一些实施方式中,存储器结构还包括:第二隔离结构,其延伸穿过半导体层并且横向地环绕半导体层的第二部分;第二接触结构,其延伸穿过半导体层的第二部分;以及第二接触焊盘,其位于半导体层的第二部分上方并且与第二接触结构连接,其中,第二接触焊盘的横向尺寸小于半导体层的第二部分的横向尺寸。

[0009] 在一些实施方式中,第一隔离结构与第二隔离结构分隔开。

[0010] 在一些实施方式中,第一隔离结构和第二隔离结构共享公共隔离壁。

[0011] 在一些实施方式中,存储器结构还包括:字线,每个字线沿第一横向方向延伸并且包括在第一横向方向上布置的一行第一晶体管的多个栅极结构;以及位线,每个位线沿不同于第一横向方向的第二横向方向延伸并且连接到在第二横向方向上布置的一列第一晶体管。

[0012] 在一些实施方式中,存储器结构还包括:存储件,每个存储件与对应的第一晶体管连接。

[0013] 在一些实施方式中,存储件是电容器。

[0014] 在一些实施方式中,第一晶体管包括竖直的半导体主体,竖直的半导体主体包括:与一个存储件连接的第一端;以及与一个位线连接的第二端。

[0015] 在一些实施方式中,存储器结构还包括第三接触结构,其延伸穿过位于第一隔离结构外部的半导体层并与导电层连接,导电层与存储件电连接。

[0016] 在另一方面中,一种形成半导体装置的方法包括:形成存储器结构,其包括:在半导体层的横向侧上形成第一晶体管,形成延伸穿过半导体层以横向地环绕半导体层的第一部分的第一隔离结构,以及形成延伸穿过半导体层的第一部分的第一接触结构;以及将电路结构键合到包括晶体管的存储器结构,使得第一接触结构耦合到电路结构中的第二晶体管。

[0017] 在一些实施方式中,方法还包括:在半导体层的第一部分上方形成与第一接触结构连接的第一接触焊盘,其中,第一接触焊盘的横向尺寸小于半导体层的第一部分的横向尺寸。

[0018] 在一些实施方式中,形成存储器结构还包括:移除半导体衬底的一部分从而将半导体层与第一晶体管分隔开。

[0019] 在一些实施方式中,形成第一隔离结构包括:形成竖直地延伸穿过半导体层并且横向地环绕半导体层的第一部分的第一隔离结构,半导体层的第一部分与半导体层的位于第一隔离结构外部的其它部分隔离。

[0020] 在一些实施方式中,方法还包括:移除半导体衬底的一部分从而将半导体层与第一晶体管分隔开,并且从而将半导体层的被第一隔离结构环绕的第一部分与半导体层的位于第一隔离结构外部的其它部分分隔开。

[0021] 在一些实施方式中,方法还包括:形成竖直地延伸穿过半导体层以通过半导体层的其它部分横向地环绕半导体层的第二部分的第二隔离结构;形成延伸穿过半导体层的第二部分的第二接触结构;以及在半导体层的第二部分上方形成与第二接触结构连接的第二接触焊盘,其中,第二接触焊盘的横向尺寸小于半导体层的第二部分的横向尺寸。

[0022] 在一些实施方式中,在同一第一工艺中形成第一隔离结构和第二隔离结构;并且在同一第二工艺中形成第一接触结构和第二接触结构;并且在同一第三工艺中形成第一接触焊盘和第二接触焊盘。

[0023] 在一些实施方式中,方法还包括:第一隔离结构和第二隔离结构被形成为共享公共隔离壁。

[0024] 在一些实施方式中,方法还包括:形成与第一晶体管连接的存储件;以及形成延伸穿过半导体层并位于第一隔离结构外部的第三接触结构,并且第三接触结构与导电层连接,导电层与存储件电连接,其中,在同一工艺中形成第一接触结构和第三接触结构。

[0025] 在另一方面中,存储器系统包括:存储器装置,其包括与电路结构耦合的存储器结构,其中:存储器结构包括:第一晶体管,每个第一晶体管包括在竖直方向上延伸的半导体主体,位于第一晶体管的横向侧上的半导体层,延伸穿过半导体层并且横向地环绕半导体层的部分的隔离结构,延伸穿过半导体层的被隔离结构环绕的部分的触点,以及位于半导体层的部分上方并且与触点连接的接触焊盘,其中,接触焊盘的横向尺寸小于半导体层的部分的横向尺寸;电路结构包括通过触点电连接到接触焊盘的第二晶体管;以及存储器控

制器,其连接到接触焊盘并且被配置为通过接触焊盘控制存储器装置。

附图说明

[0026] 并入本文并且形成说明书的一部分的附图示出了本公开的各方面,并且与说明书一起进一步用于解释本公开的原理并使得相关领域技术人员能够实现和使用本公开。

[0027] 图1示出了根据本公开的一些方面的3D存储器装置的横截面的示意图。

[0028] 图2示出了根据本公开的一些方面的包括外围电路和存储器单元的阵列的存储器装置的示意图。

[0029] 图3示出了根据本公开的一些方面的包括外围电路和动态随机存取存储器 (DRAM) 单元的阵列的存储器装置的示意电路图。

[0030] 图4示出了根据本公开的一些方面的包括外围电路和相变存储器 (PCM) 单元的阵列的存储器装置的示意电路图。

[0031] 图5示出了根据本公开的一些方面的具有存储器装置的示例性系统的框图。

[0032] 图6A示出了根据本公开的一些方面的存储器装置的平面图。

[0033] 图6B示出了根据本公开的一些方面的存储器装置的平面图。

[0034] 图7示出了根据本公开的一些方面的3D存储器装置的横截面的侧视图。

[0035] 图8示出了根据本公开的一些方面的用于形成3D存储器装置的方法的流程图。

[0036] 图9、图10A-图10B以及图11-图13示出了根据本公开的一些方面的用于形成3D存储器装置的制作工艺。

[0037] 图14示出了根据本公开的一些方面的用于形成3D存储器装置的方法的流程图。

[0038] 图15A-图15B以及图16-图19示出了根据本公开的一些方面的用于形成3D存储器装置的制作工艺。

[0039] 将参考附图描述本公开。

具体实施方式

[0040] 尽管讨论了具体的构造和布置,但是应该理解的是,这仅仅是为了说明的目的而进行的。因此,在不脱离本公开的范围的情况下,可以使用其他构造和布置。而且,本公开还可以用在各种其他应用中。本公开中所描述的功能和结构特征可以相互之间以及以附图中未明确描绘的方式组合、调整及修改,使得这些组合、调整和修改处于本公开的范围之内。

[0041] 一般地,可以至少部分地从上下文中的用法理解术语。例如,至少部分地取决于上下文,如本文所使用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性,或者可以用于以复数意义描述特征、结构或特性的组合。类似地,至少部分地取决于上下文,诸如“一”或“所述”之类的术语也可以被理解为传达单数用法或者传达复数用法。另外,同样至少部分地取决于上下文,术语“基于”可以被理解为不一定旨在传达排他性的因素的集合,而是可以允许存在不一定被明确描述的额外因素。

[0042] 应当容易理解的是,本公开中的“在……上”、“在……上方”和“在……之上”的含义应当以最宽泛的方式来解释,使得“在……上”不仅表示“直接在某物上”,而且包括“在某物上”且在其之间具有中间特征或层的含义,并且“在……上方”或“在……之上”不仅表示“在某物上方”或“在某物之上”的含义,而且可以包括“在某物上方”或“在某物之上”且在其

之间没有中间特征或层的含义(即,直接在某物上)。

[0043] 此外,为了便于描述,可以在本文中使用的诸如“在……之下”、“在……下方”、“下部”、“在……之上”、“上部”等的空间相对术语来描述如图所示的一个元件或特征与另一个(或多个)元件或特征的关系。除了在附图中描绘的取向之外,空间相对术语旨在涵盖装置在使用或操作中的不同取向。设备可以以其他方式(旋转90度或以其他取向)来取向,并且类似地可以相应地解释本文中使用的空间相关描述词。

[0044] 如本文中所使用的,术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。添加在衬底顶部的材料可以被图案化或者可以保持未被图案化。此外,衬底可以包括宽范围的半导体材料,例如硅、锗、砷化镓、磷化铟等。替代地,衬底可以由非导电材料(例如玻璃、塑料或蓝宝石晶圆)制成。

[0045] 如本文中所使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在整个下层或上覆结构之上延伸,或者可以具有小于下层或上覆结构的范围的范围。此外,层可以是均匀或不均匀连续结构的区域,其具有小于该连续结构的厚度的厚度。例如,层可以位于连续结构的顶表面和底表面之间的或在顶表面和底表面处的任何一对水平平面之间。层可以水平地、竖直地和/或沿锥形表面延伸。衬底可以是层,可以在其中包括一个或多个层,和/或可以在其上、在其上方和/或在其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体和接触层(其中形成有互连线和/或竖直互连通道(过孔)触点)以及一个或多个电介质层。

[0046] 晶体管在一些存储器装置(例如DRAM、PCM和铁电DRAM (FRAM))的存储器单元中用作切换或选择装置。然而,现有存储器单元中常用的平面晶体管通常具有水平结构,其具有衬底中的掩埋字线和衬底上方的位线。由于平面晶体管的源极和漏极横向地设置在不同的位置处,这增加了晶体管所占用的面积。平面晶体管的设计还使耦合到存储器单元的互连结构(例如字线和位线)的布置复杂化,例如,限制了字线和/或位线的间距,从而增加了制作复杂度并且降低了生产成品率。此外,因为位线和存储件(例如,电容器或PCM元件)布置在平面晶体管的同一侧(在晶体管和衬底上方),因此位线工艺裕度受存储件限制,并且位线与存储件(例如电容器)之间的耦合电容增加。随着饱和漏极电流不断增加,平面晶体管也可能遭受高的漏电流,这对于存储器装置的性能是不希望有的。

[0047] 另一方面,存储器单元阵列和用于控制存储器单元阵列的外围电路通常并排布置在同一平面中。随着存储器单元的数量不断增加,为了保持同样的芯片大小,存储器单元阵列中的部件(例如晶体管、字线和/或位线)的尺寸需要不断减小,以便不会显著降低存储器单元阵列的效率。

[0048] 为了解决前述问题中的一个或多个问题,本公开介绍了一种方案,其中竖直晶体管取代常规的平面晶体管作为存储器装置(例如,DRAM、PCM和FRAM)的存储器单元阵列中的切换和选择装置。与平面晶体管相比,竖直布置的晶体管(即,在平面图中漏极和源极是重叠的)可以减小晶体管的面积以及简化互连结构的布局,例如字线和位线的金属连线,这可以降低制作复杂度并且提高成品率。例如,可以减小字线和/或位线的间距,以便于制作。晶体管的竖直结构还允许位线和存储件(例如电容器)布置在晶体管的在竖直方向上的相对侧上(例如,一个在晶体管上方,并且一个在晶体管下方),使得可以增加位线的工艺裕度,并且可以降低位线和存储件之间的耦合电容。

[0049] 与本公开的范围一致,根据本公开的一些方面,具有竖直晶体管的存储器单元阵列以及存储器单元阵列的外围电路可以形成在不同的晶圆上。在一些实施方式中,可以对存储阵列晶圆的硅衬底进行减薄以暴露出漏极端子,并且然后执行离子注入和金属互连以将存储阵列晶圆与外围电路晶圆键合。如此一来,用于制作存储器单元阵列的热预算不影响外围电路的制作。与并排布置相比,堆叠的存储器单元阵列和外围电路还可以减小芯片大小,从而提高阵列效率。

[0050] 与本公开的范围一致,根据本公开的一些方面,可以在存储阵列晶圆上形成接触焊盘。由于有限的晶体管高度,在接触焊盘与存储阵列晶圆的硅衬底之间存在I/O端口的电容(CI0),这降低了存储器装置的输入/输出(I/O)速度。在所公开的存储器装置中,可以在位于接触焊盘(例如,金属焊盘)下方的硅区域中形成一个或多个贯穿硅隔离(TSI)环,使得位于接触焊盘下方的硅可以与存储阵列晶圆的硅衬底分隔开。通过调整TSI环的宽度、大小和数量,接触焊盘与硅衬底之间的CI0可以减小,从而提高I/O速度并改善DRAM的性能。

[0051] 图1示出了根据本公开的一些方面的3D存储器装置100的横截面的示意图。3D存储器装置100代表键合芯片的示例。3D存储器装置100的部件(例如,存储器单元阵列和外围电路)可以单独地形成在不同衬底上,并且然后连结以形成键合芯片。3D存储器装置100可以包括第一半导体结构102,其包括存储器单元阵列的外围电路,也被称为电路结构。3D存储器装置100还可以包括第二半导体结构104,其包括存储器单元阵列,也被称为存储器结构。外围电路(亦称为控制和感测电路)可以包括用于促进存储器单元阵列的操作的任何适当的数字、模拟和/或混合信号电路。例如,外围电路可以包括页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器(例如,字线驱动器)、输入/输出(I/O)电路、电荷泵、电压源或电压发生器、电流基准或电压基准、上文提及的功能电路的任何部分(例如,子电路)或者电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一种或多种。根据一些实施方式,第一半导体结构102中的外围电路使用互补金属氧化物半导体(CMOS)技术,例如,其可以采用逻辑工艺(例如,90nm、65nm、60nm、45nm、32nm、28nm、22nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm、2nm等的技术节点)来实现。

[0052] 在一些实施方式中,第二半导体结构104可以包括可以使用晶体管作为切换和选择装置的存储器单元的阵列(存储器单元阵列130)。在一些实施方式中,存储器单元阵列130包括DRAM单元的阵列。为了便于描述,DRAM单元阵列可以用作描述本公开中的存储器单元阵列130的示例。但是应当理解,存储器单元阵列130不限于DRAM单元阵列,并且可以包括可以使用晶体管作为切换和选择装置的任何其他适当类型的存储器单元阵列,仅举几例,例如PCM单元阵列、静态随机存取存储器(SRAM)单元阵列、FRAM单元阵列、电阻式存储器单元阵列、磁性存储器单元阵列、自旋转移矩(STT)存储器单元阵列,或者它们的任何组合。

[0053] 在一些实施方式中,第二半导体结构104可以是其中以DRAM单元的阵列的形式提供存储器单元的DRAM装置。在一些实施例中,每个DRAM单元包括用于将数据位存储为正电荷或负电荷的电容器以及控制(例如,切换和选择)对其访问的一个或多个晶体管(亦称为传输晶体管)。在一些实施方式中,每个DRAM单元是一个晶体管、一个电容器(1T1C)单元。由于晶体管总是泄漏少量的电荷,因此电容器将缓慢地放电,导致存储在它们中的信息耗尽。如此,根据一些实施方式,DRAM单元不得不例如通过第一半导体结构102中的外围电路来刷新以保持数据。

[0054] 如图1所示,3D存储器装置100还包括竖直地位于(在竖直方向上,例如图1中的z方向)第一半导体结构102与第二半导体结构104之间的键合界面106。如下文中详细描述,可以单独地(以及在一些实施方式中,并行地)制作第一半导体结构102和第二半导体结构104,使得制作第一半导体结构102和第二半导体结构104中的一个的热预算不限制制作第一半导体结构102和第二半导体结构104中的另一个的过程。此外,与诸如印刷电路板(PCB)的电路板上的长距离(例如,毫米或厘米级)的芯片到芯片的数据总线相反,可以形成穿过键合界面106的大量的互连115(例如,键合触点),以在第一半导体结构102与第二半导体结构104之间形成直接、短距离(例如,微米级)的电连接,从而消除芯片接口延迟并实现具有降低的功耗的高速I/O吞吐量。可以通过跨越键合界面106的互连115(例如,键合触点)执行第二半导体结构104中的存储器单元阵列与第一半导体结构102中的外围电路之间的数据传送。通过竖直地集成第一半导体结构102和第二半导体结构104,芯片大小可以减小,并且存储器单元密度可以增加。

[0055] 在一些实施方式中,如图1所示,第二半导体结构104还可以包括位于存储器单元阵列130的一侧或多侧的一个或多个接触区域120。一个或多个触点125可以竖直地延伸穿过一个或多个接触区域120。每个触点125的第一端可以电连接到第二半导体结构104中的对应的互连115或任何其他互连结构。每个触点125的第二端可以通过焊盘输出互连层(未示出)电连接到接触焊盘150。在一些实施方式中,例如,出于焊盘输出的目的,焊盘输出互连层和接触焊盘150可以在3D存储器装置100与外部电路之间传送电信号。

[0056] 应当理解,堆叠的第一半导体结构102和第二半导体结构104的相对位置不受限制。根据一些实施方式,键合界面106竖直地形成于3D存储器装置100中的第一半导体结构102与第二半导体结构104之间,并且第一半导体结构102和第二半导体结构104通过键合(例如,混合键合)竖直地连结。混合键合,也被称为“金属/电介质混合键合”,是一种直接键合技术(例如,在表面之间形成键合而不使用中间层,例如焊料或粘合剂),并且可以同时获得金属-金属(例如,铜到铜)键合和电介质-电介质(例如,氧化硅到氧化硅)键合。可以通过跨越键合界面106的互连(例如,键合触点)执行第二半导体结构104中的存储器单元阵列与第一半导体结构102中的外围电路之间的数据传送。

[0057] 应当指出的是,图1中包括x、y和z轴,以进一步说明3D存储器装置100中的部件的空间关系。3D存储器装置的衬底包括在x-y平面中横向延伸的两个横向表面:位于晶圆的前侧的在其上可以形成半导体装置的顶表面,以及位于晶圆的与前侧相对的背侧的底表面。z轴垂直于x和y轴两者。如本文中所使用的,当衬底在z方向上位于3D存储器装置的最低平面中时,一个部件(例如,层或装置)是在3D存储器装置的另一部件(例如,层或装置)“上”、“上方”还是“下方”是在z方向(垂直于x-y平面的竖直方向,例如,衬底的厚度方向)上相对于3D存储器装置的衬底确定的。在整个本公开中应用了用于描述空间关系的相同概念。

[0058] 图2示出了根据本公开的一些方面的包括外围电路和存储器单元的阵列的存储器装置200的示意图,每个存储件具有竖直晶体管。存储器装置200可以包括存储器单元阵列201和耦合到存储器单元阵列201的外围电路202。3D存储器装置100可以是存储器装置200的示例,其中存储器单元阵列201和外围电路202可以分别被包括在第二半导体结构104和第一半导体结构102中。存储器单元阵列201可以是其中每个存储器单元208包括竖直晶体管210以及耦合到竖直晶体管210的存储件212的任何适当的存储器单元阵列。在一些实施

方式中,存储器单元阵列201是DRAM单元阵列,并且存储件212是用于将电荷存储为由相应的DRAM单元存储的二进制信息的电容器。在一些实施方式中,存储器单元阵列201是PCM单元阵列,并且存储件212是PCM元件(例如,包括硫属化合物合金),用于基于PCM元件在非晶相和结晶相中的不同电阻率来存储相应的PCM单元的二进制信息。在一些实施方式中,存储器单元阵列201是FRAM单元阵列,并且存储件212是铁电电容器,用于基于铁电材料在外部电场下的两种极化状态之间的切换来存储相应的FRAM单元的二进制信息。

[0059] 如图2所示,存储器单元208可以布置成具有行和列的二维(2D)阵列。存储器装置200可以包括:字线204,其将外围电路202与存储器单元阵列201耦合以用于控制位于一行的存储器单元208中的垂直晶体管210的切换,以及位线206,其将外围电路202与存储器单元阵列201耦合以用于向位于一列的存储器单元208发送数据和/或从位于一列的存储器单元208接收数据。就是说,每个字线204耦合到相应行的存储器单元208,并且每个位线耦合到相应列的存储器单元208。

[0060] 与本公开的范围一致,如下文详细地描述的,垂直晶体管210(例如,垂直金属氧化物半导体场效应晶体管(MOSFET))可以取代常规的平面晶体管作为存储器单元208的传输晶体管,以减小传输晶体管所占用的面积、耦合电容以及互连布线的复杂度。如图2所示,在一些实施方式中,与在衬底中形成有源区域的平面晶体管不同,垂直晶体管210包括在衬底(未示出)上方垂直(在z方向上)延伸的半导体主体214。就是说,半导体主体214可以在衬底的顶表面上方延伸,从而不仅暴露半导体主体214的顶表面,而且暴露其一个或多个侧面。如图2所示,例如,半导体主体214可以具有长方体形状以暴露其四个侧面。应当理解的是,半导体主体214可以具有任何适当的3D形状,例如多面体形状或圆柱体形状。就是说,半导体主体214在平面图中(例如,在x-y平面中)的横截面可以具有正方形形状、矩形形状(或梯形形状)、圆形(或椭圆形形状),或任何其他适当的形状。应当理解的是,与本公开的范围一致,对于在平面图中具有圆形或椭圆形的横截面的半导体主体,仍然可以认为半导体主体具有多个侧面,使得栅极结构与半导体主体的多于一个的侧面接触。如下文关于制作工艺所描述的,半导体主体214可以由衬底形成(例如,通过蚀刻或外延),并且因此,具有与衬底(例如,硅衬底)相同的半导体材料(例如,晶体硅)。

[0061] 在一些实施方式中,垂直晶体管210还可以包括与半导体主体214的一个或多个侧面接触的栅极结构216,即,在有源区域的(多个)侧表面的一个或多个平面中。换句话说,垂直晶体管210的有源区域(即半导体主体214)可以至少部分地被栅极结构216围绕。应当指出的是,图2示出了栅极结构216可以是横向地围绕半导体主体214的所有侧面的全环绕栅极结构。在图2未示出的一些其他实施方式中,栅极结构216可以包括部分地围绕半导体主体214的一个或多个平坦侧面或弯曲侧面。

[0062] 如图2所示,栅极结构216可以包括位于半导体主体214的一个或多个侧面之上的栅极电介质218,例如,与半导体主体214的四个侧表面接触。栅极结构216还可以包括位于栅极电介质218之上并且与栅极电介质218接触的栅极电极220。栅极电介质218可以包括任何适当的电介质材料,例如氧化硅、氮化硅、氮氧化硅或高k电介质。例如,栅极电介质218可以包括氧化硅,即,栅极氧化物。栅极电极220可以包括任何适当的导电材料,例如多晶硅、金属(例如,钨(W)、铜(Cu)、铝(Al)等)、金属化合物(例如,氮化钛(TiN)、氮化钽(TaN)等)或硅化物。例如,栅极电极220可以包括掺杂多晶硅,即,栅极多晶硅。在一些实施方式中,栅极

电极220包括多个导电层,例如位于TiN层之上的W层。应当理解,在一些示例中,栅极电极220和字线204可以是连续的导电结构。换句话说,栅极电极220可以被视为字线204的形成栅极结构216的部分,或者字线204可以被视为栅极电极220的将耦合到外围电路202的延伸。

[0063] 如图2所示,垂直晶体管210还可以包括在垂直方向(z方向)上分别形成在半导体主体214的两端处的一对源极和漏极(S/D掺杂区域,亦称为源极电极和漏极电极)。源极和漏极可以掺杂有任何适当的P型掺杂剂(例如硼(B)或镓(Ga))、或者任何适当的N型掺杂剂(例如磷(P)或砷(As))。源极和漏极可以在垂直方向(z方向)上被栅极结构216分隔开。换句话说,栅极结构216竖直地形成在源极和漏极之间。因此,当施加到栅极结构216的栅极电极220的栅极电压高于垂直晶体管210的阈值电压时,垂直晶体管210的一个或多个沟道(未示出)可以在源极和漏极之间的半导体主体214中竖直地形成。就是说,根据一些实施方式,垂直晶体管210的每个沟道也形成在半导体主体214沿其延伸的垂直方向上。

[0064] 在一些实施方式中,如图2所示,垂直晶体管210是多栅极晶体管。就是说,栅极结构216可以与半导体主体214的多于一个侧面(例如,图2中的四个侧面)接触以形成多于一个栅极,使得操作中的源极和漏极之间可以形成多于一个沟道。就是说,与仅包括单一的平面栅极(并且造成单一的平面沟道)的平面晶体管不同,由于半导体主体214的3D结构和围绕半导体主体214的多个侧面的栅极结构216,图2所示的垂直晶体管210可以包括位于半导体主体214的多个侧面的多个竖直栅极。因此,与平面晶体管相比,图2所示的垂直晶体管210可以具有更大的栅极控制区,从而以较小的亚阈值摆幅实现更好的沟道控制。在关断状态期间,由于沟道完全耗尽,因此垂直晶体管210的漏电流(I_{off})也可以显著地减小。如下文详细描述,多栅极垂直晶体管可以包括双栅极垂直晶体管(例如,双侧栅极垂直晶体管)、三栅极垂直晶体管(例如,三侧栅极垂直晶体管)和GAA垂直晶体管。

[0065] 应当理解,尽管垂直晶体管210在图2中被示为多栅极晶体管,但是本文中公开的垂直晶体管还可以包括下文详细描述的单栅极晶体管。就是说,例如,出于增加晶体管和存储器单元的密度的目的,栅极结构216可以与半导体主体214的单一侧接触。还应当理解,尽管栅极电介质218被示为与相邻的垂直晶体管(未示出)的其它栅极电介质分隔开(即,分隔结构),但是栅极电介质218可以是具有垂直晶体管的多个栅极电介质的连续电介质层的部分。

[0066] 在平面晶体管和一些横向多栅极晶体管(例如,FinFET)中,有源区域(例如半导体主体(例如,鳍状物))横向地延伸(在x-y平面中),并且源极和漏极设置在同一横向平面(x-y平面)中的不同位置处。对比之下,根据一些实施方式,在垂直晶体管210中,半导体主体214竖直地(在z方向上)延伸,并且源极和漏极设置在不同的横向平面中。在一些实施方式中,源极和漏极在垂直方向(z方向)上分别形成在半导体主体214的两端处,由此在平面图中重叠。因此,与平面晶体管和横向多栅极晶体管相比,垂直晶体管210所占用的面积(在x-y平面中)可以减少。此外,由于可以在不同的平面中对互连进行布线,因此耦合到垂直晶体管210的金属连线也可以被简化。例如,位线206和存储件212可以形成在垂直晶体管210的相对侧。在一个示例中,位线206可以耦合到位于半导体主体214的上端处的源极或漏极,而存储件212可以耦合到位于半导体主体214的下端处的另一源极或漏极。

[0067] 如图2所示,存储件212可以耦合到垂直晶体管210的源极或漏极。存储件212可以

包括能够存储二进制数据(例如,0和1)的任何装置,包括但不限于:用于DRAM单元和FRAM单元的电容器,以及用于PCM单元的PCM元件。在一些实施方式中,垂直晶体管210控制对耦合到垂直晶体管210的相应的存储件212的选择和/或状态切换。如图3所示的一些实施方式中,每个存储器单元208是包括晶体管304(例如,使用图2中的垂直晶体管210来实施的)以及电容器306(例如,图2中的存储件212的示例)的DRAM单元302。晶体管304的栅极(例如,对应于栅极电极220)可以耦合到字线204,晶体管304的源极和漏极中的一者可以耦合到位线206,晶体管304的源极和漏极中的另一者可以耦合到电容器306的一个电极,并且电容器306的另一个电极可以耦合到地。在图4中所示的一些实施方式中,每个存储器单元208是包括晶体管404(例如,使用图2中的垂直晶体管210来实施的)以及PCM元件406(例如,图2中的存储件212的示例)的PCM单元402。晶体管404的栅极(例如,对应于栅极电极220)可以耦合到字线204,晶体管404的源极和漏极中的一者可以耦合到地,晶体管404的源极和漏极中的另一者可以耦合到PCM元件406的一个电极,并且PCM元件406的另一个电极可以耦合到位线206。

[0068] 外围电路202可以通过位线206、字线204以及任何其他适当的金属连线耦合到存储器单元阵列201。如上所述,外围电路202可以包括任何适当的电路,用于通过字线204和位线206向每个存储器单元208施加电压信号和/或电流信号以及从每个存储器单元208感测电压信号和/或电流信号来促进存储器单元阵列201的操作。外围电路202可以包括采用CMOS技术形成的各种类型的外围电路。

[0069] 图5示出了根据本公开的一些方面的具有存储器装置的系统500的框图。系统500可以是移动电话、台式计算机、膝上型计算机、平板电脑、车载计算机、游戏控制器、打印机、定位装置、可穿戴电子装置、智能传感器、虚拟现实(VR)装置、增强现实(AR)装置,或者其中具有存储设备的任何其他适当的电子装置。如图5所示,系统500可以包括主机508以及具有一个或多个存储器装置504和存储器控制器506的存储器系统502。主机508可以是电子装置的处理单元(例如,中央处理器(CPU))或片上系统(SoC)(例如,应用处理器(AP))。主机508可以被配置为向存储器装置504发送数据或从存储器装置504接收数据。

[0070] 存储器装置504可以是本文中所公开的任何存储器装置,例如3D存储器装置100。在一些实施方式中,如上文详细描述,存储器装置504包括存储器单元的阵列,每个存储器单元包括垂直晶体管。

[0071] 根据一些实施方式,存储器控制器506耦合到存储器装置504和主机508,并且被配置为控制存储器装置504。存储器控制器506可以管理存储在存储器装置504中的数据,并且与主机508通信。存储器控制器506可以被配置为控制存储器装置504的操作,例如读、写以及刷新操作。存储器控制器506还可以被配置为管理关于存储在或将要存储在存储器装置504中数据的各种功能,包括但不限于:刷新和定时控制、命令/请求转换、缓冲和调度以及功率管理。在一些实施方式中,存储器控制器506还被配置为确定计算机系统可以使用的最大存储器容量、存储体的数量、存储器类型和速度、存储器颗粒数据深度和数据宽度,以及其他重要的参数。也可以由存储器控制器506执行任何其他适当的功能。存储器控制器506可以根据特定的通信协议与外部装置(例如,主机508)通信。例如,存储器控制器506可以通过各种接口协议中的至少一种接口协议与外部装置通信,各种接口协议例如USB协议、MMC协议、外围部件互连(PCI)协议、高速PCI(PCI-E)协议、高级技术附件(ATA)协议、串行ATA协

议、并行ATA协议、小型计算机小型接口 (SCSI) 协议、增强型小型磁盘接口 (ESDI) 协议、集成驱动电子设备 (IDE) 协议、火线协议等。

[0072] 图6A和图6B均示出了根据本公开的一些方面的存储器装置的平面图。在一些实施方式中,图6A所示的存储器装置600A和/或图6B所示的存储器装置600B可以包括存储阵列区域610和位于存储阵列区域610的一侧的至少一个接触区域620(也称为外围区域)。应当指出的是,在图6A和图6B中未示出的一些其他实施方式中,两个或更多个接触区域620可以位于存储阵列区域610的多侧(例如,2、3或4侧)。存储器单元阵列650可以位于存储阵列区域610中。

[0073] 在一些实施方式中,存储器装置(例如,存储器装置200)中的存储器单元的垂直晶体管是单栅极晶体管,并且在字线方向上的垂直晶体管的栅极电介质是连续的。如图6A和图6B所示,存储器单元阵列650可以包括多个字线604,每个字线604在第一横向方向(x方向,被称为字线方向)上延伸。存储器单元阵列650还可以包括多个位线606,每个位线606在垂直于第一横向方向的第二横向方向(y方向,被称为位线方向)上延伸。应当理解的是,图6A和图6B没有示出存储器装置600A或600B在同一横向平面中的横截面,并且如下文详细描述,为了便于布线,字线604和位线606可以形成在不同的横向平面中。

[0074] 存储器单元602可以形成在字线604和位线606的交叉处。在一些实施方式中,每个存储器单元602包括具有半导体主体608和栅极结构616的垂直晶体管(例如,图2中的垂直晶体管210)。半导体主体608可以在垂直于第一横向方向和第二横向方向的垂直方向(z方向,未示出)上在衬底中延伸。垂直晶体管可以是单栅极晶体管,其中,栅极结构616与半导体主体608(其中形成沟道的有源区域)的单一侧(例如,图6A和图6B中的四侧中的一侧)接触。如图6A和图6B所示,垂直晶体管是单栅极晶体管,其中,栅极结构616在平面图中的位线方向(y方向)上与(具有矩形或正方形横截面的)半导体主体608的一侧邻接。根据一些实施方式,栅极结构616不围绕和接触半导体主体608的其他三侧。栅极结构616可以包括在平面图中与半导体主体608的一侧邻接的栅极电介质612,以及与栅极电介质612接触的栅极电极614。在一些实施方式中,栅极电介质612在位线方向(y方向)上横向地位于栅极电极614与半导体主体608之间。如上所述,栅极电极614可以是字线604的部分,并且字线604可以是栅极电极614的延伸。就是说,在字线方向(x方向)上相邻的垂直晶体管的栅极电极614是连续的,例如,连续的导电层的具有栅极电极614和字线604的部分。

[0075] 如图6A和图6B所示,接触区域620可以位于存储阵列区域610的沿字线方向(x方向)的一侧。应当指出的是,在图中未示出的一些其他实施方式中,接触区域620可以位于存储阵列区域610的沿位线方向(y方向)的一侧。如图6A和图6B所示,多个隔离结构630可以位于接触区域620中。每个隔离结构630可以竖直地延伸穿过半导体层622并且横向地环绕内部部分半导体层624。触点640可以竖直地延伸穿过内部部分半导体层624。在一些实施方式中,第一隔离结构在横向平面(例如,x-y平面)中的横向横截面可以是环形形状。就是说,隔离结构630可以将内部部分半导体层624与位于隔离结构630外部的其他部分隔离。在一些实施方式中,如图6A所示,相邻的隔离结构可以彼此分隔开。在一些实施方式中,如图6B所示,相邻的隔离结构可以共享公共隔离壁。应当指出的是,可以调整隔离结构630的宽度、大小及数量,以减小半导体层622与所形成的接触焊盘(图6A及图6B中未示出)之间的C10。

[0076] 图7示出了根据本公开的一些方面的包括垂直晶体管的3D存储器装置700的横截

面的侧视图。应当理解,图7仅用于说明的目的,并且不一定反映实践中的实际装置结构(例如,互连)。作为上文关于图1所描述的3D存储器装置100的一个示例,3D存储器装置700是键合芯片,其包括第一半导体结构102以及堆叠在第一半导体结构102之上的第二半导体结构104。根据一些实施方式,第一半导体结构102和第二半导体结构104在位于其之间的键合界面106处连结。如图7所示,第一半导体结构102可以包括衬底710,其可以包括硅(例如,单晶硅c-Si)、SiGe、GaAs、Ge、SOI,或者任何其它适当的材料。

[0077] 第一半导体结构102可以包括位于衬底710上的外围电路712。在一些实施方式中,外围电路712包括多个晶体管714(例如,平面晶体管和/或3D晶体管)。沟槽隔离(例如,浅沟槽隔离(STI))和掺杂区域(例如,晶体管714的阱、源极和漏极)也可以形成在衬底710上或衬底710中。

[0078] 在一些实施方式中,第一半导体结构102还包括位于外围电路712上方的互连层716,以向外围电路712传送电信号以及从外围电路712传送电信号。互连层716可以包括多个互连(本文中也被称为“触点”),包括横向互连线 and 过孔触点。互连层716还可以包括一个或多个ILD层,其中可以形成互连线、过孔触点和键合触点。就是说,互连层716可以包括位于多个ILD层中的互连线、过孔触点和键合触点。在一些实施方式中,外围电路712通过位于互连层716中的互连彼此耦合。互连层716中的互连可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、掺杂硅、硅化物,或者它们的任何组合。可以采用电介质材料形成ILD层,电介质材料包括但不限于:氧化硅、氮化硅、氮氧化硅、低k电介质,或者它们的任何组合。

[0079] 第二半导体结构104可以在键合界面106处以面对面的方式键合在第一半导体结构102的顶部上。在一些实施方式中,键合界面106是混合键合(也被称为“金属/电介质混合键合”)的结果,混合键合是一种直接键合技术(例如,在表面之间形成键合,而不使用诸如焊料或粘合剂之类的中间层),并且可以同时获得金属-金属键合和电介质-电介质键合。

[0080] 在一些实施方式中,第二半导体结构104还包括互连层722,其包括位线723、互连线、过孔触点和键合触点以传送电信号。互连层722可以包括多个互连,例如,MEOL互连和BEOL互连。在一些实施方式中,互连层722中的互连还包括局部互连,例如位线723(例如,图6A和图6B中的位线606的示例)和字线触点(未示出)。互连层722还可以包括在其中可以形成互连线和过孔触点的一个或多个ILD层。互连层722中的互连可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、掺杂硅、硅化物,或者它们的任何组合。可以采用电介质材料形成ILD层,电介质材料包括但不限于:氧化硅、氮化硅、氮氧化硅、低k电介质,或者它们的任何组合。在一些实施方式中,外围电路712包括字线驱动器/行解码器,其通过互连线、过孔触点以及键合触点互连层716和722耦合到互连层722中的字线触点。在一些实施方式中,外围电路712包括位线驱动器/列解码器,其通过互连线、过孔触点以及键合触点互连层716和722耦合到互连层722中的位线723和位线触点(如果有的话)。

[0081] 在一些实施方式中,第二半导体结构104包括DRAM装置,其中在互连层722上方以DRAM单元724的阵列的形式提供存储器单元(例如,图6A和图6B中的存储器单元602的示例)。应当理解,可以沿位线方向(y方向)形成图7中的3D存储器装置700的横截面,并且互连层722中的在y方向上横向延伸的一个位线723可以耦合到一系列DRAM单元724。每个DRAM单元724可以包括垂直晶体管726(例如,图2中的垂直晶体管210的示例)以及耦合到垂直晶体管726的电容器728(例如,图2中的存储件212的示例)。DRAM单元724可以是由一个晶体管和一

个电容器组成的1T1C单元。应当理解,DRAM单元724可以具有任何适当的构造,例如2T1C单元、3T1C单元等。

[0082] 垂直晶体管726可以是用于对相应的DRAM单元724进行切换的MOSFET。在一些实施方式中,垂直晶体管726包括垂直地(在z方向上)延伸的半导体主体730(即,其中可以形成沟道的有源区域)和在位线方向(y方向)上与半导体主体730的一侧接触的栅极结构736。如上所述,与在单栅极垂直晶体管中一样,半导体主体730可以具有立方体形状或圆柱体形状,并且栅极结构736可以在平面图中与半导体主体730的单一侧邻接。根据一些实施方式,栅极结构736包括栅极电极734以及在位线方向上横向地位于栅极电极734和半导体主体730之间的栅极电介质732。在一些实施方式中,栅极电介质732与半导体主体730的一侧邻接,并且栅极电极734与栅极电介质732邻接。

[0083] 如图7所示,在一些实施方式中,半导体主体730在垂直方向(z方向)上具有在垂直方向(z方向)上分别延伸超过栅极电极734进入ILD层中的两端(上端和下端)。就是说,半导体主体730可以具有比栅极电极734的垂直尺寸(例如,在z方向上)更大的垂直尺寸(例如,深度)。因此,可以避免位线723与字线/栅极电极734之间或者字线/栅极电极734与电容器728之间的短路。垂直晶体管726还可以包括在垂直方向(z方向)上分别设置在半导体主体730的两端处的源极和漏极。在一些实施方式中,源极和漏极中的一者(例如,在图7中的上端处)耦合到电容器728,并且源极和漏极中的另一者(例如,在图7中的下端处)耦合到位线723。

[0084] 在一些实施方式中,半导体主体730包括半导体材料,例如单晶硅、多晶硅、非晶硅、Ge、任何其他半导体材料,或者它们的任何组合。在一个示例中,半导体主体730可以包括单晶硅。半导体主体730的两端可以以期望的掺杂水平掺杂有N型掺杂剂(例如,P或As)或P型掺杂剂(例如,B或Ga),并且可以用作源极/漏极。在一些实施方式中,在源极/漏极与位线723或第一电极729之间形成硅化物层,例如,金属硅化物层,以减小接触电阻。在一些实施方式中,栅极电介质732包括电介质材料,例如氧化硅、氮化硅或高k电介质,高k电介质包括但不限于: Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 ,或者它们的任何组合。在一些实施方式中,栅极电极734包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物,或者它们的任何组合。在图7所示的一些实施方式中,栅极电极734可以包括多个导电层,例如位于TiN层之上的W层。在一个示例中,栅极结构736可以是“栅极氧化物/栅极多晶硅”栅极,其中,栅极电介质732包括氧化硅,并且栅极电极734包括掺杂的多晶硅。在另一个示例中,栅极结构736可以是HKMG,其中,栅极电介质732包括高k电介质,并且栅极电极734包括金属。

[0085] 如上所述,由于栅极电极734可以是字线的部分,或者作为字线在字线方向(例如,图6A和图6B中的x方向)上延伸,因此3D存储器装置700的第二半导体结构104还可以包括多个字线(例如,图6A及图6B中的字线604的示例,也称为734),每个字线都在字线方向(x方向)上延伸。每个字线734可以耦合到一行DRAM单元724。就是说,位线723和字线734可以在两个垂直的横向方向上延伸,并且垂直晶体管726的半导体主体730可以在与位线723和字线734延伸的两个横向方向垂直的垂直方向上延伸。根据一些实施方式,字线734与字线触点(未示出)接触。在一些实施方式中,字线734包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物,或者它们的任何组合。在一些实施方式中,如图7所示,

字线734包括多个导电层,例如位于TiN层之上的W层。

[0086] 应当理解的是,电容器728的结构和构造可以包括任何适当的结构和构造,例如平面电容器、堆叠电容器、多鳍电容器、圆柱电容器、沟槽电容器或衬底-板电容器。在一些实施方式中,电容器电介质可以包括电介质材料,例如氧化硅、氮化硅或高k电介质,高k电介质包括但不限于: Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 、 TiO_2 ,或者它们的任何组合。应当理解,在一些示例中,电容器728可以是在FRAM单元中使用的铁电电容器,并且电容器电介质可以由具有铁电材料(例如PZT或SBT)的铁电层代替。在一些实施方式中,电容器电极包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、TiN、TaN、多晶硅、硅化物,或者它们的任何组合。

[0087] 根据一些实施方式,如图7所示,垂直晶体管726竖直地延伸穿过字线734并与字线734接触,垂直晶体管726的在其下端处的源极/漏极与位线723接触,并且垂直晶体管726的在其上端处的源极/漏极与电容器728的电容器电极接触。就是说,由于垂直晶体管726的垂直布置,位线723和电容器728可以在垂直方向上设置在不同的平面中,并且在垂直方向上耦合到DRAM单元724的垂直晶体管726的相对端。在一些实施方式中,位线723和电容器728在垂直方向上设置在垂直晶体管726的相对侧,与位线和电容器设置在平面晶体管的同一侧的常规的DRAM单元相比,这简化了位线723的布线并且减小了位线723与电容器728之间的耦合电容。

[0088] 在一些实施方式中,第二半导体结构104还包括位于DRAM单元724的阵列的一侧的半导体层740。在一些实施方式中,半导体层740和DRAM单元724的半导体主体730可以由相同的半导体衬底形成,并且因此包括相同的半导体材料。如图7所示,半导体层740和DRAM单元724的半导体主体730可以由电介质结构748分隔开。在一些实施方式中,可以形成一个或多个隔离结构742以竖直地延伸穿过半导体层740。隔离结构742可以包括任何适当的电介质材料,从而将被隔离结构742环绕的内部部分半导体层744与半导体层740的位于隔离结构742外部的其它部分隔离。至少一个内部触点756(也称为内部贯穿硅触点(TSC))可以竖直地延伸穿过内部部分半导体层744,从而将互连层722中的互连和接触焊盘765电连接。至少一个外部触点758(也称为外部贯穿硅触点(TSC))可以竖直地延伸穿过外部部分半导体层740,从而将互连层722中的互连和与电容器728电连接的导电层电连接。内部触点756和外部触点758可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、硅化物,或者它们的任何组合。在一些实施方式中,内部触点756和外部触点758包括过孔,过孔由电介质间隔体(例如,具有氧化硅)围绕以将过孔与半导体层740/744电分隔开。

[0089] 在一些实施方式中,第二半导体结构104还包括设置在DRAM单元724和半导体层740上方的衬底762。如下文关于制作工艺所描述的,衬底762可以是载体晶圆的部分。应当理解,在一些示例中,在第二半导体结构104中可以不包括衬底762。

[0090] 如图7所示,第二半导体结构104还可以包括位于衬底762和DRAM单元724上方的焊盘输出互连层760。焊盘输出互连层760可以包括位于一个或多个ILD层中的互连,例如,接触焊盘765。焊盘输出互连层760和互连层722可以形成在DRAM单元724的相对侧。根据一些实施方式,电容器728竖直地设置在垂直晶体管726与焊盘输出互连层760之间。在一些实施方式中,例如,出于焊盘输出的目的,焊盘输出互连层760中的互连可以在3D存储器装置700与外部电路之间传送电信号。接触焊盘765可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、硅化物,或者它们的任何组合。

[0091] 在图7所示的一些实施方式中,每个接触焊盘765可以位于被一个隔离结构742环绕的对应的内部部分半导体层744上方,并且接触焊盘765的第一横向尺寸可以小于被隔离结构742环绕的内部部分半导体层744的第二横向尺寸。就是说,接触焊盘765在横向平面(x-y平面)上的横向投影可以位于隔离结构742内。由于隔离结构742,半导体层740与接触焊盘765之间的C10可以减小。尽管未示出,但是应当理解,3D存储器装置的焊盘输出并不限于来自如图7所示的具有DRAM单元724的第二半导体结构104,并且可以以与上文关于图7描述的类似的方式来自具有外围电路712的第一半导体结构102。

[0092] 图8示出了根据本公开的一些实施方式的用于形成3D存储器装置的示例性制作方法800的流程图。图9、图10A-图10B以及图11-图13示出了根据本公开的各种实施方式的示例性3D存储器装置的处于图8中示出的方法800的某些制作阶段的示意性侧视横截面图。应当理解,在方法800中所示的操作不是穷尽的,并且也可以在所示的操作中的任何操作之前、之后或之间执行其他操作。此外,这些操作中的一些操作可以同时执行,或者以与图8中所示的不同的顺序执行。

[0093] 如图8所示,方法800可以在操作810处开始,其中,垂直晶体管的阵列位于半导体衬底的上部部分。在一些实施方式中,操作810还包括:形成包括垂直晶体管的阵列的存储器单元的阵列。图9示出了3D结构在y-z平面中的示意性侧视横截面图。

[0094] 在图9所示的一些实施方式中,存储器单元960的阵列(例如,DRAM单元)可以包括垂直晶体管950的阵列和电容器966的阵列。垂直晶体管950的阵列可以形成在半导体衬底940的上部部分中和存储阵列区域910中。每个垂直晶体管950可以包括竖直地(在z方向上)延伸的半导体柱951,并且可以具有任何适当的3D形状,例如多面体形状或圆柱体形状。就是说,每个半导体柱951在平面图中(例如,在x-y平面中)的横截面可以具有正方形形状、矩形形状(或梯形形状)、圆形形状、椭圆形形状,或任何其他适当的形状。

[0095] 在一些实施方式中,形成半导体柱951的阵列可以包括:形成沿第一横向方向(x方向)延伸的多个平行的第一间隔体和沿第二横向方向(y方向)延伸的多个平行的第二间隔体。在一些实施方式中,使用蚀刻掩模(例如,光刻胶掩模和/或硬掩模)执行光刻工艺以图案化出多个第一沟槽、第二沟槽和第三沟槽,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如RIE)以在半导体衬底940的上部部分中蚀刻出多个第一沟槽和第二沟槽。然后,可以通过使用薄膜沉积工艺沉积电介质材料(例如氧化硅)以填充第一沟槽和第二沟槽,来形成第一间隔体和第二间隔体,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。半导体衬底940的位于存储阵列区域910中的剩余上部部分可以形成多个半导体柱951。此外,可以在半导体衬底940的位于存储阵列区域910与外围区域920(也称为接触区域)之间的上部部分中形成第三间隔体930。在一些实施方式中,当第三间隔体930沿第一横向方向延伸时,在同一工艺中形成第三间隔体930和第一沟槽,并且当第三间隔体930沿第二横向方向延伸时,在同一工艺中形成第三间隔体930和第二沟槽。

[0096] 如图9所示,形成垂直晶体管950的阵列还可以包括:形成嵌入在第一间隔体中的栅极结构953。在一些实施方式中,每个栅极结构953可以包括栅极电极和位于栅极电极与相邻的半导体柱951之间的栅极电介质层。沿第一横向方向延伸的一行垂直晶体管950的栅极结构953可以彼此连接以形成字线。在一些实施方式中,形成垂直晶体管950的阵列还可以包括:通过离子注入和/或热扩散来对每个半导体柱951的端部进行掺杂,来形成每个竖

直晶体管950的源极/漏极。如图9所示,形成存储器单元960的阵列还可以包括:形成多个电容器966,每个电容器966与每个半导体柱951的源极/漏极电耦合。

[0097] 如图8所示,方法800可以进行到操作820,其中可以移除半导体衬底的下部部分,从而将半导体衬底的位于外围区域中的外围半导体部分与垂直晶体管的阵列分隔开。然后,方法800可以进行到操作830,其中可以形成竖直地穿透外围半导体部分的隔离结构,从而将被隔离结构横向地环绕的浮置半导体部分与外围半导体部分的位于隔离结构外部的其余部分隔离。图10A示出了在方法800的操作830之后的3D结构在y-z平面中的示意性侧视横截面图。图10B示出了在方法800的操作830之后的3D结构的沿x-y平面的示意性平面图。

[0098] 如图10A所示,可以在3D结构上形成载体衬底1001,并且然后将其翻转。可以通过任何适当的工艺(例如化学机械抛光(CMP)工艺)从背侧(图10A中的顶侧)对半导体衬底940进行减薄。如此,存储阵列区域910中的半导体柱951可以彼此分隔开以形成多个半导体主体1051,并且半导体层衬底940的位于外围区域920中的剩余部分可以形成通过第三间隔体930与半导体主体1051分隔开的外围半导体部分1040。

[0099] 如图10A和图10B所示,可以形成竖直地穿透外围半导体部分1040的一个或多个隔离结构1060,从而将被隔离结构1060横向地环绕的浮置半导体部分1044与外围半导体部分1040的位于隔离结构1060外部的其余部分隔离。在一些实施方式中,使用蚀刻掩模(例如,光刻胶掩模和/或硬掩模)执行光刻工艺以图案化出多个隔槽,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如RIE)以蚀刻出穿透外围半导体部分1040的隔槽。然后,可以通过使用薄膜沉积工艺沉积电介质材料(例如氧化硅)以填充隔槽,来形成隔离结构1060,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。每个所形成的隔离结构1060在横向横截面图中可以具有环形形状。就是说,每个隔离结构1060可以环绕外围半导体部分1040的一部分以形成浮置半导体部分1044。

[0100] 此外,如图10A所示,对每个半导体主体1051的暴露的上端,即半导体主体1051在竖直方向(z方向)上远离载体衬底1001的两端中的一端,进行掺杂以形成另一源极/漏极。在一些实施方式中,执行注入工艺和/或热扩散工艺,从而将P型掺杂剂或N型掺杂剂掺杂到半导体主体1051的暴露的上端,从而形成源极/漏极。

[0101] 返回参考图8,方法800进行到操作840,其中可以形成第一贯穿触点以穿透浮置半导体部分。在一些实施方式中,操作840还可以包括:在隔离结构外部形成穿透外围半导体部分的第二贯穿触点。在一些实施方式中,操作840还可以包括:在存储器单元的阵列上方形成包括位线的互连层。图11示出了在方法800的操作840之后的3D结构在y-z平面中的示意性侧视横截面图。

[0102] 如图11所示,可以形成至少一个第一贯穿触点1152,从而穿透被隔离结构1060环绕的浮置半导体部分1044。此外,可以形成至少一个第二贯穿触点1154,从而穿透位于隔离结构1060外部的的外围半导体部分1040。在一些实施方式中,可以通过同一工艺同时形成至少一个第一贯穿触点1152和至少一个第二贯穿触点1154。至少一个第一贯穿触点1152和至少一个第二贯穿触点1154可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于:CVD、PVD、ALD、电镀、无电镀覆,或者它们的任何组合。用于形成至少一个第一贯穿触点1152和至少一个第二贯穿触点1154的制作工艺可以包括光刻、CMP、湿法/干法蚀刻或者任何其他适当的工艺。至少一个第一贯穿触点1152和至少一个第二贯穿

触点1154可以通过电介质层与相邻的浮置半导体部分1044或外围半导体部分1040隔离。

[0103] 如图11所示,互连层1170可以形成于存储器单元960上方。互连层1170可以包括位于多个ILD层中的MEOL和/或BEOL的互连,从而与存储器单元960建立电连接。在一些实施方式中,互连层1170包括多个ILD层以及其中的在多种工艺中形成的互连、过孔以及键合焊盘。例如,互连层1170中的互连、过孔以及键合焊盘可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于:CVD、PVD、ALD、电镀、无电镀覆,或者它们的任何组合。用于形成互连的制作工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他适当的工艺。ILD层可以包括使用一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。图11中所示的ILD层和互连可以合称为互连层1170。

[0104] 如图11所示,形成互连层1170包括:在竖直晶体管950的掺杂的第二端上形成位线1175。如图11中所示,通过使用光刻和蚀刻工艺来图案化和蚀刻出与相应的源极/漏极对准的沟槽、并使用薄膜沉积工艺沉积导电材料以填充沟槽,可以在竖直晶体管950的源极/漏极(即,图11中的上端)上形成位线1175。因此,位线1175和电容器966可以形成在半导体主体1051的相对侧,并且耦合到半导体主体1051的相对端。应当理解,也可以类似地形成额外的局部互连,例如字线触点、电容器触点和位线触点。

[0105] 如图8所示,方法800进行到操作850,其中,电路晶圆可以键合到存储阵列晶圆上,使得贯穿触点连接到电路晶圆中的晶体管。图12示出了在方法800的操作850之后的3D结构在y-z平面中的示意性侧视横截面图。

[0106] 如图12所示,可以提供包括位于衬底1213上的外围电路的电路晶圆1210。外围电路可以包括位于衬底1213上的多个晶体管1215。外围电路还可以包括互连层1218,其包括多个互连、过孔和键合触点。电路晶圆1210和存储阵列晶圆1220可以以面对面的方式键合,使得存储器单元的阵列可以跨越键合界面1230耦合到外围电路。键合可以包括混合键合。在一些实施方式中,第一贯穿触点1152可以电连接到电路晶圆1210中的晶体管1215。在一些实施方式中,第二贯穿触点1154可以电连接到电路晶圆1210中的晶体管1215。在一些实施方式中,字线和位线可以电连接到电路晶圆1210中的外围电路。

[0107] 如图8所示,方法800进行到操作860,其中,可以在存储阵列晶圆上形成接触焊盘。接触焊盘可以连接到第一贯穿触点。接触焊盘的横向投影位于隔离结构内。图13示出了在方法800的操作860之后的3D结构在y-z平面中的示意性侧视横截面图。

[0108] 如图13所示,可以在存储阵列晶圆1220的背侧形成焊盘输出互连层1390。如图13所示,在载体衬底1001的背侧形成焊盘输出互连层1390。焊盘输出互连层1390可以包括形成在一个或多个ILD层中的互连,例如接触焊盘1395。接触焊盘1395可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、掺杂硅、硅化物,或者它们的任何组合。ILD层可以包括电介质材料,电介质材料包括但不限于:氧化硅、氮化硅、氮氧化硅、低k电介质,或者它们的任何组合。在一些实施方式中,在键合之后,例如通过湿法/干法蚀刻工艺,随后通过沉积导电材料,形成竖直地延伸穿过载体衬底1001的过孔1393。过孔1393可以与第一贯穿触点1152电连接。应当理解,在一些示例中,在键合之后并且在形成焊盘输出互连层1390和过孔1393之前,可以例如使用平坦化工艺和/或蚀刻工艺来将载体衬底1001减薄或移除。

[0109] 如图13所示,接触焊盘1395的第一横向尺寸可以小于被隔离结构1060环绕的浮置

半导体部分1044的第二横向尺寸。就是说,接触焊盘1395在横向平面(x-y平面)上的横向投影可以位于隔离结构1060内。由于隔离结构1060,外围半导体部分1040与接触焊盘1395之间的CI0可以减小。

[0110] 图14示出了根据本公开的一些实施方式的用于形成3D存储器装置的示例性制作方法1400的流程图。图15A-图15B以及图16-图19示出了根据本公开的各种实施方式的示例性3D存储器装置的处于图14中所示的方法1400的某些制作阶段的示意性侧视横截面图。应当理解的是,在方法1400中所示的操作不是穷尽的,并且也可以在所示的操作中的任何操作之前、之后或之间执行其他操作。此外,这些操作中的一些操作可以同时执行,或者以与图14中所示的不同的顺序执行。

[0111] 如图14所示,方法1400可以在操作1410处开始,其中,可以在半导体衬底的位于阵列区域中的上部部分中形成垂直晶体管的阵列,以及在半导体衬底的位于外围区域中的上部部分中形成隔离结构。在一些实施方式中,操作1410还包括:形成包括垂直晶体管的阵列的存储器单元的阵列。图15A示出了在方法1400的操作1410之后的3D结构在y-z平面中的示意性侧视横截面图。图15B示出了在方法1400的操作1410之后的3D结构沿x-y平面的示意性平面图。

[0112] 在图15A和图15B所示的一些实施方式中,存储器单元960(例如,DRAM单元)的阵列可以包括垂直晶体管950的阵列和电容器966的阵列。垂直晶体管950的阵列可以形成在半导体衬底940的上部部分中以及存储阵列区域910中。每个垂直晶体管950可以包括竖直地(在z方向上)延伸的半导体柱951,并且可以具有任何适当的3D形状,例如多面体形状或圆柱体形状。就是说,每个半导体柱951在平面图中(例如,在x-y平面中)的横截面可以具有正方形形状、矩形形状(或梯形形状)、圆形形状、椭圆形形状,或任何其他适当的形状。

[0113] 在一些实施方式中,形成半导体柱951的阵列可以包括:形成沿第一横向方向(x方向)延伸的多个平行的第一间隔体和沿第二横向方向(y方向)延伸的多个平行的第二间隔体。在一些实施方式中,使用蚀刻掩模(例如,光刻胶掩模和/或硬掩模)执行光刻工艺以图案化出多个第一沟槽、第二沟槽和第三沟槽,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如RIE)以在半导体衬底940的上部部分中蚀刻出多个第一沟槽和第二沟槽。然后,可以通过使用薄膜沉积工艺沉积电介质材料(例如氧化硅)以填充第一沟槽和第二沟槽,来形成第一间隔体和第二间隔体,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。半导体衬底940的位于存储阵列区域910中的剩余上部部分可以形成多个半导体柱951。

[0114] 如图15A和图15B所示,可以在半导体衬底940的位于存储阵列区域910和外围区域920(也称为接触区域)之间的上部部分中形成第三间隔体930。在一些实施方式中,当第三间隔体930沿第一横向方向延伸时,在同一工艺中形成第三间隔体930和第一沟槽,并且当第三间隔体930沿第二横向方向延伸时,在同一工艺中形成第三间隔体930和第二沟槽。

[0115] 此外,可以在外围区域920中形成在半导体衬底的上部部分中竖直地延伸的隔离结构以限定浮置半导体部分,该浮置半导体部分被隔离结构通过外围半导体部分的位于隔离结构外部的其余部分横向地环绕。如图15A和图15B所示,可以在外围区域920中形成在半导体衬底940的上部部分中竖直延伸的一个或多个隔离结构970以限定浮置半导体部分944,该浮置半导体部分944被隔离结构970通过半导体衬底940的位于隔离结构970外部的

其余部分横向地环绕。在一些实施方式中,使用蚀刻掩模(例如,光刻胶掩模和/或硬掩模)执行光刻工艺以图案化出多个隔槽,并且执行一种或多种干法蚀刻和/或湿法蚀刻工艺(例如RIE)以蚀刻出在半导体衬底940的上部部分中延伸的隔槽。然后,可以通过使用薄膜沉积工艺沉积电介质材料(例如氧化硅)以填充隔槽,来形成隔离结构970,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。每个所形成的隔离结构970在横向横截面图中可以具有环形形状。就是说,每个隔离结构970可以环绕半导体衬底940的一部分以限定浮置半导体部分944。

[0116] 如图15A和图15B所示,形成垂直晶体管950的阵列还可以包括:形成嵌入在第一间隔体中的栅极结构953。在一些实施方式中,每个栅极结构953可以包括栅极电极和位于栅极电极与相邻的半导体柱951之间的栅极电介质层。沿第一横向方向延伸的一行垂直晶体管950的栅极结构953可以彼此连接以形成字线。在一些实施方式中,形成垂直晶体管950的阵列还可以包括:通过离子注入和/或热扩散来对每个半导体柱951的端部进行掺杂,来形成每个垂直晶体管950的源极/漏极。如图15A和图15B所示,形成存储器单元960的阵列还可以包括:形成多个电容器966,每个电容器966与每个半导体柱951的源极/漏极电耦合。

[0117] 如图14所示,方法1400可以进行到操作1420,其中可以移除半导体衬底的下部部分,从而将半导体衬底的外围区域与垂直晶体管的阵列分隔开。隔离结构横向地环绕浮置半导体部分并将浮置半导体部分与半导体衬底的位于隔离结构外部的其余部分隔离。图16示出了在方法1400的操作1420之后的3D结构在y-z平面中的示意性侧视横截面图。

[0118] 如图16所示,可以在3D结构上形成载体衬底1001,并且然后将其翻转。可以通过任何适当的工艺(例如化学机械抛光(CMP)工艺)从背侧(图16中的顶侧)对半导体衬底940进行减薄。如此,存储阵列区域910中的半导体柱951可以彼此分隔开以形成多个半导体主体1051,并且半导体层衬底940的位于外围区域920中的剩余部分可以形成通过第三间隔体930与半导体主体1051分隔开的外围半导体部分1040。此外,在对半导体衬底940进行减薄之后,被隔离结构1060环绕的浮置半导体部分1044可以与半导体衬底的位于隔离结构1060外部的半导体部分1040隔离。

[0119] 此外,如图16所示,对每个半导体主体1051的暴露的上端,即,半导体主体1051在竖直方向(z方向)上远离载体衬底1001的两端中的一端进行掺杂,以形成另一源极/漏极。在一些实施方式中,执行注入工艺和/或热扩散工艺,从而将P型掺杂剂或N型掺杂剂掺杂到半导体主体1051的暴露的上端,从而形成源极/漏极。

[0120] 返回参考图14,方法1400进行到操作1430,其中可以形成第一贯穿触点以穿透浮置半导体部分。在一些实施方式中,操作1430还可以包括:在隔离结构外部形成穿透外围半导体部分的第二贯穿触点。在一些实施方式中,操作1430还可以包括:在存储器单元的阵列上方形成包括位线的互连层。图17示出了在方法1400的操作1430之后的3D结构在y-z平面中的示意性侧视横截面图。

[0121] 如图17所示,可以形成至少一个第一贯穿触点1152以穿透被隔离结构1060环绕的浮置半导体部分1044。此外,可以形成至少一个第二贯穿触点1154以穿透位于隔离结构1060外部的半导体部分1040。在一些实施方式中,可以通过同一工艺同时形成至少一个第一贯穿触点1152和至少一个第二贯穿触点1154。至少一个第一贯穿触点1152和至少一个第二贯穿触点1154可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工

艺包括但不限于:CVD、PVD、ALD、电镀、无电镀覆,或者它们的任何组合。用于形成至少一个第一贯穿触点1152和至少一个第二贯穿触点1154的制作工艺可以包括光刻、CMP、湿法/干法蚀刻或者任何其他适当的工艺。至少一个第一贯穿触点1152和至少一个第二贯穿触点1154可以通过电介质层与相邻的浮置半导体部分1044或外围半导体部分1040隔离。

[0122] 如图17所示,可以于存储器单元960上方形成互连层1170。互连层1170可以包括位于多个ILD层中的MEOL和/或BEOL的互连,从而与存储器单元960建立电连接。在一些实施方式中,互连层1170包括多个ILD层以及在多种工艺中形成在其中的互连,过孔以及键合焊盘。例如,互连层1170中的互连、过孔以及键合焊盘可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于:CVD、PVD、ALD、电镀、无电镀覆,或者它们的任何组合。用于形成互连的制作工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他适当的工艺。ILD层可以包括使用一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于:CVD、PVD、ALD,或者它们的任何组合。图17中所示的ILD层和互连可以合称为互连层1170。

[0123] 如图17所示,形成互连层1170包括:在垂直晶体管950的掺杂的第二端上形成位线1175。如图17所示,通过使用光刻和蚀刻工艺图案化和蚀刻出与相应的源极/漏极对准的沟槽、以及使用薄膜沉积工艺沉积导电材料以填充沟槽,可以在垂直晶体管950的源极/漏极(即,图17中的上端)上形成位线1175。因此,位线1175和电容器966可以形成在半导体主体1051的相对侧,并且耦合到半导体主体1051的相对端。应当理解,也可以类似地形成额外的局部互连,例如字线触点、电容器触点和位线触点。

[0124] 如图14所示,方法1400进行到操作1440,其中,电路晶圆可以键合到存储阵列晶圆上,使得贯穿触点连接到电路晶圆中的晶体管。图18示出了在方法1400的操作1440之后的3D结构在y-z平面中的示意性侧视横截面图。

[0125] 如图18所示,可以提供包括位于衬底1213上的外围电路的电路晶圆1210。外围电路可以包括位于衬底1213上的多个晶体管1215。外围电路还可以包括互连层1218,其包括多个互连、过孔和键合触点。电路晶圆1210和存储阵列晶圆1220可以以面对面的方式键合,使得存储器单元的阵列可以跨越键合界面1230耦合到外围电路。键合可以包括混合键合。在一些实施方式中,第一贯穿触点1152可以电连接到电路晶圆1210中的晶体管1215。在一些实施方式中,第二贯穿触点1154可以电连接到电路晶圆1210中的晶体管1215。在一些实施方式中,字线和位线可以电连接到电路晶圆1210中的外围电路。

[0126] 如图14所示,方法1400进行到操作1450,其中,可以在存储阵列晶圆上形成接触焊盘。接触焊盘可以连接到第一贯穿触点。接触焊盘的横向投影位于隔离结构内。图19示出了在方法1400的操作1450之后的3D结构在y-z平面中的示意性侧视横截面图。

[0127] 如图19所示,可以在存储阵列晶圆1220的背侧形成焊盘输出互连层1390。如图19所示,在载体衬底1001的背侧形成焊盘输出互连层1390。焊盘输出互连层1390可以包括形成在一个或多个ILD层中的互连,例如接触焊盘1395。接触焊盘1395可以包括导电材料,导电材料包括但不限于:W、Co、Cu、Al、掺杂硅、硅化物,或者它们的任何组合。ILD层可以包括电介质材料,电介质材料包括但不限于:氧化硅、氮化硅、氮氧化硅、低k电介质,或者它们的任何组合。在一些实施方式中,在键合之后,例如通过湿法/干法蚀刻工艺,随后通过沉积导电材料,形成竖直地延伸穿过载体衬底1001的过孔1393。过孔1393可以与第一贯穿触点

1152电连接。应当理解,在一些示例中,在键合之后并且在形成焊盘输出互连层1390和过孔1393之前,可以例如使用平坦化工艺和/或蚀刻工艺来将载体衬底1001减薄或移除。

[0128] 如图19所示,接触焊盘1395的第一横向尺寸可以小于被隔离结构1060环绕的浮置半导体部分1044的第二横向尺寸。就是说,接触焊盘1395在横向平面(x-y平面)上的横向投影可以位于隔离结构1060内。由于隔离结构1060,外围半导体部分1040与接触焊盘1395之间的CI0可以减小。

[0129] 针对各种应用,可以容易地修改和/或调整前文对具体的实施方式所作的描述。因此,基于本文给出的教导和指导,这样的调整和修改旨在处于所公开的实施方式的等同方案的含义和范围内。

[0130] 本公开的广度和范围不应当受上述示例性实施方式中的任何实施方式的限制,而应当仅根据以下权利要求及其等同方案来限定。

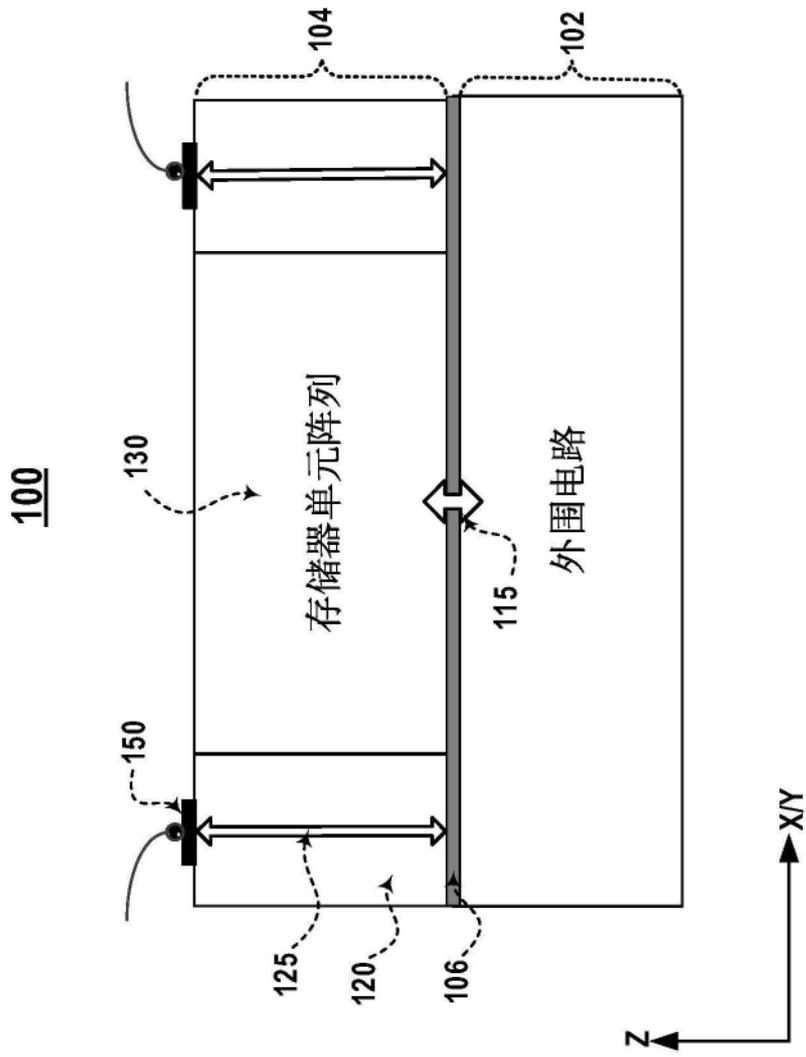


图1

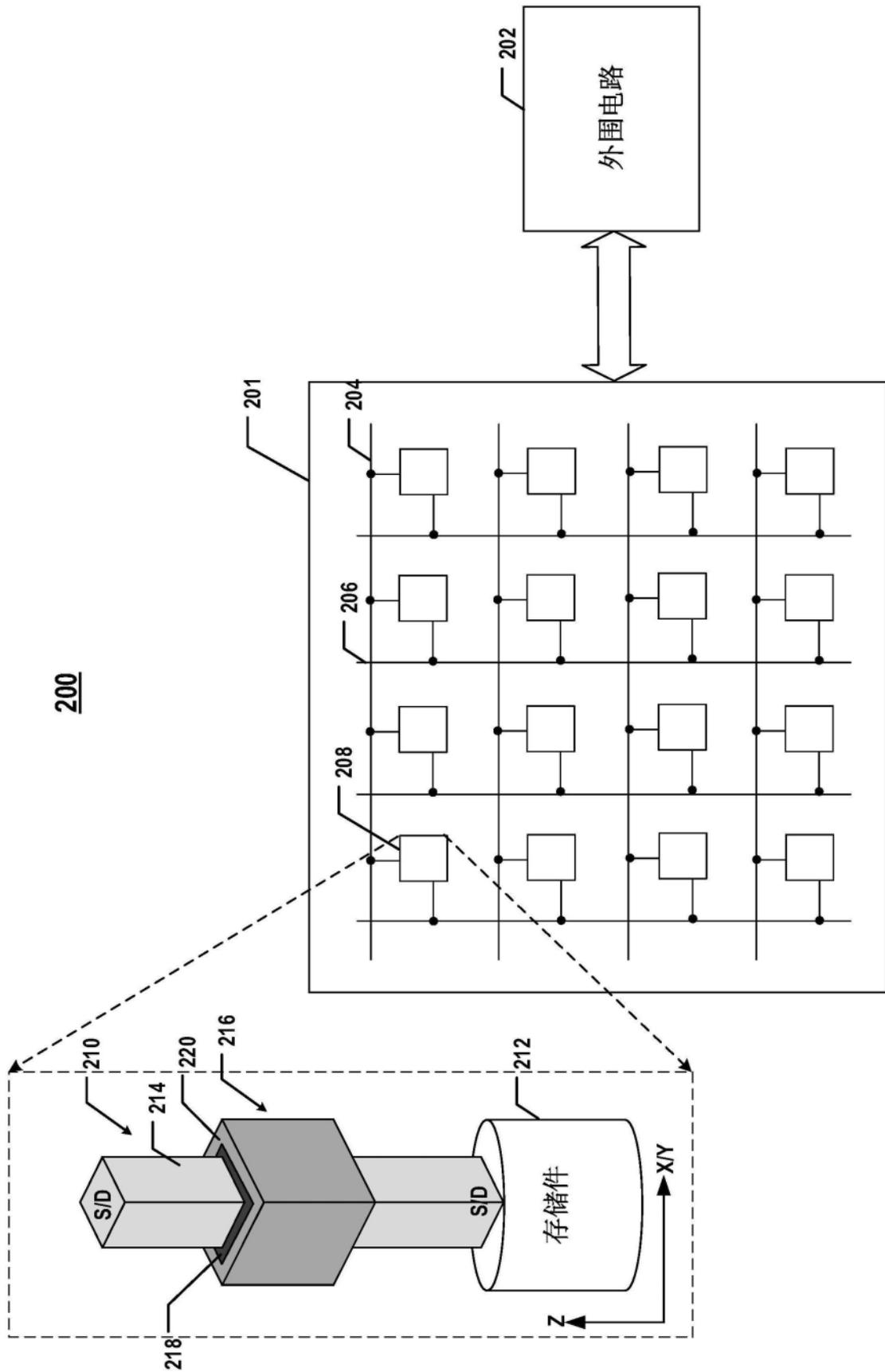


图2

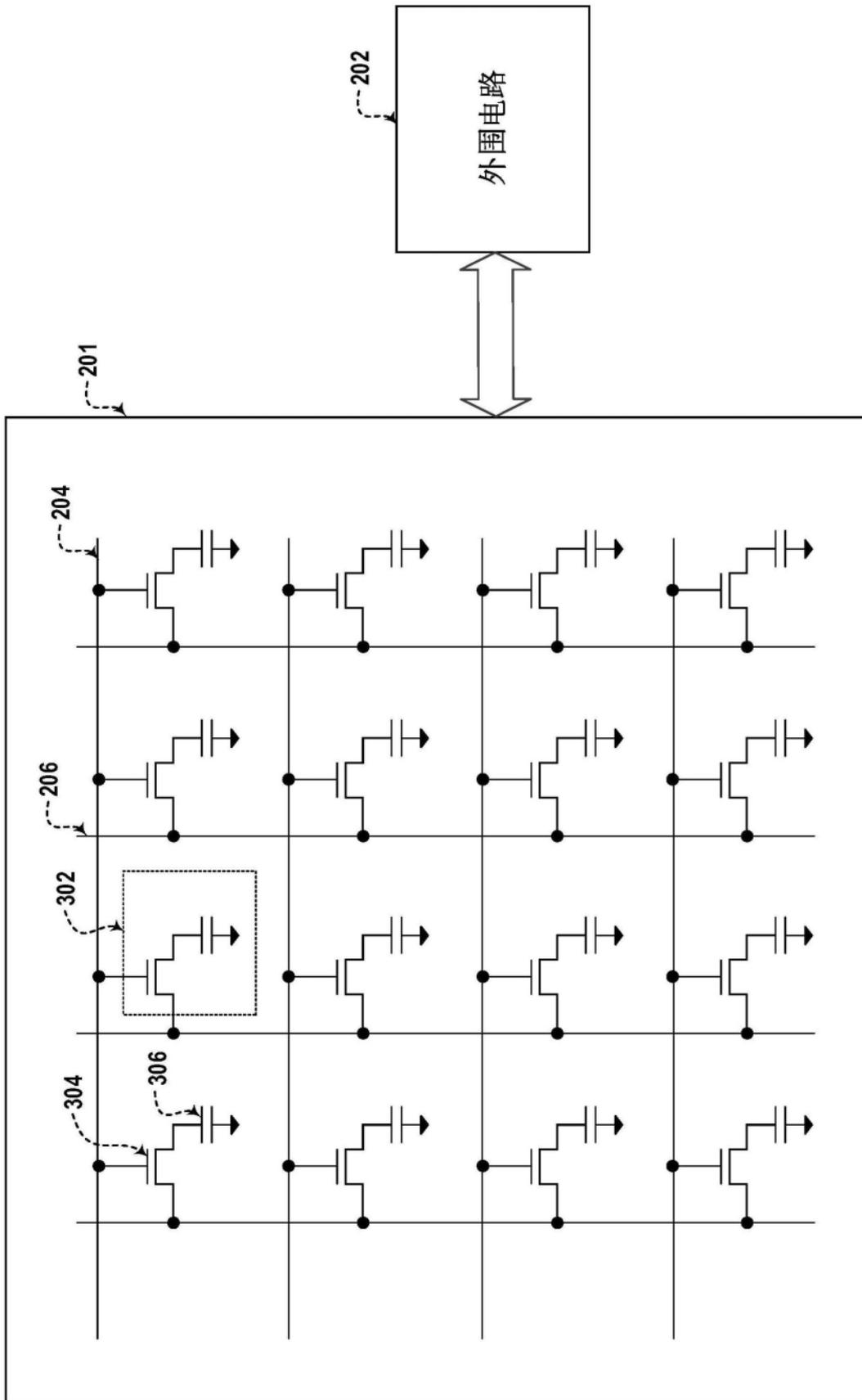


图3

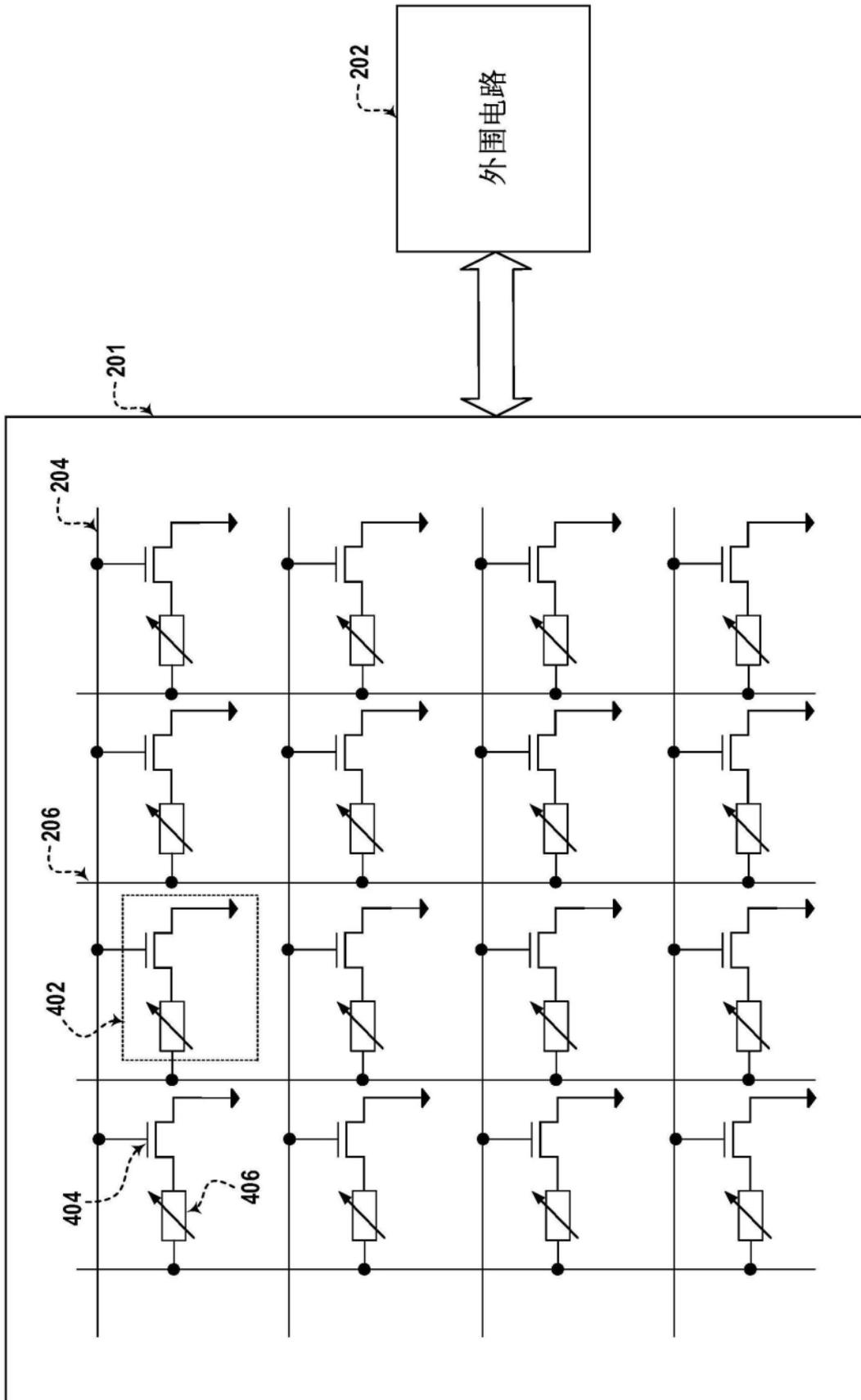


图4

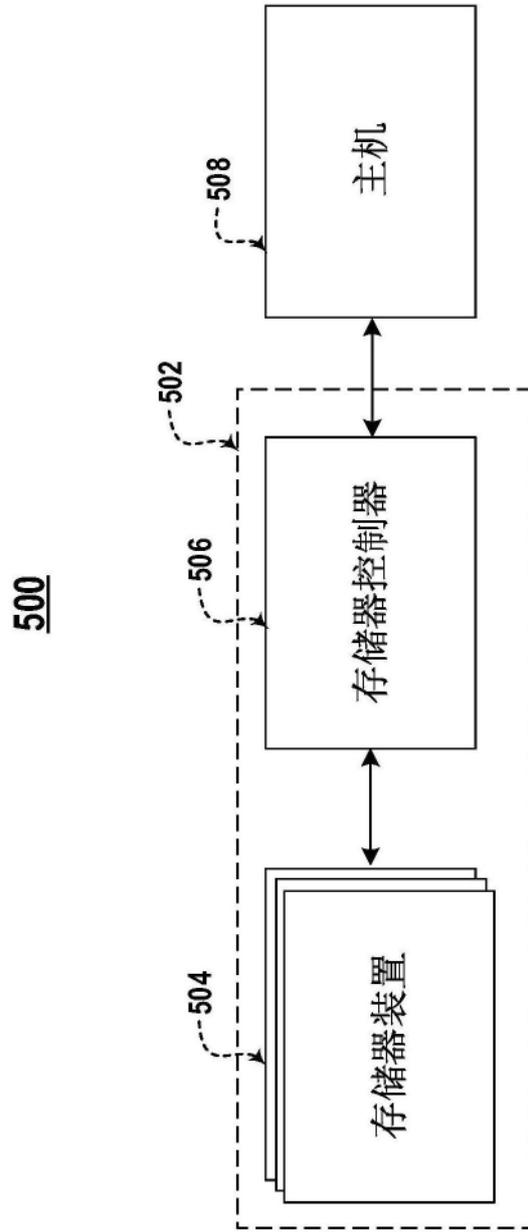


图5

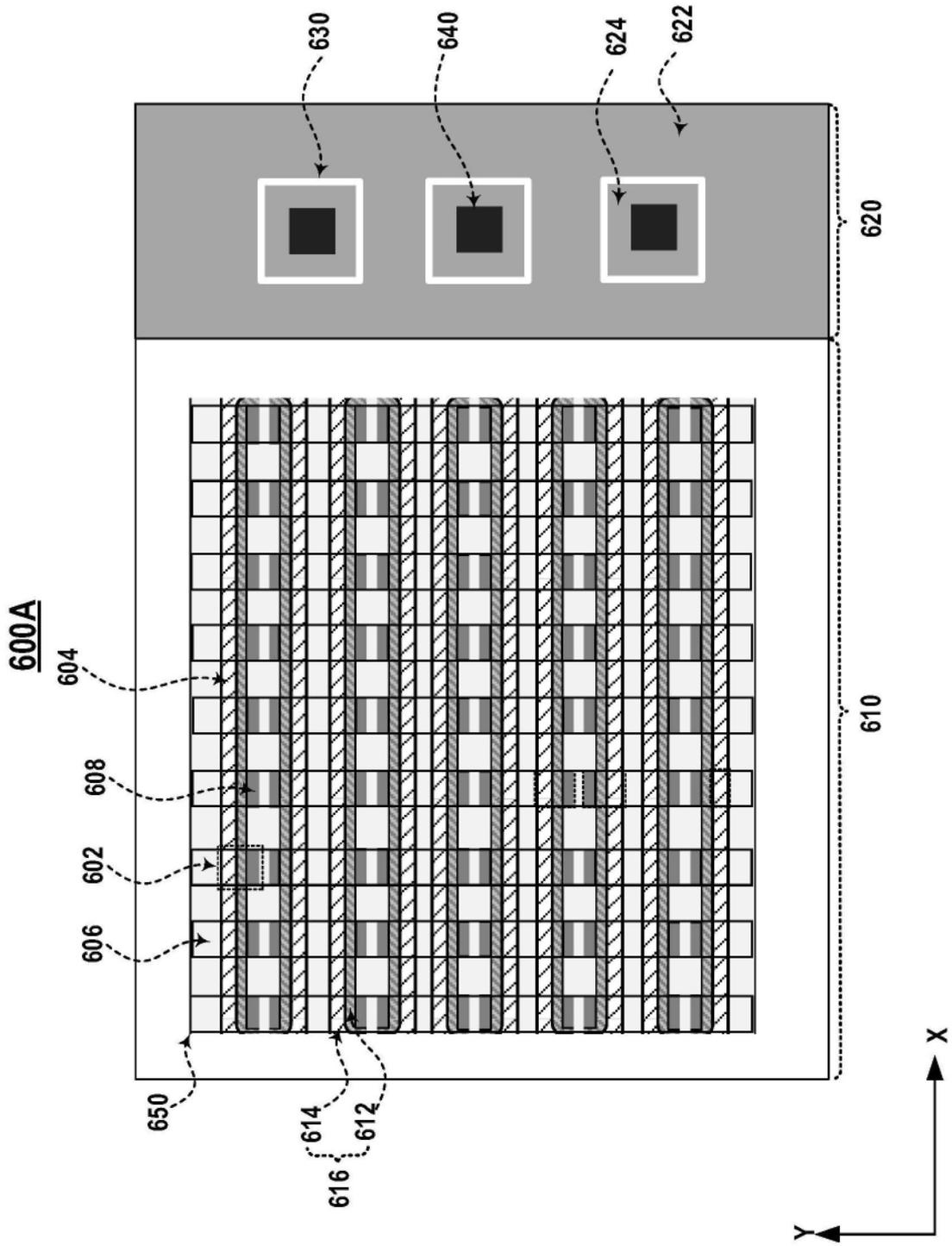


图6A

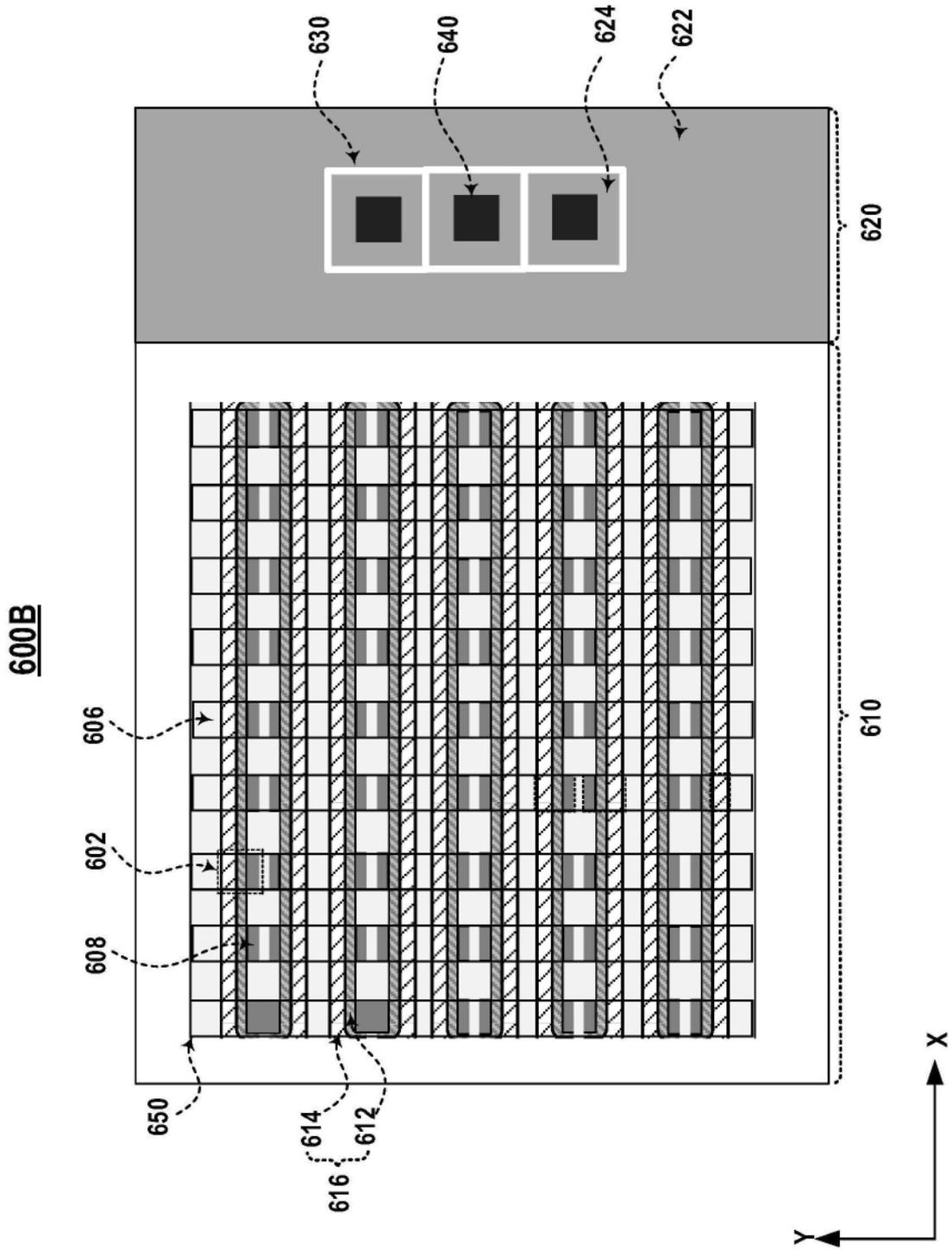


图6B

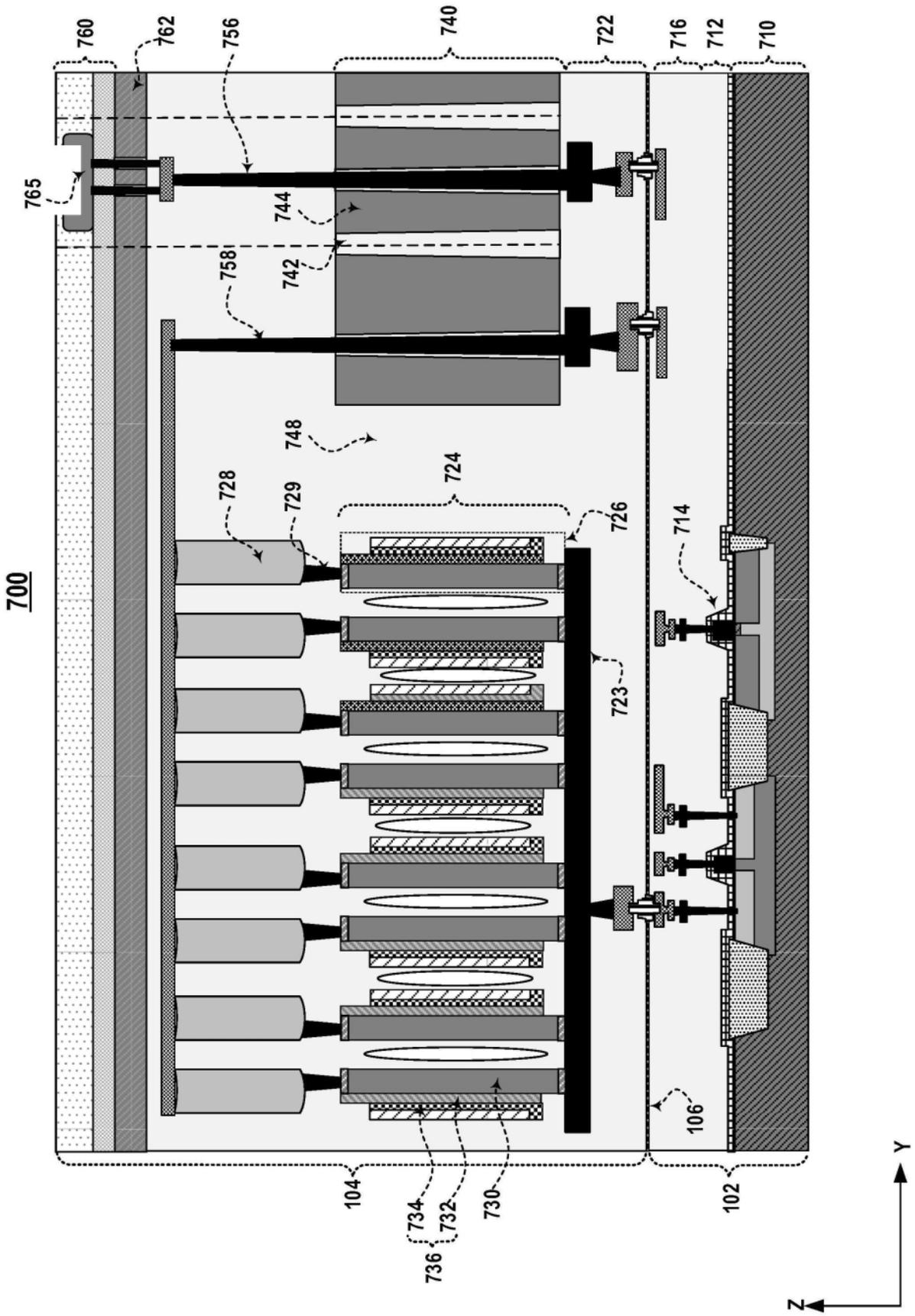


图7

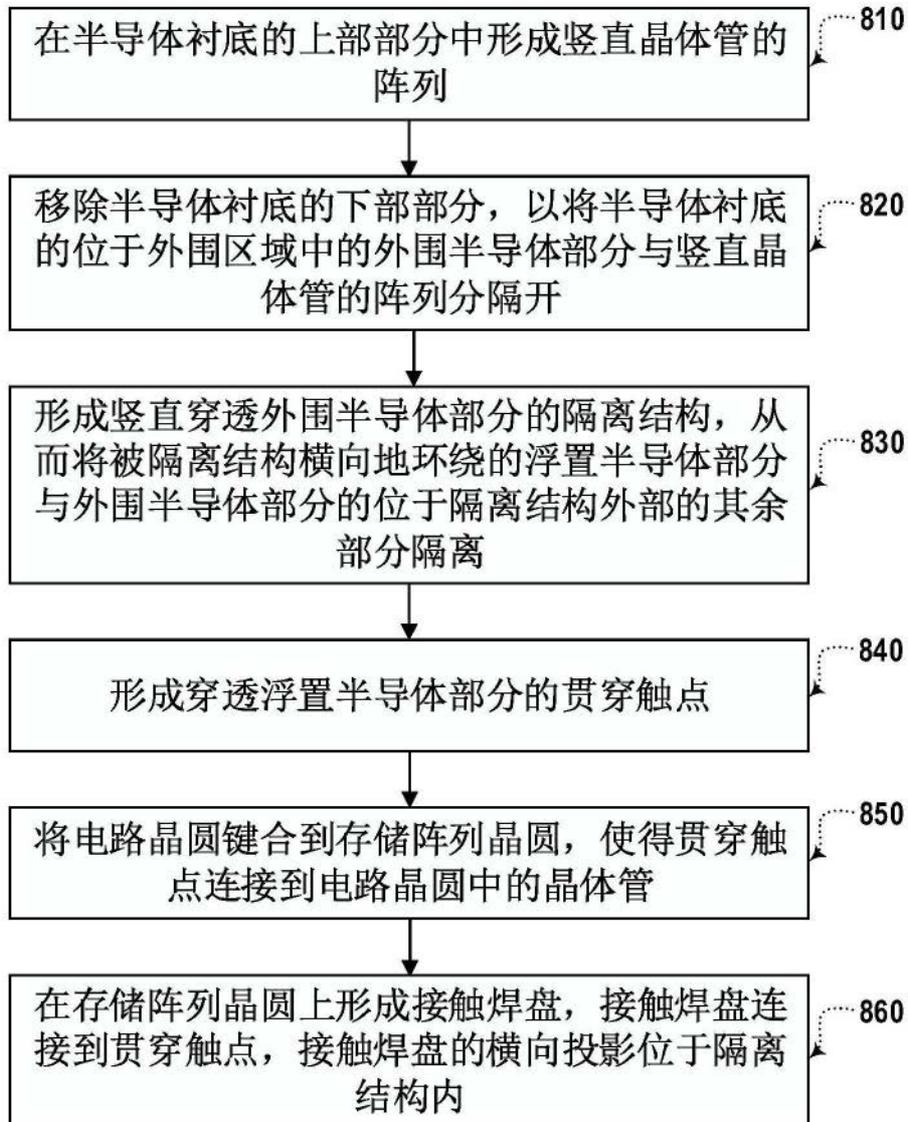
800

图8

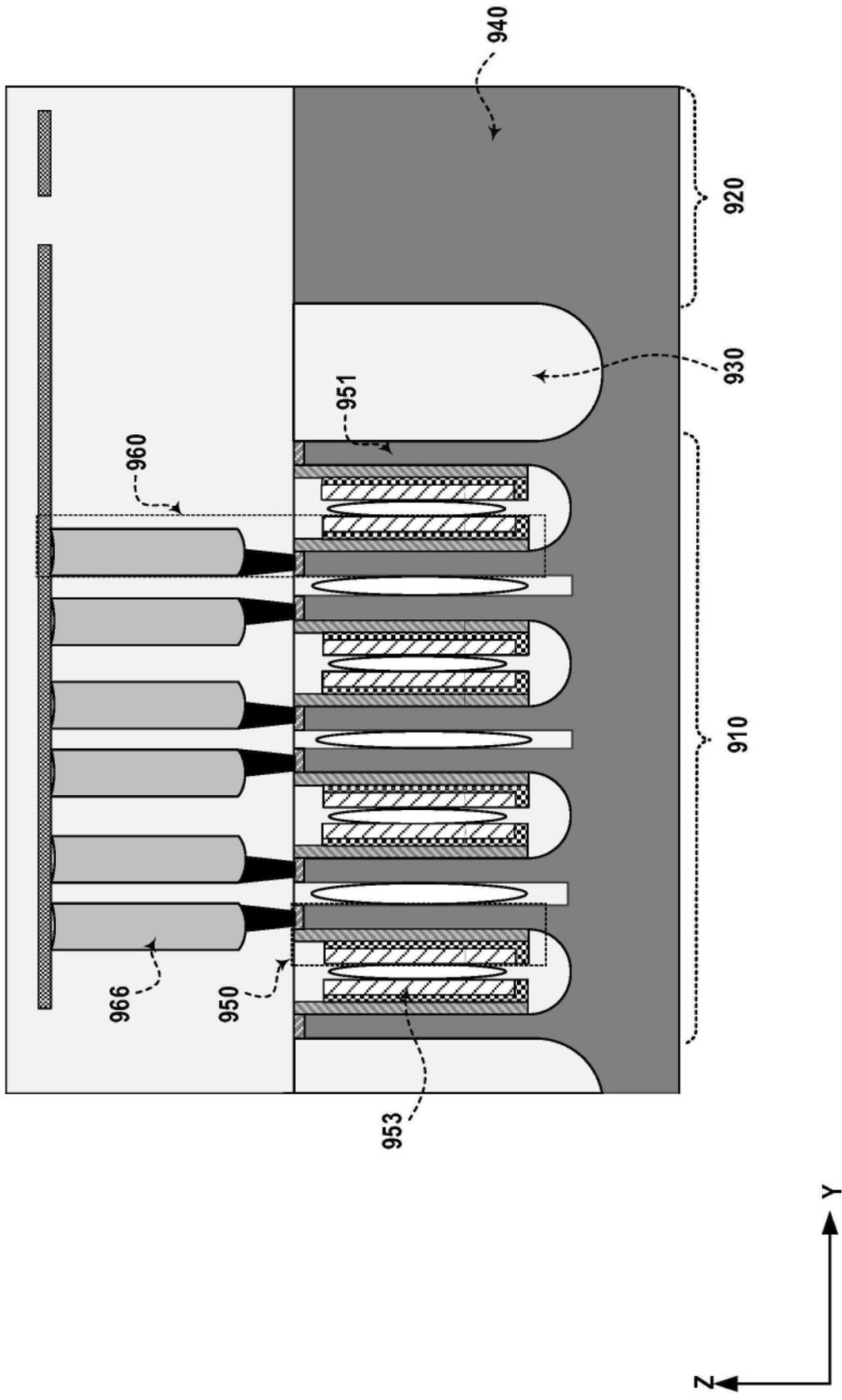


图9

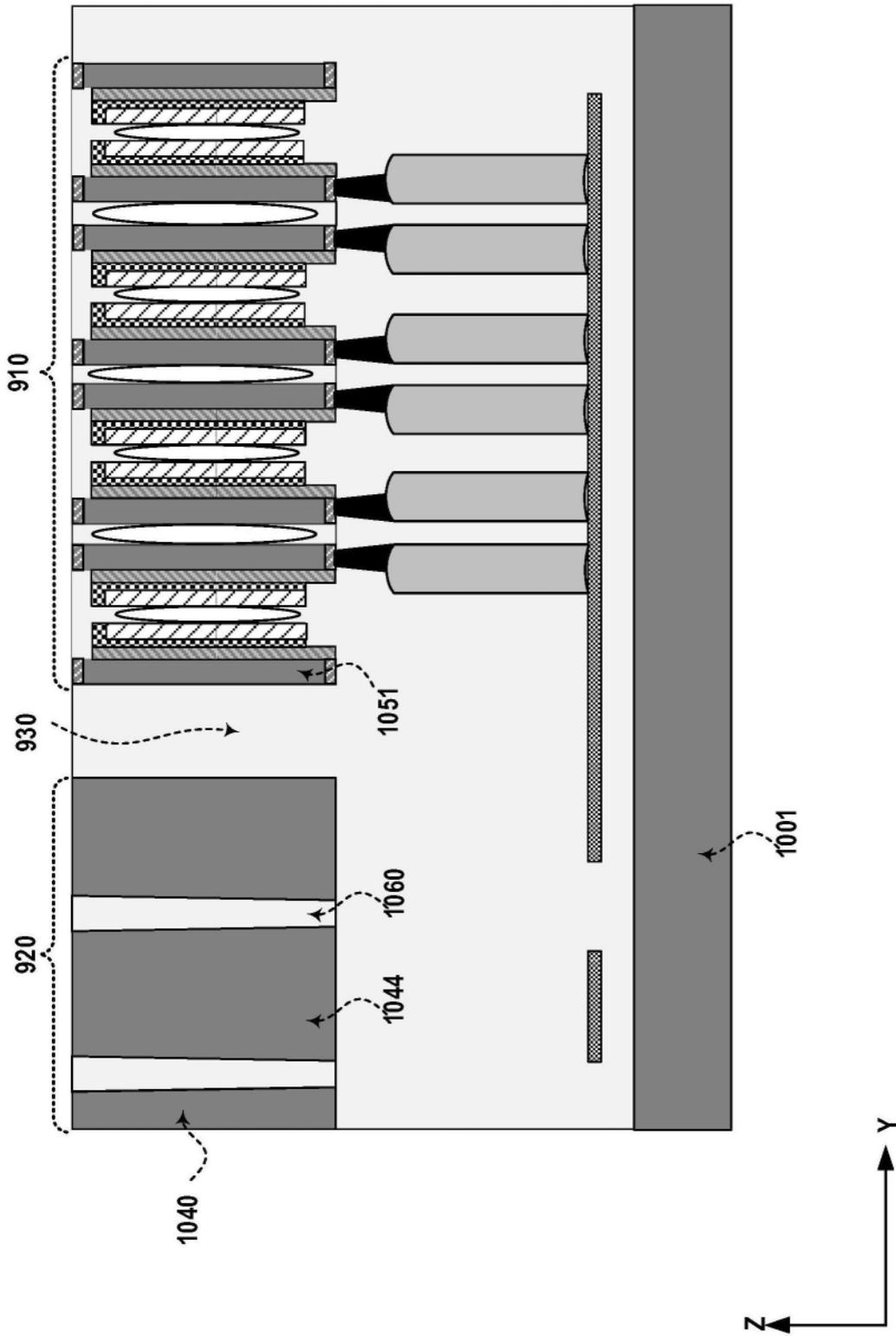


图10A

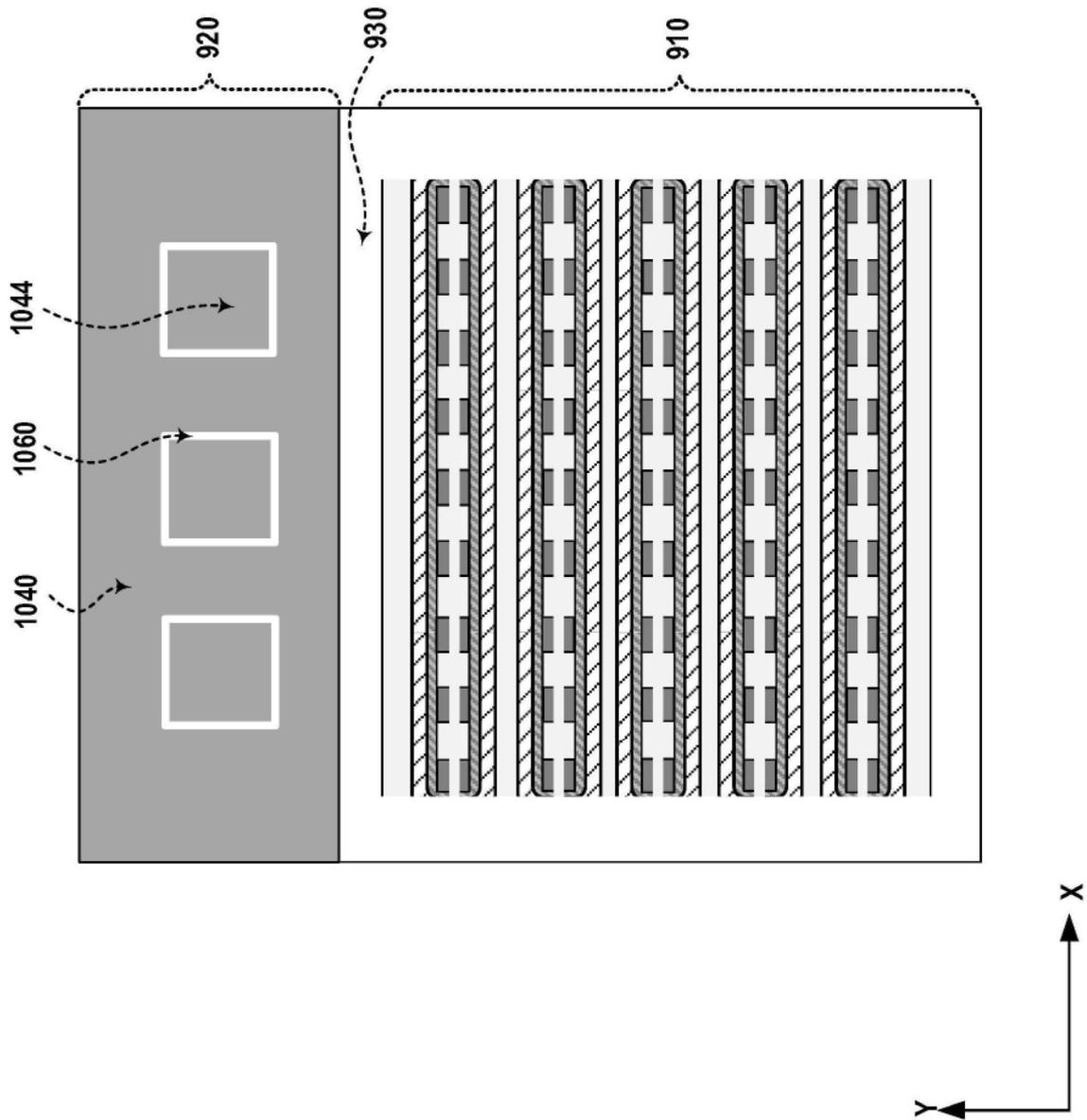


图10B

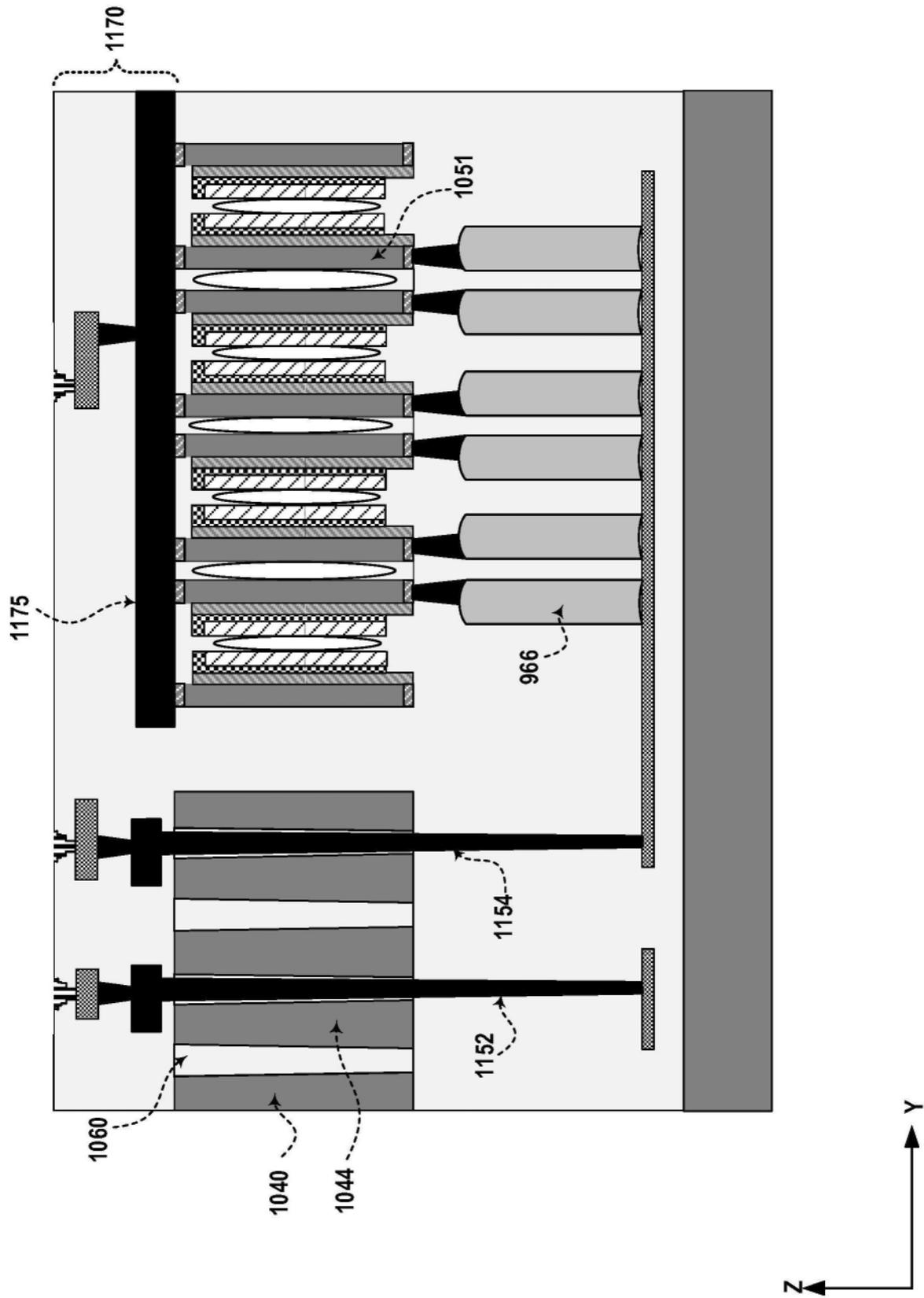


图11

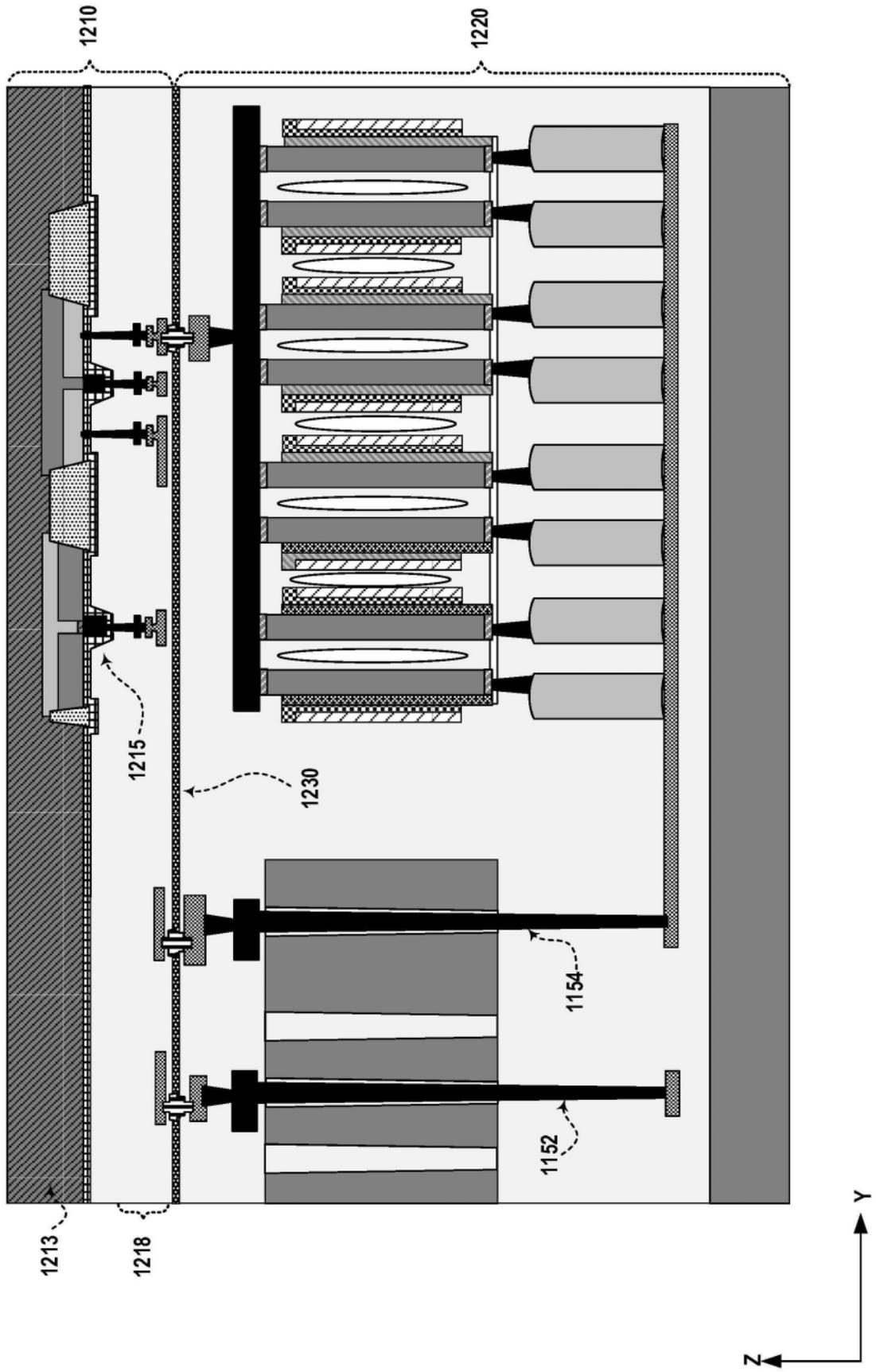


图12

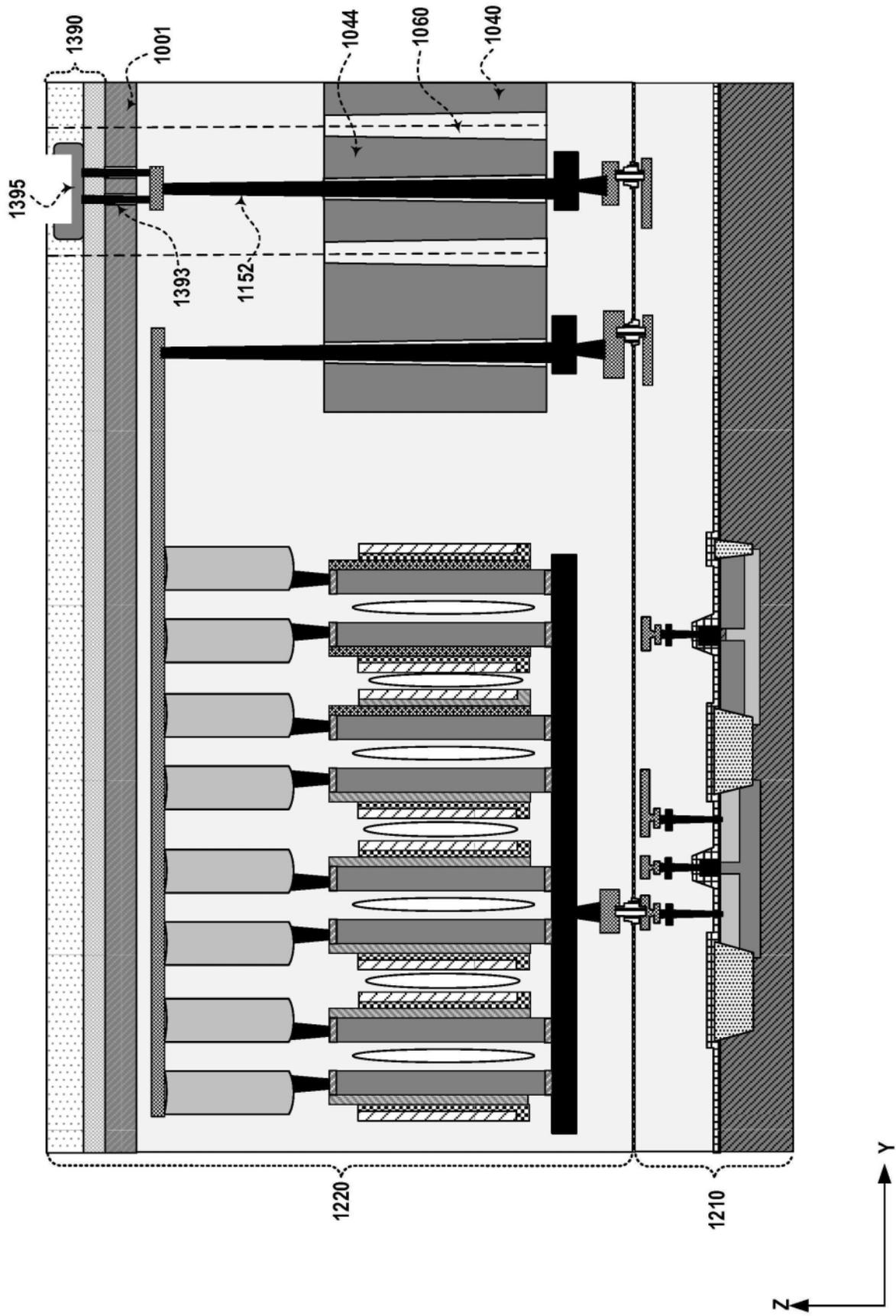


图13

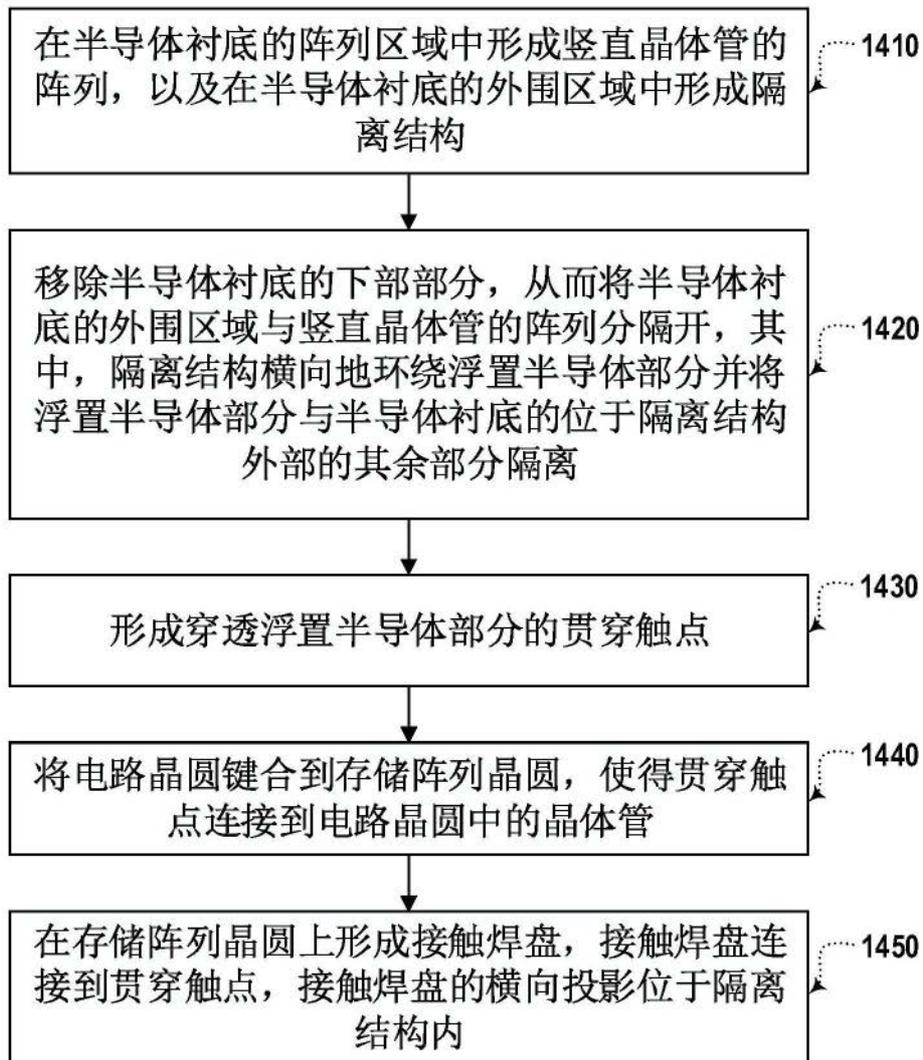
1400

图14

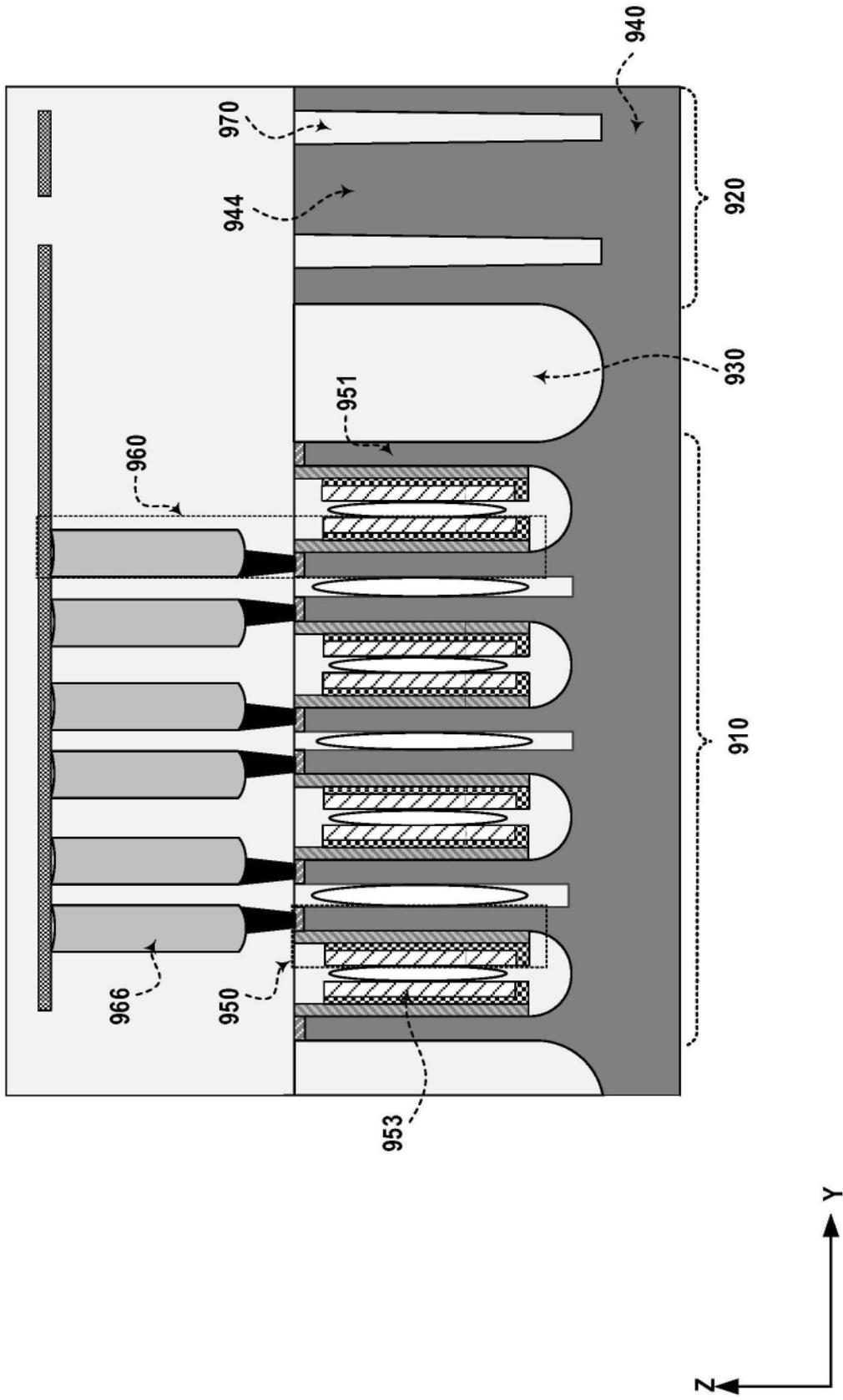


图15A

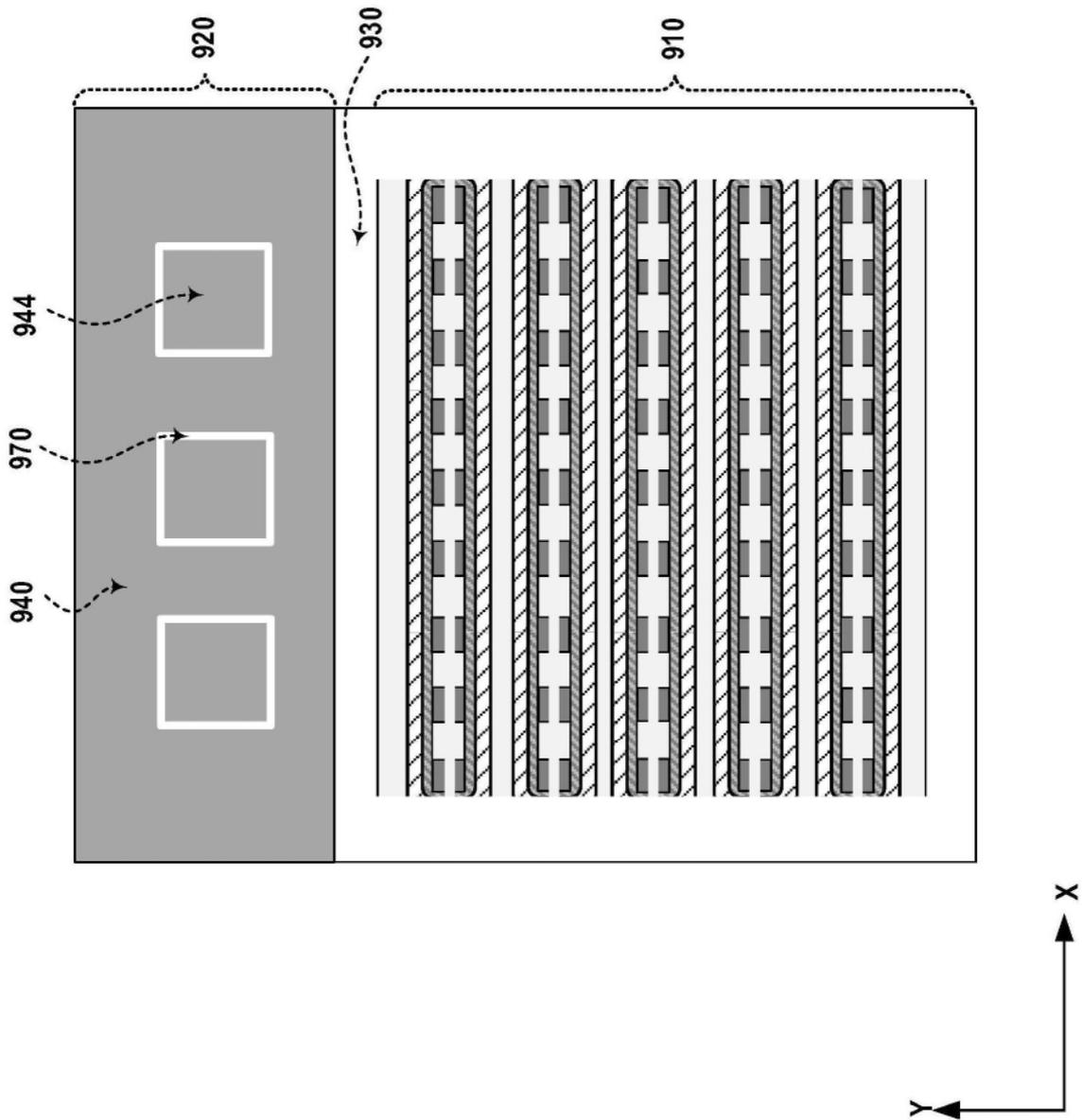


图15B

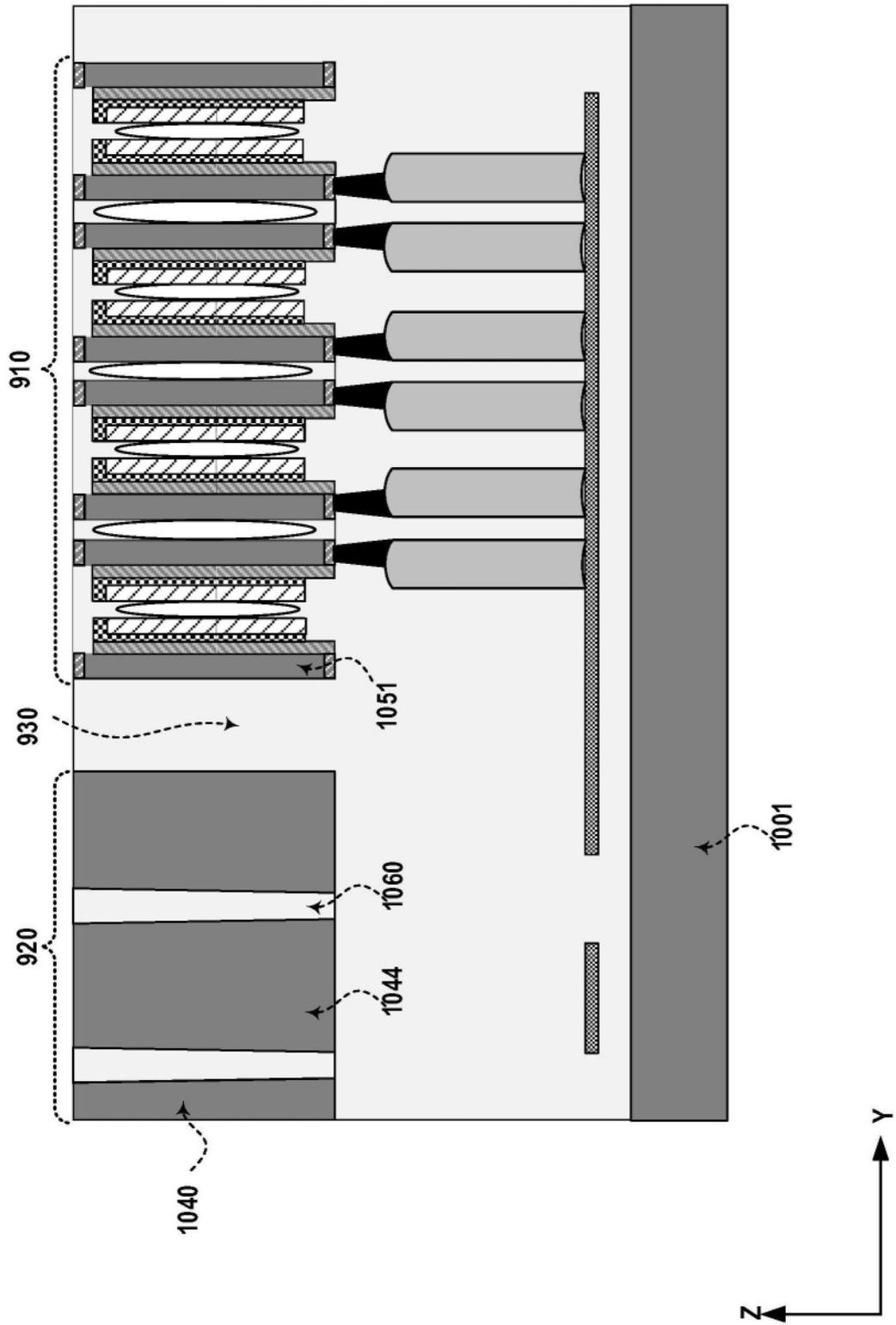


图16

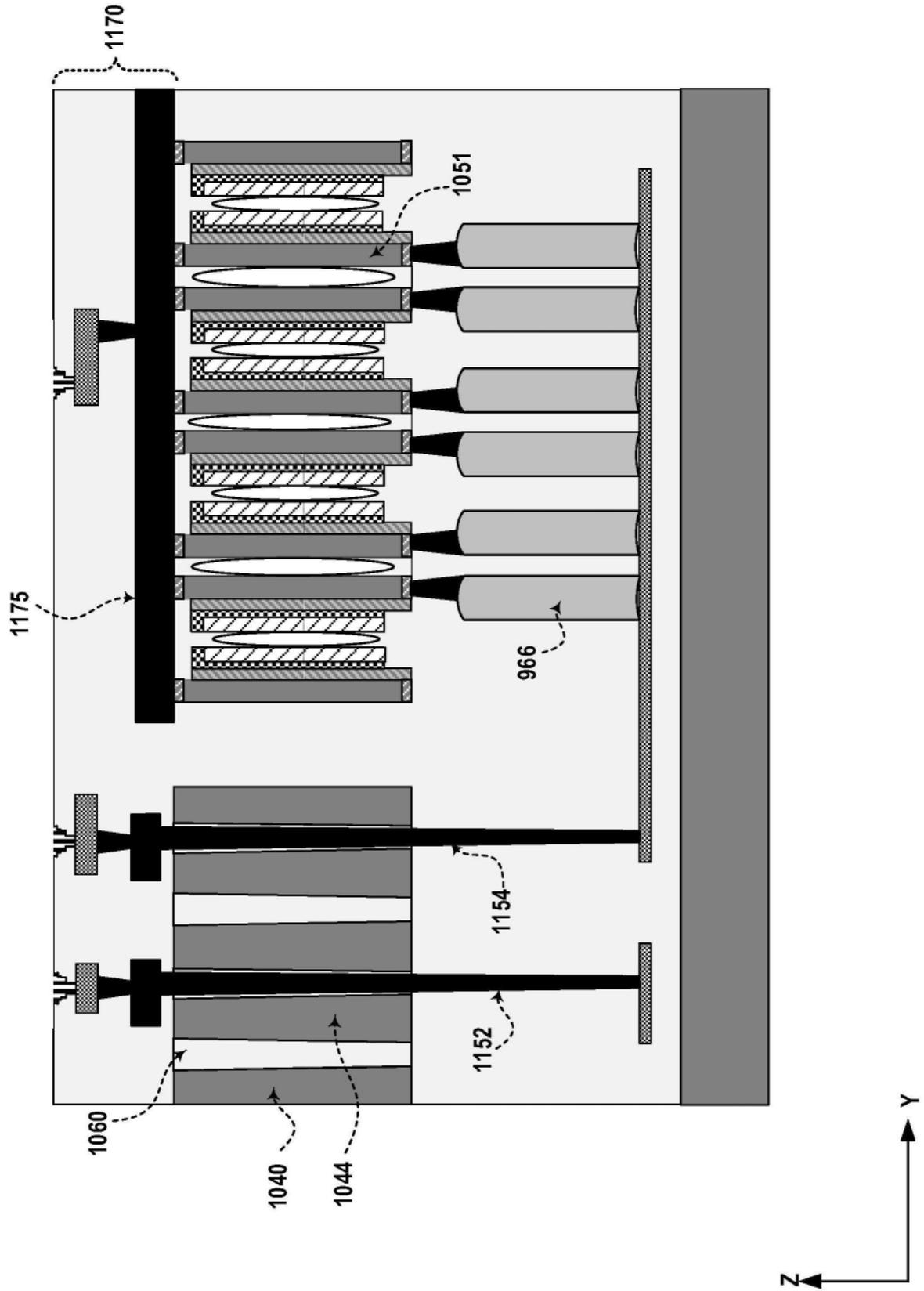


图17

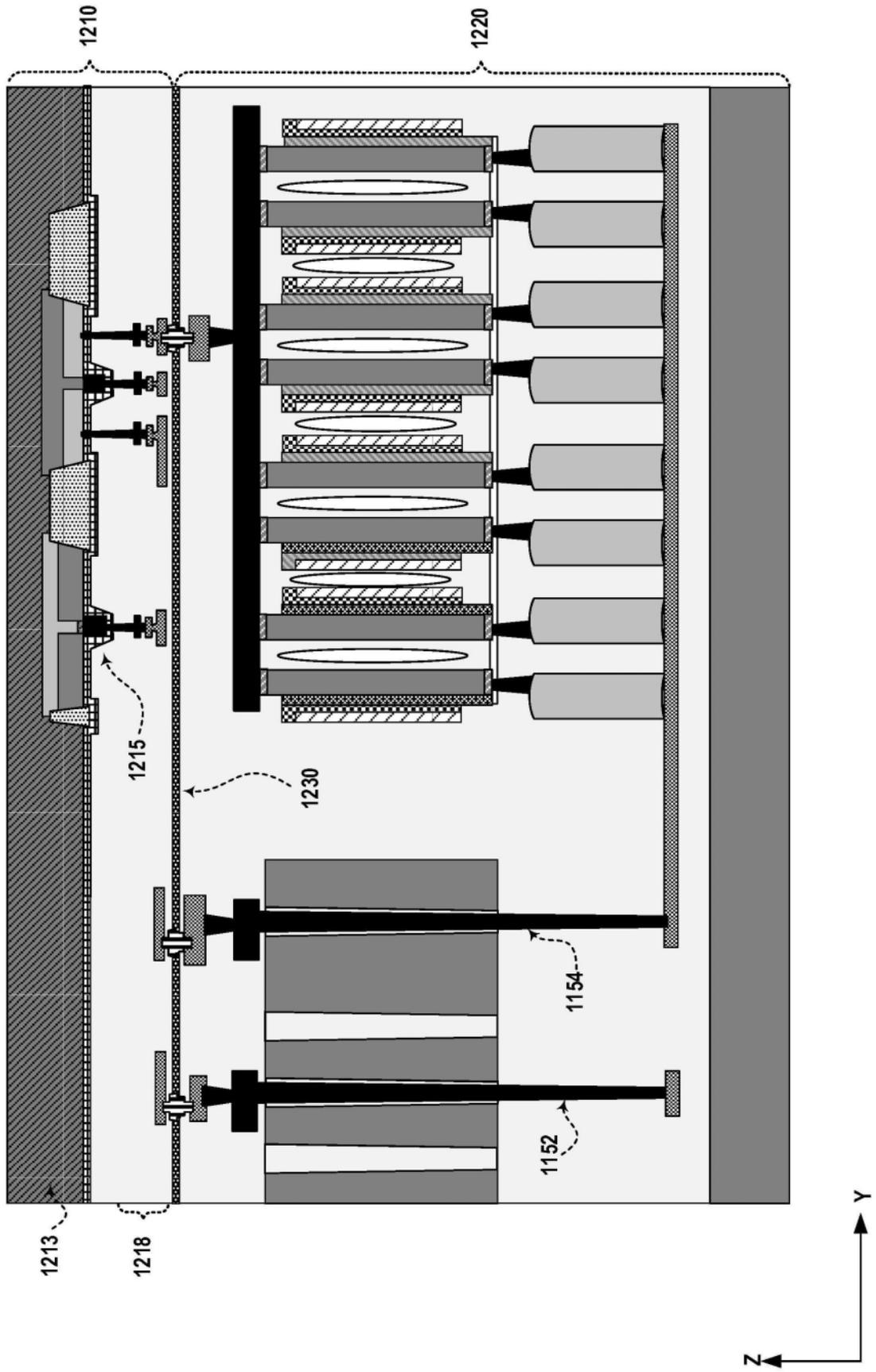


图18

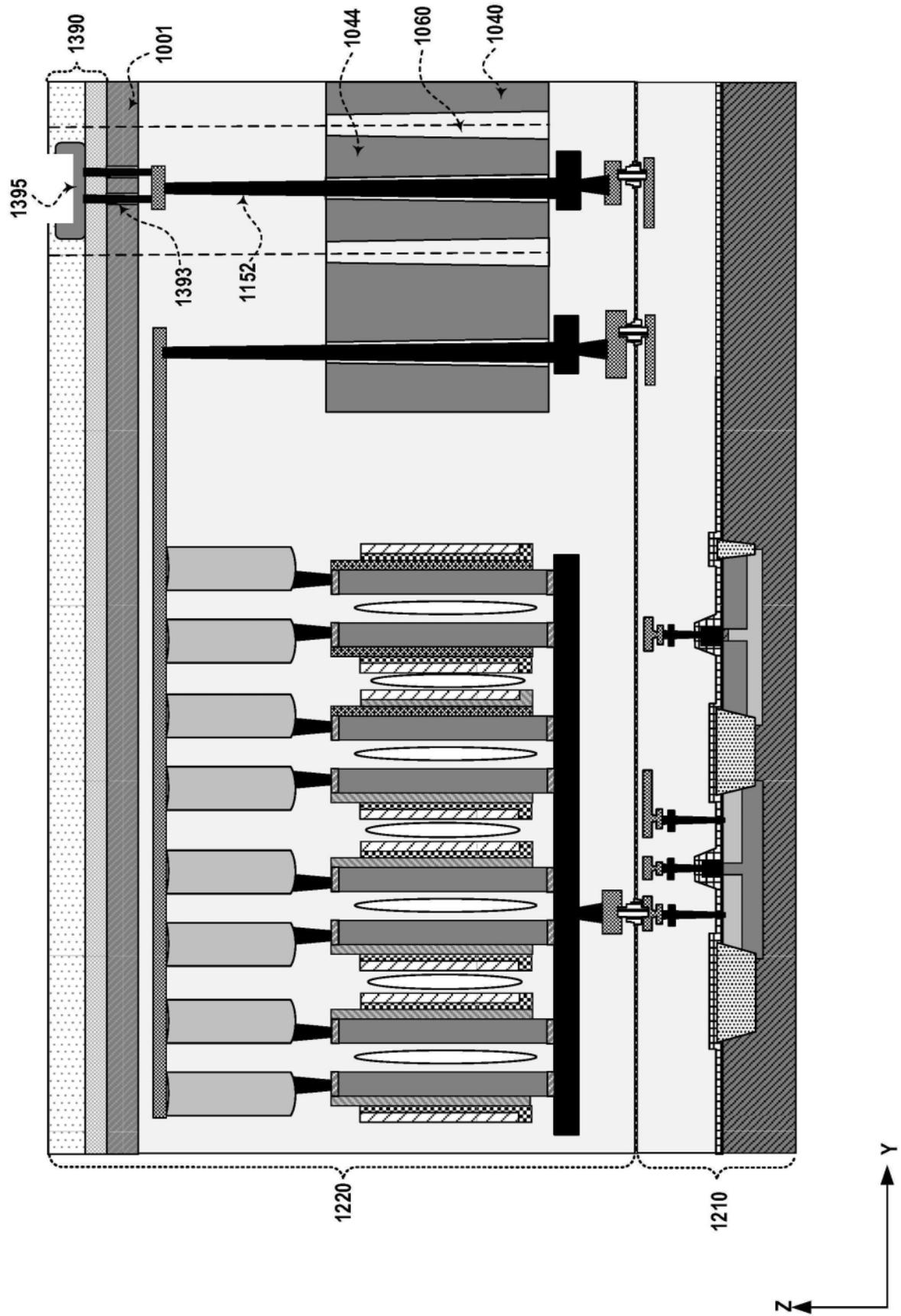


图19