

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200710149954.9

[51] Int. Cl.

H01L 29/78 (2006.01)
H01L 29/10 (2006.01)
H01L 29/423 (2006.01)
H01L 21/336 (2006.01)
H01L 21/28 (2006.01)

[45] 授权公告日 2009 年 12 月 9 日

[11] 授权公告号 CN 100568531C

[22] 申请日 2007. 10. 8

[21] 申请号 200710149954.9

[30] 优先权

[32] 2006. 10. 3 [33] US [31] 11/538,174

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 朱慧珑 拉维库马·拉马钱德兰
埃芬迪·利奥班登格 马亨德·库马
朱文娟 克里斯廷·诺里斯

[56] 参考文献

JP2006 - 24809A 2006. 1. 26

JP5 - 152320A 1993. 6. 18

US6133606A 2000. 10. 17

US6924517B2 2005. 8. 2

审查员 高 伟

[74] 专利代理机构 北京市柳沈律师事务所
代理人 张 波 许向华

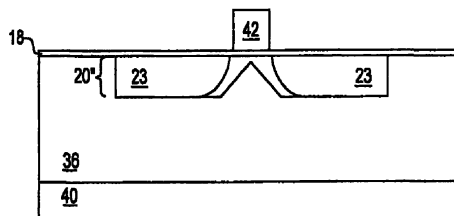
权利要求书 2 页 说明书 12 页 附图 16 页

[54] 发明名称

半导体结构及其制造方法

[57] 摘要

本发明提供一种半导体结构，包括具有倒置 V 形沟道区域的半导体层，该倒置 V 形沟道区域允许在半导体结构内避免凸起的源极/漏极区域。在一实施例中，基本常规的栅电极位于倒置 V 形沟道区域之上半导体层的平坦表面之上。在另一实施例中，前述基本常规的栅电极结合倒置 V 形栅电极使用，该倒置 V 形栅电极位于包括倒置 V 形沟道区域的倒置 V 形槽口内。



1. 一种半导体结构, 包括半导体器件, 所述半导体器件包括通过栅极电介质与栅电极分隔开的倒置 V 形沟道区域。
2. 权利要求 1 的半导体结构, 其中:
所述倒置 V 形沟道区域位于半导体层内; 且
所述倒置 V 形沟道区域与所述栅电极对准。
3. 权利要求 2 的半导体结构, 其中所述半导体层位于半导体基板之上。
4. 权利要求 3 的半导体结构, 其中所述半导体层通过电介质层与所述半导体基板分隔开。
5. 权利要求 1 的半导体结构, 还包括通过所述倒置 V 形沟道区域分隔开的一对源极/漏极区域。
6. 权利要求 5 的半导体结构, 其中所述源极/漏极区域不相对于所述倒置 V 形沟道区域凸起。
7. 权利要求 5 的半导体结构, 其中所述半导体结构包括场效应晶体管。
8. 一种半导体结构, 包括:
半导体层, 位于基板之上且具有第一平坦表面和与该第一平坦表面相反的第二界面内的倒置 V 形槽口;
位于第一平坦表面上的第一栅极电介质和位于该第一栅极电介质上并与所述倒置 V 形槽口对准的第一栅电极; 以及
位于所述倒置 V 形槽口上方的第二栅极电介质和位于该第二栅极电介质上方并填充所述倒置 V 形槽口的第二倒置 V 形栅电极。
9. 权利要求 8 的半导体结构, 还包括在所述半导体层内并通过所述倒置 V 形槽口分隔开的一对源极/漏极区域, 其中所述第一栅电极和所述第二倒置 V 形栅电极对准。
10. 权利要求 8 的半导体结构, 其中所述基板包括半导体基板。
11. 权利要求 10 的半导体结构, 其中该第二倒置 V 形栅电极接触所述半导体基板。
12. 一种半导体结构的制造方法, 包括:
在半导体层内形成 V 形槽口;
倒置所述半导体层以提供第一平坦表面和与第一平坦表面相反并包括

倒置 V 形槽口的第二界面；以及

形成第一栅电极，其在该第一平坦表面之上并与所述倒置 V 形槽口对准。

13. 权利要求 12 的方法，其中在所述半导体层内形成所述 V 形槽口利用了结晶特定蚀刻剂。

14. 权利要求 12 的方法，还包括形成一对源极/漏极区域，其在所述半导体层内且通过所述倒置 V 形槽口分隔开。

15. 权利要求 14 的方法，其中所述源极/漏极区域不相对于该第一栅电极凸起。

16. 权利要求 14 的方法，还包括在倒置所述半导体层之前，形成第二栅极电介质在所述 V 形槽口上方和形成第二栅电极在该第二栅极电介质上方。

17. 权利要求 16 的方法，其中所述源极/漏极区域相对于该第二栅电极凸起。

18. 权利要求 12 的方法，其中所述倒置包括在具有所述 V 形槽口的界面上层叠处理基板。

19. 权利要求 18 的方法，其中所述处理基板包括半导体基板。

20. 权利要求 19 的方法，其中形成在所述倒置 V 形槽口内在第二栅极电介质上方的第二栅电极接触所述半导体基板。

半导体结构及其制造方法

技术领域

本发明总地涉及场效应器件。更特别地，本发明涉及性能增强的场效应器件。

背景技术

场效应器件例如场效应晶体管通常用于半导体电路中。场效应晶体管如此常用是由于低功耗、相对容易制造场效应晶体管、以及相对容易按比例缩小场效应晶体管。

虽然场效应晶体管易于制造且易于按比例缩小到日益更小的尺寸，然而场效应晶体管在缩小到日益更小的尺寸时并不是完全没有问题。特别地，场效应晶体管在缩小到日益更小的尺寸时经常易受短沟道效应（short channel effect, SCE）的影响。短沟道效应是电效应，其在栅电极部分或全部失去对半导体基板内沟道区域的电控制时出现。这种栅电极对沟道区域的失去控制随沟道长度的缩短而增多。

可用来控制 SCE 的一种方法是在 MOSFET 的沟道区域中使用超薄绝缘体上半导体（UT-SOI）结构。然而，UT-SOI 中电荷载流子迁移率降低了。接着，电荷载流子迁移率降低引起器件性能不期望地降低。因此，期望的是 MOSFET 结构拥有 UT-SOI 沟道尺寸（以获得对 SCE 的良好控制）而同时保持可接受的载流子迁移率和合意的性能。

在半导体制造领域中已知具有理想特性的各种半导体结构及其制造方法。

例如，Doris 等人在美国公开 No. 2006/0001095 中教导了一种以一方式在超薄绝缘体上半导体基板内制造场效应晶体管的方法，其最小化了场效应晶体管的阈值电压变化。为达到前面所述的结果，这个特别的方法包括在场效应晶体管结合栅极长度的变化改变绝缘体上半导体的厚度。

另外，Zhu 等人在美国公开 No. 2005/0090066 和美国专利 No. 6939751 中教导了一种场效应晶体管结构，包括用增强外延控制制造的凸起的源极/

漏极区域。为达到前面所述的结果，这个特别的场效应晶体管结构在制造凸起的源极/漏极区域时在硅层上使用了硅锗合金层。

此外，Chen 等人在美国专利 No. 6924517 中教导了一种场效应晶体管结构，其制造在超薄绝缘体上半导体基板内以提供性能增强的场效应晶体管。这个特别的场效应晶体管结构通过使用分隔源极/漏极区域的比较薄的沟道区域实现前面所述的目的，该源极/漏极区域凹陷到比该比较薄的沟道区域更大的深度。

此外，Doris 等人在美国专利 No. 6914303 中教导了一种具有降低的沟道电阻和降低的热预算（thermal budget）的超薄沟道金属氧化物半导体场效应晶体管的制造方法。这个特殊方法通过在制造金属氧化物半导体场效应晶体管时使用多个补偿间隔层实现前面所述的目的。

此外，Wu 在美国专利 No. 6117712 中教导了一种在绝缘体上半导体基板上制造场效应晶体管的方法，以提供具有超短沟道的场效应晶体管。

最后，Maszara 在美国专利 No. 5250454 中教导了一种在场效应晶体管器件内形成凸起的源极/漏极区域的方法。这个特别的方法使用了形成在单晶非凸起的源极/漏极区域上的非晶半导体材料层的外延再结晶。

半导体结构和器件尺寸一定会继续减小，结果，期望的是以减小的尺寸具有增强的性能的半导体结构。特别期望的是以减小的尺寸制造且还具有减小的短沟道效应而没有载流子迁移率减小的场效应器件，例如场效应晶体管。还期望的是以减小的尺寸制造具有前面所述增强的性能特点的半导体结构的相关方法。

发明内容

本发明提供包括半导体器件的半导体结构，该半导体结构在缩小的半导体结构尺寸下具有增强的 SCE 控制。本发明还提供该半导体结构的制造方法。具体地，该半导体结构包括具有倒置 V 形沟道区域的半导体器件，该倒置的 V 形沟道区域赋予在半导体结构内制造的例如场效应晶体管的场效应器件增强的性能。

根据本发明的半导体结构包括半导体器件，其具有通过栅极电介质与栅电极分隔开的倒置 V 形沟道区域。

根据本发明的另一半导体结构包括位于基板之上且具有第一平坦表面

和在与第一平坦表面相对的第二界面内的倒置 V 形槽口 (notch) 的半导体层。该半导体结构还包括位于第一平坦表面上的第一栅极电介质和位于第一栅极电介质上并与倒置 V 形槽口对准的第一栅电极。该半导体结构还包括位于该倒置 V 形槽口上的第二栅极电介质和位于该第二栅极电介质上并填充该倒置 V 形槽口的第二倒置 V 形栅电极。

根据本发明的制造半导体结构的方法包括在半导体层内形成 V 形槽口。该方法还包括倒置半导体层以提供第一平坦表面和与第一平坦表面相对并包括倒置 V 形槽口的第二界面 (interface)。该方法还包括形成在第一平坦表面上并与倒置 V 形槽口对准的第一栅电极。

附图说明

如下文所阐述, 在优选实施例的描述上下文对本发明的目的、特征和优点得到理解。优选实施例的描述在附图中得到理解, 附图形成此公开的材料部分, 其中:

图 1 至 12B 示出一系列示意性截面图和平面图, 说明了根据本发明一实施例制造半导体结构的进行阶段的结果。

图 13A 至 16B 示出一系列示意性截面图和平面图, 说明了根据本发明另一实施例制造半导体结构的进行阶段的结果。

具体实施方式

包括性能增强的半导体结构和该半导体结构的制造方法的本发明在下面提供的描述背景中理解。下面提供的描述在上述附图的背景中理解。由于附图旨用于说明, 所以附图不是必须按比例绘制。

图 1 至图 12B 示出一系列示意性截面图和平面图, 示出根据本发明一实施例制造半导体结构中的进行阶段的结果。这个实施例包括本发明的第一实施例。

图 1 按层的顺序示出: (1) 基础半导体基板 10; (2) 第一掩埋介电层 12, 位于基础半导体基板 10 上; (3) 蚀刻截止层 14, 位于第一掩埋介电层 12 上; (4) 第二掩埋介电层 16, 位于蚀刻截止层 14 上; (5) 第三掩埋介电层 18, 位于第二掩埋介电层 16 上; (6) 表面半导体层 20, 位于第三掩埋介电层 18 上; 以及 (7) 硬掩模层 22, 位于表面半导体层 20 上。

前述半导体基板 10 和位于其上或上方的层 12/14/16/18/20/22 中的每个可包括半导体制造领域基本常规的材料、具有半导体制造领域基本常规的尺寸，且采用半导体制造领域基本常规的方法来形成。

基础半导体基板 10 和表面半导体层 20 可包括数种半导体材料中的任意种。非限制性示例包括硅、锗、硅锗合金、碳化硅、碳化硅锗合金和化合物半导体材料。化合物半导体材料的非限制性例子包括砷化镓、砷化铟和磷化铟半导体材料。

关于化学成分、结晶取向、掺杂剂极性和掺杂剂浓度，基础半导体基板 10 和表面半导体层 20 可包括相同的半导体材料或不同的半导体材料。通常，基础半导体基板 10 和表面半导体层 20 包括硅半导体材料。通常，基础半导体基板 10 的厚度从约 0.5 至约 1.5mm。通常，表面半导体层 20 的厚度从约 700 至约 1000 埃。

第一掩埋介电层 12、第二掩埋介电层 16、第三掩埋介电层 18 和介电封盖层 22 可类似地也包括从介电材料的单个组中选出的介电材料。不同的电介质也被考虑用于层 12、16、18 和 22。介电材料可包括但不限于结晶介电材料和非结晶介电材料。介电材料可包括但不限于硅的氧化物、氮化物和氧氮化物。不排除其它元素的氧化物、氮化物和氧氮化物。可以采用适合它们的材料成份的数种方法中的任意种来形成第一掩埋介电层 12、第二掩埋介电层 16、第三掩埋介电层 18 和介电封盖层 22。方法的非限制性例子包括热或等离子体氧化或氮化法、化学气相沉积法（包括原子层化学气相沉积法）和物理气相沉积法（包括溅射法）。

虽然随后的选择不限制当前的实施例或本发明，但通常第一掩埋介电层 12 包括具有从约 400 至约 600 埃厚度的氧化硅材料。通常，第二掩埋介电层 16 包括具有从约 500 至约 700 埃厚度的氮化硅材料。通常，第三掩埋介电层 18 包括具有从约 40 至约 60 埃厚度的氧化硅材料。通常，介电封盖层 22 包括具有从约 1300 至约 1700 埃厚度的氧化硅材料。

蚀刻截止层 14 可包括数种蚀刻截止材料中的任意种。非限制性示例包括导体蚀刻截止材料、半导体蚀刻截止材料和介电蚀刻截止材料。由于下面的额外描述中将变得更显而易见的原因，蚀刻截止层 14 包括易受局部改变影响的蚀刻截止材料，其为蚀刻截止层 14 提供区域特定的蚀刻选择性。因此，虽然也清楚地不限制本发明，但蚀刻截止层 14 通常包括多晶硅蚀刻截

止材料，当被离子注入以适当的离子注入材料时，其易受区域选择性离子注入引起的溶解性增强的影响。

图 2、图 2A 和图 2B 显示了示意性平面图和示意性截面图，示出图 1 的半导体结构的进一步处理的结果。

图 2、图 2A 和图 2B 显示位于图 1 的半导体结构内介电封盖层 22 上的光致抗蚀剂层 24。T 形开口 A 位于光致抗蚀剂层 24 内。T 形开口 A 暴露介电封盖层 22。T 形开口 A 的较宽部分（即具有从约 30nm 至约 100nm 的线宽 T2）定义最终与 T 形开口 A 自对准地形成的栅电极的接触区域部分。T 形开口 A 的较窄部分（即具有从约 5nm 至约 50nm 的线宽 T1）定义最终与 T 形开口 A 自对准地形成的栅电极的有源区域部分。通过首先施加光致抗蚀剂层 24 到介电封盖层 22，接着采用光刻来构图光致抗蚀剂层 24，以形成 T 形开口 A。

图 3、图 3A 和图 3B 示出示意性平面图和示意性截面图，说明图 2、图 2A 和图 2B 的半导体结构的进一步处理的结果。

图 3、图 3A 和图 3B 首先示出蚀刻图 2、图 2A 和图 2B 所示的介电封盖层 22 以形成介电封盖层 22' 的结果。虽然在图 3、图 3A 或图 3B 的示意性截面图内没有明确示出，但是在采用图 1 所示的光致抗蚀剂层 24 作为蚀刻掩模层时介电封盖层 22 被蚀刻以形成介电封盖层 22'。光致抗蚀剂层 24 然后被去除以部分地提供图 3、图 3A 和图 3B 所示的半导体结构。

用于提供介电封盖层 22' 的对介电封盖层 22 的前述蚀刻可采用半导体制造领域中的常规方法来进行。该方法可以包括但不限于湿化学蚀刻法和干等离子体蚀刻法。对于蚀刻介电封盖层 22 以形成介电封盖层 22'，干等离子体蚀刻法通常是优选的，因为干等离子体蚀刻法一般向蚀刻介电封盖层 22 所形成的介电封盖层 22' 提供直的侧壁。

相似地，在蚀刻介电封盖层 22 以形成介电封盖层 22' 之后，可以采用半导体制造领域常规的方法和材料剥除光致抗蚀剂层 24。也包括湿化学蚀刻法、干等离子体蚀刻法、以及湿化学蚀刻法和干等离子体蚀刻法的组合。

图 3、图 3A 和图 3B 还显示了蚀刻表面半导体层 20 以形成表面半导体层 20' 的结果。如图 3、图 3A 和图 3B 的示意性截面图所示，在采用介电封盖层 22' 作为蚀刻掩模层时实现对表面半导体层 20 的蚀刻以提供表面半导体层 20'。

前述蚀刻还意在是结晶特定蚀刻 (crystallographically specific etching), 其在表面半导体层 20' 内提供 V 形开口。V 形开口源自表面半导体层 20 的材料对用于蚀刻表面半导体层 20 的蚀刻剂的结晶特定蚀刻特性。结晶特定蚀刻剂包括氢氧化铵蚀刻剂和氢氧化四甲基铵蚀刻剂, 其对 111 结晶硅表面取向是结晶特定的。因此, 在图 3、图 3A 和图 3B 的示意平面图和截面图内, 表面半导体层 20' 关于 V 形开口的暴露表面将通常是 111 晶面取向。然而该实施例不限于这样的结晶取向。

图 4A 和图 4B 显示了对图 3、图 3A 和图 3B 所示的半导体结构的进一步处理的结果。

特别地, 图 4A 和图 4B 首先示出毗邻介电封盖层 22' 的侧壁, 且基本在表面半导体层 20' 内的 V 形开口之上形成间隔层 26 的结果。可以采用一般常规的毯层沉积 (blanket layer deposition) 和各向异性回蚀法形成间隔层 26。通常, 当介电封盖层 22 包括氧化物材料时, 间隔层 26 包括氮化物材料。然而这样的材料选择不限制本实施例。

图 4A 和图 4B 还显示了在部分通过介电封盖层 22' 定义的开口内形成间隔层 26 之后, 注入到图 3A 或图 3B 的半导体结构中的一些注入离子 28。当蚀刻截止层 14 包括多晶硅材料时, 该剂注入离子 28 可包括锗 (即 Ge) 注入离子。在这种情况下, 该剂注入离子 28 在从约 3×10^{14} 至约 5×10^{15} 离子/平方厘米的剂量和从约 80 至约 120keV (例如对于第二掩埋介电层 16 的约 50nm 的厚度) 的能量下提供。提供该剂注入离子 28 从而影响蚀刻截止层 14 的离子注入区域 30 的蚀刻选择性, 由此部分形成蚀刻截止层 14'。选择离子注入能量使得其离子注入范围在离子注入区域 30 的位置在蚀刻截止层 14' 中间附近最大。

该实施例预期注入离子 28 可溶解 (solubilize) 蚀刻截止层 14' 的特定离子注入区域 30。这种溶解的机制可包括当形成蚀刻截止层 14' 的离子注入区域 30 时蚀刻截止层 14 的化学改性, 以及当形成蚀刻截止层 14' 的离子注入区域 30 时蚀刻截止层 14 的物理改性。因此该剂注入离子 28 可以包括利用化学机制 (即化学改性)、物理机制 (即物理改性)、或者化学改性和物理改性两者来起作用的任意溶解离子。

在本实施例中, 注入离子 28 通常包括提供蚀刻截止层 14' 的离子注入区域 30 的化学和物理改性两者的锗注入离子。化学改性和物理改性允许蚀

刻截止层 14' 的离子注入区域 30 与蚀刻截止层 14' 的其它部分相比在特定蚀刻剂中被更快地蚀刻。本实施例明确地不限于仅包括锗注入离子的注入离子 28。而是，本实施例还预期，提供蚀刻截止层 14' 的离子注入区域 30 的化学或物理改性的其它注入离子 28 也可以用在该实施例内。这种注入离子的例子可包括但不限于：(1) 硼注入离子，当蚀刻截止层 14 包括氧化物材料时；和 (2) 锗注入离子，当蚀刻截止层包括氮化物材料时。

图 5A 和图 5B 首先示出从图 4A 和图 4B 的半导体结构剥除介电封盖层 22' 的结果。可以采用半导体制造领域中常规的且适合于介电封盖层 22' 的材料成份的方法和材料来剥除介电封盖层 22'。当介电封盖层 22' 如本实施例中优选的那样包括氧化物材料时，可以采用使用氢氟酸蚀刻剂的湿化学蚀刻法剥除介电封盖层 22'。可选地，可以采用使用适当的蚀刻剂气体成份的等离子体蚀刻法剥除介电封盖层 22'。这种适当的蚀刻剂气体成分通常将包括含氟蚀刻剂气体。

图 5A 和图 5B 还显示了已经剥除介电封盖层 22' 之后在图 4A 和图 4B 的半导体结构上形成第二介电封盖层 32 的结果。可以采用与形成介电封盖层 22' 所用的相同的材料和方法形成第二介电封盖层 32，但是第二介电封盖层 32 包括毯层 (blanket layer) 而介电封盖层 22' 包括图案化的层。通常，第二介电封盖层 32 具有从约 500 至约 2000 埃的厚度。

图 6、图 6A 和图 6B 显示了位于图 5A 和图 5B 的半导体结构上的掩模层 34。掩模层 34 可利用半导体业内公知的工艺由数种掩模材料中的任意种形成。非限制性例子包括硬掩模材料和光致抗蚀剂掩模材料，尽管光致抗蚀剂掩模材料是优选的。通常掩模层 34 包括光致抗蚀剂掩模材料，其具有从约 1000 至约 5000 埃的厚度。掩模层 34 定位得跨越离子注入区域 30 的窄部。

图 7、图 7A 和图 7B 显示了蚀刻第二介电封盖层 32 和表面半导体层 20' 以提供表面半导体层 20'' 和在其上对准地定位的第二介电封盖层 32'。蚀刻在采用掩模层 34 作为蚀刻掩模层且采用第三掩埋介电层 18 作为蚀刻截止层时实现。

与湿化学蚀刻法比较，该蚀刻还通常在采用等离子体蚀刻法时实现从而向第二介电封盖层 32' 和表面半导体层 20'' 提供基本直的侧壁。等离子体蚀刻法通常将使用含氟蚀刻剂气体用于从第二介电封盖层 32 蚀刻出第二介电封盖层 32'。等离子体蚀刻法还将通常使用含氟蚀刻剂气体用于从表面半

导体从 20' 蚀刻出表面半导体层 20''。

图 8A 首先说明了从图 7A 的半导体结构剥除掩模层 34 和第二介电封盖层 32' 的结果。可以采用适合于掩模层 34 和第二介电封盖层 32' 的材料成份的方法和材料来剥除掩模层 34 和第二介电封盖层 32'。

图 8A 还示出从图 7A 的半导体结构剥除第二介电封盖层 32' 和掩模层 34 之后形成位于其上的第三介电封盖层 36 的结果。

第三介电封盖层 36 可包括与关于图 5A 和 5B 所示的第二介电封盖层 32 使用的材料、尺寸和方法类似的材料、尺寸和形成方法。

图 8A 最后说明了在半导体结构上形成第三介电封盖层 36 后离子注入半导体结构的结果。具体地，离子注入包括用一剂氢注入离子 38 离子注入基础半导体基板 10 到一位置从而在基础半导体基板 10 内形成断裂面。不排除也可提供断裂面的其它注入离子的使用。

关于图 8A 和图 8B 说明了使基础半导体基板 10 内的断裂面断裂以提供丢弃的基础半导体基板 10' 和剩余的基础半导体基板 10'' 的结果。图 8B 还说明了当形成丢弃的基础半导体基板 10' 和剩余的基础半导体基板 10'' 时在使基础半导体基板 10 断裂之前叠置到半导体结构的处理基板 (handling substrate) 40。处理基板 40 通常为半导体基板。不排除可选的基板。

在本实施例中，所用的该剂氢注入离子 38 为从约 1×10^{16} 至约 5×10^{16} 氢离子/平方厘米和从约 10 至约 50keV 的离子注入能量以提供断裂面，其允许形成丢弃的基础半导体基板 10' 和剩余的基础半导体基板 10''。

图 9、图 9A 和图 9B 首先显示了倒置图 8、图 8A 和图 8B 的半导体结构的结果。图 9、图 9A 和图 9B 还显示了以下结果：(1) 从所得半导体结构蚀刻剩余的基础半导体基板 10''；(2) 还在使用蚀刻截止层 14' 作为蚀刻截止层时从所得半导体结构蚀刻第一掩埋介电层 12。作为前述蚀刻和最终剥除的结果，包含蚀刻截止层 14' 的离子注入区域 30' 也被暴露。

前述也是剥除步骤的两个蚀刻步骤中的每个可以采用半导体制造领域常规的方法和材料来进行。包括湿化学蚀刻法和干等离子体蚀刻法。干等离子体蚀刻法通常将使用含氟蚀刻剂气体成份以用于蚀刻含硅半导体材料，使用含氟蚀刻剂气体成份以用于蚀刻含硅介电材料。

图 10、图 10A 和图 10B 说明了对图 9、图 9A 和图 9B 中说明的半导体结构进一步处理的结果。

图 10、图 10A 和图 10B 首先说明了对蚀刻截止层 14' 的离子注入区域 30' 进行蚀刻以形成蚀刻截止层 14'' 的结果。蚀刻截止层 14'' 接着可用作掩模层以用于蚀刻第二掩埋介电层 16 从而形成第二掩埋介电层 16' 和 (可选地) 随后还蚀刻第三掩埋介电层 18 以形成第三掩埋介电层 (没有具体示出)。前述蚀刻可使用采用例如四氟化碳或三氟甲烷 (carbon tetrafluoride or trifluoromethane) 的含氟蚀刻剂气体的等离子体蚀刻法实现, 相对于没有错的基础多晶硅材料 (其包括蚀刻截止层 14'' 的剩余部分), 其蚀刻锗掺杂的多晶硅材料 (优选包括蚀刻截止层 14' 的离子注入区域 30')。

第二掩埋介电层 16 和 (可选地) 第三掩埋介电层 18 可以采用等离子体蚀刻法被选择性地蚀刻。等离子体蚀刻法通常采用含氟蚀刻剂气体成份用于蚀刻含硅介电材料。

作为前述蚀刻的结果, 与表面半导体层 20'' 内的倒置 V 形自对准地形成第二掩埋介电层 16' 内的开口。

图 11、图 11A 和图 11B 首先显示了热再生长或物理沉积在第二掩埋介电层 16' 定义的开口内已在前面被蚀刻了的第三掩埋介电层 18 的任意部分以再形成第三掩埋介电层 18 的可选结果。可以在从约 800°C 至约 1100°C 的温度下持续从约 1 秒至约 5 分钟的时间段来实现这样的热再生长。这种热再生长可以产生从氧化硅、氮化硅和氧氮化硅介电材料构成的组中选出的介电材料。这个介电材料特定组一般将具有在真空中测量的从约 4 至约 20 的介电常数。

关于可以回填已被有意或无意蚀刻的部分第三掩埋介电层 18 的沉积的介电材料, 本实施例还预期使用基本更高介电常数的介电材料 (即具有在真空中测量的从约 20 到至少约 100 的介电常数)。这些基本更高介电常数的介电材料可包括但不限于氧化铪、硅酸铪、镧系氧化物、氧化钛、钛酸钡锶 (BST) 和钛锆酸铅 (lead-zirconate titanate, PZT)。这些基本更高介电常数的介电材料还可以采用适合于其材料成分的方法沉积。方法的非限制性例子包括热或等离子体氧化或氮化法、化学气相沉积法 (包括原子层化学气相沉积法) 和物理气相沉积法 (包括溅射法)。

图 11、图 11A 和图 11B 还显示了在第三掩埋介电层 16' 定义的开口中形成栅电极 42 的结果。

栅电极 42 可包括数种栅电极材料中的任意种。包括特定金属、金属合

金、金属硅化物、掺杂的多晶硅（即具有从约 $1e18$ 至约 $1e22$ 掺杂剂原子/立方厘米的掺杂剂浓度）、掺杂多晶硅/金属硅化物堆叠（polycide）栅电极材料。栅电极材料可以采用适合于特殊栅电极材料成分的数种方法中的任意种方法沉积。包括化学气相沉积法和物理气相沉积法。通常，栅电极 42 包括具有与构成蚀刻截止层 14”的蚀刻截止材料的平坦化特性相似的平坦化特性的材料。因此，当采用毯层沉积和后续平坦化法形成栅电极 42 时，蚀刻截止层 14”也被平坦化，同时关于蚀刻截止层 14”和栅电极 42 两者使用第二掩埋介电层 16’作为蚀刻截止层。

图 12、图 12A 和图 12B 首先显示了从图 11、图 11A 和图 11B 的半导体结构剥除第二掩埋介电层 16’的结果。可以采用半导体制造领域中常规的方法和材料剥除第二掩埋介电层 16’。这样的方法和材料包括但不限于湿化学法和材料以及干等离子体法和材料。当第二掩埋介电层 16’包括氮化物材料时，可以采用磷酸水溶液蚀刻剂或替代地采用使用含氟蚀刻剂气体的等离子体蚀刻法剥除第二掩埋介电层 16’。

图 12A 还特别显示了位于表面半导体层 20”内的源极/漏极区域 23。源极/漏极区域 23 在使用栅电极 42 作为掩模时形成到表面半导体层 20”内。可选地，可以采用使用栅电极 42 作为掩模的两步离子注入法形成源极/漏极区域，其中有或没有未另外示出的间隔层。

图 12、图 12A 和图 12B 显示了根据本发明第一实施例的半导体结构的一系列示意性平面图和截面图。第一实施例提供包括场效应晶体管半导体结构。场效应晶体管包括位于第三掩埋介电层 18 上的栅电极 42，对准在栅电极 42 下面的包括栅极电介质的相关部分。接着，栅电极 42 还通过栅极电介质从表面半导体层 20”分隔开，在栅电极 42 下面对准的一部分表面半导体层 20”用作场效应晶体管内的沟道区域。图 12、图 12A 和图 12B 的半导体结构内，分隔表面半导体层 20”内的一对源极/漏极区域 23 的倒置 V 形沟道对准在栅电极 42 下面。

在本实施例内，表面半导体层 20”的沟道区域包括在栅电极 42 下面对准的倒置 V 形。表面半导体层 20”的倒置 V 形提供超薄绝缘体上半导体结构的优点而没有串联电阻损害或其沟道区域的电荷载流子迁移率损害。在前述图示中说明的半导体结构还实现了前述目标而没有在场效应晶体管结构内采用凸起的源极/漏极结构或凹陷的沟道结构。

图 13A 至图 16B 显示了一系列示意截面图和平面图，说明根据本发明另一实施例的制造半导体结构的进行阶段的结果。本发明的这个实施例包括本发明的第二实施例。

图 13A 和图 13B 显示了根据第二实施例的制造半导体结构的早期阶段中半导体结构的一对示意截面图。

图 13A 和图 13B 大致与图 4A 和图 4B 相关，但是没有提供离子注入区域 30 的那份注入离子 28。

图 13A 和图 13B 还另外显示了位于表面半导体层 20' 内的 V 形沟道内的第二栅极电介质 27。可以或者热生长或沉积第二栅极电介质 27。优选地，热生长第二栅极电介质 27 以提供包括构成表面半导体层 20' 的材料的氧化物的第二栅极电介质 27。通常，第二栅极电介质 27 包括热氧化硅材料，其具有从约 5 至约 50 埃的厚度。

图 14A 和图 14B 首先显示了图 4A 和图 4B 中说明的离子注入该离子注入区域 30 的结果。图 14A 和图 14B 还显示了用第二栅电极 29 填充由间隔物 26、第二栅极电介质 27 和第三掩埋电介质层 18 限定的开口的结果。第二栅电极 29 可以包括与结合图 11、图 11A 和图 11B 说明的第一栅电极 42 使用的材料、尺寸和方法相似的材料，尺寸和形成方法。

因此，在第二实施例内，表面半导体层 20' 内的 V 形槽没有用电介质材料回填。相反，V 形槽首先由第二电介质层 27 填充，接着再由第二栅电极 29 填充。

图 15、图 15A 和图 15B 显示了对半导体结构的进一步处理的结果，该半导体结构的示意截面图在图 14A 和图 14B 中示出。

图 15、图 15A 和图 15B 大致显示了与第一实施例内的图 5A 至图 9B 相对应的处理顺序的结果。

图 15、图 15A 和图 15B 首先显示了对表面半导体层 20' 构图以形成表面半导体层 20'' 的结果。图 15、图 15A 和图 15B 还显示了层叠处理基板 40 到所得半导体结构和倒置所得半导体结构以在表面半导体层 20'' 内形成倒置 V 形沟道的结果。

图 15、图 15A 和图 15B 还显示了从半导体结构现在的顶表面向下剥除层到蚀刻截止层 14' 的水平的结果。

图 16、图 16A 和图 16B 显示了对图 15、图 15A 和图 15B 的半导体结构

进一步处理的结果，这在第一实施例内的图 10 至图 12B 的示意截面图内另外得到说明。

图 16、图 16A 和图 16B 显示了一系列示意性平面图和截面图，说明根据本发明第二实施例的半导体结构。

第二实施例也包括具有倒置 V 形沟道的表面半导体层 20”。表面半导体层 20” 包括平坦表面，具有位于其上的包括栅极电介质的第三掩埋介电层 18。栅电极 42 位于倒置 V 形沟道之上并与其对准。半导体结构还包括位于倒置 V 形沟道区域的倒置 V 形内的第二栅极电介质 27。第二倒置 V 形栅电极 29 位于第二栅极电介质 27 上。

因此，在第二实施例内，表面半导体层 20” 内的倒置 V 形沟道受一般常规的栅电极 42 和倒置 V 形栅电极 29 控制。源极/漏极区域 23 没有相对于栅电极 42 (或表面半导体层 20” 的包括关于栅电极 42 的沟道的部分) 凸起。源极/漏极区域 23 相对于第二栅极电极 27 和表面半导体层 20” 内的倒置 V 形沟道凸起。

根据第二实施例的半导体结构另外展示了与上面公开的根据第一实施例的半导体结构相似的沟道串联电阻和电荷载流子迁移率增强。

本发明的优选实施例旨在举例说明本发明而不是限制本发明。可以修改和改变根据本发明优选实施例的半导体结构的方法、材料、结构和尺寸而仍提供根据本发明，进而根据权利要求的半导体结构。

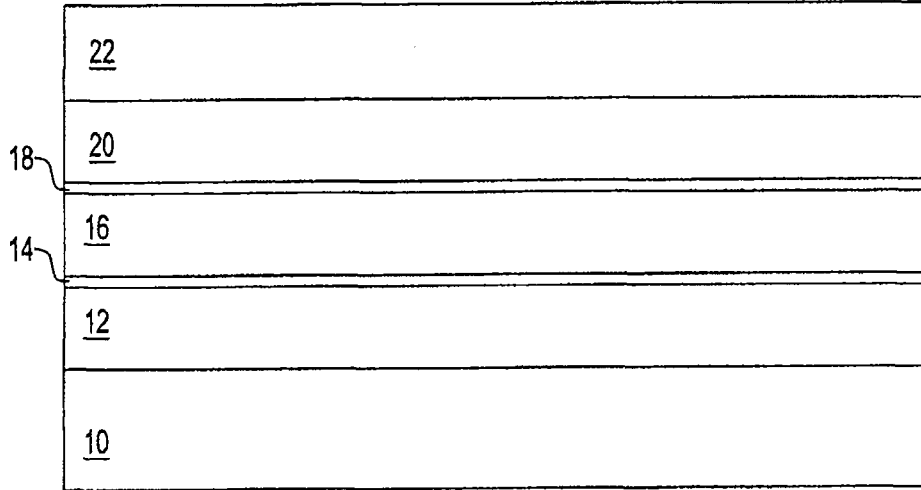


图 1

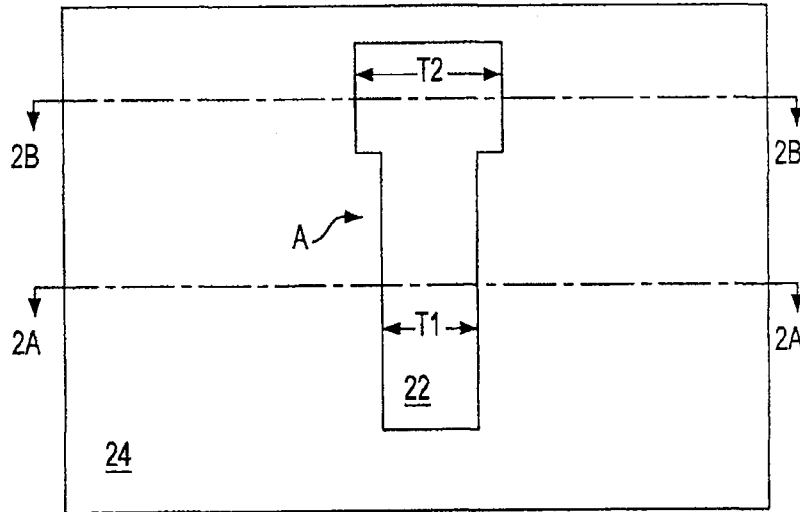


图 2

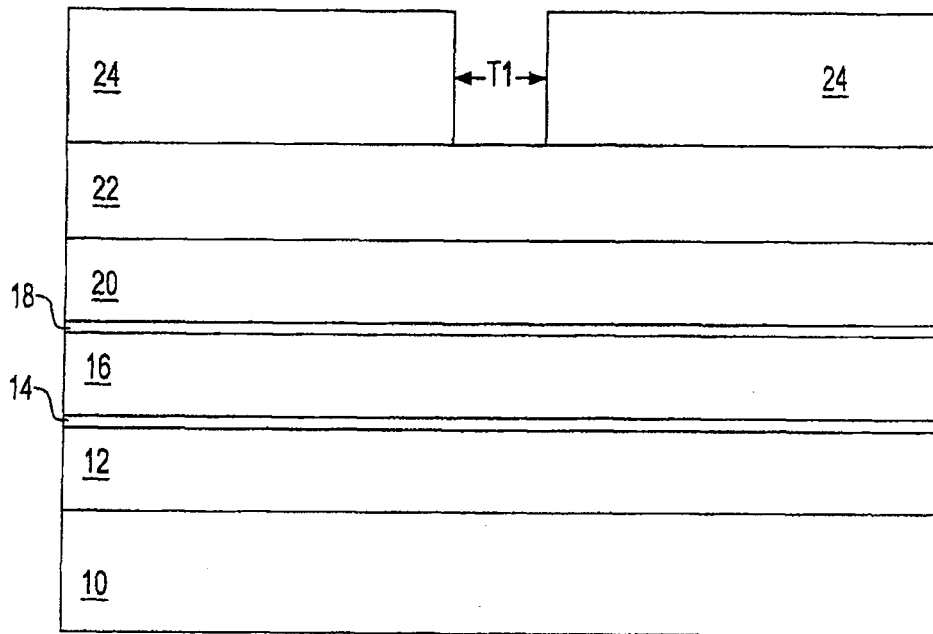


图 2A

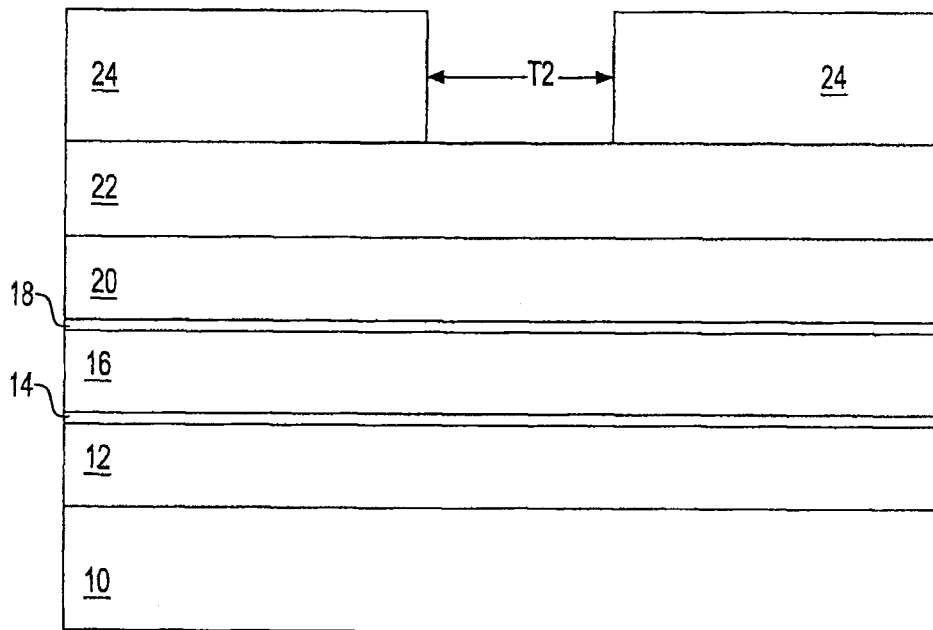


图 2B

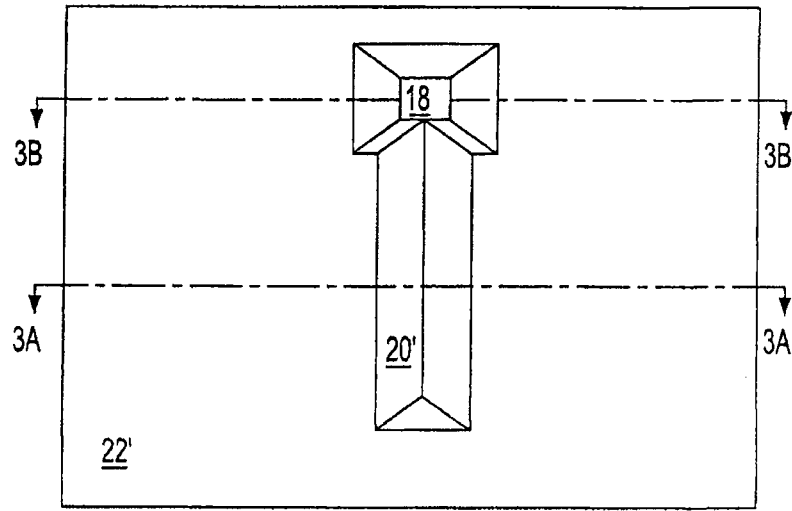


图 3

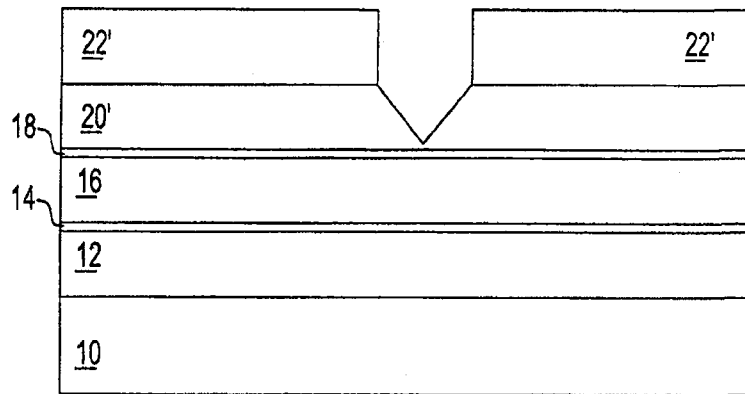


图 3A

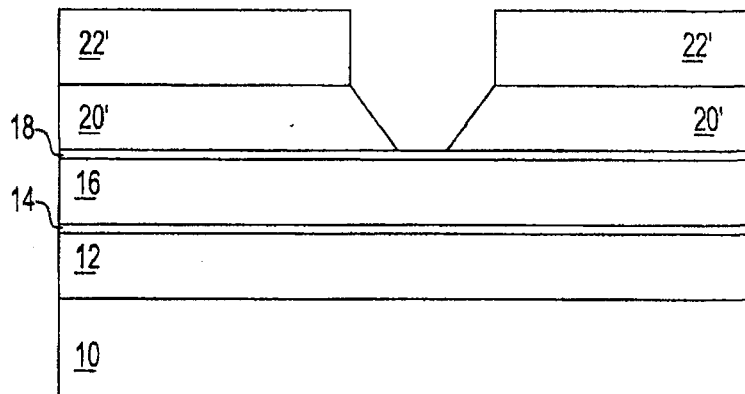


图 3B

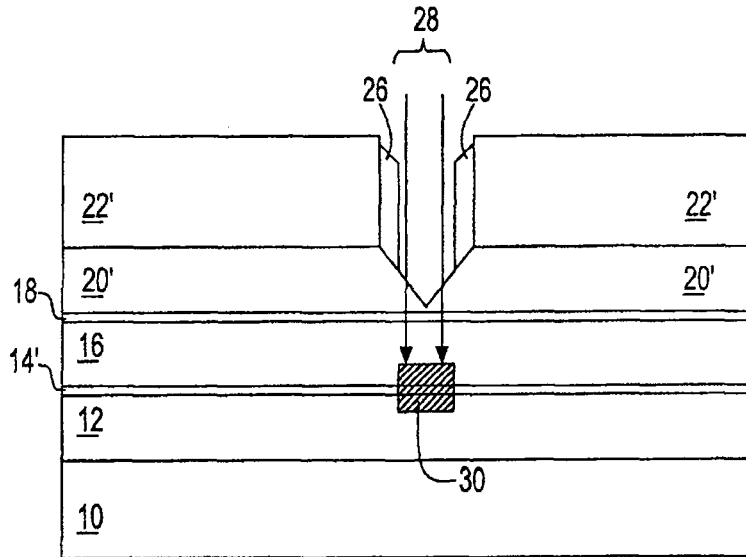


图 4A

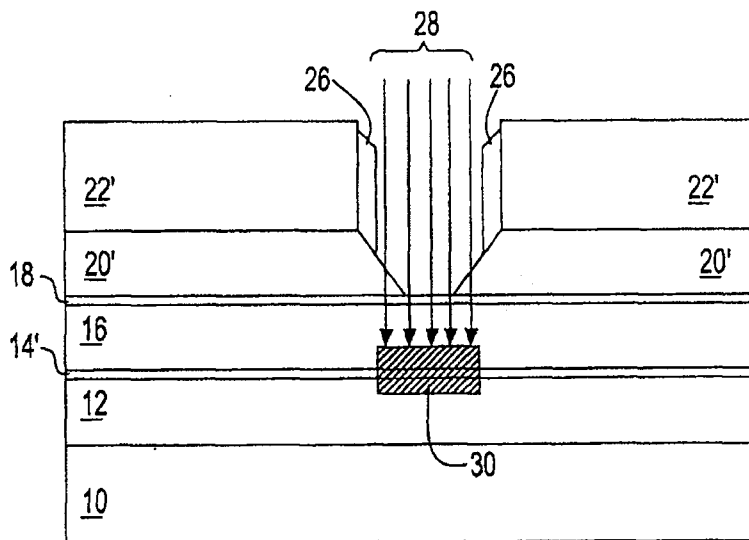


图 4B

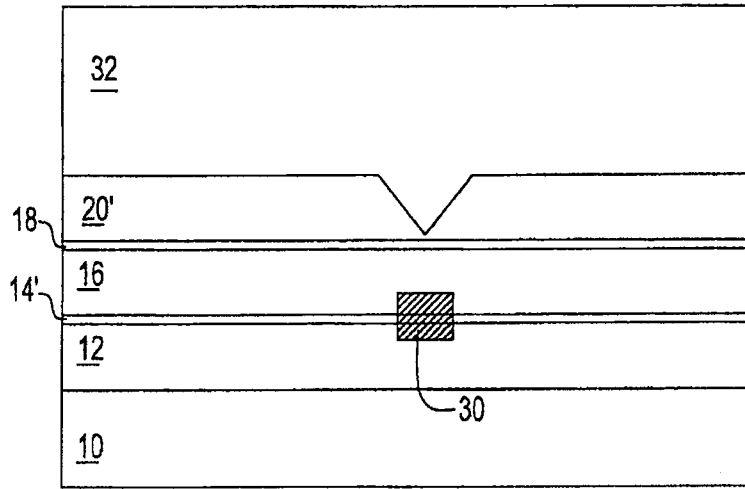


图 5A

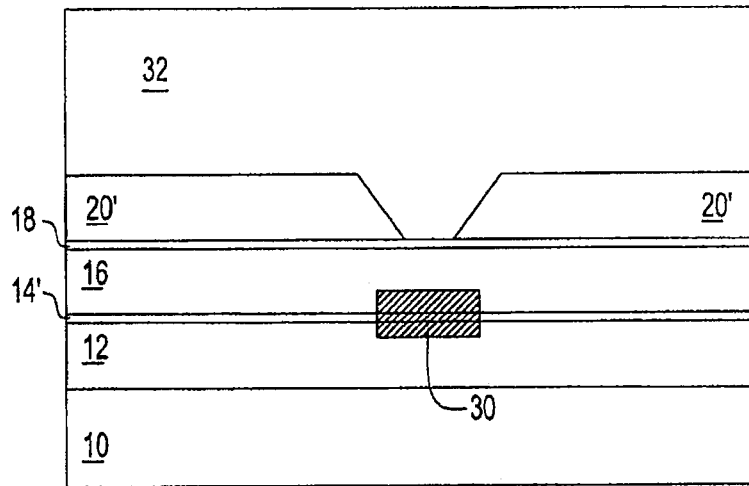


图 5B

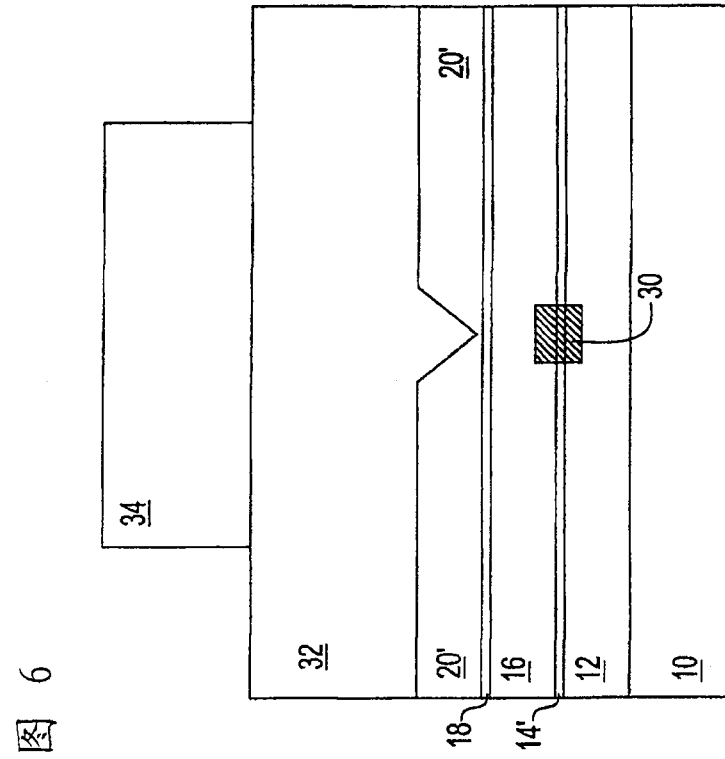


图 6

图 6A

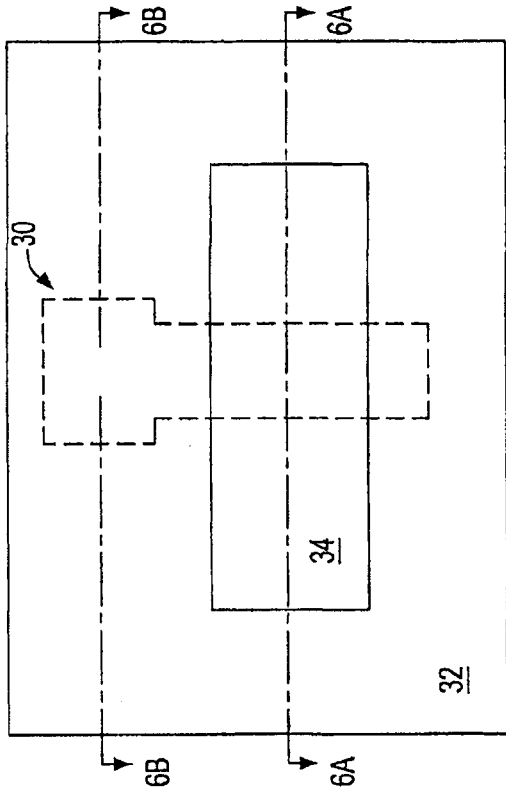
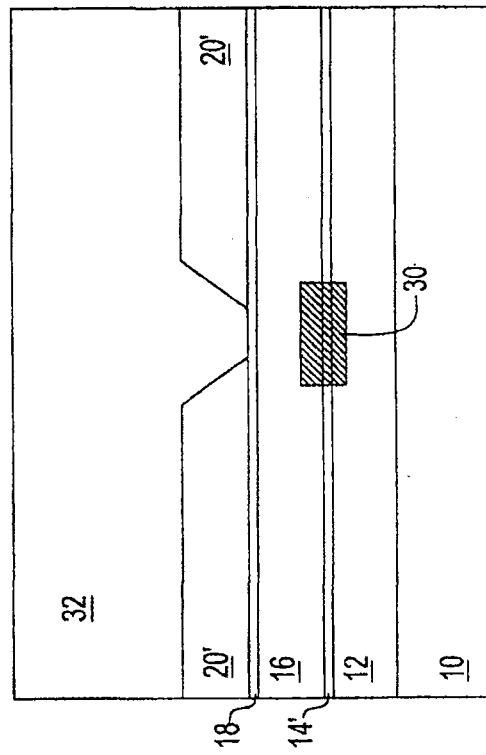


图 6B



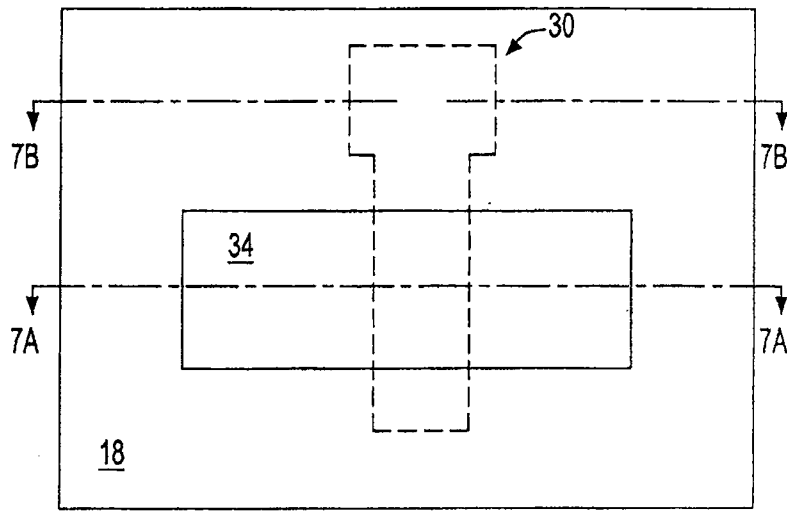


图 7

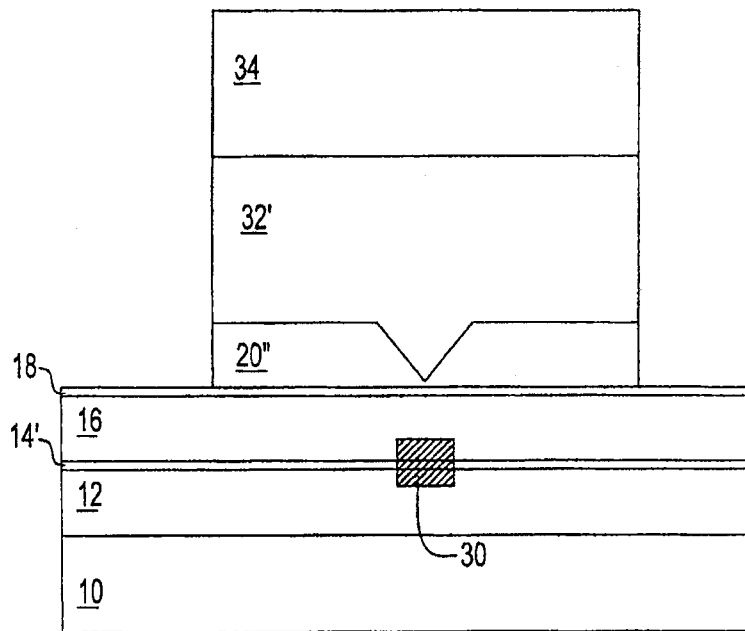


图 7A

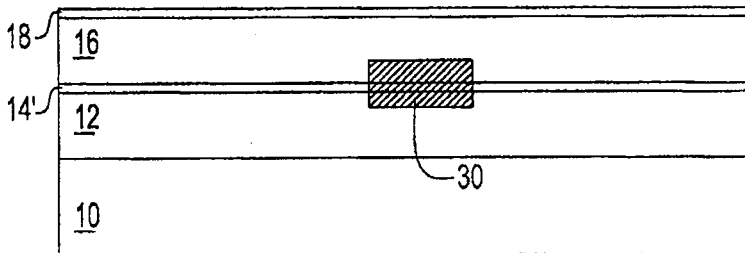


图 7B

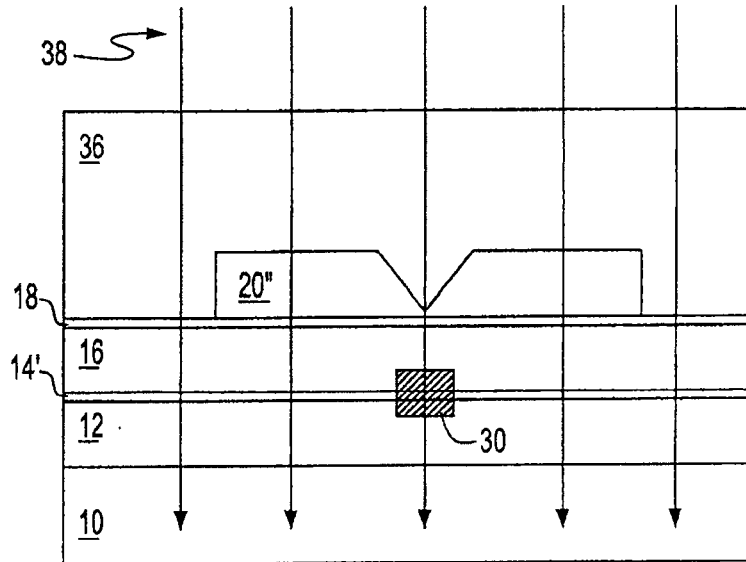


图 8A

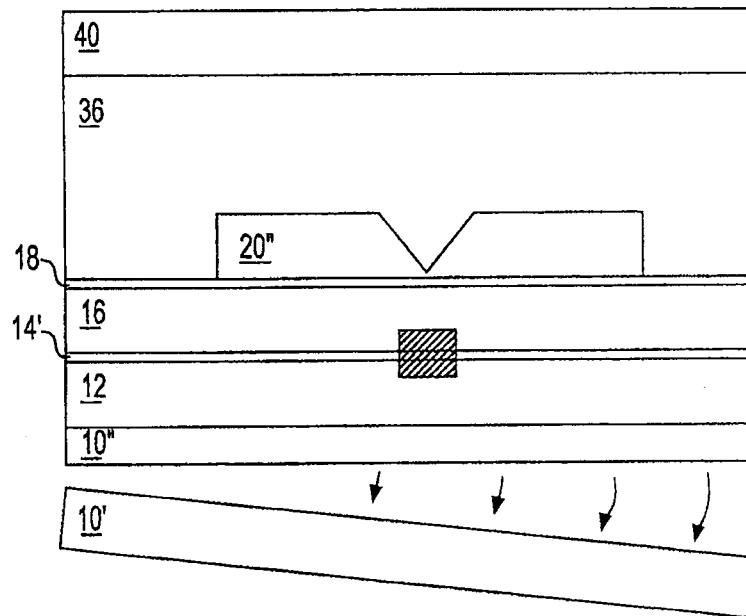


图 8B

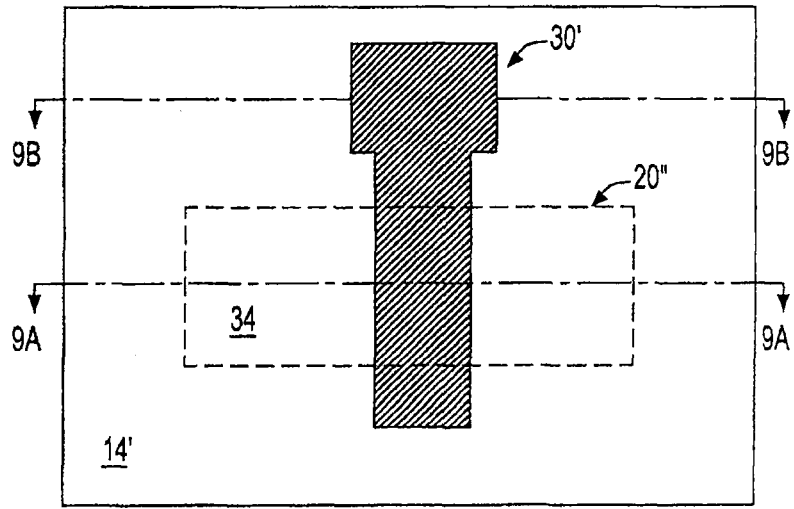


图 9

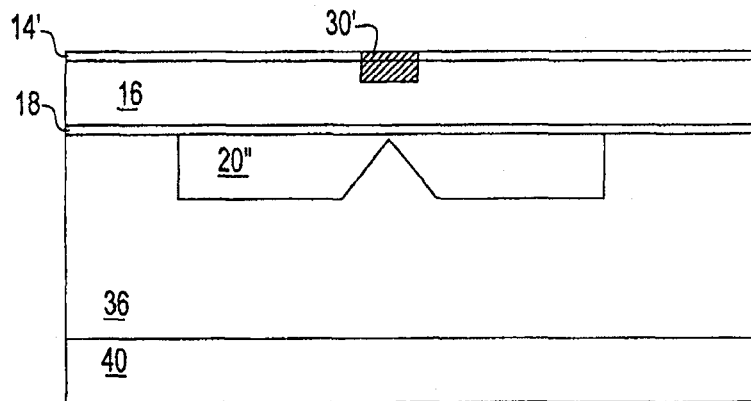


图 9A

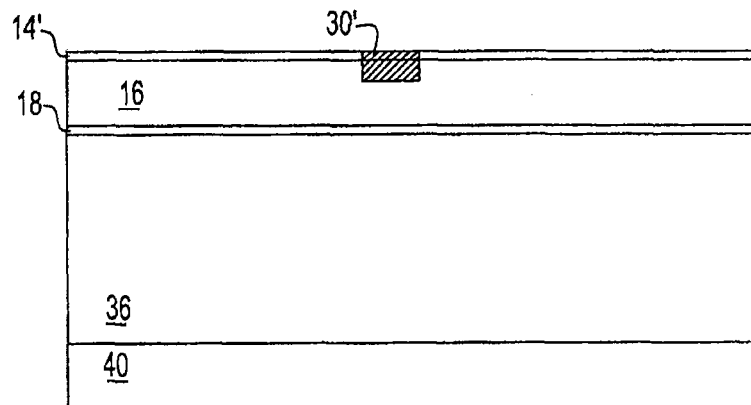


图 9B

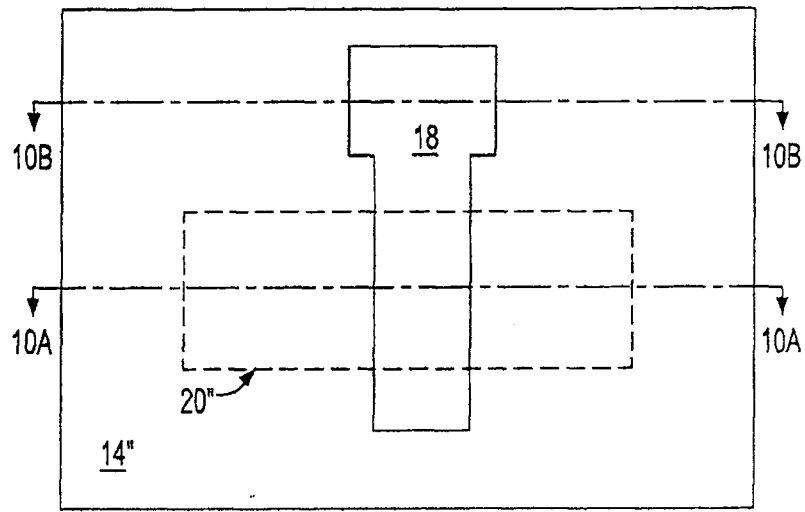


图 10

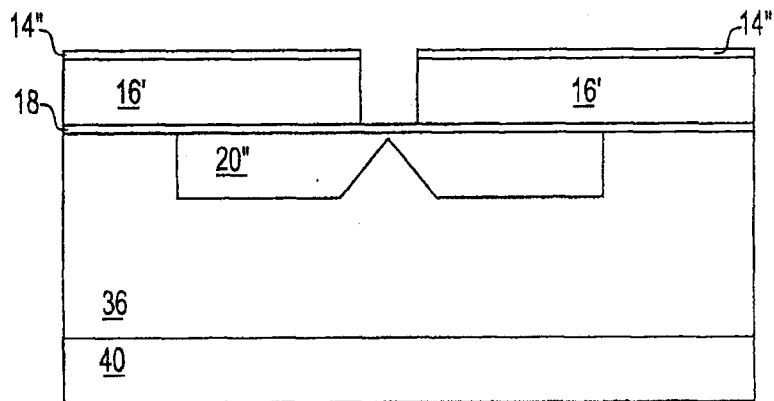


图 10A

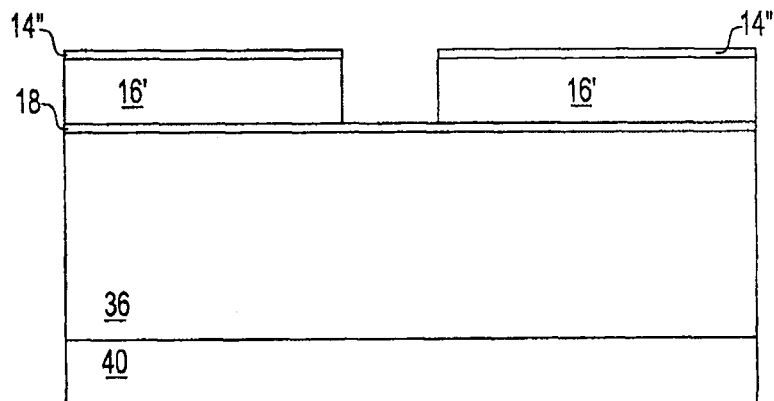
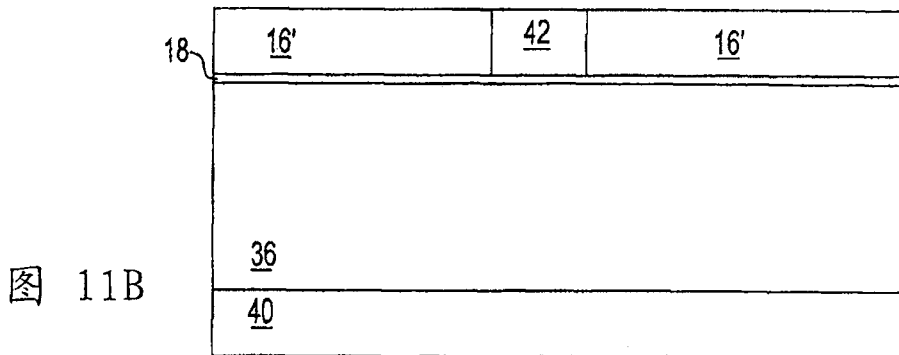
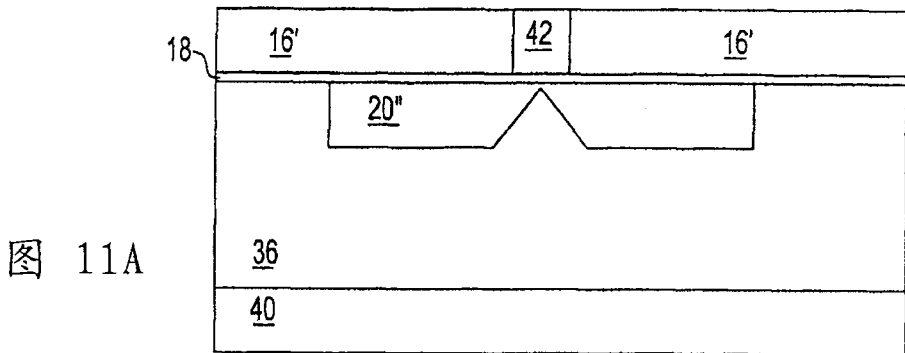
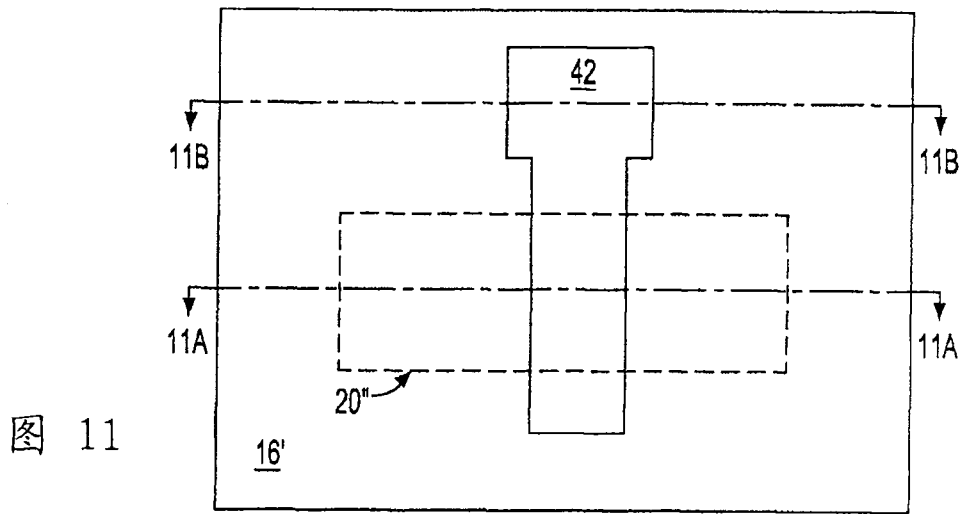


图 10B



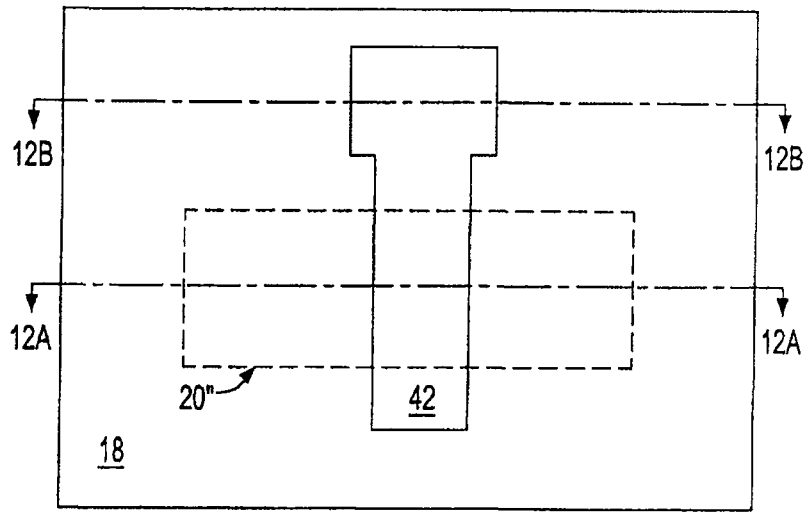


图 12

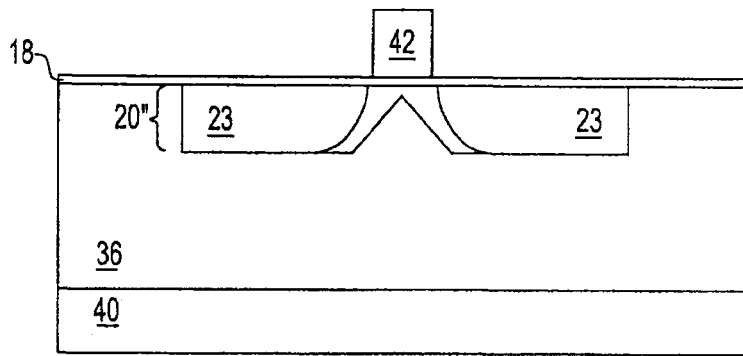


图 12A

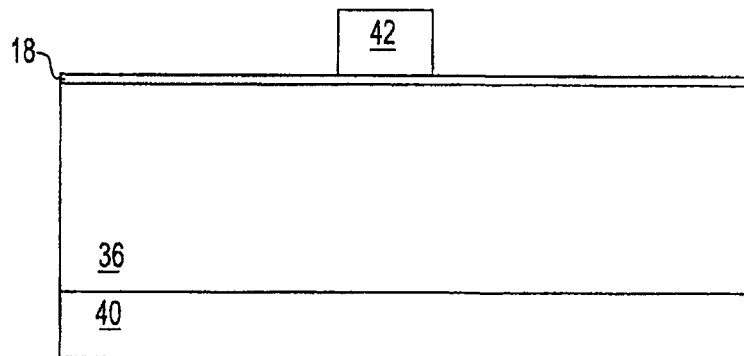


图 12B

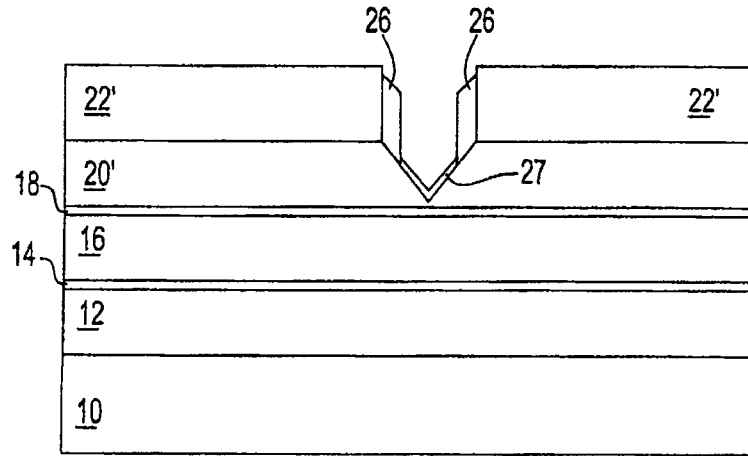


图 13A

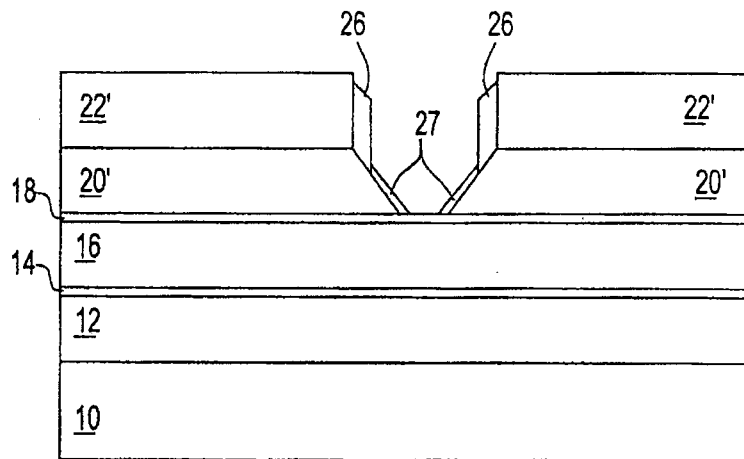


图 13B

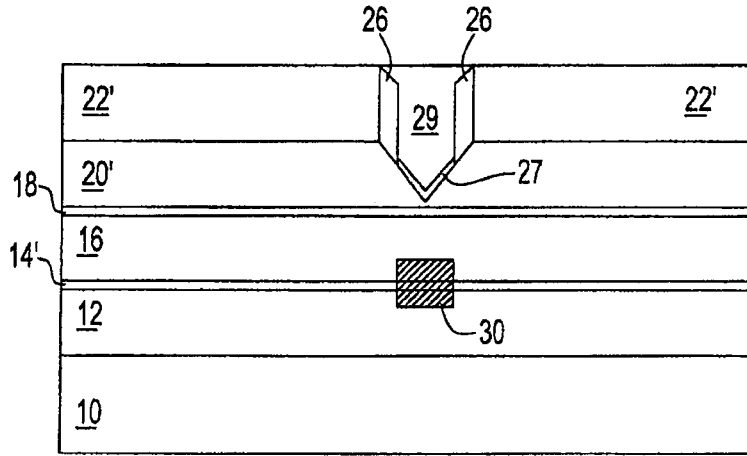


图 14A

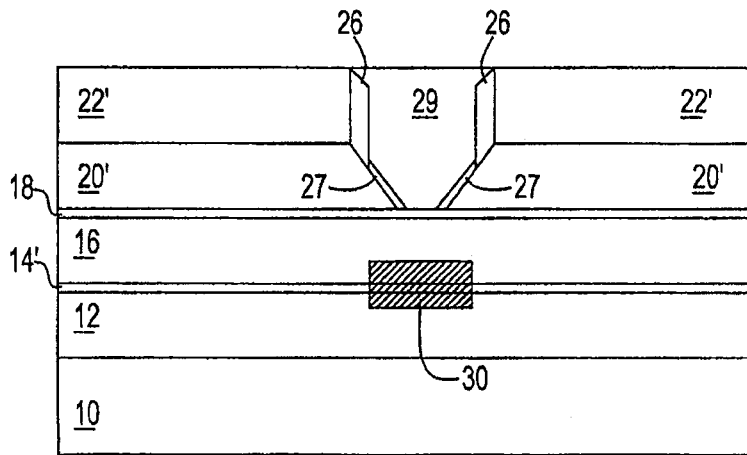


图 14B

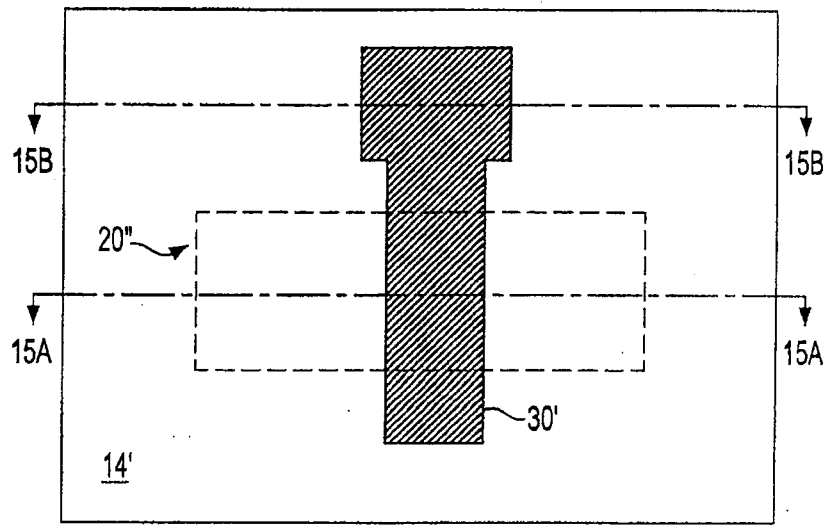


图 15

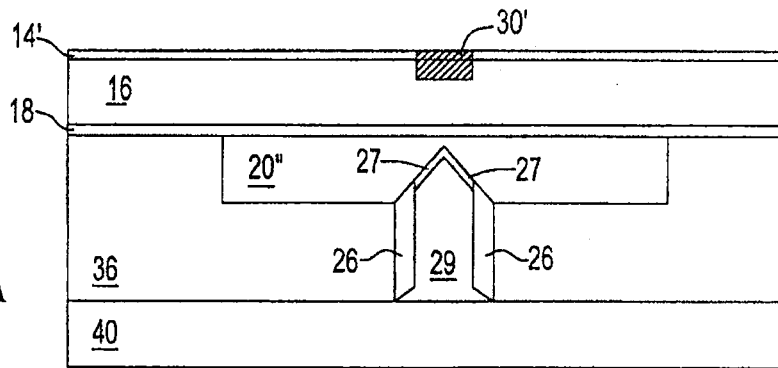


图 15A

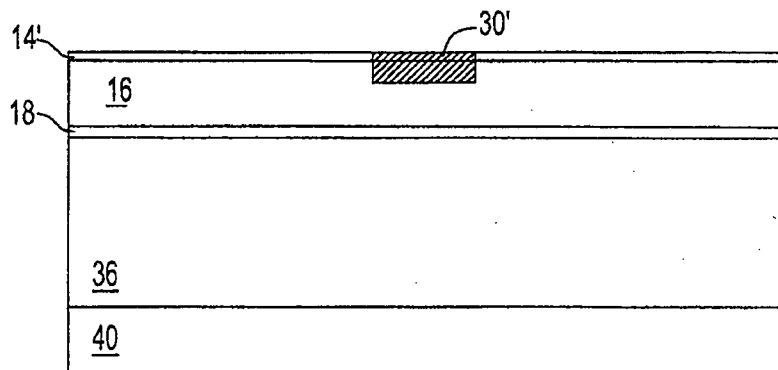


图 15B

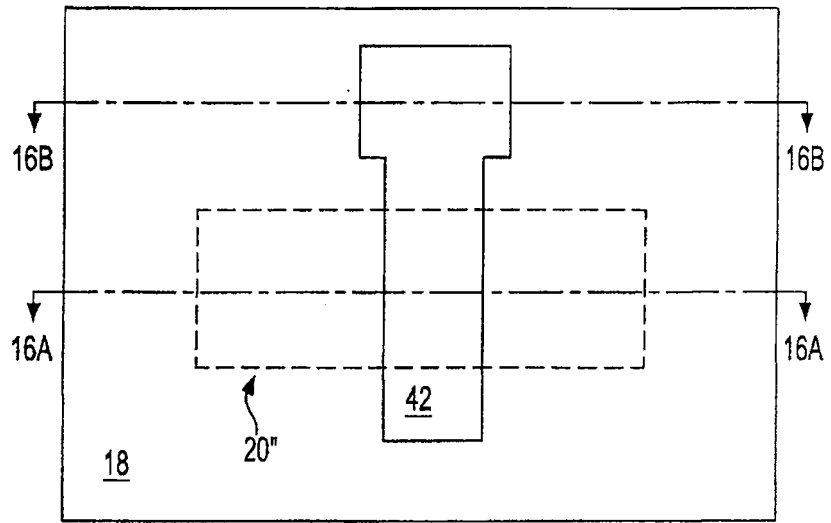


图 16

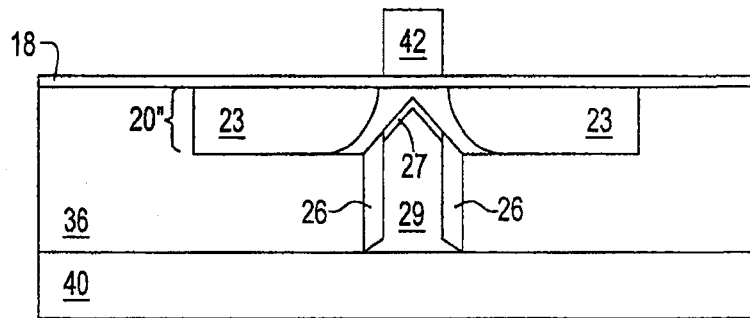


图 16A

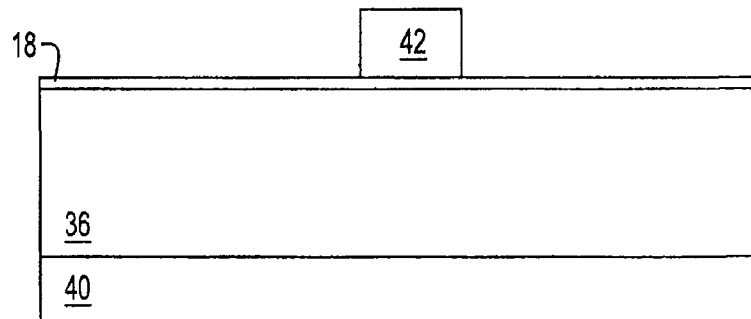


图 16B