

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G03F 7/00
G03F 1/00

(11) 공개번호 10-2005-0021980
(43) 공개일자 2005년03월07일

(21) 출원번호	10-2004-7020620	(87) 국제공개번호	WO 2003/107094
(22) 출원일자	2004년12월17일	국제공개일자	2003년12월25일
번역문 제출일자	2004년12월17일		
(86) 국제출원번호	PCT/US2003/017549		
국제출원출원일자	2003년06월03일		

(30) 우선권주장 10/174,464 2002년06월18일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 만시니, 데이비드, 피.
 미국 85268 아리조나주 파운틴 힐스 이스트 팔로미노 블러바드
 15325

 레스닉, 더글라스, 제이.
 미국 85045 아리조나주 피닉스 웨스트 데저트 플라워 레인 216

(74) 대리인 주성민
 백만기
 이중희

심사청구 : 없음

(54) 다층 리소그래피 템플릿 및 그 제조 방법

명세서

기술분야

본 발명은 반도체 장치, 마이크로 전자 장치(microelectronic devices), 마이크로 전자 기계 장치(micro electro mechanical devices), 마이크로 유체 장치(microfluidic devices), 그리고 광자 장치(photonic device)에 관한 것이고, 보다 구체적으로는 리소그래피 템플릿(lithography template), 그 리소그래피 템플릿을 다층 구조를 포함하도록 형성하는 방법, 그리고 그러한 다층 구조 리소그래피 템플릿을 이용하여 반도체 장치를 형성하는 방법에 관한 것이다.

배경기술

집적 회로의 제조는 소정의 방식으로 상호 작용하는 여러 층을 생성하는 공정을 포함한다. 이들 층 중 하나 이상은 그 층의 각기 다른 부분들이 각각 상이한 전기적 특성을 갖도록 패터닝될 수 있으며, 그 각기 다른 부분들은 그 층 안에서 서로 연결되거나 다른 층으로 연결되어 전기 소자 및 회로를 생성할 수 있다. 이와 같은 각기 다른 부분들은 각기 다른 물질들을 선택적으로 끌어들이거나 제거함으로써 이루어질 수 있다. 그와 같은 부분들을 규정하는 패턴은 대개 리소그래피 프로세스에 의하여 생성된다. 예컨대, 웨이퍼 기판을 덮는 층 위로 포토레지스트 물질층을 도포한다. 포토마스크(투명 영역과 불투명 영역을 포함함)를 이용하여 일종의 방사선, 예컨대 자외선, 전자, 또는 x선 등에 의해 그 포토레지스트 물질을 선택적으로 노출시킨다. 현상제를 이용함으로써, 그와 같은 방사선에 노출된 포토레지스트 물질이나 그와 같은 방사선에 노출되지 않은 포토레지스트 물질 중 어느 한쪽을 제거시킨다. 그런 다음, 잔여 레지스트 물질에 의해서 보호되지 않는 층에 에칭액을 도포할 수 있고, 레지스트 물질이 제거되면, 기판을 덮는 층이 패터닝된다.

전통적으로, 포토마스크로부터 장치로 패턴을 전사시키는 데 전술한 바와 같은 리소그래피 프로세스가 이용된다. 반도체 장치의 측정량(feature) 사이즈가 100 나노미터 범위까지 미크론 이하의 범위로 크게 줄어들어 따라, 고밀

도 반도체 장치를 패터닝하기 위한 새로운 리소그래피 프로세스나 기법이 필요로 된다. 이러한 요구를 만족시키며 임프린팅(imprinting)과 스탬핑(stamping)에 기초를 둔 여러 새로운 리소그래피 기법들이 제안되어 왔다. 특히 한 가지, 즉, SFIL(Step and Flash Imprint Lithography)은 20nm 정도만큼 작은 라인도 패터닝할 수 있는 것으로 알려져 있다.

SFIL 템플릿은 대개 투명한 석영판 위에 80 내지 100nm 두께의 크롬층을 도포함으로써 형성된다. 레지스트층을 그 크롬층으로 도포하여 전자빔이나 광노출 시스템을 이용해서 패터닝시킨다. 그런 다음 그 레지스트층을 현상제에 넣어 크롬층 위에 패턴을 형성한다. 크롬층을 에칭하는데 있어서 레지스트층이 마스크로서 이용된다. 그런 다음 그 크롬층이 석영판을 에칭하는데 있어서 하드 마스크로서 기능한다. 마지막으로, 크롬층이 제거되고, 이로써 석영판에 릴리프 이미지(relief image)를 포함한 석영 템플릿이 형성된다.

전반적으로, SFIL 기법들은 그 독특한 광화학 이용, 주위 온도의 이용, 그리고 그 SFIL 프로세스를 수행하는데 필요한 낮은 압력에 의하여 이익을 얻는다. 전형적 SFIL 프로세스 동안, 기판은 유기 평탄화층(organic planarization layer)으로 코팅되고, 투명한 SFIL 템플릿(대개 석영으로 이루어지고, 릴리프 이미지를 포함하며, 낮은 표면 에너지를 가진 물질로 코팅되어 있음) 매우 가까이로 배치된다. 그 코팅된 기판과 템플릿 사이에 자외선 또는 심층 자외선(deep ultraviolet) 감응성 광경화성(photocurable) 유기 용매를 피착시킨다. 가능한 한 적은 압력을 이용해서, 템플릿을 기판에, 보다 구체적으로는 그 광경화성 유기층에 접촉시킨다. 다음으로, 실온에서 템플릿을 통하여 빛을 조사함으로써 그 유기층이 경화되거나, 교차 결합(crosslinked)된다. 전형적으로, 광원은 자외선을 사용한다. 그러나, 템플릿의 투과성과 광경화성 유기층의 광감응성에 따라, 150nm 내지 500nm의 파장 범위가 가능하다. 그런 다음, 평탄화층 위에 템플릿 릴리프의 유기 복제물(organic replica)을 남김 채, 템플릿을 기판과 유기층으로부터 분리시킨다. 그런 다음, 단기간 할로젠 통과(short halogen break-through)와 이어지는 산소 반응성 이온 에칭(reactive ion etch;RIE)에 의해서 패턴을 에칭시켜 유기층과 평탄화층에 높은 해상도(high-resolution), 높은 가로세로비(high aspect-ratio)의 특징량을 형성한다.

리소그래피 마스크와 리소그래피 템플릿 간 구별에 주의해야 한다. 리소그래피 마스크는 불투명 부분과 투명 부분으로 이루어진 패턴을 가지며 광선의 공중 이미지(aerial image)를 포토레지스트 물질에 전하는 스텐실(stencil)로서 사용된다. 리소그래피 템플릿은 그 표면에 에칭된 릴리프 이미지를 가지며, 소정의 형태나 주형(mold)을 형성한다. SFIL에서는, 광경화성 액체가 그 릴리프 이미지로 흘러들어가 후에 경화되며 패턴이 규정된다. 그러므로, 마스크와 템플릿을 위해서 필요한 속성은 매우 다르다.

SFIL 기술은 20nm 정도만큼 작은 특징량도 분해할 수 있는 것으로 알려져 있다. 따라서, 매우 다양한 특징량 사이즈가 단일의 웨이퍼 상에 드로잉될(drawn) 수 있다. 그러나, 전술한 SFIL 템플릿 제조 방법론에 있어서 소정의 문제점이 있다. 그와 같은 종래 기술의 프로세스에 있어서의 한 가지 문제점은, SFIL 기술을 이용해서 치수적으로 균일한 특징량은 생성되지만, 2차원 계층형(tiered) 구조가 생성될 수는 없다는 점이다. 대개는, SFIL 기술을 이용해서, 하나의 층 깊이를 갖고 따라서 단지 하나의 "층"만을 가진 것이라고 간주되는 단층 템플릿이 형성된다. 마이크로 전자 응용 장치나 MEMS 응용 장치 등을 비롯한 많은 유형의 응용 장치에 이용하기 위해서는 다층형 구조를 형성할 필요가 있다. 또한, 이러한 다층형 구조는 T-게이트 형성에 유용한 계층형 레지스트 프로파일, 회절성 광학 소자, 광학 회절격자 커플러, 및 기타 구조를 제공한다.

단지 크롬 하드 마스크만을 사용할 경우, 석영 템플릿을 균일하게 에칭함에 있어서도 문제가 존재한다. 템플릿에 대한 에칭 깊이는 웨이퍼 상의 광경화성 레지스트 층의 최종 두께를 결정하게 되므로, 매우 중요하다는 것에 주목해야 한다. 구체적으로 살펴보면, 에칭 균일성의 면에서 소량의 특징량(<200nm)에 대해 마이크로-로딩 현상(micro-loading effect)의 문제가 존재한다. 소량(<200nm)의 특징량 에칭은 대량의 특징량보다 느리다는 것은 잘 알려진 사실이므로, 템플릿 전체에 걸쳐 임계 치수와 에칭 깊이에서 불균일성이 나타나게 된다. 에칭 중의 마이크로-로딩 현상으로 인해, 작은 특징량은 완전히 에칭되지 않으며, 또한 큰 특징량만큼 깊이 에칭되지 않게 된다. 구체적으로 살펴보면, 200nm 이하 라인에서의 에칭 깊이는 큰 특징량에서보다 얇게 된다. 이로 인해, 레지스트 이미지의 두께가 큰 특징량과 작은 특징량 간에서 두께가 불균일하게 된다. 이 때문에, 세 가지의 특이한 부정적인 결과가 초래되는데, 즉 (i) 라인 폭 제어에 대한 불량; (ii) 에칭 깊이의 불균일(불량한 레지스트 두께의 불균일성으로 인해 발생); 및 (iii) 라운딩된 레지스트 프로파일이 초래된다.

게다가, 제조에 후속되는 템플릿에 대한 전자 빔 기입 및 검사에도 문제가 존재한다. 특히, 전자 빔 노광 동안 전하가 축적되는 것을 피하기 위해서는, 도전층이 존재해야 한다. 또한, 템플릿이 단일 물질로 구성되어 있으므로 검사 능력을 쉽사리 달성할 수 없다. 전형적인 검사 시스템에서는 자외선 또 심층 자외선) 또는 전자를 이용하여 템플릿의 특징량 크기를 결정하고 템플릿에서의 원치않은 결함을 검출한다. 광 기반 시스템에서는 양호한 이미지 콘트라스트를 제공하기 위해 템플릿의 패터닝된 영역과 패터닝되지 않은 영역 간에서 반사율 또는 굴절률 차가 존재한다. 또한, 전자 기반 시스템에서는 템플릿의 패터닝된 영역과 패터닝되지 않은 영역 간에서 원자수의 차가 존재한다. 이러한 문제를 해결하기 위해서는, 100nm 이하의 특징량에 필수적인 검사에는 서로 상이한 광 특성을 갖거나 또는 상이한 원자수를 갖는 복수 물질을 필요로 할 것이다.

따라서, 다층 구조의 제조를 달성할 수 있는 템플릿을 제공하는 것이 유리할 것이다.

본 발명의 목적은 개선된 다층 리소그래피 템플릿, 개선된 다층 리소그래피 템플릿의 제조 방법, 및 다층 구조가 얻어지는 개선된 다층 리소그래피 템플릿으로 반도체 장치를 제조하는 방법을 제공하는 데 있다.

또한, 본 발명의 목적은 개선된 다층 리소그래피 템플릿, 개선된 다층 리소그래피 템플릿의 제조 방법, 및 미크론 이하의 구조에 대한 검사를 달성할 수 있는 개선된 다층 리소그래피 템플릿을 사용하여 반도체 장치를 제조하는 방법을 제공하는 데 있다.

발명의 상세한 설명

본 발명은 반도체 장치, 마이크로 전자 장치, 마이크로 전자 기계 장치, 마이크로 유체 공학 장치에 관한 것으로, 보다 상세하게는, 다층 리소그래피 템플릿, 다층 리소그래피 템플릿을 형성하는 방법, 및 다층 리소그래피 템플릿을 사용하여 장치를 형성하는 방법에 관한 것이다. 기관, 및 다층 구조를 형성하는 복수의 릴리프 구조를 포함하는 다층 리소그래피 템플릿이 개시되어 있다. 내부 또는 최상층 표면 상에 제1 패터닝된 릴리프 구조 및 추가의 패터닝된 릴리프 구조가 형성되어 다층 리소그래피 템플릿을 규정하는 투명 기관을 제공함으로써 다층 리소그래피 템플릿이 형성된다. 복수의 패터닝된 릴리프 구조는 표준 리소그래피 패터닝 기술 또는 직접 이미지가능 유전체 처리 기술을 이용하여 형성된다.

또한, 제공된 다층 리소그래피 템플릿을 사용하여 장치를 제조하는 방법이 개시되어 있으며, 이 방법은 반도체 기관을 제공하는 단계, 반도체 기관에 방사선 감응 물질을 도포하는 단계, 상술된 다층 리소그래피 템플릿을 제공하는 단계, 다층 리소그래피 템플릿을 방사선 감응 물질에 접촉하여 위치시키는 단계, 다층 리소그래피 템플릿에 대해 방사선 감응 물질에 패턴이 형성되도록 압력을 가하는 단계, 다층 리소그래피 템플릿을 통해 반도체 기관 상의 방사선 감응 물질의 적어도 일부가 노출되도록 방사선을 통과시킴으로써 또한 방사선 감응 물질 중의 패턴에 작용하는 단계, 및 다층 리소그래피 템플릿을 반도체 기관에서 제거시키는 단계를 포함한다.

본 발명의 상기 및 다른 목적 및 장점들은 첨부된 도면을 참조하여 기술된 바람직한 실시예에 대한 이하의 상세한 설명으로부터 당업자라면 쉽사리 이해할 수 있을 것이다.

도면의 간단한 설명

도 1 내지 도 7은 본 발명에 따라 다층 리소그래피 템플릿을 제조하기 위한 개시된 제1 프로세스에서의 공정에 대한 단면도.

도 8 내지 도 11은 본 발명에 따라 다층 리소그래피 템플릿을 제조하기 위한 개시된 제2 프로세스에서의 공정에 대한 단면도.

도 12 내지 도 16은 본 발명에 따라 다층 리소그래피 템플릿을 제조하기 위한 개시된 제3 프로세스에서의 공정에 대한 단면도.

도 17은 본 발명에 따른 다층 리소그래피 템플릿을 사용하여 반도체 장치를 제조하는 간략화된 프로세스 흐름도.

도시를 간략화하고 명료히 하기 위해, 도면에서 도시된 소자들을 반드시 일정한 비율로 도시할 필요는 없다는 것에 유의해야 한다. 예컨대, 명료히 하기 위해 일부 소자들의 치수를 다른 소자들에 비해 확대시켜 도시하였다. 또한, 대응 또는 유사한 소자를 나타내는 도면들에서는 참조 부호를 반복하여 사용하였다.

실시예

본 발명은 SFIL에서 사용하기 위한 다층 리소그래피 템플릿의 제조에 관한 것이다. 본원에서는, 기관 표면 상에 복수의 물질층들을 피착하여 다층 리소그래피 템플릿을 형성하는 것을 제안하고 있다. 이러한 기재로부터, 본 발명에 따른 다층 리소그래피 템플릿을 형성하는 방법은 다층 리소그래피 템플릿을 도 1 내지 도 7에 도시된 표준 리소그래피 프로세스를 이용하거나, 또는 도 8 내지 도 11에 도시된 직접 이미지가능 유전체 프로세스를 이용하여 형성하는 단계를 포함하는 것을 예기할 수 있다. 또한, 이러한 기재로부터, 개시된 방법들을 결합하여 본 발명에 따른 다층 리소그래피 템플릿을 형성할 수 있다는 것을 예기할 수 있다.

도 1을 상세히 살펴보면, 본 발명에 따른 다층 리소그래피 템플릿(10)의 제조프로세스 중 제1 공정이 예시되어 있다. 기관(12)은 표면(14)을 갖는 것으로 도시되어 있으며, 기관(12)은 석영 물질, 폴리카보네이트 물질, 파이렉스 물질, 칼슘 플루오라이드(CaF₂) 물질, 마그네슘 플루오라이드 물질(MgF₂), 또는 빛을 투과시키는 임의 유사 종류의 물질 등의 투명 물질로 구성되는 것으로 한다. 기관(12)은 빛을 통과시키는 투과성 물질로 형성된다.

도 1에서 도시된 바와 같이, 기관(12)의 표면(14) 상에는 제1 에칭 정지층(16)이 피착되어 있다. 제1 에칭 정지층(16)은 질화 실리콘(SiN), 산화 실리콘(SiO₂), 크롬(Cr), 산화 크롬(CrO), 산화 알루미늄(AlO), 질화 알루미늄(AlN), 질화 크롬(CrN), 인듐-주석 산화물(ITO), 산화 인듐(InO), 산화 주석(SnO), 산화 아연(ZnO), 산화 카드뮴(CdO), 산화 구리 알루미늄(CuAlO), 산화 구리 갈륨(CuGaO), 카드뮴 주석 산화물(CdSnO), 또는 임의 다른 투명이나 반투명 물질, 및 그들의 화합물로 형성되는 것으로 한다. 기관(12) 및 특정 에칭 프로세스를 필요로 하는 제1 패터닝 층(현재 논의의 중)으로서 임의 물질을 사용할 경우, 제1 에칭 정지층(16)은 선택적이며, 기관(12)의 표면(14) 상에 제1 패터닝 층(현재 논의의 중)이 직접 피착되는 것에 유의한다.

지금부터 도 2를 참조해 보면, 표면(14) 상에 제1 에칭 정지층(16), 제1 패터닝 층(18) 및 패터닝된 레지스트 층(20)이 피착되어진 기관(12)이 도시되어 있다. 제1 패터닝 층(18)은 전체적인 설계 목적 및 제1 에칭 정지층(16)을 이루는 물질에 따라 불투명 또는 투명 물질(현재 논의의 중)로 형성되는 것으로 한다. 보다 상세히 기술하자면, 사용되는 특정 유형의 물질은 템플릿(10)의 제조를 완성하기 위해 채용되어야 하는 최종적인 프로세스 공정들에 견뎌내는 것으로 한다. 제1 에칭 정지층(16)의 표면(17) 상에 스핀 코팅, 스퍼터링, 기상 피착 등을 사용하여 표면(19)을 갖는 제1 패터닝 층(18)이 형성된다.

제1 패터닝 층(18)은 일반적으로 제1 에칭 정지층(16)으로서 사용된 물질과는 다른 반사율(또는 굴절률)이나 다른 원자수를 갖는 물질로 형성되는 것으로 한다. 이러한 원자수에 있어서의 차가 본원에서 기술된 바와 같이 개선된 검사 능력 특성을 향상시킬 것이다. 제1 패터닝 층(18)의 제조에 적합한 것으로 기재된 투명 물질로서는 이산화 실리콘(SiO₂), 질화 실리콘(SiN), 실리콘 옥시-질화물(SiON), 인듐-주석-산화물(ITO) 등이 있다. 제1 패터닝 층(18)의

제조에 적합한 것으로서 기재된 불투명 물질로서는 텅스텐(W), 텅스텐 실리사이드(WSi), 텅스텐 실리콘 나이트라이드(WSiN), 텅스텐 합금, 탄탈(Ta), 탄탈 실리사이드(TaSi), 탄탈 실리콘 나이트라이드(TaSiN), 탄탈 합금, 티탄(Ti), 티탄 합금, 몰리브덴(Mo), 몰리브덴 실리사이드(MoSi), 몰리브덴 합금, 금(Au), 크롬(Cr) 등이 있다. 상술된 바와 같이, 일부 패터닝 층들은 에칭 정지층을 필요로 하지 않을 수 있는데, 이는 기관 그 자체가 에칭 정지 물질로서 충분한 기능을 수행할 수 있기 때문이다. 제1 패터닝 층(18)은 전자 빔 기입 동안 전하 소멸을 지원하는데 사용될 수 있다. 또한, 제1 패터닝 층(18)은 다수의 층들에 사용되는 가변 물질로 인해 SEM-기반 템플릿 검사를 도와준다. 제1 패터닝 층(18)은 일반적으로 광 경화성 레지스트 층 내에 임프린트(imprint)해야 할 원하는 종횡비에 따라 두께를 갖는 것으로 한다. 구체적으로 말하자면, 제1 패터닝 층(18)은 템플릿 제조에 관련된 응력과, 완성된 리소그래피 템플릿을 사용하는 반도체 장치의 제조 동안의 후속 처리에 견딜 수 있는 충분한 기계적 강도 및 내구성을 갖는 것을 필요로 할 것이다. 그러므로, 제1 패터닝 층(18)은 일반적으로 10 내지 5000nm 사이의 두께, 바람직하기로는, 적어도 50nm의 두께를 갖는 것으로 한다.

제1 패터닝 층(18)의 최상층 표면(19) 상에서 패터닝된 레지스트 층(20)이 패터닝되어 제1 패터닝 층(18)에 대한 후속 패터닝을 제공한다. 패터닝된 레지스트 층(20)은 도 2에 도시된 바와 같이 표준 광학 또는 전자 빔 패터닝 기술을 사용하여 패터닝된다. 패터닝된 레지스트 층(20)은 전형적으로 제1 패터닝 층(18)의 후속 에칭용 마스크로서 기능하도록 패터닝된 유기 중합체 등의 본 기술 분야에서 잘 알려져 있는 표준 포토레지스트 또는 전자 빔 레지스트 물질로 형성된다.

다층 리소그래피 템플릿(10)의 제조 중에, 포토레지스트 층(20)은 이를 통해 제1 패터닝 층(18)을 에칭시키는 마스크로서 기능한다. 도 3에서 도시된 바와 같이, 제1 패터닝 층(18)은 제1 에칭 정지층(16)의 표면(17)까지 에칭되어, 제1 에칭 정지층(16)의 부분(22)이 노출된다. 제1 패터닝 층(18)에 대한 에칭은 표준 습식 또는 건식 에칭을 통해 이루어진다. 최종적으로, 표면(25)과 도 3에서 도시된 치수 "x"를 갖는 제1 패터닝된 층(24)이 노출되도록 포토레지스트 층(20)을 제거시키며, 이 때, "x"는 다층 리소그래피 템플릿(10)의 최종 적용에 따라 정해진다.

지금부터 도 4를 참조해 보면, 제1 패터닝된 층(24)과, 제1 에칭 정지층(16)의 노출된 부분(22) 상에 제2 에칭 정지층(26)을 피착시킨다. 제2 에칭 정지층(26)은 전반적인 설계 목적 및 후속 층의 피착에 따라 불투명이나 투명 물질로 형성되는 것으로 한다. 보다 상세히 기술하자면, 사용되는 특정 유형의 물질은 템플릿(10)의 제조를 완성하는데 채용해야 하는 최종적인 프로세스 공정을 견뎌내는 것으로 한다. 제2 에칭 정지층(26)은 이전 층 및 후속 층을 형성하는 데 사용되는 특정 물질에 따라 선택적일 수 있는 것으로 예기된다. 제2 에칭 정지층(26)을 필요로 하지 않는 경우에는, 제1 패터닝된 층(24)의 표면 상에 제2 패터닝 층(현재 논의의 중)이 직접 형성될 것이다.

제2 에칭 정지층(26)의 제조에 적합한 것으로 기재되는 투명 물질로서는, 산화 크롬(Cr_xO_y), 산화 알루미늄(Al_xO_y), 질화 알루미늄(Al_xN_y), 질화 크롬(Cr_xN_y), 산화 실리콘(SiO_2), 크롬(Cr), 인듐-주석-산화물(ITO), 산화 인듐(In_xO_y), 산화 주석(SnO), 산화 아연(ZnO), 산화 카드뮴(CdO), 구리 알루미늄 산화물($CuAlO$), 구리 갈륨 산화물($CuGaO$), 카드뮴 주석 산화물($CdSnO$), 질화 실리콘(SiN), 이들 물질 또는 임의 다른 투명이나 반투명 도전 물질의 화합물 등이 있으며, 여기서, "x", "y"는 상술한 화합물 내의 원소의 상대 농도를 지시하는 값을 갖는 양수이다. 바람직한 실시예에서, x는 0.1 내지 1.0의 범위 내에 속하고, y는 0.1 내지 1.0의 범위 내에 속한다. 일례로서, 화학양론적 산화 알루미늄은 Al_2O_3 이다. 그러나, 본 기술 분야의 숙련자들은 비화학양론적 산화 알루미늄막을 피착시킬 수 있으며 화학양론적 막과 동일한 목적을 수행할 것이라는 것을 인식할 것이다. 제2 에칭 정지층(26)의 제조에 적합한 것으로 기재된 불투명 물질로서는 크롬(Cr) 등이 있다. 제2 에칭 정지층(26)은 나머지 층에 대한 후속 패터닝을 지원하도록 형성된다. 제2 에칭 정지층(26)의 두께는 패터닝 층에 대한 에칭 선택도 및 사용되는 물질의 전하 전도율에 따라 달라지는 것으로 한다. 구체적으로는, 제2 에칭 정지층(26)은 임의 마이크로딩 현상을 극복하기 위해 패터닝 층에 대해 충분히 낮은 에칭 속도를 가질 필요가 있을 것이다. 또한, 제2 에칭 정지층(26)은 템플릿 제조에 관련된 응력 및 완성된 리소그래피 템플릿을 이용하여 반도체 장치를 제조하는 동안의 후속 처리에 견뎌내기에 충분한 강도를 가져야 한다. 따라서, 제2 에칭 정지층(26)은 일반적으로는 1 내지 1000nm 범위의 두께를, 바람직하게는, 적어도 5nm의 두께를 갖는 것으로 한다. 제1 패터닝 층(24)의 표면(25) 상에 스핀 코팅, 스퍼터링, 기상 피착 등을 이용하여 표면(27)을 갖는 제2 에칭 정지층(26)을 형성한다.

지금부터 도 5를 참조해 보면, 제1 에칭 정지층(16) 상에 제1 패터닝된 층(24) 및 제2 에칭 정지층(26)이 형성된 기관(12)을 도시하고 있다. 또한, 제2 에칭 정지층(26)의 표면(27) 상에는 제2 패터닝 층(28)이 형성된다. 제2 패터닝 층(28)은 전반적인 설계 목적 및 제2 에칭 정지층(26)을 이루는 물질에 따라 불투명 또는 투명 물질로 형성되는 것으로 한다. 보다 구체적으로 기술하자면, 사용되는 특수 유형의 물질은 템플릿(10)의 제조를 완성하기 위해 채용해야 하는 최종적인 프로세스 공정을 견뎌내는 것으로 한다.

제1 패터닝 층(18) 이전에 도입 및 제2 패터닝 층(28)은 일반적으로 하지의 제1 에칭 정지층(16) 또는 제2 에칭 정지층(26) 각각에 사용되는 물질과는 다른 반사율(또는 굴절률) 또는 다른 원자수를 갖는 물질로 형성되는 것으로 한다. 이러한 원자수에 있어서의 차가 본원에서 기술된 바와 같이 검사 능력 특성을 향상시킬 것이다. 제2 패터닝 층(28)의 제조에 적합한 것으로 기재된 투명 물질로서는 이산화 실리콘(SiO_2), 질화 실리콘(SiN), 실리콘 옥시-질화물($SiON$), 인듐-주석-산화물(ITO) 등이 있다. 제1 패터닝 층(18) 및 제2 패터닝 층(28)의 제조에 적합한 것으로서 기재된 불투명 물질로서는 텅스텐(W), 텅스텐 실리사이드(WSi), 텅스텐 실리콘 나이트라이드(WSiN), 텅스텐 합금, 탄탈(Ta), 탄탈 실리사이드(TaSi), 탄탈 실리콘 나이트라이드(TaSiN), 탄탈 합금, 티탄(Ti), 티탄 합금, 몰리브덴(Mo), 몰리브덴 실리사이드(MoSi), 몰리브덴 합금, 금(Au), 크롬(Cr) 등이 있다. 제1 패터닝 층(18) 및 제2 패터닝 층(28)은 전자 빔 기입 동안 전하 소멸을 지원하는데 사용될 수 있다. 또한, 제1 패터닝 층(18) 및 제2 패터닝 층(28)은 다수의 층들에 사용되는 가변 물질의 전자 산란 특성으로 인해 SEM-기반 템플릿 검사를 도와준다. 제1 패터닝 층(18)과 유사한 제2 패터닝 층(28)은 일반적으로 광 경화성 레지스트 층 내에 임프린트(imprint)해야 할 원하는 종횡비에 따라 두께를 갖는 것으로 한다. 구체적으로 말하자면, 제2 패터닝 층(28)은 템플릿 제조에 관련된 응력과, 완성된 리소그래피 템플릿을 사용하여 반도체 장치를 제조하는 동안의 후속 처리에 견뎌낼 수 있는 충분한 기계적 강도 및 내구성을 갖는 것을 필요로 할 것이다. 그러므로, 제2 패터닝 층(28)은 일반적으로 10 내지 5000nm 사이의 두께, 바람직하기로는, 적어도 50nm의 두께를 갖는 것으로 한다. 제2 에칭 정지층(26)의 표면(27) 상에 스핀 코팅, 스퍼터링, 기상 피착 등을 이용하여 표면(29)을 갖는 제2 패터닝 층(28)을 형성한다.

지금부터 도 6 및 도 7을 참조해 보면, 표면(14) 상에 형성된 제1 에칭 정지층(16), 제1 에칭 정지층(16)의 표면(17) 상에 형성된 제1 패터닝된 층(24), 제1 패터닝된 층(24)의 표면(25) 상에 형성된 제2 에칭 정지층(26), 제2 에칭 정지층(26)의 표면(27) 상에 형성된 제2 패터닝 층(28), 및 제2 패터닝 층(28)의 표면(29) 상에 형성된 패터닝된 레지스트 층(30)을 포함하는 기관(12)이 도시되어 있다. 보다 상세히 기술하자면, 제2 패터닝 층(28)의 표면(29) 상에는 레지스트 층(30)이 형성되며, 이 레지스트 층(30)은 표준 광학 또는 전자 빔 패터닝 기술을 사용하여 도 6에 도시된 바와 같이 패터닝된다. 패터닝된 레지스트 층(30)은 전형적으로 제2 패터닝 층(28)의 후속 에칭용 마스크로서 기능하도록 패터닝된 유기 중합체 등의 본 기술 분야에서 잘 알려져 있는 표준 포토레지스트 또는 전자 빔 레지스트 물질로 형성된다.

다층 리소그래피 템플릿(10)의 제조 중에, 포토레지스트 층(30)은 이를 통해 제2 패터닝 층(28)를 에칭시키는 마스크로서 기능한다. 도 7에서 도시된 바와 같이, 제2 패터닝 층(28)은 제2 에칭 정지층(26)의 표면(27)까지 에칭되어, 제2 에칭 정지층(26)의 부분(32)이 노출된다. 제2 패터닝 층(28)에 대한 에칭은 표준 습식 또는 건식 에칭을 통해 이루어진다. 이어서, 필요할 경우, 제2 패터닝 층(28)에 대해 오버에칭하여, 제2 에칭 정지층(26)에 대해 개선된 에칭 정지의 균일성을 제공한다.

최종적으로, 다층 리소그래피 템플릿(10)을 완성하기 위해, 치수 "y"를 갖는 제2 패터닝된 층(34)이 노출되도록 포토레지스트 층(30)을 제거시키며, 이 때, 제1 패터닝된 층(24)의 치수 "x"는 제2 패터닝된 층(24)의 치수 "y"보다 크다($x > y$). 제2 에칭 정지층(26)이 불투명 물질로 형성되는 경우, 제2 에칭 정지층(26)의 노출된 부분(32)에 대한 제거는 이 부분을 통해 나중에 방사선이 통과될 수 있도록 행해질 필요가 있다(도 7에 도시됨). 불투명한 제2 에칭 정지층(26) 및 제2 패터닝 층(28)을 포함하도록 다층 리소그래피 템플릿(10)을 제조함으로써, 원치 않는 잔류 광 중합체를 극소화시킬 수 있으며; 검사 능력, 현행 템플릿 교정 기술과의 호환성, 적극적 세정에 대한 내성, 원하는 패턴 충실도 및 전사 속성을 위한 비정질/낮은 표면 거칠기 물질을 향상시키며, 가변 물질층으로 인한 개선된 템플릿 콘트라스트를 제공한다.

도 7은 표면(14)을 갖는 기관(12), 기관(12)의 표면(14) 상에 놓여 있는 제1 에칭 정지층(16), 표면(25) 및 치수 "x"를 갖는 제1 패터닝된 층(24), 및 제2 에칭 정지층(26)의 표면(27) 상에 놓여 있는 치수 "y"($x > y$)를 갖는 제2 패터닝된 층(34)을 포함하는 완성된 다층 리소그래피 템플릿(10)에 대한 단면도를 도시하고 있다. 다층 리소그래피 템플릿(10)이 완성됨에 의해, 다층 리소그래피 템플릿(10) 내에는 다층의 릴리프 이미지(36)가 규정된다. 비록 릴리프 이미지(36)가 제1 패터닝된 층(24) 및 제2 패터닝된 층(34)으로 한정된 2층을 갖는 것으로 기술하였지만, 2층 이상의 릴리프 이미지를 규정하기 위해 패터닝된 추가의 스택 층들을 제조하여 포함시키는 것이 예측가능하다. 층들을 추가하는 것이 바람직한 경우, 상술된 패터닝 공정들을 반복된다.

지금부터 도 8 내지 도 11을 참조해 보면, 이미지가능 유전체 처리 기술을 이용한 다층 리소그래피 템플릿의 제조 시의 공정에 대한 간략화된 단면이 도시되어 있다. 도 1 내지 도 7에 도시된 구성 소자들과 유사한 도 8 내지 도 11의 모든 구성 소자들은 다른 실시예를 나타내도록 프라임을 부가시킨 동일한 번호로 표시되어 있음에 유의하기 바란다.

본원의 기술에서는, 일단 패터닝되면 패터를 제2 층으로 전사하는 중간 층으로서 사용하지 않는 레지스트, 즉 패터닝 층을 포함하는 것으로 한다. 오히려, 패터닝 층은 패터닝된 후에는 실제로 최종 템플릿 릴리프 구조가 된다. 이는 템플릿 릴리프 층을 필요로 하는 강성의 기계적 특성과 포토레지스트의 패터닝 가능한 특징들을 결합한 고유 물질들을 적절히 사용함으로써 가능해진다. 이들 특성에는 기관에 대한 높은 접착력, 높은 모듈러스, 높은 전단력, 및 양호한 열적 안정성이 포함된다. 수소 실세스퀴옥산(HSQ) 등의 물질들은 매우 높은 해상도로 패터닝 가능하며, 일단 큐어링된 후에는 임프린팅을 위한 템플릿 릴리프 구조로서 적합한 매우 안정한 실리콘 산화물을 형성한다. HSQ 대신에, 동일한 특성을 갖는 물질들을 사용할 수 있다. 그러나, 조사에 감응하고 패터닝 가능하며 템플릿 릴리프 층으로서 기능하기에 적합한 물리적 특성들을 갖는 임의의 물질들은 고유한 것으로, 본 발명의 핵심이 된다는 것에 주목해야 한다.

지금부터 도 8을 참조해 보면, 도 1 내지 도 7의 기관(12)과 전반적으로 동일하게 형성된 기관(12')이 도시되어 있다. 바람직한 실시예에서의 제1 패터닝 층(18')은 이미지가능 유전체 물질로 형성되는 것으로 한다. 구체적으로는, 패터닝 층은 다우 코닝사로부터 FOX-15R(등록 상표)로서 구입가능한 수소 실세스퀴옥산(HSQ) 등의 이미지가능 산화물로 형성되는 것으로서 한다. 또한, 패터닝 층(18')은 이미지가능 절화물 또는 이미지가능 옥시나이트라이드 등의 다른 이미지가능 유전체 물질로 형성될 수 있다. 템플릿 제조 동안, 패터닝 층(18')은 기관(12')의 표면(14') 상에 형성한 후에, 약 160°C의 저온에서 베이킹시켜 잔존하는 임의 용매를 제거시킨다.

도 8에는 표면(14') 상에 패터닝 층(18')이 형성된 기관(12')이 도시되어 있다. 패터닝 층(18')의 베이킹 공정에 이어서, 템플릿 층(18')을 표준 광 또는 전자 빔 패터닝 기술을 사용하여 노광시킴으로써, 도 9에서 도시된 바와 같이, 치수 "x"를 갖는 제1 패터닝 층인 패터닝된 이미지가능 릴리프 구조가 형성된다. 이 기체로부터, 층(18')에 대한 노광은 전자 빔 조사, x-선 조사, 이온 빔 조사, 심층 자외선 조사, 또는 패터닝 층(18')에 대한 노광을 제공하는 임의의 다른 적합한 방사선을 이용하여 달성될 수 있는 것으로 예기된다. 제1 패터닝 층(18')은 기관(12')의 표면(14')을 통해 조사되어진다. 이어서, 패터닝 층(18')을, 이미지가능 층이 네거티브로 작용하면 패터닝 층(18')의 임의 비노광된 부분 또는 비조사된 부분을 제거시키고 이미지가능 층이 포지티브로 작용하면 노광된 부분을 제거시켜 패터를 생성하도록 현상제로 세정함으로써, 도 9에 도시된 바와 같은 패터닝된 나머지 이미지가능 릴리프층(24')이 형성된다.

상기한 기술로부터, 도 8에 도시된 템플릿(10')에 에칭 정지층(21)이 포함되어 있다는 것을 예기할 수 있다. 이 경우, 에칭 정지층은 기관(12')과 제1 패터닝 층(18') 사이에 샌드위치된 채로 기관(12')의 표면(14') 상에 형성되는 것이 바람직하다. 이와는 달리, 에칭 정지층(21)은 템플릿(10')의 층 내의 어느 곳에서든지 형성될 수 있다. 형성되는 물질의 종류에 따라 달라지는 에칭 정지층(21)은 도전 물질로 형성될 경우에는 전하 소산층으로서, 또는 유전체 물질로 형성될 경우에는 콘트라스트 증강층으로서 기능할 수 있다. 에칭 정지층(21)을 전하 소산의 목적으로 형성할 경우에는, 템플릿 제조 동안 전자 빔 노광 및 검사를 가능하게 할 목적으로 전하를 소산시키는 특징을 지닌 도전 물질로 형성되는 것으로 한다. 보다 구체적으로 기술하자면, 전하 소산 특성을 가진 에칭 정지층은 알루미늄(Al), 구리(Cu), 티탄(Ti), 크롬(Cr), 산화 인듐(In_2O_3), 인듐 주석 산화물(ITO), 산화 아연(ZnO), 산화 카드뮴(Cd), 구리 알루미늄 산화물(CuAlO), 구리 갈륨 산화물(CuGaO), 카드뮴 주석 산화물(CdSnO), 폴리알루미늄, 또는 패터닝 층으로

부터 선택적으로 제거가능하고 전하를 소산시키는 기능을 하는 임의 다른 도전 물질과 같은 도전 물질로 형성되는 것으로 한다. 전하 소멸층으로서 형성된 에칭 정지층(21)은 사용되는 물질의 전하 도전성에 따라 최소 두께를 갖는 것으로 한다. 전하 소멸 특성을 갖는 에칭 정지층(21)은 (현재 논의 중에 있음) 층을 패터닝하는 데 사용되는 전자빔 기법, 또는 다른 조사 형태 동안 전하의 소멸을 지원하도록 형성된다.

에칭 정지층(21)을 콘트라스트 증강 목적으로 형성할 경우에는, 광 검사 특성을 지닌 물질로 형성되는 것으로 한다. 구체적으로 기술하자면, 콘트라스트 증강 특성을 갖는 에칭 정지층은 질화 실리콘(SiN), 산화 실리콘(SiO₂), 산화 크롬(Cr_xO_y), 산화 알루미늄(Al_xO_y), 질화 알루미늄(Al_xN_y), 질화 크롬(Cr_xN_y), 또는 템플릿(10')의 광 검사를 허용할 수 있는 콘트라스트 증강 특성을 갖는 임의 다른 물질로 형성되는 것으로 한다.

에칭 정지층(21)은 전반적으로 1 내지 1000nm의 두께, 바람직하기로는 적어도 5nm의 두께를 갖는 것으로 기술하였다. 에칭 정지층(21)은 스핀 코팅법, 스퍼터링법, 기상 피착법 등으로 형성하였다. 도 8에서 도시된 특정 실시예에서는, 전하 에칭 정지층(21)을 알루미늄(Al)으로 형성함으로써, 전하 소멸 특성을 나타내며 패터닝 층(18') 상에 피착된다.

이러한 기재로부터, 템플릿(10') 내에 다른 물질이 포함될 수 있어, 전자빔 리소그래피, 광 검사 등을 이용하여 필요로 할 때마다 전하 소산 또는 콘트라스트 증강의 수단으로서 사용되는 것으로 예측할 수 있다. 이들 물질은 조사 소스를 방해함으로써 해상도를 저하시키지 않도록 매우 얇게 형성해야 한다. 처리 편의성을 위해 이 에칭 정지층을 나중에 제거시키는 것이 바람직할 수 있으므로, 에칭 정지층을 선택하는 기준은 제거의 용이성에 있다. 이 층의 제거는 습식 또는 건식 에칭 기술 어느 것을 사용하여 행해질 수 있다. 그러나, 생성된 패터닝된 릴리프 층의 고 해상도를 유지하기 위해서는, 패터닝된 릴리프 층에 대해 높은 선택도를 갖는 방식으로 제거를 행해야 한다. 100 내지 200Å의 두께로 피착될 때, 통상의 수성의 염기성 현상제에 의해 제거시킬 수 있는 도전성이며 선택적으로 제거가능한 물질의 일례로서 알루미늄(A)이 있다.

도 10을 참조해 보면, 제1 패터닝 층(24')의 최상 표면(25') 상에 제2 패터닝 층(28')이 피착되는 것으로 도시되어 있다. 바람직한 실시예에서의 제2 패터닝 층(28')은 이미지가능 유전체 물질로 형성되는 것으로 한다. 구체적으로 살펴보면, 제1 패터닝 층(18')과 동일한 제2 패터닝 층(28')은 다우 코닝사로부터 FOX-15R(등록 상표)로 구매가능한 수소 실세스퀴옥산(HSQ) 등의 이미지가능 산화물로 형성되는 것으로 한다. 또한, 제2 패터닝 층(28')은 이미지가능 질화물, 또는 이미지가능 옥시나이트라이드 등의 다른 이미지가능 유전체 물질로 형성될 수 있다. 템플릿 제조 중에, 제2 패터닝 층(28')은 제1 패터닝 층(24')의 표면(25') 상에 형성된 후에, 약 160°C의 저온에서 베이킹시킴으로써 잔존하는 임의 용매를 제거시킨다. 다음에, 제2 패터닝 층(28')을, 이미지가능 층이 네거티브 작용이면 패터닝 층(18')의 임의 노출되지 않거나 조사되지 않은 부분의 제거에 의해, 또는 이미지가능 층이 포지티브 작용이면 노출된 영역의 제거에 의해 패터닝이 생성되도록 현상제로 세정함으로써, 도 11에 도시된 바와 같이, 나머지 제2 패터닝된 층인 패터닝된 이미지가능 릴리프 층(34')이 형성된다.

템플릿(10')의 제조 중에, 이미지가능 물질의 화학적 성질에 화학적 증폭을 이용하여 방사선 요건을 낮출 수 있다. 보다 상세히 기술하자면, 화학적 증폭이 제안될 경우, 제1 패터닝 층(18') 또는 제2 패터닝 층(28')의 조사에 이어서 일반적으로 제2 베이킹 공정을 이용하지만, 필수 불가결한 것은 아니다. 또한, 릴리프 구조를 형성한 후 임의 잔존 투명 유전체 물질을 제거하기 위해, 구체적으로는, 클리어해야 할 영역에 잔류하는 남아 있는 어떠한 제1 패터닝 층(18') 또는 제2 패터닝 층(28')을 제거시키기 위해 광 플라즈마 에칭을 포함하는 디스커밍(descumming) 프로세스를 채용할 수 있다.

도 11은 표면(14')을 갖는 기판(12'), 표면(25') 및 치수 "x"를 갖는 제1 패터닝된 층(24'), 및 치수 "y"("x" > "y")를 갖는 제2 패터닝된 층(34')을 포함한 완성된 다층 리소그래피 템플릿(10')에 대한 단면을 도시하고 있다. 다층 리소그래피 템플릿(10')이 완성됨에 의해, 다층 리소그래피 템플릿(10') 내에는 다층의 릴리프 이미지(36')가 규정된다. 비록 릴리프 이미지(36')가 제1 패터닝된 층(24') 및 제2 패터닝된 층(34')으로 한정된 2 층을 갖는 것으로 기술하였지만, 2 층 이상의 릴리프 이미지를 규정하기 위해 패터닝된 추가의 스택 층들을 제조하여 포함시키는 것이 예측가능하다.

또한, 이러한 기재로부터, 템플릿 층들의 일부를 도 1 내지 도 7에 관련하여 기술된 표준 리소그래피 처리 기술을 이용하여 형성하고, 템플릿 층들의 일부를 도 8 내지 도 11에 관련하여 기술된 직접 이미지가능 유전체 처리 기술을 이용하여 형성하는 이전에 기재된 두 기술을 결합하여 다층 리소그래피 템플릿을 제조하는 것을 예측할 수 있다. 보다 상세하게는, 완성된 템플릿의 사용 용도에 따라, 도 1 내지 도 7에 관련하여 기술된 표준 리소그래피 처리 기술을 이용하여 제1 패터닝된 층을 형성하고 도 8 내지 도 11에 관련하여 기술된 직접 이미지가능 유전체 처리 기술을 이용하여 제2 패터닝된 층을 형성하거나, 또는 이의 역도 성립하는 다층 리소그래피 템플릿이 예기된다.

본 명세서에 있어서 예기되듯이, 평면내(in-plane) 및/또는 평면외(out-of-plane) 왜곡을 상쇄시키기 위하여 구조(10 또는 10')를 이루는 계층들 안에 샌드위치된 응력 보상층(stress compensation layer)(도시되지 않음)의 선택적 포함에 관하여 더 설명하기로 한다. 보다 구체적으로, 본 명세서에 의하면, 템플릿 층 내부 어디라도, 예컨대, 도 11에 도시된 바와 같이, 제1 에칭 정지층(16)의 양측 중 어느 한 측, 제1 패터닝 층(24) 위나 또는 인접 기판(12')에 배치된 응력 보상층의 포함을 생각할 수 있다. 또 다른 바람직한 실시예에서, 응력 보상층은 기판(12)과 제1 에칭 정지층(16) 사이에 샌드위치되어 형성될 수 있다. 응력 보상층이 포함되는 경우, 이는 산화물, 질화물, 산소질소 화합물(구체적으로, Si_xO_y, Si_xN_y, SiON 등), 인듐-주석 산화물(ITO), 산화 인듐(InO₂), 산화 주석(SnO₂), 산화 아연(ZnO₂), 산화 카드뮴(CdO₂), 구리 알루미늄 산화물(CuAlO), 구리 갈륨 산화물(CuGaO), 카드뮴 주석 산화물(CdSnO), 또는 임의의 기타 투명/반투명 도전 물질이나, 이들의 조합에 의하여 이루어질 수 있음을 생각할 수 있다. 응력 보상층은 구조(10/10')를 구성하는 층 위로 가해져서, 그 층을 휘게하거나, x, y, 또는 z 평면 내에 형성된 특징의 왜곡을 야기하는 임의의 힘을 상쇄시키기 위한 것이다. 응력 보상층의 두께는 5nm 내지 5μm의 범위이고, 그 전형적 두께는 200nm이다. 이러한 두께는 피착된 막의 속성과 유형 그리고 그 막의 응력 보상 조건에 따라 조정될 수 있다.

또한, 도 11에 도시된 바와 같이, 응력 보상층(38)이 기판(12')의 표면(13)에 배치되었을 때, 그 층(38)으로 도시된 응력 보상층의 추가적 이점이 실현된다. 앞서 설명한 바와 같이 응력 보상층으로서 기능하는데 더하여, 응력 보상층(38)은 이제 템플릿(10')이 정전기적으로 홀딩될(holded) 수 있게 한다. 템플릿(10')의 정전기 척킹(chucking)(홀딩)은 기록 프로세스 동안 그 템플릿(10')이 움직이지 않도록 하고 그 템플릿(10')이 리소그래피 노출 동안 수평으로 유지되도록 한다.

본 발명의 다층 리소그래피 템플릿을 형성하는 또 다른 방법의 각 단계가 도 12 내지 도 16에 도시되어 있다. 도 12 내지 도 16에 도시된 각 구성 요소들은 도 1 내지 도 7에 도시된 구성 요소들과 같은 것인 경우 같은 참조번호로써 지정되며, 다만 서로 다른 실시예임을 나타내기 위하여 더블 프라임을 이용했다는 점을 알아야 한다. 보다 구체적으로, 도 12에는 기판(12'')으로 이루어진 템플릿(10'')이 도시되어 있다. 기판(12'')은 일반적으로 앞서 개시된 기판(12) 및 기판(12')과 유사하게 형성된 것이다. 기판(12'')에서 그 최상층 표면(14'') 상에 하드 마스크층(15)이 형성되어 있다. 하드 마스크층(15)은 크롬(Cr), 몰리브덴 실리사이드(MoSi), 탄탈(Ta), 탄탈 질화물(TaN), 탄탈 실리콘 질화물(TaSiN), 또는 크롬 질화물(CrN)로 이루어진 물질층을 피착시킴으로써 형성된다. 하드 마스크층(15)은 템플릿(10'')의 처리 공정 동안 전하 소실층(charge dissipation layer)으로서 기능하고 따라서 템플릿(10'')에 대해 예정된 사용에 따라 선택적이다.

기판(12'')과 하드 마스크층(15)으로 이루어진 템플릿(10'')이 도 12에 도시되어 있다. 도 13에 도시된 바와 같이, 하드 마스크층(15)에서 그 최상층 표면 상에 패턴 레지스트층(20'')이 형성되며, 이는 일반적으로 앞서 개시된 템플릿(10)의 패턴 레지스트층(20)과 유사하다. 제조 공정 동안, 도 14에 도시된 바와 같이, 패턴 레지스트층(20'')은 하드 마스크층(15)과 기판(12'')의 일부에 대한 에칭에 대비한 것이다. 그러한 에칭 이후, 패턴 레지스트층(20'')과 하드 마스크층(15)이 제거되고, 이로써 치수 y를 갖는 릴리프 구조를 규정하는 기판(12'')이 노출된다. 추가적 마스크층과 패턴 레지스트층을 포함한 후속 처리 공정 단계들이 수행되어 치수 x''(여기서 치수 x''는 치수 y보다 더 큰)를 갖는 기판(12'') 제2 릴리프 구조(24'')를 규정한다. 도 16에 도시된 바와 같이, 템플릿(10'')은 기판(12'')의 최상층 표면(14'')에서 다층 패턴 릴리프 이미지(36'')을 규정한다. 본 명세서에서는, 템플릿(10 또는 10')과 관련하여 앞서 개시된 이미지가 유전체 공정 기법(imageable dielectric processing techniques)을 이용하거나 표준 리소그래피 공정 기법을 이용하여, 기판(12'')의 최상층 표면(14'')에 제1 릴리프 구조를 형성하고 그 제1 릴리프 구조의 최상층 표면 상에 형성된 적어도 하나의 추가적 릴리프 구조를 갖는 템플릿의 제조에 관하여 설명되고 있음을 알아야 한다.

도 17은, 일반적으로 도 1 내지 도 7의 다층 템플릿(10)이나, 도 8 내지 도 11의 템플릿(10')이나, 도 12 내지 도 16의 템플릿(10'')과 유사한, 본 발명에 따라 제조된 다층 리소그래피 템플릿이 반도체 장치(40)를 제조하는데 이용되는 과정을 보여주는 흐름도이다. 처음에, 도 1 내지 도 7, 도 8 내지 도 11 또는 도 12 내지 도 16과 관련하여 주어진 설명에 따라 다층 리소그래피 템플릿이 제조된다(단계(42)). 다음으로, 반도체 기판이 제공된다(단계(44)). 방사선 감응 물질(radiation sensitive material)이 반도체 기판, 예컨대 광경화성 유기층이나 포토레지스트층에 인가된다(단계(46)). 반도체 기판은 트렌치 영역과 확산 영역 등을 비롯하여 그 반도체 기판 위에 놓인 폴리실리콘, 산화물, 금속 등과 같은 장치나 장치 층을 포함할 수 있다. 그 다음, 방사선 감응 물질층이 도포된 반도체 기판은 리소그래피 템플릿에 인접하여 그에 접촉하도록 배치된다(단계(48)). 약간의 압력이 템플릿에 인가되어(단계(50)) 그 방사선 감응 물질층이 템플릿 상의 릴리프 이미지로 흐른다. 그 다음, 방사선이 기판, 에칭 정지층, 그리고 패턴층(패턴층이 투명한 경우)을 포함하여 리소그래피 템플릿을 통과하게 되고, 방사선 감응 물질층이 도포된 반도체 기판 위로 이미지가 형성되어 또한 그 방사선 감응 물질층에 패턴을 규정하고 노출시킨다(단계(52)). 그런 다음, 템플릿이 반도체 장치에서 제거되고(단계(54)) 패턴 유기층만이 남게되며, 그 패턴 유기층은 후속 공정에서 이미지층으로 이용된다. 포토레지스트층은, 반도체 기판에 이온 주입 영역을 형성하는 이온 주입 기법이나, 반도체 기판 또는 반도체 기판 위에 놓인 장치 층으로 패턴을 전달하는 통상적 리프트-오프(lift-off) 기법, 즉 습식 또는 건식 에칭과 함께, 마스크로서 이용될 수 있다. 본 발명에 따라 제조된 다층 템플릿이 바람직한 실시예에서는 반도체 장치를 제조하는데 이용되는 것으로 설명되었지만, 일반적으로 도 1 내지 도 7의 템플릿(10), 도 8 내지 도 11의 템플릿(10'), 그리고 도 12 내지 도 16의 템플릿(10'')과 유사한 템플릿은 마이크로전자 장치, 마이크로 전자 기계 장치, 마이크로 유체 장치, 및 광자 장치를 형성하는데 이용될 수도 있음을 알아야 한다.

본 명세서에 포함된 기술한 설명과 예시는 본 발명에 관한 많은 이점을 보여주고 있다. 구체적으로, 본 발명은 리소그래피 인쇄에 이용되는 다층 템플릿에 관한 것이다. 또한, 본 발명에 따른 다층 템플릿의 제조 방법과 다층 템플릿 구조는 그 다층 템플릿 구조에 있어서 서브미크론 구조에 대한 검사가 달성 가능하도록 한다.

본 발명에 따르면, 앞서 설명된 요구 사항들과 이점들을 모두 충족시키는 다층 리소그래피 템플릿과 그 형성 및 사용 방법이 제공된다는 점이 명백하다. 본 발명은 그 구체적 실시예와 관련하여 개시되고 설명되었지만, 본 발명이 이들 실시예들로 제한되는 것은 아니다. 당업자라면 본 발명의 사상을 벗어나지 않고서 다양한 변형과 변화가 이루어질 수 있음을 알 것이다. 그러므로, 본 발명은 첨부된 청구범위의 범위에 속하는 모든 변형과 변경까지도 다 포함하는 것이다.

(57) 청구의 범위

청구항 1.

다층 리소그래피 템플릿을 형성하기 위한 방법으로서,

표면을 갖는 제1 릴리프(relief) 구조를 형성하는 단계와,

상기 제1 릴리프 구조의 표면 상에 표면을 갖는 제2 릴리프 구조를 형성하여 다층 리소그래피 템플릿을 규정하는 단계

를 포함하는 다층 리소그래피 템플릿을 형성하는 방법.

청구항 2.

다층 리소그래피 템플릿을 형성하기 위한 방법으로서,
 표면을 갖는 투명 기판을 제공하는 단계와,
 상기 기판의 표면 상에 하드 마스크 층을 피착시키는 단계와,
 상기 하드 마스크 층의 표면 상에 패터닝된 레지스트 층을 형성하는 단계와,
 상기 하드 마스크 층 및 상기 기판을 에칭하여, 상기 기판 물질 중에 제1 패터닝된 릴리프 구조를 규정하는 단계와,
 상기 패터닝된 레지스트 층 및 상기 하드 마스크 층을 제거시키는 단계와,
 상기 제1 패터닝된 릴리프 구조의 최상층 표면 상에 적어도 하나의 추가 패터닝된 릴리프 구조를 형성하는 단계
 를 포함하는 다층 리소그래피 템플릿을 형성하는 방법

청구항 3.

제2항에 있어서,
 상기 하드 마스크 층을 피착시키는 단계는 크롬(Cr), 몰리브덴 실리사이드(MoSi), 탄탈(Ta), 탄탈 질화물(TaN), 탄탈 실리콘 질화물(TaSiN), 및 크롬 질화물(CrN) 중 한 물질층을 피착시키는 단계를 포함하는 방법.

청구항 4.

제2항에 있어서,
 상기 패터닝된 릴리프 구조의 최상층 표면 상에 적어도 하나의 추가 패터닝된 릴리프 구조를 형성하는 단계는 상기 적어도 하나의 추가 패터닝된 릴리프 구조를 표준 리소그래피 처리 기술을 이용하여 형성하는 단계를 포함하는 방법.

청구항 5.

제2항에 있어서,
 상기 패터닝된 릴리프 구조의 최상층 표면 상에 적어도 하나의 추가 패터닝된 릴리프 구조를 형성하는 단계는 상기 적어도 하나의 추가 패터닝된 릴리프 구조를 직접 이미지가능 유전체 처리 기술을 이용하여 형성하는 단계를 포함하는 방법.

청구항 6.

제2항에 있어서,
 상기 패터닝된 릴리프 구조의 최상층 표면 상에 적어도 하나의 추가 패터닝된 릴리프 구조를 형성하는 단계는 상기 적어도 하나의 추가 패터닝된 릴리프 구조를 상기 기판층에 형성하는 단계를 포함하는 방법.

청구항 7.

다층 리소그래피 템플릿을 형성하기 위한 방법에 있어서,
 표면을 갖는 투명 기판을 제공하는 단계와,
 상기 기판의 표면 상에 표면을 갖는 제1 패터닝된 층을 형성하여, 릴리프 구조를 규정하는 단계와,
 상기 제1 패터닝된 층의 표면 상에 릴리프 구조를 규정하는 제2 패터닝된 층을 형성하는 단계
 를 포함하는 다층 리소그래피 템플릿을 형성하는 방법.

청구항 8.

제7항에 있어서,

상기 제1 패터닝된 층을 형성하는 단계와 상기 제2 패터닝된 층을 형성하는 단계는 치수 "x"를 갖는 제1 패터닝된 층을 규정하는 단계와, 치수 "y"를 갖는 제2 패터닝된 층을 규정하는 단계를 포함하며, 여기서, "x"는 "y" 보다 큰 방법.,

청구항 9.

다층 리소그래피 템플릿을 형성하기 위한 방법에 있어서,
 표면을 갖는 투명 기판을 제공하는 단계와,
 상기 기판 상에 제1 에칭 정지층을 형성하는 단계와,
 상기 제1 에칭 정지층 상에 제1 패터닝 층을 형성하는 단계와,
 상기 제1 패터닝 층의 표면 상에 패터닝된 레지스트 층을 형성하는 단계와,
 상기 제1 패터닝 층을 에칭하여, 제1 패터닝된 층을 규정하는 단계와,
 상기 패터닝된 레지스트 층을 제거시키는 단계와,
 상기 제1 패터닝된 층의 표면 상에 제2 에칭 정지층을 형성하는 단계와,
 상기 제2 에칭 정지층의 표면 상에 제2 패터닝 층을 형성하는 단계와,
 상기 제2 패터닝 층의 표면 상에 패터닝된 레지스트 층을 형성하는 단계와,
 상기 제2 패터닝 층을 에칭하여, 제2 패터닝된 층을 규정하는 단계와,
 상기 패터닝된 레지스트 층을 제거시키는 단계
 를 포함하는 다층 리소그래피 템플릿을 형성하는 방법.

청구항 10.

제9항에 있어서,
 상기 제1 패터닝된 층을 에칭하는 단계는 치수 "x"를 갖는 제1 패터닝된 층을 규정하는 단계와, 상기 제2 패터닝된 층을 에칭하는 단계는 치수 "y"를 갖는 제2 패터닝된 층을 규정하는 단계를 포함하며, 여기서, "x"는 "y" 보다 큰 방법.,

청구항 11.

제9항에 있어서,
 상기 투명 기판을 제공하는 단계는 또한 석영 물질, 폴리카보네이트 물질, 칼슘 플루오라이드(CaF₂) 물질, 마그네슘 플루오라이드 물질(MgF₂), 또는 파이렉스 물질 중 한 물질의 기판을 제공하는 것으로 특징되는 방법.

청구항 12.

제9항에 있어서,
 상기 제1 에칭 정지층을 형성하는 단계는 질화 실리콘(SiN), 산화 실리콘(SiO₂), 크롬(Cr), 산화 크롬(CrO), 산화 알루미늄(AlO), 질화 알루미늄(AlN), 질화 크롬(CrN), 인듐-주석 산화물(ITO), 산화 인듐(InO₂), 산화 주석(SnO₂), 산화 아연(ZnO₂), 산화 카드뮴(CdO₂), 구리 알루미늄 산화물(CuAlO), 구리 갈륨 산화물(CuGaO), 및 카드뮴 주석 산화물(CdSnO) 중 한 물질의 상기 제1 에칭 정지층을 형성하는 단계를 포함하는 방법.

청구항 13.

제12항에 있어서,
 불투명 물질의 제1 패터닝 층 및 제2 패터닝 층을 형성하는 상기 단계는 또한 상기 제1 패터닝 층 및 제2 패터닝 층을 텅스텐(W), 텅스텐 실리사이드(WSi), 텅스텐 실리콘 질화물(WSiN), 탄탈(Ta), 탄탈 합금, 금(Au), 크롬(Cr), 탄

탈 실리사이드(TaSi), 티탄(Ti), 티탄 합금, 몰리브덴(Mo), 몰리브덴 실리사이드(MoSi), 몰리브덴 합금, 또는 탄탈 실리콘 질화물(TaSiN) 중 하나로 형성하는 것을 특징으로 하는 방법.

청구항 14.

다층 리소그래피 템플릿을 형성하기 위한 방법으로서,
 최상층 표면을 갖는 기판을 제공하는 단계와,
 상기 기판에 의해 지지되는 제1 패터닝 층을 제공하는 단계와,
 상기 제1 패터닝 층을 방사 소스에 의해 패터닝함으로써, 릴리프 구조를 갖는 제1 패터닝된 층을 형성하는 단계와,
 상기 제1 패터닝된 층에 의해 지지되는 제2 패터닝 층을 제공하는 단계와,
 상기 제2 패터닝 층을 방사 소스에 의해 패터닝함으로써, 릴리프 구조를 갖는 제2 패터닝된 층을 형성하는 단계를 포함하는 다층 리소그래피 템플릿을 형성하는 방법.

청구항 15.

다층 리소그래피 템플릿으로서,
 표면을 갖는 기판과,
 상기 기판 상에 형성된 치수 "x"를 갖는 제1 패터닝된 층과,
 상기 제1 패터닝된 층 상에 형성된 치수 "y"를 갖는 제2 패터닝된 층을 포함하며,
 치수 "x"는 치수 "y" 보다 크고, 상기 제1 패터닝된 층 및 제2 패터닝된 층 내에 릴리프 이미지가 규정되는 다층 리소그래피 템플릿.

청구항 16.

장치를 제조하기 위한 방법으로서,
 기판을 제공하는 단계와,
 상기 기판을 방사선 감응 물질층으로 코팅하는 단계와,
 다층 리소그래피 템플릿을 제조하는 단계로서, 상기 다층 리소그래피 템플릿은 표면을 갖는 기판과, 상기 기판 상에 형성된 치수 "x"를 갖는 제1 패터닝된 층과, 상기 제1 패터닝된 층 상에 형성된 치수 "y"를 갖는 제2 패터닝된 층을 포함하며, 치수 "x"는 치수 "y" 보다 크고, 상기 제1 패터닝된 층 및 제2 패터닝된 층 내에 릴리프 이미지가 규정되는 다층 리소그래피 템플릿을 제조하는 단계와,
 상기 다층 리소그래피 템플릿을 상기 방사선 감응 물질층과 접촉하게 위치시키는 단계-상기 방사선 감응 물질은 상기 다층 리소그래피 템플릿과 상기 기판 사이에 개재되어짐-와,
 상기 다층 리소그래피 템플릿을 가압시킴으로써, 상기 방사선 감응 물질이 상기 다층 리소그래피 템플릿 상의 상기 릴리프 패턴 내로 유입되는 단계와,
 상기 기판 상의 상기 방사선 감응 물질층의 적어도 일부가 노출되도록 상기 다층 리소그래피 템플릿을 통해 방사선을 투과시킴으로써, 또한 상기 방사선 감응 물질층의 패턴에 작용하는 단계와,
 상기 기판에서 상기 다층 리소그래피 템플릿을 제거시키는 단계를 포함하는 디바이스를 제조하는 방법.

요약

본 발명은 반도체 장치, 마이크로 전자 장치, 마이크로 전자 기계 장치, 마이크로 유체 공학 장치에 관한 것으로, 보다 상세하게는, 다층 리소그래피 템플릿, 다층 리소그래피 템플릿을 형성하는 방법, 및 다층 리소그래피 템플릿을 사용하여 장치를 형성하는 방법에 관한 것이다. 다층 리소그래피 템플릿(10/10')은 제1 릴리프 구조와 제1 릴리프 구조를 포함하여, 이로써 다층 릴리프 이미지를 규정하도록 형성된다. 이러한 템플릿은 반도체 장치(40)(그 위에 형성된 방사선 감응 물질을 포함함) 매우 가까이에 템플릿을 배치하고 압력을 인가하여 방사선 감응 물질이 그 템플릿에 존재하는 다층 릴리프 이미지로 흘러들어가도록 함으로써 장치(40)의 패턴에 영향을 미치는 반도체 장치(40) 제조에 이용된다. 그 다음 방사선이 다층 템플릿을 통하여 인가되어 방사선 감응 물질의 일부를 경화시키고 방사선 감응 물질에서 패턴을 규정한다. 그 다음 다층 템플릿이 제거되어 반도체 장치 제조(40)가 종료한다.

대표도

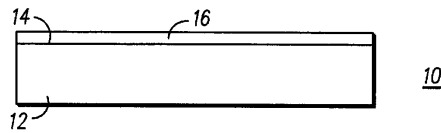
도 17

색인어

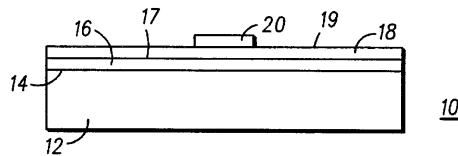
반도체 장치, 다층 템플릿, 릴리프 이미지, 리소그래피

도면

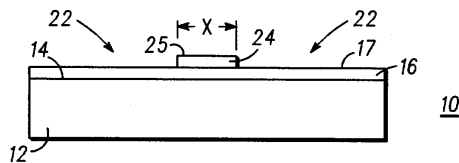
도면1



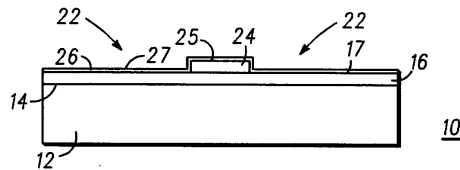
도면2



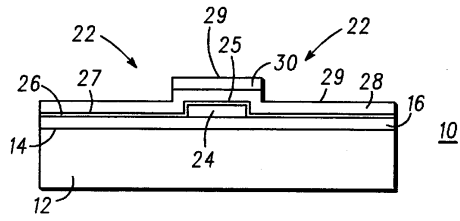
도면3



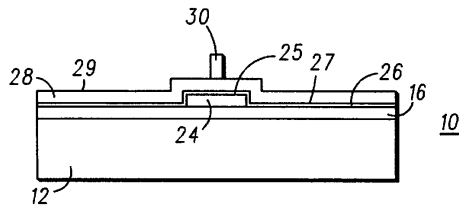
도면4



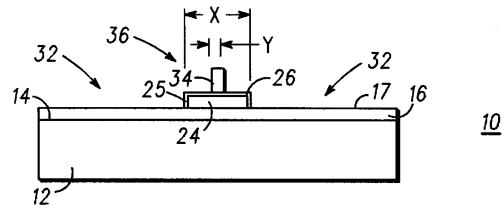
도면5



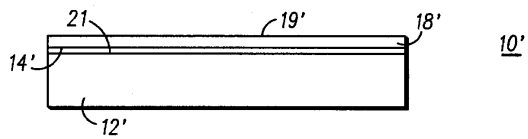
도면6



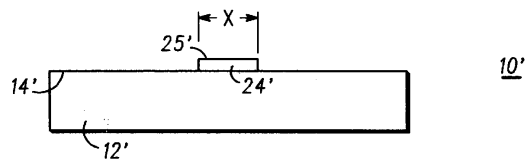
도면7



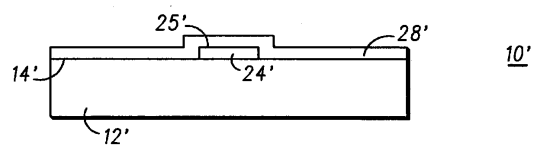
도면8



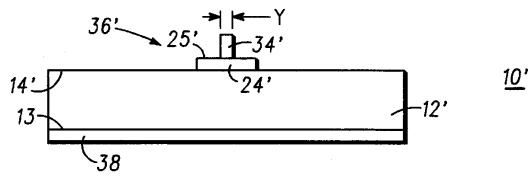
도면9



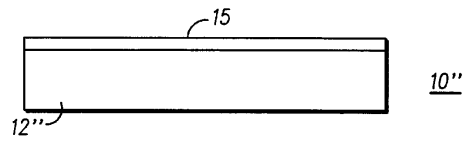
도면10



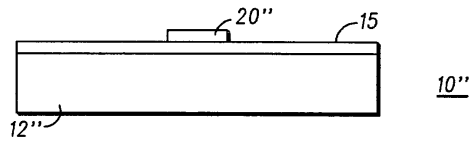
도면11



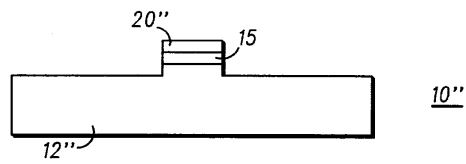
도면12



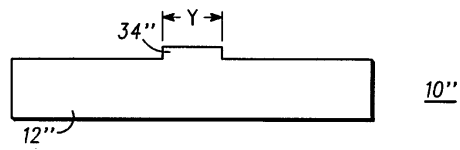
도면13



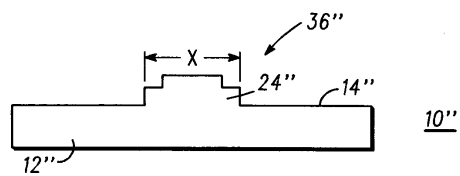
도면14



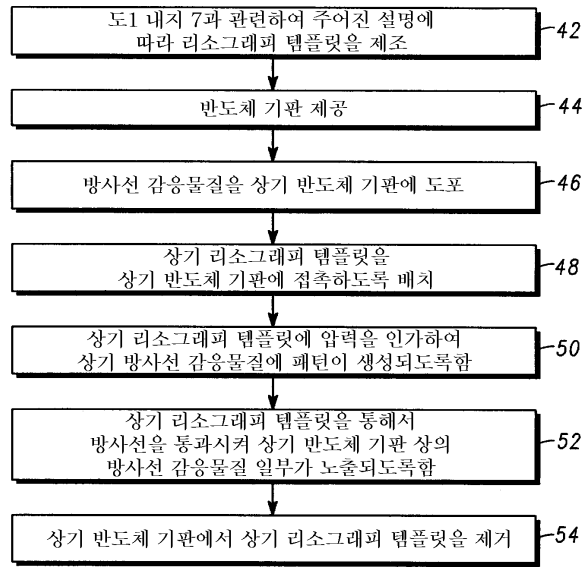
도면15



도면16



도면17



40