

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H04L 29/10

(45) 공고일자 2000년01월 15일

(11) 등록번호 10-0240873

(24) 등록일자 1999년 10월 29일

(21) 출원번호 10-1997-0041292

(65) 공개번호 특1999-0018174

(22) 출원일자 1997년 08월 26일

(43) 공개일자 1999년 03월 15일

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 한영탁  
경기도 수원시 팔달구 매탄 4동 성일아파트 202동 1006호  
(74) 대리인 임창현

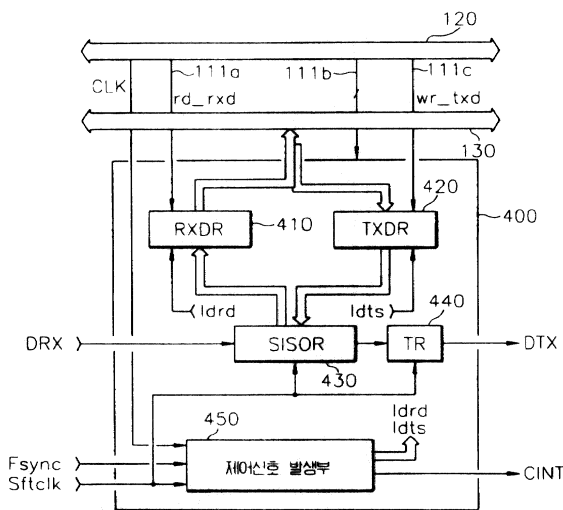
**심사관 : 박정학**

### (54) 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치

#### 요약

본 발명은 직렬 인터페이스 장치(Serial Interface Unit; SIU)에 관한 것으로서, 구체적으로는 동일한 쉬프트 레지스터(Shift Register)를 이용하여 데이터 송수신이 가능한 직렬인터페이스장치에 관한 것으로, 수신목적레지스터(410)와, 송신목적레지스터(420)와, 쉬프트 레지스터로 구성되는 직렬입출력레지스터(430)와 1비트의 전송레지스터(440) 및 상기 레지스터들을 제어하기 위한 제반 제어신호를 출력하는 제어신호발생부(450)를 구비하여, 상기 직렬입출력레지스터(430)는 상기 송신목적레지스터(420)로부터 전송데이터를 제공받아 상기 전송레지스터(440)로 1비트씩 출력하여 데이터를 직렬 전송하고, 데이터 전송과 동시에 상기 직렬입출력레지스터(430)는 수신데이터를 1비트씩 직렬 수신한다. 전송데이터의 전송이 완료되면 이와 동시에 수신데이터의 수신도 완료되며 이어 상기 직렬입출력레지스터(430)에 수신된 데이터는 상기 수신목적레지스터(410)로 제공되어 해당 장치로 제공된다.

#### 대표도



#### 명세서

##### 도면의 간단한 설명

제1도는 종래의 직렬인터페이스장치가 CODEC 인터페이스에 사용된 예를 보여주는 도면.  
제2도는 종래의 직렬인터페이스장치의 내부 구성을 상세히 보여주는 도면.  
제3도는 본 발명의 실시예에 따른 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치의 상세 회로도.  
제4도는 제3도에 도시된 제어신호발생부의 일 예로서의 상세 회로도.  
제5도는 본 발명의 직렬인터페이스장치의 동작에 따른 중요부분의 타이밍도.

\* 도면의 주요 부분에 대한 부호의 설명

100 : DSP	110 : 선택부
120 : 제어버스	130 : 데이터버스
200 : 직렬인터페이스장치	300 : CODEC

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 직렬 인터페이스 장치(Serial Interface Unit; SIU)에 관한 것으로서, 구체적으로는 동일한 쉬프트 레지스터(Shift Register)를 이용하여 데이터 송수신이 가능한 직렬인터페이스장치에 관한 것이다.

직렬인터페이스장치(Serial Interface Unit; SIU)란 서로 다른 장치들 간에 직렬의 데이터를 송수신 하기 위한 인터페이스장치이다. 직렬인터페이스장치의 사용례로는 CODEC(COder-DECoder)의 인터페이스가 있다.

제1도는 종래의 직렬인터페이스장치가 DSP와 CODEC간에 사용된 예를 보여주는 도면이고, 제2도는 종래의 직렬인터페이스장치의 내부 구성을 상세히 보여주는 도면이다.

제1도에 도시된 바와 같이, DSP(Digital Signal Processor)(100)와 CODEC(300)간에 직렬인터페이스장치(200)가 위치하여 상호간에 데이터 송수신을 위한 인터페이스를 수행한다.

상기 직렬인터페이스장치(200)는 상기 CODEC(300)으로부터 직렬데이터(serial data)를 수신하고 이를 병렬데이터(parallel data)로 변환하여 데이터버스(130)를 통해 상기 DSP(100)로 제공한다. 또한 상기 직렬 인터페이스장치(200)는 상기 DSP(100)로부터 상기 데이터버스(130)를 통해 제공된 병렬데이터를 직렬데이터로 변환하여 상기 CODEC(300)으로 전송한다. 그리고 데이터 송수신이 완료되는 때 시점마다 인터럽트신호(CINT)를 발생하여 상기 DSP(100)로 제공하므로 상기 DSP(100)는 이를 인식하게 한다.

한편, 상기 DSP(100)는 선택부(110)로 상기 직렬인터페이스장치(200)를 선택하기 위한 복수의 제어신호를 출력한다. 상기 선택부(110)는 상기 DSP(100)로부터 선택신호를 제공받아 이를 디코드(decode)하여 제어 버스(130)를 통해 선택제어신호(111)를 출력하여 해당되는 장치를 선택하게 된다.

따라서 상기 DSP(100)가 상기 직렬인터페이스장치(200)를 선택하기 위한 선택신호를 출력하면 상기 선택부(110)는 상기 직렬인터페이스장치(200)로 해당되는 복수의 제어신호(111)를 출력하므로 상기 직렬 인터페이스장치(200)는 동작 가능하게 된다.

그리고 상기 직렬인터페이스장치(200)가 상기 CODEC(300)과 데이터 송수신시에는 상기 CODEC(300)으로부터 프레임동기신호(Frame Sync Signal; Fsync)와 쉬프트클럭(Shift Clock; Sftclk)을 포함하는 복수의 제어신호를 제공받고 이에 의거하여 데이터 송수신 동작을 수행한다.

상기와 같은 직렬인터페이스장치(200)는 인터페이스를 위한 복수개의 레지스터를 구비하고 있으며 데이터 비트수에 따라 레지스터의 비트 수가 결정된다. 첨부도면 도 2에 종래의 직렬인터페이스장치의 상세 회로도를 도시하였다.

제2도에 도시된 바와 같이, 종래의 직렬인터페이스장치(200)는 크게 수신목적레지스터(Receive Destination Register; RXSR)(210)와 전송목적레지스터(Transmit Destination Register; TXSR)(220)와, 수신쉬프트레지스터(Receive Shift Register; RXSR)(230)와, 전송쉬프트레지스터(Transmit Shift Register; TXSR)(240)와 제어신호발생부(250)를 포함하고 있다.

상기 수신쉬프트레지스터(230)는 외부로부터 직렬 데이터를 수신하고, 수신 완료시 이를 상기 수신목적레지스터(210)로 제공한다. 상기 수신목적레지스터(210)는 독출제어신호(rd\_rxd)(111a)의 입력에 응답하여 수신완료된 데이터를 상기 데이터버스(130)를 통해 상기 DSP(100)로 제공한다.

상기 전송목적레지스터(230)는 기입제어신호(wr\_txd)(111c)의 입력에 응답하여 상기 데이터버스(130)를 통해 상기 DSP(100)로부터 데이터를 입력받고, 이는 상기 전송쉬프트레지스터(240)로 제공된다. 상기 전송쉬프트레지스터(240)는 직렬로 데이터를 출력하게 된다.

그리고 상기 제어신호발생부(250)는 클럭신호(CLK), 쉬프트클럭(Sftclk), 프레임동기신호(Fsync)를 제공받아 해당되는 제어신호를 해당 레지스터로 제공한다.

그런데 이상과 같은 종래의 직렬인터페이스장치는 인터페이스하게 되는 장치들간에 서로 다른 클럭을 사용하는 원인으로 인하여 송수신에 따른 각각의 레지스터를 사용하여야 했다. 그러므로 송신과 수신에 따른 각각의 레지스터를 사용해야 하므로 직렬인터페이스장치의 크기가 증가되는 문제점이 있었다.

더욱이 처리되는 데이터 비트수가 증가되는 경우에는 이에 따라 해당 레지스터의 비트수도 증가하게 되어 직렬인터페이스장치의 크기가 더욱 증가되는 문제점이 있어 왔다.

만일, 데이터송수신을 위해 각기 사용되던 쉬프트 레지스터를 단일한 쉬프트 레지스터로 대체하고, 이 단일 쉬프트 레지스터를 사용하여 직렬데이터의 송수신이 가능하다면 직렬인터페이스장치의 크기를 감소시킬 수 있다. 또한 처리되는 데이터 비트수가 증가하여도 해당되는 데이터 비트에 적합한 단일 쉬프트 레지스터를 사용하면 되므로 직렬인터페이스장치의 크기의 증가는 미소하게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 직렬 데이터의 송수신이 가능한 송수신 경로의 레지스터를 구비한 직렬인터페이스장치를 제공하는데 있다.

### 발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 두 장치간에 직렬 데이터를 송수신하는 직렬인터페이스장치는 : (a) 기입제어신호의 입력에 응답하여 데이터 전송을 위한 전송데이터가 저장되는 전송목적레지스터와; (b) 데이터 전송시 상기 전송데이터를 제공받아 데이터 전송을 위한 동기신호인 쉬프트클럭에 동기하여 상기 전송데이터를 출력하며 동시에 수신데이터를 입력받는 직렬입출력레지스터와; (c) 상기 쉬프트클럭에 동기하여 상기 전송데이터를 제공받아 전송하는 전송레지스터와; (d) 전송데이터의 직렬 전송 완료 및 수신데이터의 직렬 수신 완료시에 상기 직렬입출력레지스터로부터 수신데이터를 제공받아 저장하고, 독출제어신호의 입력에 응답하여 상기 수신데이터를 출력하는 수신목적레지스터와; (e) 직렬 데이터의 송수신 동작에 따른 복수의 제반 제어신호를 발생하는 제어신호발생부를 포함하며, 상기 전송데이터의 직렬 전송 완료 및 수신데이터의 직렬 수신 완료시에 상기 직렬입출력레지스터로부터 수신데이터가 상기 수신목적레지스터로 제공된 후 상기 전송목적레지스터에 저장된 전송데이터가 상기 직렬입출력레지스터로 제공되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 직렬입출력레지스터는 쉬프트 레지스터이다.

이 실시예에 있어서, 상기 전송레지스터는 1비트 레지스터이다.

이 실시예에 있어서, 상기 제어신호발생부는 (a) 단위 데이터를 구분하기 위한 프레임동기신호를 입력받고 상기 쉬프트클럭의 입력에 동기하여 반프레임동기신호를 출력하는 반프레임동기신호발생부와; (b) 상기 반프레임동기신호의 입력에 따라 인에이블되어 입력되는 클럭신호를 카운터하고, 각 카운트 결과에 따라 제1 및 제2레지스터제어신호중 해당 신호를 출력하는 레지스터제어신호발생부와; 상기 쉬프트클럭을 입력받아 카운트하여 단위 데이터 송수신이 완료에 따른 인터럽트신호를 출력하는 인터럽트발생부를 포함하고, 상기 제1레지스터제어신호의 출력에 따라 직렬입출력레지스터에 수신데이터가 상기 수신목적레지스터로 제공되고, 상기 제2레지스터제어신호의 출력에 따라 상기 전송목적레지스터에 저장된 전송데이터가 상기 직렬입출력레지스터로 제공되는 것을 특징으로 한다.

이 실시예에 있어서, 상기 반프레임동기신호발생부는 (a) 상기 쉬프트클럭에 동기하여 상기 프레임동기신호를 입력받아 출력하는 레지스터와; (b) 상기 레지스터의 출력과 상기 클럭신호를 논리합(AND)하여 그 결과를 상기 반프레임동기신호로 출력하는 논리회로를 포함한다.

이 실시예에 있어서, 상기 인터럽트발생부는 단위 데이터에 대응된 비트수를 갖는 카운터로 구성된다.

이 실시예에 있어서, 상기 레지스터제어신호발생부는 단위 데이터에 대응된 비트수를 갖는 카운터로 구성된다.

이 실시예에 있어서, 상기 직렬입출력레지스터는 단일 칩으로 형성된다.

이상과 같은 본 발명에 의하면, 상기 직렬입출력레지스터는 상기 전송목적레지스터로부터 전송데이터를 제공받아 상기 전송레지스터로 1비트씩 출력하여 데이터를 전송하고, 데이터 전송과 동시에 상기 직렬입출력레지스터는 수신데이터를 1비트씩 입력받는다. 전송데이터의 전송이 완료되면 이와 동시에 수신데이터의 수신도 완료되며 이어 상기 직렬입출력레지스터에 수신된 데이터는 상기 수신목적레지스터로 제공되어 해당 장치로 제공된다.

### [실시예]

이하 본 발명에 따른 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

제3도는 본 발명의 실시예에 따른 송수신 경로의 레지스터를 갖는 직렬인터페이스장치의 상세 회로도이다.

제3도에도시된 바와 같이, 본 발명에 따른 신규한 직렬인터페이스장치(400)는 크게 수신목적레지스터(410)와 전송목적레지스터(420)와, 직렬입출력레지스터(430)와 전송레지스터(440)와, 제어신호발생부(450)를 포함하여 구성된다.

상기 각 레지스터들은 단위 데이터 비트수에 대응된 비트수를 갖는 레지스터들이다. 예컨대 단위 데이터가 8비트의 경우 각각 8비트 레지스터로 구성되며, 단위 데이터가 16비트인 경우 16비트 레지스터로 구성된다. 특히 상기 직렬입출력레지스터(430)는 직렬 입출력을 위해 쉬프트 레지스터로 구성되며, 상기 전송레지스터(440)는 1비트 레지스터로 구성된다.

상기와 같이 구성된 직렬인터페이스장치(400)는 두 장치간에 데이터 송수신에 따른 인터페이스를 수행한다. 데이터 송수신시에 상기 두 장치중 제1장치에 의해 기입제어신호(wr\_txd)(111a), 독출제어신호(rd\_rxd)(111c) 및 직렬인터페이스장치를 인에이블시키기 위한 선택신호(111b)를 제공받게 된다. 그리고 제2장치에 의해 직렬 데이터 송수신에 따른 프레임동기신호(Fsync), 쉬프트클럭(SftClk)을 제공받게 된다. 그리고 상기 직렬인터페이스장치(400)가 탑재되는 시스템으로부터 해당 클럭신호(CLK)를 제공받게 된다.

상기와 같은 여러 신호들의 입력에 응답하여 상기 직렬인터페이스장치(400)가 동작하게 되며, 각 단위 데이터 예컨대, 8비트, 16비트, 32비트...등의 단위 데이터의 전송이 완료되는 시점에서 해당 장치로 단위 데이터의 송수신이 완료되었음을 알리기 위한 인터럽트신호(CINT)를 출력하게 된다.

다시, 도 3을 참조하여, 좀더 구체적으로 각 구성부분의 동작을 설명하면 다음과 같다.

먼저 상기 전송목적레지스터(420)는 상기 기입제어신호(wr\_txd)의 입력에 응답하여 해당 전송데이터를 제공받아 저장한다. 상기 전송목적레지스터(420)는 상기 제어신호발생부(450)에서 제공되는 제1레지스터제

어신호(1dts)의 입력에 응답하여 저장된 전송데이터를 상기 직렬입출력레지스터(430)로 제공하게 된다.

이어 상기 직렬입출력레지스터(430)는 전송데이터를 상기 쉬프트클럭(Shfclk)의 네거티브에지(negative edge)에서 상기 전송레지스터(440)로 1비트씩 쉬프트하여 출력하고, 이와 동시에 데이터수신라인(RXD)으로부터 수신데이터를 입력받는다. 이어 상기 전송레지스터(440)는 상기 쉬프트클럭(Shfclk)의 포지티브에지(positive edge)에서 입력받은 1비트 데이터를 데이터송신라인(DTX)으로 출력하게 된다.

상기와 같은 데이터의 직렬 송수신의 동작에 따른 상기 직렬인터페이스장치(400)의 각 부분의 동작에 따른 타이밍도가 첨부도면 제5도에 도시되어 있다.

제5도에 도시된 타이밍도의 경우는 단위 데이터가 8비트의 경우를 도시한 것이다. 예를 들어, 상기 직렬입출력레지스터(430)는 8비트의 전송 데이터를 각각 1비트씩 상기 쉬프트클럭(Shfclk)의 네거티브에지에서 동기하여 1비트씩 상기 전송레지스터(440)로 제공한다. 동시에 1비트씩 수신데이터를 입력받아 쉬프트하게 된다. 그리고 상기 전송레지스터(440)는 제공받은 1비트의 데이터를 상기 쉬프트클럭(Shfclk)의 포지티브에지에서 출력하게 된다. 이와 같이 상기 직렬입출력레지스터(430)가 상기 쉬프트클럭(Shfclk)에 동기하여 쉬프트 동작을 수행하여 8비트 데이터의 송수신을 완료하게 된다.

이때, 상기 제어신호발생부(450)는 먼저 상기 수신목적레지스터(410)로 제2레지스터제어신호(1drd)를 출력하여 상기 직렬입출력레지스터(430)에 수신완료된 8비트의 수신데이터를 입력받게 한다. 이어 제1레지스터제어신호(1dts)를 상기 송신목적레지스터(420)로 출력하여 상기 송신목적레지스터(420)에 저장된 전송데이터가 상기 직렬입출력레지스터(430)로 제공되게 한다. 이와 같이 8비트 데이터의 송신이 완료되면 상기 제어신호발생부(450)는 인터럽트신호(CINT)를 해당 장치로 출력하여 데이터 송수신 완료되었음을 알리게 된다. 따라서 해당 장치는 상기 수신목적레지스터(410)로 상기 독출제어신호(rd\_rxd)를 입력하여 수신된 데이터를 독출해 가게 된다.

한편, 상기 제어신호발생부(450)는 상기 클럭신호(CLK), 프레임동기신호(Fsync), 쉬프트클럭(Shfclk)을 제공받고, 이에 응답하여 상기 제1, 제2 레지스터제어신호(1dts, 1drd) 및 인터럽트신호(CINT)를 발생하게 된다. 이러한 상기 제어신호발생부(450)를 구성한 일 예로서의 상세 회로도가 첨부도면 제4도에 도시되어 있다.

제4도에 도시된 바와 같이, 상기 제어신호발생부(450)는 크게 반프레임동기신호발생부(452)와 레지스터제어신호발생부(456)와, 인터럽트발생부(454)로 구성된다.

상기 반프레임동기신호발생부(452)는 상기 쉬프트클럭(Shfclk)에 동기하여 상기 프레임동기신호(Fsync)를 입력받아 출력하는 1비트의 레지스터(452a)와, 상기 레지스터(452a)의 출력과 상기 프레임동기신호(Fsync)를 논리합(AND)하여 그 결과를 반프레임동기신호(Hif\_Fsync)로 출력하는 논리회로(452b)를 포함하여 구성된다. 상기 레지스터(452a)는 플립플롭(flip-flop)으로 구성가능하며, 상기 논리회로(452b)는 앤드게이트(AND gate)로 구성가능하다.

상기 인터럽트발생부(454)는 단위 데이터의 비트수에 대응된 카운터로 구성가능하다. 예컨대, 단위 데이터가 8비트이면 3비트 카운터로, 16비트의 경우 4비트 카운터로 구성 가능하다. 그러므로 단위 데이터가 8비트인 경우 상기 쉬프트클럭(Shfclk)이 8번 입력되면 인터럽트신호(CINT)를 출력하게 된다.

그리고 상기 레지스터제어신호발생부(456)는 상기 반프레임동기신호(Hif\_Fsync)의 입력에 따라 인에이블되어 입력되는 클럭신호(CLK)를 카운터하고, 각 카운트 결과에 따라 제1, 제2레지스터 제어신호(1dts, 1drd)중 해당 신호를 출력하게 된다. 상기 레지스터제어신호발생부(456)는 카운터로 구성이 가능하며 상기 인터럽트발생부(454)를 구성하는 카운터와 동일한 비트수를 갖는 카운터를 사용하여 구성이 가능하다. 특히 상기 레지스터제어신호발생부(456)는 인에이블되는 구간에서 순차적으로 상기 제1, 제2레지스터 제어신호(1dts, 1drd)를 발생하게 된다. 예컨대, 상기 제2레지스터제어신호(1drd)는 입력되는 상기 클럭신호(CLK) 2, 3, 4번째 클럭구간에서 발생되며, 상기 제1레지스터제어신호(1dts)는 입력되는 클럭신호(CLK)의 4, 5, 6번째 클럭구간에서 발생된다.

제5도에도시된 바와 같이, 상기 제1, 제2레지스터 제어신호(1dts, 1drd)는 상기 프레임동기신호(Fsync)와, 반프레임동기신호(Hif\_Fsync)가 유효한 구간에서 발생된다. 따라서 상기 직렬입출력레지스터(430)에 수신된 수신데이터가 상기 수신목적레지스터(410)로 제공되며, 이에 상기 송신목적레지스터(420)에 저장된 전송데이터가 상기 직렬입출력레지스터(430)로 제공된다.

이상과 같이 상기 직렬인터페이스장치(400)는 직렬입출력레지스터(430)를 이용하여 데이터 송신 동작을 수행하면서 동시에 데이터의 수신동작도 수행할 수 있게 된다.

### 발명의 효과

이상과 같은 본 발명에 의하면, 단일의 쉬프트 레지스터를 사용하여 데이터 송수신 동작을 수행하게 되므로 직렬인터페이스장치에 구비되는 레지스터의 크기를 감소시키는 효과가 있다. 더욱이 처리되는 데이터의 기본 단위가 8비트, 16비트, 32비트...등으로 증가되는 경우에 종래의 직렬인터페이스장치는 송수신에 따른 각각의 쉬프트 레지스터를 사용해야 하므로 직렬인터페이스장치에 구비되는 레지스터의 크기가 급격히 증가되었으나, 본 발명에 의하면 이러한 문제점을 최소화할 수 있게 되는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

두 장치간에 직렬 데이터를 송수신하는 직렬인터페이스장치에 있어서 : (a) 기입제어신호(wr\_txd)의 입력에 응답하여 데이터 전송을 위한 전송데이터가 저장되는 전송목적레지스터(420)와 ; (b) 데이터 전송시 상기 전송데이터를 제공받아 데이터 전송을 위한 동기신호인 쉬프트클럭(Sfclk)에 동기하여 상기 전송데이터를 출력하며 동시에 수신데이터를 입력받는 직렬입출력레지스터(430)와; (c) 상기 쉬프트클럭

(Sftclk)에 동기하여 상기 전송데이터를 제공받아 전송하는 전송레지스터(440)와; (d) 전송데이터의 직렬 전송 완료 및 수신데이터의 직렬 수신 완료시에 상기 직렬입출력레지스터(430)로부터 수신데이터를 제공받아 저장하고, 독출제어신호(rd\_rxd)의 입력에 응답하여 상기 수신데이터를 출력하는 수신목적레지스터(410)와; (e) 직렬 데이터의 송수신 동작에 따른 복수의 제반 제어신호를 발생하는 제어신호발생부(450)를 포함하며, 상기 전송데이터의 직렬 전송 완료 및 수신데이터의 직렬 수신 완료시에 상기 직렬입출력레지스터(430)로부터 수신데이터가 상기 수신목적레지스터(410)로 제공된후 상기 전송목적레지스터(420)에 저장된 전송데이터가 상기 직렬입출력레지스터(430)로 제공되는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 2

제1항에 있어서, 상기 직렬입출력레지스터(430)는 쉬프트 레지스터인 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 3

제1항에 있어서, 상기 전송레지스터(440)는 1비트 레지스터인 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 4

제1항에 있어서, 상기 제어신호발생부(450)는 (a) 단위 데이터를 구분하기 위한 프레임동기신호(Fsync)를 입력받고 상기 쉬프트클럭(Shtclk)의 입력에 동기하여 반프레임동기신호(Hif\_Fsync)를 출력하는 반프레임 동기신호발생부(452)와; (b) 상기 반프레임동기신호(Hif\_Fsync)의 입력에 따라 인에이블되어 입력되는 클럭신호(CLK)를 카운트하고, 각 카운트 결과에 따라 제1 및 제2 레지스터제어신호(1drd, 1dts)중 해당 신호를 출력하는 레지스터제어신호발생부(456)와; 상기 쉬프트클럭(Shtclk)을 입력받아 카운트하여 단위 데이터 송수신이 완료에 따른 인터럽트신호(CINT)를 출력하는 인터럽트발생부(454)를 포함하고, 상기 제1레지스터제어신호(1drd)의 출력에 따라 직렬입출력레지스터(430)에 수신된 수신데이터가 상기 수신목적레지스터(410)로 제공되고, 상기 제 2 레지스터제어신호(1dts)의 출력에 따라 상기 전송목적레지스터(410)에 저장된 전송데이터가 상기 직렬입출력레지스터(430)로 제공되는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 5

제4항에 있어서, 상기 반프레임동기신호발생부(452)는 (a) 상기 쉬프트클럭(Shtclk)에 동기하여 상기 프레임동기신호(Fsync)를 입력받아 출력하는 레지스터(452a)와; (b) 상기 레지스터(452a)의 출력과 상기 쉬프트클럭신호(Shtclk)를 논리합(AND)하여 그 결과를 상기 반프레임동기신호(Hif\_Fsync)로 출력하는 논리 회로(452b)를 포함하는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 6

제4항에 있어서, 상기 인터럽트발생부(454)는 단위 데이터에 대응된 비트수를 갖는 카운터로 구성되는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 7

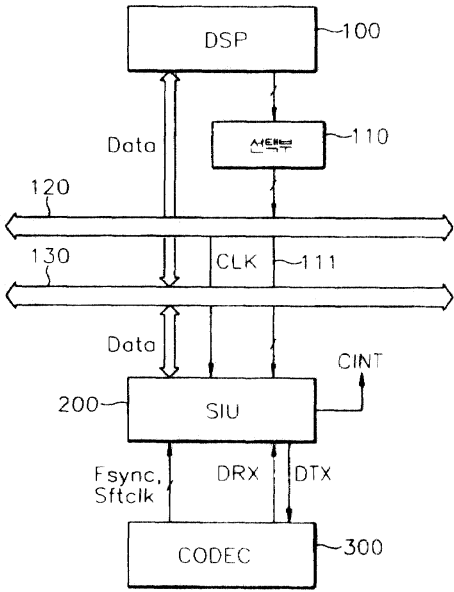
제4항에 있어서, 상기 레지스터제어신호발생부(456)는 단위 데이터에 대응된 비트수를 갖는 카운터로 구성되는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

#### 청구항 8

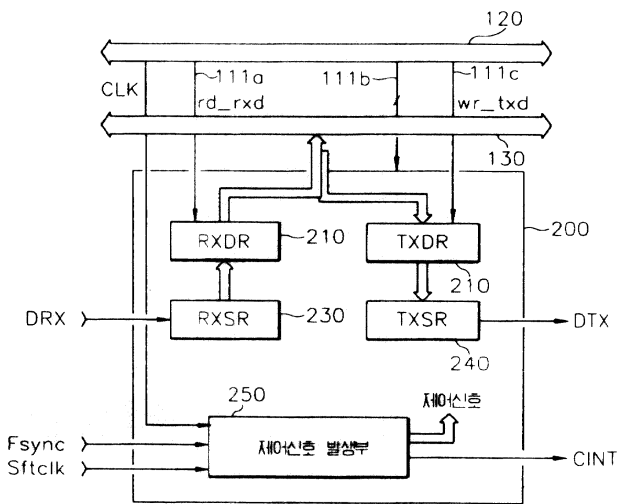
제1항에 있어서, 상기 직렬인터페이스장치는 단일 칩으로 형성되는 것을 특징으로 하는 송수신 겸용의 레지스터를 갖는 직렬인터페이스장치.

**도면**

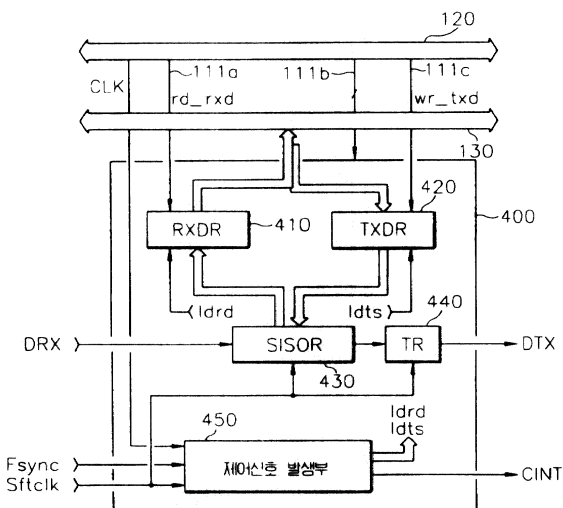
도면1



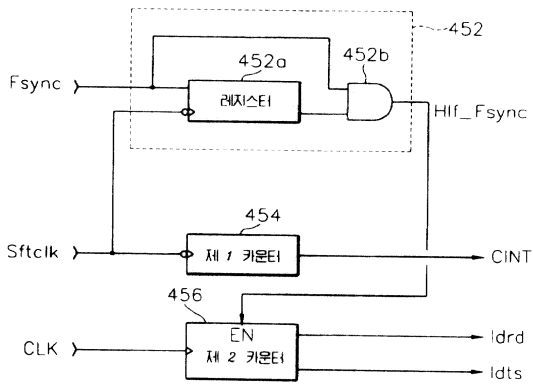
도면2



도면3



도면4



도면5

