

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 21/8246 (2006.01)



[12] 发明专利说明书

专利号 ZL 02812513.4

[45] 授权公告日 2009年8月5日

[11] 授权公告号 CN 100524774C

[22] 申请日 2002.6.12 [21] 申请号 02812513.4

[30] 优先权

[32] 2001.6.21 [33] DE [31] 10129958.3

[86] 国际申请 PCT/DE2002/002141 2002.6.12

[87] 国际公布 WO2003/001600 德 2003.1.3

[85] 进入国家阶段日期 2003.12.22

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 H·帕尔姆 J·威尔勒

[56] 参考文献

US 5,392,237 A 1995.2.21

US 5,168,334 A 1992.12.1

审查员 陶应磊

[74] 专利代理机构 北京康信知识产权代理有限责任公司

代理人 余刚 李丙林

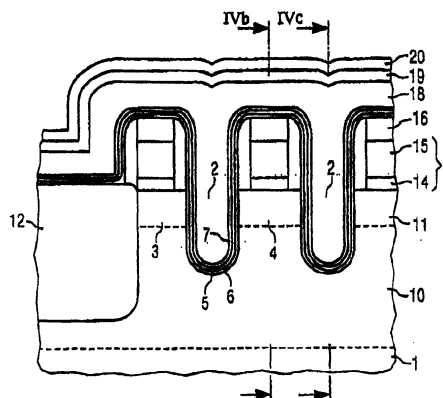
权利要求书4页 说明书15页 附图13页

[54] 发明名称

存储器单元，存储器单元排列及制造方法

[57] 摘要

本发明涉及存储器单元、存储器单元排列及其制造方法。用于降低埋藏位线电阻值的一导电层(8)或层序列，特别是一金属硅化物或具有一金属层(15)施加于上的一多晶硅层(14)，配置在具有一ONO存储器层序列(5, 6, 7)以及沟道中所配置的栅极电极(2)存储器晶体管的源极/漏极区域(3、4)上，其中层或层序列已被图案化成条状，以对应于该位线。该金属硅化物较佳地为硅化钴，该金属层较佳地为硅化钨或WN/W。



1. 一种存储器单元，具有：
 - 一存储器晶体管；
 - 一栅极电极（2），配置在一半导体本体（1）的一顶面或一半导体层上，并且通过介电材料而与半导体材料分开；以及
 - 一源极区域（3）和一漏极区域（4），形成于该半导体材料中，
 - 该栅极电极配置于一沟道中，而该沟道形成于该源极区域（3）和该漏极区域（4）之间的该半导体材料中，
 - 其特征在于，
 - 至少在该源极区域（3）和该漏极区域（4）之间、以及在该漏极区域（4）和该栅极电极（2）之间，具有包含位于边界层（5，7）间的一存储器（6）层的一层序列；以及
 - 提供作为一相对应位线的部分并且被图案化成为一条状的一导电层（8），该导电层施加至该源极区域（3）和该漏极区域（4）。
2. 如权利要求1所述的存储器单元，其中存在于该源极区域（3）以及该漏极区域（4）上的该导电层（8）包含选自于已掺杂多晶硅、钨、硅化钨、钴、硅化钴、钛以及硅化钛至少其中之一材料。
3. 如权利要求1或2所述的存储器单元，其中该边界层（5，7）是氧化层。
4. 如权利要求3所述的存储器单元，其中该存储器层（6）是选自未掺杂硅、氧化钽、硅酸钆、氧化钛、氧化锆以及氧化铝其中之一的材料。
5. 如权利要求1或2所述的存储器单元，其中在位于该沟道基部区段的一沟道区域的一区段（23）中设定一掺杂杂质浓度，该掺杂杂质浓度的值处于由 $5 \times 10^{17} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 所限定的范围中，分别乘以作为基部掺杂或阱掺杂而被导入该半导体材料的掺杂杂质的浓度与数值 10^{17} cm^{-3} 的商，该掺杂杂质浓度以 cm^{-3} 为单位，其中该沟道区域位于该沟道的基部，设计为是最大程度地进入该半导体材料的区段或位于该沟道的基部的中间部分，并且相对于该沟道基部而向该半导体材料中垂直延伸 20 nm。

6. 一种包含多个存储器单元的排列，所述排列提供作为一存储器，其中各存储器单元具有：
- 一存储器晶体管；
 - 一栅极电极（2），其配置于一半导体本体（1）的一顶面或一半导体层上，并且通过介电材料而与半导体材料分开；以及
 - 一源极区域（3）和一漏极区域（4），形成于该半导体材料中，该栅极电极配置于一沟道中，而该沟道形成于该源极区域（3）和该漏极区域（4）之间的该半导体材料中，
- 其特征在于，
- 至少在该源极区域（3）和该漏极区域（4）之间，以及在该漏极区域（4）和该栅极电极（2）之间，具有包含位于边界层（5，7）间的一存储器层（6）的一层序列；以及提供作为一相对应位线的部分并且被图案化成为一条状的一导电层（8），该导电层施加至该源极区域（3）和该漏极区域（4）；
- 其中，每一个该栅极电极（2）以一导电方式连接至一含金属层或层序列（19、33、34），以提供作为该字线；以及
- 其中，该存储器单元的该源极区域（3）和该漏极区域（4）同时分别提供作为一毗邻存储器单元的源极区域以及漏极区域。
7. 如权利要求6所述的排列，其中包括于该半导体材料上的该存储器层（6）的该层序列处于该栅极电极与该半导体材料之间，以及该位线与该半导体材料之间的全部表面。
8. 如权利要求6所述的排列，其中该半导体材料中的一沟道的壁之间的该存储器层（6）配置于该栅极电极（2）内，和/或是在二相邻沟道间中断。
9. 一种用于制造存储器单元或排列的方法，其中这种制造方法的第一个步骤是在半导体本体（1）或半导体层上形成至少一层由条状部分构成的导电层（8），并在第一个步骤之前经由离子植入或在第一个步骤之后经由导电层（8）的材料向外扩散掺杂杂质而形成源极及漏极的掺杂区域（10，110）；第二个步骤是在导电层的条状部分之间形成一个沟道或多个彼此平

行的沟道,由此使得在半导体材料区侧面的一个源极区(3)和一个漏极区(4)仍保持不变;第三个步骤是依次将一个第一边界层(5)、一个存储器层(6)、以及一个第二边界层(7)整个叠在一起;第四个步骤是将预定用于栅极电极(2)的导电材料放入所述的一个沟道和/或多个沟道内,并构成至少一条作为字线的印刷导线。

10. 如权利要求9所述的方法,其中在第一个步骤中设置一个由一多晶硅层(14)和一个含金属层(15)构成的层状结构作为导电层(8)。

11. 如权利要求10所述的方法,其中该含金属层(15)包括选自WSi、WN、以及W其中之一材料的至少一层膜。

12. 一种用于制造存储器单元或排列的方法,其中:

在第一步骤中,在一半导体本体(1)或一半导体层上形成于类条状区段中的一图案化层(25)的至少一膜;

在第二步骤中,在该类条状区段间产生一沟道(28)或彼此平行排列的多个沟道,由此用于一源极区域(3)和一漏极区域(4)的该半导体材料的区段维持在该沟道的侧边;

在第三步骤中,一第一边界层(5)、一存储器层(6)、以及一第二边界层(7)是彼此相叠而覆盖整个表面;

在第四步骤中,将提供作为栅极电极(2)之一的一导电材料导入该沟道或该多个沟道中;

在第五步骤中,以一导电层(8)的类条状区段取代该图案化层的该类条状区段;

在第六步骤中,施加提供作为一字线(32)的至少一导体轨道,由此该导体轨道与导入一沟道中的该导电材料电接触,并且与该导电层的该类条状区段电隔绝;以及

在该第一步骤之前通过植入(11)或在该第五步骤之后通过该导电层的一材料外的掺杂杂质扩散(110)来施加用于源极和漏极的已掺杂区域。

13. 如权利要求12所述的方法,其中,

使用一硅半导体本体或一硅半导体层; 以及

在该第五步骤中，形成一金属硅化物的至少一膜以作为导电层。

14. 如权利要求 13 所述的方法，其中，在该第五步骤中形成一硅化钴膜。

存储器单元，存储器单元排列及制造方法

技术领域

本发明涉及电可写入及可擦除的非易失性闪存场 (field)，其叙述依照 SONOS (semiconductor - oxide - nitride - oxide - semiconductor, 半导体氧化氮氧化半导体) 原则所建构，并且可以被用于中的非易失性闪存。

背景技术

极小的非易失性存储器单元需要用于非常大量的积体密度，以用于多媒体应用，而半导体科技不断的发展则允许越来越增加的储存容量，并且很快的就会到达千兆位的范围 (gigabit range)。然而，当通过平版印刷 (lithography) 所决定的最小的特征尺寸 (feature size) 继续减少时，其它参数，如隧道氧化层 (tunnel oxide) 的厚度，则因此而无法再增大 (scaled)。而为了避免在源极及漏极间击穿 (punch-through) 的发生，则此相关的在具有较小特征尺寸的平面晶体管 (planar transistors) 中的沟道 (channel) 长度减少需要沟道掺杂 (channel doping) 的增加。这会导致通常通过栅极氧化层的厚度减少而加以补偿的临界电压 (threshold voltage) 的增加。

然而，可通过沟道热电子 (channel hot electron) 而加以程序化并且利用热空穴 (hot holes) 而加以抹除 (参考: Boaz Eitan 的 US 5,768,192、US6,011,725、WO 99/60631) 的平面 SONOS 存储器单元需要具有相等于栅极氧化层的厚度的控制介电层 (control dielectric)，再说，此厚度在可执行的程序化次数 (存储器单元的耐力) 没有不能接受地下降的情形下，不能依所需而加以减少，因此，一足够大以确保沟道内的掺杂浓度不需要被选择为非常高的沟道长度是需要的，否则临界电压会太大幅度地上升。

J. Tanaka 等人于 IEDM 93, pp. 537-540 (1993) 所出版的 "A Sub

- 0.1 μm Grooved Gate MOSFET with High Immunity to Short-Channel Effects”中阐述于一 P+基板上的晶体管，其中栅极配置于 n+源极区域及 n+漏极区域之间，因此，在此方法中，会在该基板中形成一弯曲的沟道区域。

而 Nakagawa 等人于 2000 IEEE Symposium on VLSI Technology Digest of Technical Papers 中出版的“A flash EEPROM cell with Self-Aligned Trench Transistor & Isolation Structure”里阐述一晶体管如同具有配置于 n+源极区域及 n+漏极区域之间的浮动栅极电极 (floating-gate electrodes) 的存储器单元一样延伸进入基板的 P 阱 (p-well)，而在浮动栅极电极和控制栅极电极之间，具有氧化-氮化-氧化层序列的一介电层。

Eiji Kamiya 的 US6,080,624 中，叙述了一非易失性半导体存储器，其具有快闪 EEPROM 存储器单元。栅极介电层、提供作为储存媒介至浮动栅极电极、做为中间介电层的一 ONO 膜 (ONO film)，一控制栅极电极以及作为覆盖层的一氮化膜施加于一基板上并加以图案化，源极区域漏极及区域通过导入扩散而形成，更进一步的氮化层施加于整个表面，而一电绝缘层则导入存在于栅极电极的网络 (webs) 间的空间，当位线通过施加于顶侧的电导体轨道 (electrical conductor tracks) 而形成时，以此法形成的绝缘条 (insulating strip) 呈现字线的方向。

DE 195 45 903 A1 揭示一仅能读取的存储器单元排列，其中，平面 MOS 晶体管彼此平行的排成列，相邻的列间隔地沿着纵向沟道的底部，并位于存在于相邻纵向沟道间的网络 (web) 上。据此，下部的源极/漏极区域形成于纵向沟道的基部 (base)，而上部的源极/漏极区域则形成在存在于沟道间的网络的顶侧上。介电层置于源极/漏极区域上以作为栅极介电层，并且这些栅极介电层在该纵向沟道的壁上的部分通过包含 SiO_2 之间隙壁 (spacer) 而加以补充，一 ONO 层序列可提供作为栅极介电层，位线为与该纵向沟道横切的方向，而位线则与该纵向沟道平行。

发明内容

本发明的目的在于提供用于需要极小表面积的存储器单元排列的一存储器单元，以及相关的制造方法。

此目的通过以下技术方案的存储器单元、包含存储器单元的排列，以及所述单元或排列的制造方法而达成。

根据本发明的存储器单元是基于，若位线具有足够低的电阻值时，仅有可能在维持一足够低的写入及读取的存取时间的同时更进一步地减低存储器单元的尺寸。为了这个目的，当以与位线一致的条状形式而图案化的分开层 (separate layer) 或层序列以电导通方式，特别是金属化，而连接至该源极/漏极区域，并减少配置于存储器晶体管的已掺杂源极/漏极区域的该位线电阻值时，形成该位线。此层或层序列为非常常见的形式，其以条状形式而设计，并包含具有为了此目的而足够低的电阻值的至少一层膜，无关于此层或层序列是否完整形成或仅形成为导电物质的部分层膜。在随后的叙述及权利要求中，至少延伸于一层膜中的此型态导电层或层序列在每个例子中被归类为一导电层。特别的是，选自已掺杂多晶硅、钨、硅化钨、钴、硅化钴、钛以及硅化钛至少其中的一的材料可适用于此一目的。

若源极/漏极区域由硅所形成，则该金属化较佳地是利用已知为“salicide”（代表自我对准硅化物的缩短）的方法所制程的一金属硅化物层。在其它实施例中，较佳地，同样在硅上，实施为金属化、包括多晶硅及 WSi 或 WN/W 以及由适合作为一硬屏蔽的材料，如氧化物或氮化物所制成的一覆盖层及电绝缘层的层序列存在于存储器晶体管的源极/漏极区域上。位线结构的金属化直接于基板上图案化，并且，若需要的话，部分超过氧化层覆盖的区域。

个别存储器晶体管的源极/漏极区域利用一高剂量源极/漏极植入或通过适合层外，如多晶硅外的掺杂杂质扩散而加以制造。施加于源极/漏极区域的类似条状的金属化形成位线，而该位线由于金属化的良好导电性而具有一特别低的电阻值。在此叙述中，金属化这个词被解释为代表一含金属层或至少具有类金属特质的一导体轨道 (conductor track)。相同位线的源极/漏极区域于一开始于半导体材料中时并不一定要以导电的方式彼此

连接，然而，较佳地是位线设计为在半导体物质中具有类条状的掺杂区域的埋藏位线 (buried bit lines)，而该半导体材料被供以金属化。

在远离半导体材料的顶侧上，位线结构较佳地是被封入氮化层中，而该氮化层被设计为条状，并且，在制造方法中，作为用于产生相对而言会自动排列的晶体管的沟道区域的蚀刻屏蔽。在一存储器层已施加之后，则沉积用于制造字线的层序列，而其较佳地是通过干蚀刻而图案化成条状，其中，该存储器层较佳地是包含由一边界层、一存储器层以及一更进一步的层所形成的层序列，并以一ONO层的方式加以形成。

该边界层由具有较存储器层的能隙 (energy band gap) 为高的能隙的材料所形成，因此，受限于存储器层中的电荷载体 (charge carriers) 会维持停留在该处。一较适合于存储器层的材料为氮化物，一氧化物特别适合作为环绕物质 (surrounding material)。在存储器层使用硅材料系统的例子中，存储器层，举例而言，一ONO层序列，为具有大约 5 eV 能隙的氮化硅，该环绕边界层为具有大约 9 eV 能隙的氧化硅层。存储器层可以是能隙小于该边界层能隙的不同材料，在此例子中，该能隙的差异应足够大以确保电荷载体的良好电性局限 (electrical confinement)。在结合氧化硅做为边界层的例子中，用于存储器层的材料可以是，举例而言，氧化钽，硅酸钆，氧化钛 (在化学计量结构的例子中是二氧化钛)，氧化锆 (在化学计量结构的例子中是二氧化锆)，氧化铝 (在化学计量结构的例子中是氧化铝 Al_2O_3) 或本质上导电的 (未掺杂) 硅。

为了隔离晶体管彼此，可通过以一可变的入射角植入掺杂杂质，而在相邻存储器单元的晶体管沟道区域之间产生电隔离 (electrical isolation)，而这已知为反击穿植入 (anti-punch implantation)。另一个择一的构型选择则是此隔离可通过填满氧化物的凹处 (recesses) 而产生，而此以 STI (shallow trench isolation, 浅沟道隔离) 的方式进行。

尽管具有足够大的存储器晶体管栅极长度，此型态的存储器单元使得产生在所使用的微影程度上作为一最小可能交叉点 (crosspoint) 单元的个别存储器单元成为可能。

根据本发明的结构则使得具有最小驱动周边 (minimum drive

periphery) 的大单元区块 (large cell block) 成为可能, 并造成一高单元效率。依照本发明所形成的该存储器单元结构亦可以用于产生位线结构, 特别是配置于 STI 结构上的位线结构。

附图说明

现在, 接下来是更详细的根据本发明的存储器单元以及相关制造方法的叙述, 并以所附图式所举的例子做为参考。

图 0: 其显示字线排列的概略平面图;

图 1、图 2A、图 2B、图 3、图 4A、图 4B 以及图 4C: 其显示在一较佳制造法的各个步骤后, 存储器单元的整个中间产物期间的剖面图;

图 4.1 以及图 4.11 显示在每个例子中, 图 4A 的另一个示范性实施例;

图 4.2B 及图 4.2: 其显示图 4B 以及图 4C 的另一个示范性实施例;

图 3、图 3A、图 3.3B、图 3.3C: 其显示取代图 3 的另一个示范性实施例的方法步骤的中间产物;

图 4.3 至图 4.3C: 其显示相对于图 4A 至图 4C 的更进一步的示范性实施例; 以及

图 5A 以及图 5B: 其显示模型计算 (model calculation) 的曲线图。

具体实施方式

图 0 显示一概略平面图中字线 WL_{n-1} 、 WL_n 、 WL_{n+1} 以及位线 BL_{i-1} 、 BL_i 、 BL_{i+1} , 的排列。在此例子中, 位线是以埋藏的位线的形式, 并以虚线表示被覆盖的轮廓, 字线则配置于此排列的顶层, 而较佳地是金属导体轨道 (metallic conductor tracks)。在每个例子中, 存储器的存储器单元配置于一位线中间区域与一字线的交叉点, 而这是习惯上被用于可以使用的最小可能存储器单元的名词 - 交叉点单元的起源。在每个例子中, 根据本发明的一存储器单元位于一存储器单元排列的这样的交叉点, 在每个例子中, 被读取或程序化的存储器单元以使用位线以及字线的方式而加以寻址。所有存储器单元在一起, 与透过位线及字线的连接一样, 会形成虚拟接地 NOR 架构 (virtual-ground NOR architecture)。然而, 原则上,

根据本发明的存储器单元亦可以被使用于其它存储器架构中。在存储器的存储器单元排列中的存储器单元结构将于接下来伴随着较佳制造方法做为参考而加以叙述。

图 1 为了解释根据本发明的存储器单元以及其在一存储器单元场 (memory cell field) 中基于一较佳制造方法的排列的目的的一第一中间产物剖面图。较佳地是, 该制造会形成亦可用于产生驱动电子学 (drive electronics) 的 CMOS 的部分, 为了这个目的, 则在半导体主体、或生长于一基板上的半导体层或半导体层序列中蚀刻出沟道, 并且以一氧化物将的填满, 以作为 STI (shallow trench isolation, 浅沟道隔离)。习惯上, 正如已知, 半导体材料的顶面于一开始被一衬垫氧化层 (pad oxide) 所覆盖, 而该 STI 沟道蚀刻则利用一适合的微影技术而进行, 在导入氧化层的填满之后, 顶面会被平坦化, 其可通过, 举例而言, 以已知 CMP (chemical mechanical polishing, 化学机械研磨) 的方式而达成。该衬垫氮化物接着通过蚀刻而被移除。当使用硅作为半导体材料时, p 阱以及 n 阱, 亦即延伸深入半导体材料并供以驱动周边 (drive periphery) 及存储器单元的被掺杂区域, 较佳地是通过屏蔽的硼植入离子以及磷植入离子以及接续的对植入物的退火而加以制造。图 1 亦显示, 在一半导体本体 1 中, 如一硅基板, 形成的 p 阱 10 以及如通过使用氧化层而产生的边缘隔离 12 的剖面图。

在一开始已施加的衬垫氧化层被移除之后, 一适当厚度的氧化层 13 成长于其上并接着在存储器单元场 (memory cell field) 的外做为蚀刻停止层。在此制造程序的示范性实施例中, 一适合的照相技术 (photographic technique) 接着被用于导入植入 (如, 磷), 藉此, 被掺杂成为高 n-传导 (n+ - 区域) 的区域 11 加以形成于该 p 阱 10 上部区段中, 此区域提供作为接着要制造的源极/漏极, 而掺杂的标记可以颠倒 (如, p+ 区域在一 n 阱中)。在存储器单元场的区域中, 较佳地是, 相同的光屏蔽用于移除在通过湿化学手段的存储器单元形成中不需要的该氧化层 13。

图 2A 显示在施加及图案化一更进一步的层序列后, 图 1 所举例说明的剖面图。此层序列用于形成图案化成位线结构的切合本发明的条状导电层

8, 在图 2A 所举例说明的示范性实施例中, 在一较佳实施例中, 为了此一目的, 一开始, 导电型态的相关标示的一多晶硅层 14, 接着, 在此例子中为硅化钨 (Wsi) 的作为真实低电阻值位线的一含金属层 15, 以及然后用于电隔离的一硬屏蔽 16 (如一氧化层) 物质为了与该源极/漏极区域接触而加以施加, 并且被图案化成条状。若要取代 WSi, 则可施加一氮化钨以及钨的层序列。该导电层亦可包含钛及/或硅化钛, 条状形式导电层 8 的图案化较佳地是利用一照相技术以及非等向性蚀刻而进行, 有关半导体本体的半导体材料或被植入区域的半导体层是否被轻微蚀刻的问题为无关, 该导电层 8 的类条状区段于侧边通过间隙壁 7 而加以隔离, 该间隙壁较佳地是由氧化物制成。

图 2 举例说明在图 2A 中所示的剖面。从图中可以看出, 在此示范性实施例中包括一多晶硅层 14 以及一含金属层 15 的导电层 8 侧向延伸而越过该边缘隔离 12, 其中若有需要的话, 该含金属层亦可为多层。为了将这些层图案化成为条状的目的的蚀刻既由该边缘隔离 12 的氧化物而被限定于单元场的边缘。同时, 将埋藏区段结束在该边缘隔离 12 的位线通过已经图案化成条状的导电层的区段而延伸越过该边缘隔离 12, 因此, 可形成与真实存储器单元场外的位线的接触。

伴随着在顶面的位线结构以及氧化物覆盖的区域作为屏蔽, 如图 3 所据理说明的沟道以自动对准的方式而加以蚀刻 (举例而言, 通过 RIE, 活性离子蚀刻), 而这些沟道提供作为活性区域 (active region), 特别是个别的存储器单元, 而该源极/漏极区域 3、4 形成于它们之间。更甚者, 应该注意的是, 为了达成一良好的效能, 在每个例子中存在于存储器晶体管的沟道区域的区段 23 (其提供于该沟道的基部) 中的一已定义的栅极电压的该电荷载体浓度必须足够高。在 p 阱的例子中, 此浓度为电子浓度。一较有优势的构型中, 其中存储器单元的阱 10 具有一特有的掺杂杂质浓度 10^{17} cm, 因此, 通过植入于提供于该沟道的基部的该沟道区域的区段 23, 该沟道区域的该掺杂杂质浓度被改变成在中间比在侧向外围区域有较大的范围。为了这个目的, 其较佳地是, 亦开始施加一特定的层 (如, 热产生的牺牲氧化层, 代表性地是大约 6 nm 厚), 接着, 植入所标示的掺杂杂质,

而在引用于 p 阱的例子中，当掺杂杂质具有，举例而言，代表性地 20keV 的能量，介于 10^{12} cm^{-1} 至 10^{14} cm^{-2} 的量时，此为砷。接着，该牺牲层加以移除，在氧化物的例子中，此可利用稀释的 HF 而加以执行。

一包含一下部边界层、一存储器层以及一上部边界层 7 的层序列施加于整个表面，此层序列提供作为真实的储存媒体，以及，正如在引言中所介绍，举例而言可以是已知的一 ONO 层序列。在此例子中，该下部边界层 5，举例而言，可以是一厚度大约 2.5 nm 至 8 nm 的氧化层（底部氧化层，较佳的是热产生者），该存储器层 6 可以是一厚度约 1 nm 至 5 nm 的氮化层（较佳地是通过 LPCVD，低压化学气相沉积，所沉积者），以及该上部边界层 7 同样的可以使厚度约 3 nm 至 12 nm 的氧化层。

可以以此方法达成的结构的剖面图于图 3 中举例说明。存储器单元场以一适合的照相技术而加以覆盖，所以，在周边的区域中，包含边界层的存储器层可以加以移除，而该存储器层在供作为栅极电极的沟道底部及/或沟道 28 之间的存储器区域亦可被移除，因此，该存储器层于个别沟道的壁之间及/或两相邻沟道之间被中断。接着，为了驱动周边，首先，用于高压晶体管的一栅极氧化层，以及接着，若适当的话，用于低压晶体管的一较薄的栅极氧化层成长于其上，而临界电压可以利用屏蔽以及植入而加以调整。

在图 4A 中所举例说明的剖面图，其显示接续着沉积提供作为栅极电极 2 的一导电多晶硅层 18、提供作为位线的含金属层 19（在这个例子中是 WSi）、以及一硬屏蔽层 20 的结构。该多晶硅基本上沉积以厚度 80 nm 以及较佳地是被掺杂，并作为栅极电极。该真实字线通过低电阻、金属的或包含金属的材料的含金属层 19 所形成，取代硅化钨，其可能是一不同金属或一多层含金属层的硅化物。该硬屏蔽层 20 的材料，举例而言为一压缩氧化物（compressed oxide）。

在图 4A 中所绘制的剖面图于图 4B 以及图 4C 中举例说明。在图 4B 图中所示剖面中，边界层 5、7 间有存储器层 6 的层序列位于提供作为位线的类条状导电层 8 上，并且在此例子中，由多晶硅层 14 以及含金属层 16，以及透过硬屏蔽 16 自此隔离所形成。如在图 4C 可见，穿透位于位线的导电

层的两类条状区段间的栅极电极 2 的区段的位置中，存储器层 6 位于提供作为栅极电极的沟道的底部，而所施加的包括该多晶硅层 18、该含金属层 19 以及硬屏蔽层 20 的层序列加以图案成条状，正如图 4B 以及图 4C 可见，因此，字线相对于位线而横切地穿过，字线的侧翼通过间隙壁 21 而加以隔离，该间隙壁通过已知的方式而加以形成，等向地施加包括与该间隙壁相同材料，较佳地是氧化物，的一层于整个表面，并且非等向性地回蚀，因此，实际上仅该间隙壁 21 的高垂直区段会留存于已经被蚀刻成条状的字线的侧翼上。作为替代，通过栅极电极之间以及字线的下之间隙壁亦可完整的留下来或部分地以间隙壁的材料填满。

在此方法的步骤中，驱动周边的晶体管的栅极电极可以同时被图案化，在存储器单元场的区域中，栅极电极的蚀刻停止于该上部边界层 7 或该 ONO 层序列，其另外有可能的是，实施栅极再氧化，以及，取决于需要，于栅极中导入一反击穿植入 22 (anti-punch implantation) 以隔离相邻的晶体管。

已知用于制造晶体管的更进一步的便利的方法亦可同样地加以提供，如，LDD (light doped drain, 轻度掺杂漏极) 植入以及 HDD 植入，或沉积一氮化物的钝性层，以及通过 BPSG (boron-doped phosphosilicate glass, 硼磷硅玻璃) 以及 CMP 而平面化。为了完成的更进一步步骤包含，经由空穴 (hole) 填满及制造，以及金属化以及钝性层的制造。这些制造步骤源自于已知存储器构件的制造。

图 4.1 举例说明另一个构型，其中用于形成埋藏位线的位线植入完全地或部分地通过已经施加于其上的材料外的扩散而加以取代。这表示，通过此型态的制造，用于制造用作为源极及漏极的掺杂区域 11 的植入亦可以省略。接着，该导电层 8 以掺杂杂质可以至少扩散出一底层区段，在此例子中为掺杂的多晶硅层 14，而进入该半导体本体 1 或该半导体层的半导体材料的方式而加以施加，在这个方法中，形成在图 4.1 中以虚线边界表示的该源极/漏极区域 10。再者，在一较佳的构型中，存储器单元的阱通过以沟道区域的掺杂杂质浓度改变为中间较侧边、外围区域有较大范围的方式，植入进入配置于沟道底部的存储器晶体管的沟道区域的区段 23 而加以

修饰。此以相似于图3中所述方式的方式而加以进行。

图4.11显示一更进一步的示范性实施例，其中，在制造间隙壁17之前，为了制造该源极/漏极区域3a、3b、4a、4b，用于标示源极及漏极的导电型态的掺杂杂质植入加以导入，该源极/漏极区域在此例子中显著地形成于相邻在分别区段中包含存储器层6以及边界层5、7的层序列。在此例子中，为了在接下来的热处理步骤的其中一形成除了该源极/漏极区域外的已掺杂区域11，其亦有可能提供该多晶硅层14之外的掺杂杂质扩散。在此示范性实施例中一样，没置于沟道底部之沟道区域的区段较佳地是通过如上述方式的植入而加以修饰。

图4.2B以及图4.2显示相对应于图4B以及图4C的更进一步实施例的剖面图，其中，为了限定存储器单元彼此，额外的隔离区域存在于该半导体材料中。这是因为沟道区域于其中非常靠近地配置方式可能导致相邻存储器晶体管间的隔离问题，在此所揭示的程序设计可以以相邻存储器单元利用STO结构而彼此分开的方式而加以修饰，为了这个目的，窄且深的沟道隔离蚀刻进入字线间的半导体材料中。

图4.2B以及图4.2C显示具有此类型隔离区域24的示范性实施例，较佳地是，举例而言，可以通过结合硅的氧化以及 SiO_2 的沉积而制造的氧化物，图4.2B显示沿着位线的区域，而图4.2C显示沿着两位线的区域。在此例子中，于提供作为栅极电极的沟道外的蚀刻停止于该隔离区域24，因此，该存储器层6，如图4.2C所举例说明的方式，实质上以两层的程度，于相对于字线的横切方向，施加于该隔离区域24的侧翼上。提供作为栅极电极的沟道的蚀刻停止于该隔离区域24的材料的意思就是，沟道仅形成于该隔离区域24间之间隙壁。因此，在存储器晶体管的沟道区域之间，在每个例子中会留存分开此些沟道区域彼此的这样的隔离区域24。与其它示范性实施例相较，这并不会对留存的层结构以及留存的图案化造成任何修饰。

为了减少位线的电阻值，已经被图案化成条状的导电层8可以通过以自动对准硅化物（salicide, self-aligned silicide）法金属化的位线而加以制造，此则以图3.3A至图3.3C所示的剖面图而加以解释。图3.3A

举例说明相对应于图 3.3 的剖面图。然而，不像在图 3.3 中的示范性实施例，该导电层并布植皆施加于已经为了源极及漏极而掺杂的区域 11 上，而比较倾向于在一开始仅施加由一适合作为硬屏蔽的物质制成的图案化层 25 于此已掺杂区域 11 上，然后，接着，此层才被图案化成条状。此图案化层较佳的通过间隙壁 26，举例而言，氧化物，而侧向限定。提供作为储存的边界层 5、7 以及配置于它们之间的一存储器层 6 的层序列，举例而言，一 ONO 层序列，于蚀刻提供作为栅极电极的沟道之后，被以上述的方法施加于整的表面，提供以于存储器单元场周边驱动的晶体管的区域中，存储器层序列亦可以移除，并以用于驱动晶体管的至少一栅极氧化层所取代。

如图 3.3B 所示，沟道 28 以打算作为栅极电极 2 的材料所填满，较佳地是以掺杂的多晶硅，然后，接下来的步骤是，此排列的顶面部分地加以磨损并平面化，较佳的是通过 CMP。为了确保此步骤结束时，在该图案化层 25 的材料上尽可能地平坦，该图案化层 25 较佳地由氮化所制成，该存储器层 6 以及该边界层 5、7 在该图案化层 25 的顶面加以移除。这使得该图案化层再次从顶面可接近。

图 3.3B 举例说明具有 p 阱形成于其中的半导体本体 1，用于源极及漏极的该已掺杂区域 11，以及以栅极电极 2 的材料所填满并位于通过间隙壁 26 而侧向限定的图案层 25 的类条状区段间的沟道。该图案层的顶面 27 加以暴露。在此例子中一样，若源极/漏极区域接续地透过导电层材料外的掺杂杂质扩散而加以制造时，在一开始的已掺杂区域 11 的植入可以省略。

接着，较佳地是，该栅极电极的该多晶硅进行一热氧化，因此显示于图 3.3C 的该薄氧化区域 29 形成于其顶面，但该图案化层的氮化物则仅在一不重要的范围被氧化这避免了接续栅极电极的硅化。然后，其亦有可能移除该图案化层，虽然该间隙壁留存在适当的地方。若该图案化层由氮化物所制成，并且该间隙壁由氧化物所制成，该图案化层的氮化物可以选择性地有关于该间隙壁的氧化物而加以移除，并不会有问题。该半导体材料接着被暴露于该顶面，在此例子中表示的是在该半导体本体 1 中的已掺杂区域 11。

作为源极/漏极区域制造的第三个变化，在此示范性实施例中，其亦有

可能源极及漏极的植入仅于移除该图案化层25之后的步骤中实行。既然该边界层以及存储器层，特别是在此例子中为一ONO层序列，的施加需要一高温程序，则亦可以具有已经植入的掺杂杂质的扩散，并且在植入之后局部地呈现高浓度。然而，若该植入仅于施加该ONO层结构之后以及移除该图案化层之后才实行，则此温度引起的扩散仅会发生于一非常受限的范围。

接着，一金属层30，举例而言，钴，加以施加，以作为在该图案化层的类条状的位置的导电层8。在一较佳实施例中，硅使用作为该半导体本体，而该金属通过热处理而转换为硅化物，在此例子中，较佳地是硅化钴。

此示范性实施例的制造方法的更进一步步骤此图4.3A至图4.3C做为参考而加以叙述。图4.3A显示平行于字线32，并且垂直于位线以及于埋藏的位线上的导电层8的类条状区段的剖面图。从图4.3A中可知，在此例子中提供作为导电层8的金属层30一开始被一电隔离层31，较佳地是一氧化物，所覆盖。然后，字线32的基本上，举例而言，包含一多晶硅层33、特别是包含金属硅化物的一含金属层34、以及一硬屏蔽层35的层序列施加于该平面表面上该多晶硅层可省略，该含金属层34亦可特别是金属钨施于其上的硅化钨或一双层氮化钨。亦有可能字线简单的仅使用多晶硅层33，而硬屏蔽层直接施加于其上。后面的这个具有多晶硅及硬屏蔽但没有金属的实施例，在重复地使用硅化法，如驱动周边的晶体管，时较为有利。在图4.3A中，在图4.3以及图3C中所举例说明的区段的位置加以表示。

从图4.3C中可以看出，提供作为字线的该层序列33、34、35图案化为条状，并且于侧翼的部分通过间隙壁36而加以隔离，该ONO层序列在此构件的此区域已被移除，并且，于其中亦可看，已图案化成条状的字线的层序列施加于栅极电极2的材料上。在此示范性实施例中，该间隙壁36亦可完全或部分地填满字线间的空间，而之前已于图4C中叙述过的反击穿植入22则亦并入图4.3C所举例说明的实施例中。沿着字线的栅极电极的图案化较佳地是与提供作为字线32的层序列图案化一起。而更进一步的层结构以相似于上述示范性实施例的方式而产生。相同于已知的CMOS程序的驱动

周边的晶体管加以产生。

在如上所述的较佳实施例中，一定义的掺杂杂质浓度位于沟道的基部，特别是通过植入。图5A显示相关于一模式计算的曲线图，其中图3或图4.1所示的绘制平面的侧向尺寸以 μm 表示于横坐标，而自半导体本体的顶面或半导体本体内的一定义层膜的距离 d 以 μm 表示于纵坐标。一典型示范性实施例的相同掺杂杂质浓度的线显示于沟道基部的半导体材料的区域中。

在相关的图5B中，源自图5A的个别纵坐标值 $d/\mu\text{m}$ 标示于横坐标，以 cm^{-3} 表示的掺杂杂质浓度 D 表示于纵坐标，垂直的虚线标示出了边界层5、7以及该存储器层6间的边界，而砷及硼的掺杂杂质浓度的图形分别以实线及虚线表示。在此实施例中，该硼浓度在 10^{17}cm^{-3} 维持稳定，理想地是维持在 $2 \times 10^{17} \text{cm}^{-3}$ 或可以是 $3 \times 10^{17} \text{cm}^{-3}$ 。然而，透过扩散硼原子进入在横坐标值约为 $0.3 \mu\text{m}$ 的区域的该边界层的介电质中，其会显得稍微地变弱。在较佳的示范性实施例中该下部边界层5之下，介于 $5 \times 10^{17} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 之间的砷浓度设置于该沟道基部的最深点之下，其向半导体材料内延伸至 20nm 深。而此特别可通过基本上约 $2 \times 10^{12} \text{cm}^{-3}$ 剂量，能量 20keV 的砷植入而加以达成（利用之前已提及的具有厚度约 6nm 的衬垫氧化层，其余接续地步骤中会被移除）。以此方式设置的掺杂杂质浓度范围 R 在图5B的纵坐标上标示。

被随着通过已定义的因子而高于半导体材料的基部掺杂或阱掺杂的硼浓度，对于砷浓度的限制会因此因子而加倍，所以，位于该沟道基部的区段的一沟道区域的一区段23中设定一掺杂杂质浓度，该掺杂杂质浓度的值处于由 $5 \times 10^{17} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 所限定的范围中，分别乘以作为基部掺杂或阱掺杂而被导入该半导体材料的一掺杂杂质的浓度与数值 10^{17}cm^{-3} 的商，该掺杂杂质浓度以 cm^{-3} 为单位，其中该沟道区域位于该沟道的基部，设计为最大程度地进入该半导体材料的该区段或位于该沟道的基部的中间部分，并且相对于该沟道基部而向该半导体材料中垂直延伸 20nm 。所指出的那些掺杂杂质以外的掺杂杂质亦可适用，以在每个例子中提供具有适当标示的以此法产生的导电型态。

符号列表

1	semiconductor body	半导体本体
2	gate electrode	栅极它极
3, 3a, 3b, 4, 4a, 4b, 10, 110, 111	source/drain regions	源极/漏极区域
5	boundary layer	边界层
6	memory layer	内存层
7	boundary layer	边界层
8	electrically conductive layer	导电层
10	p-well	p阱
11	doped region	已掺杂区域
12	edge isolation	边缘隔离
13	oxide layer	氧化层
14	polysilicon layer	多晶硅层
15	metal-containing layer	含金属层
16	hard mask	硬屏蔽
17	spacer	间隙壁
18	polysilicon layer	多晶硅层
19	metal-containing layer	含金属层
20	hard mask layer	硬屏蔽层
21	spacer	间隙壁
22	anti-punch implantation	反击穿植入
23	section of the channel region	沟道区域区段
24	isolation region	隔离区域
25	patterning layer	图案化层
26	spacer	间隙壁
27	top side of the patterning layer	图案化层的顶面
28	trench	沟道

29	thin oxidized region	薄氧化区域
30	metal layer	金属层
31	electrically isolating layer	电隔离层
34	metal-containing layer	含金属层
35	hard mask layer	硬屏蔽层
36	spacer	间隙壁。

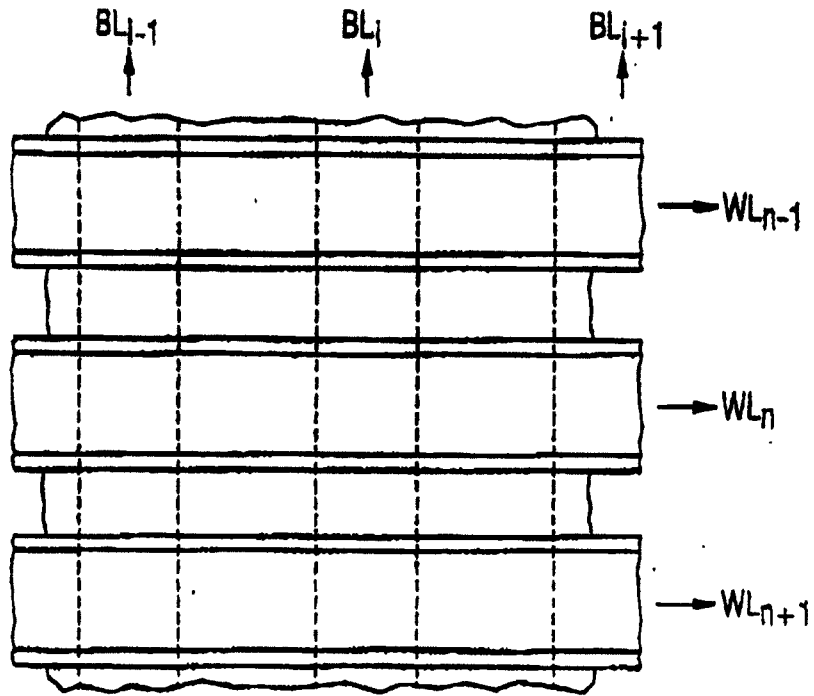


图 0

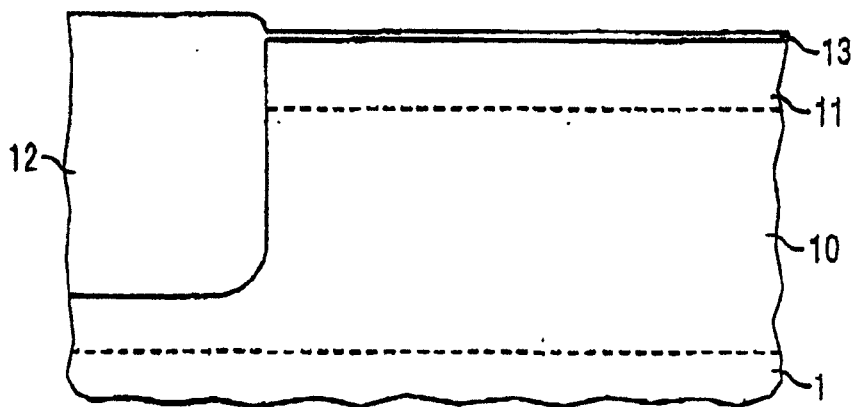


图 1

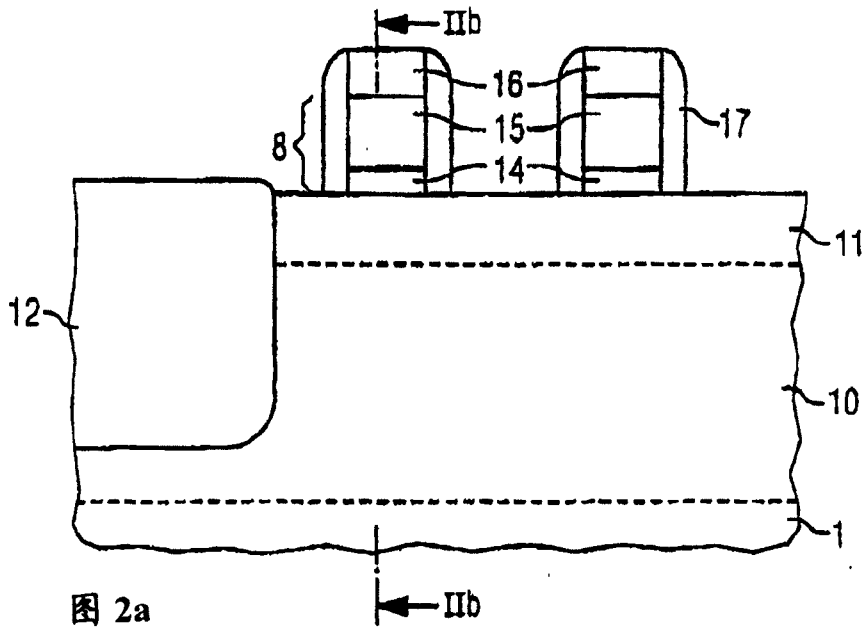


图 2a

FIG 2b

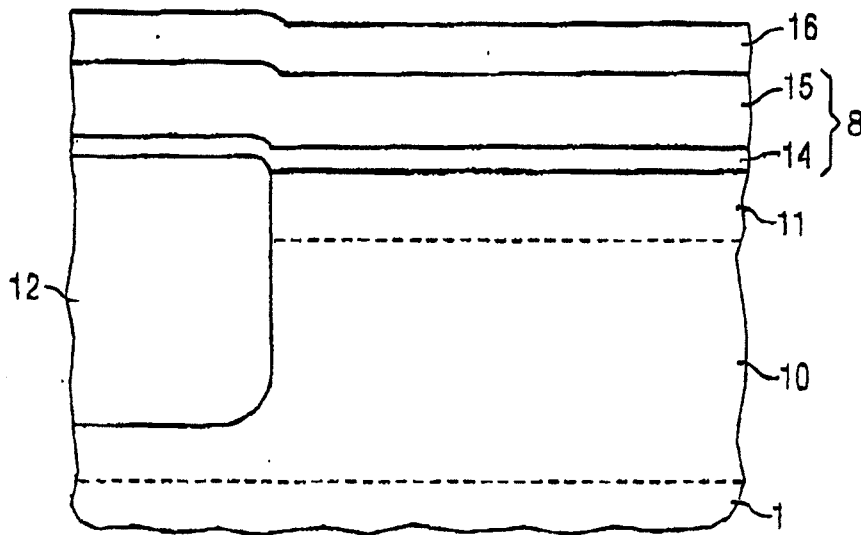


图 2b

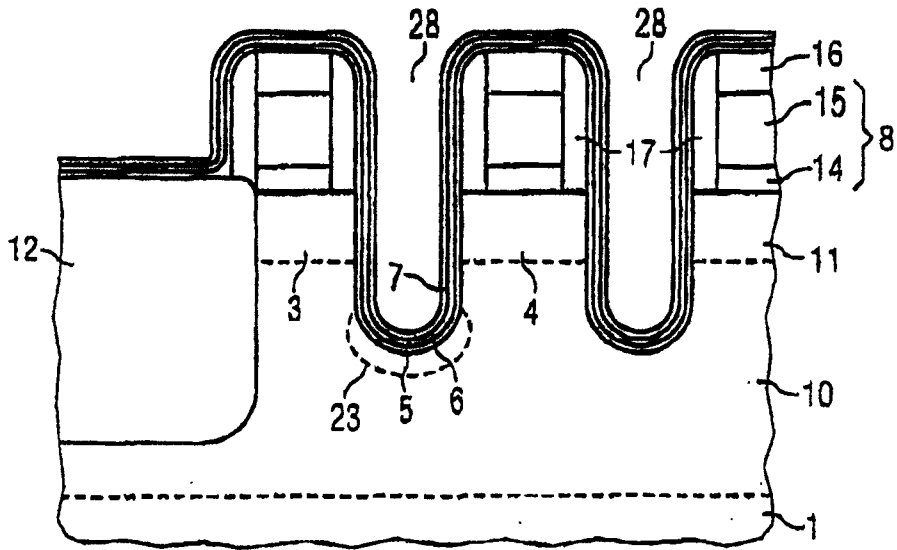


图 3

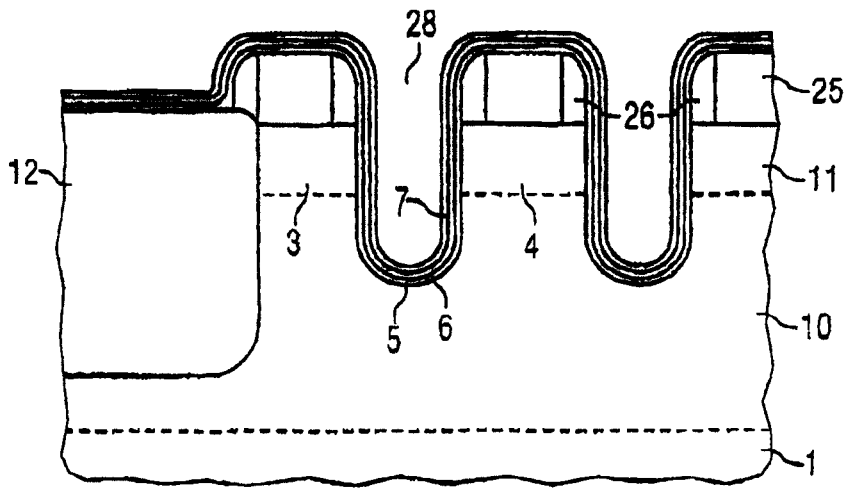


图 3.3a

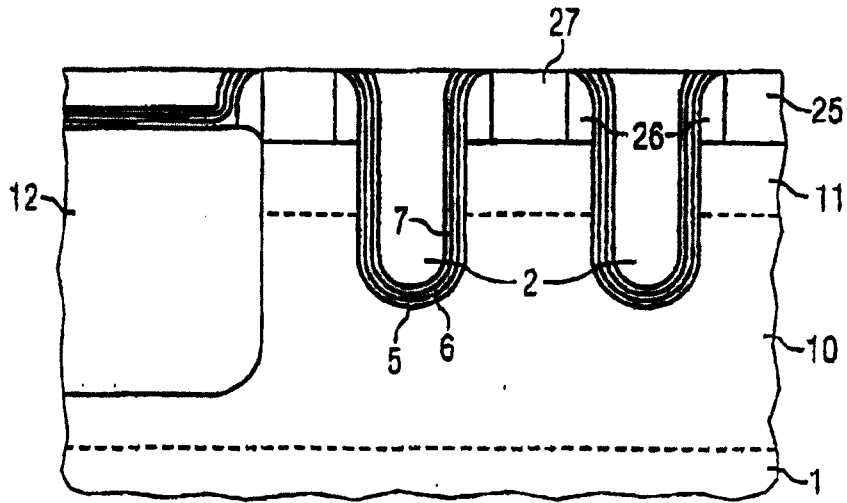


图 3.3b

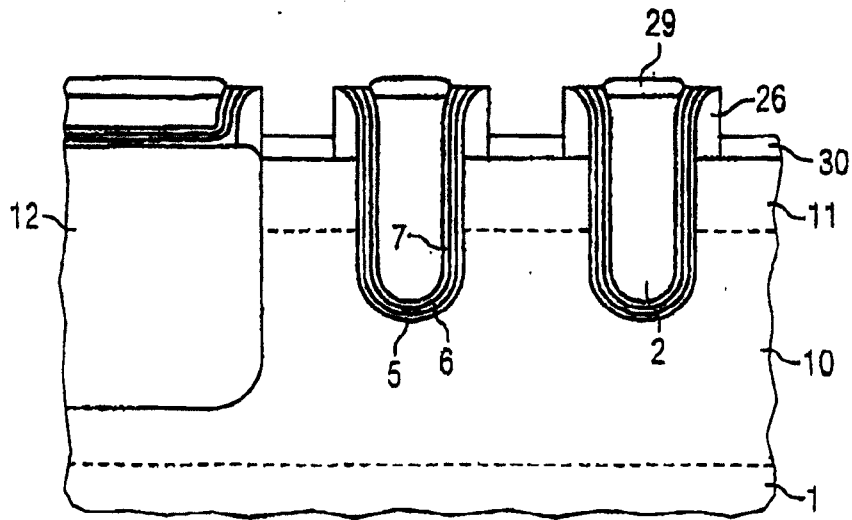


图 3.3c

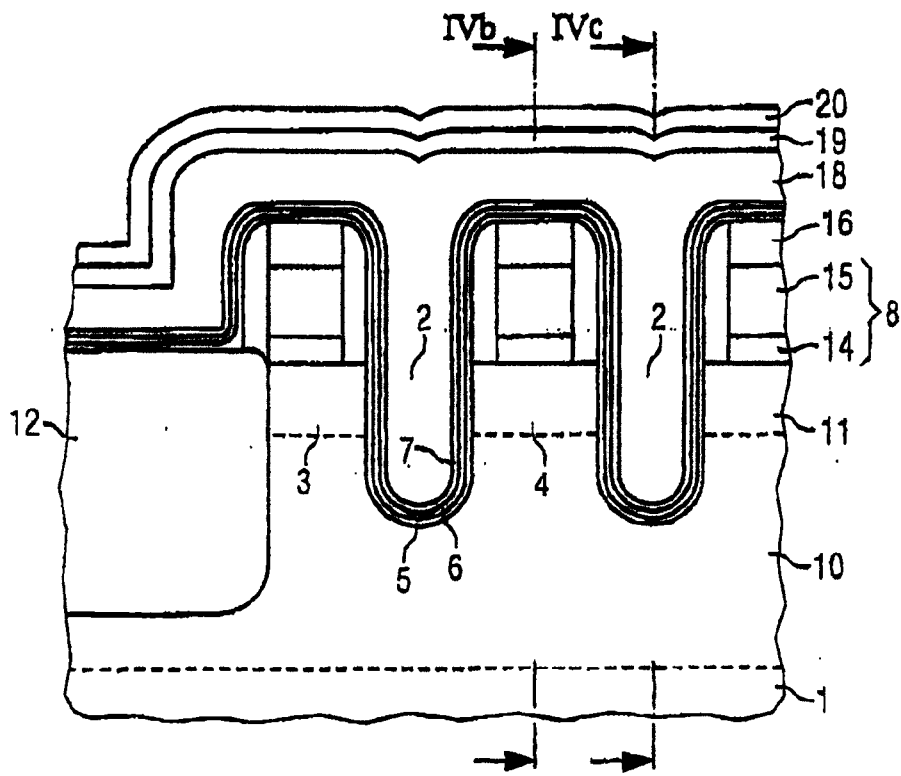


图 4a

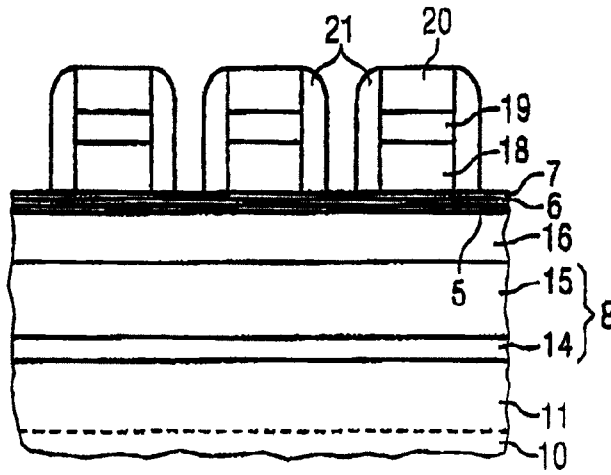


图 4b

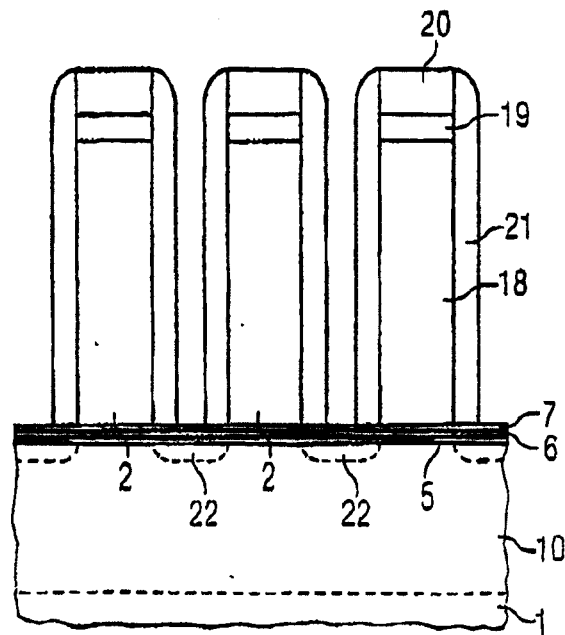


图 4c

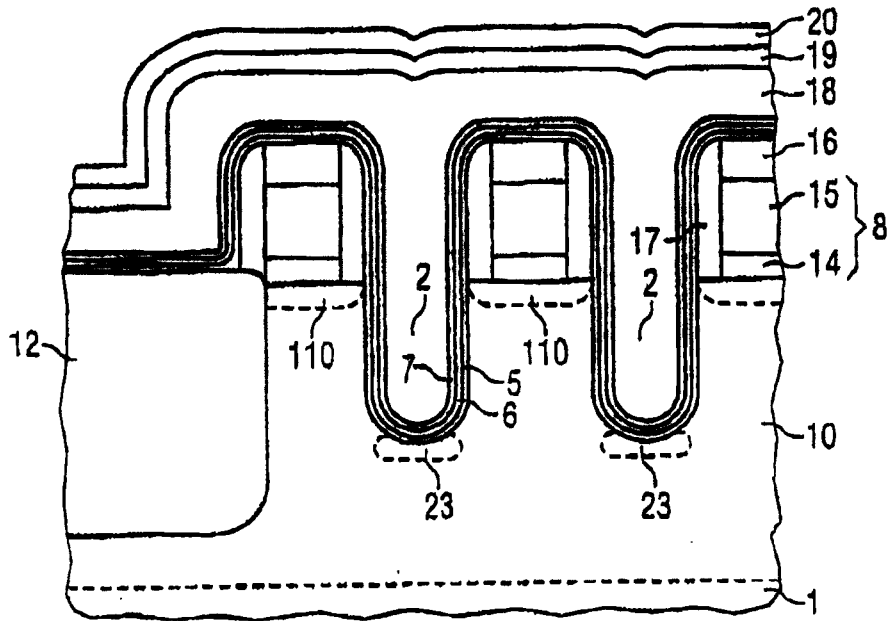


图 4.1

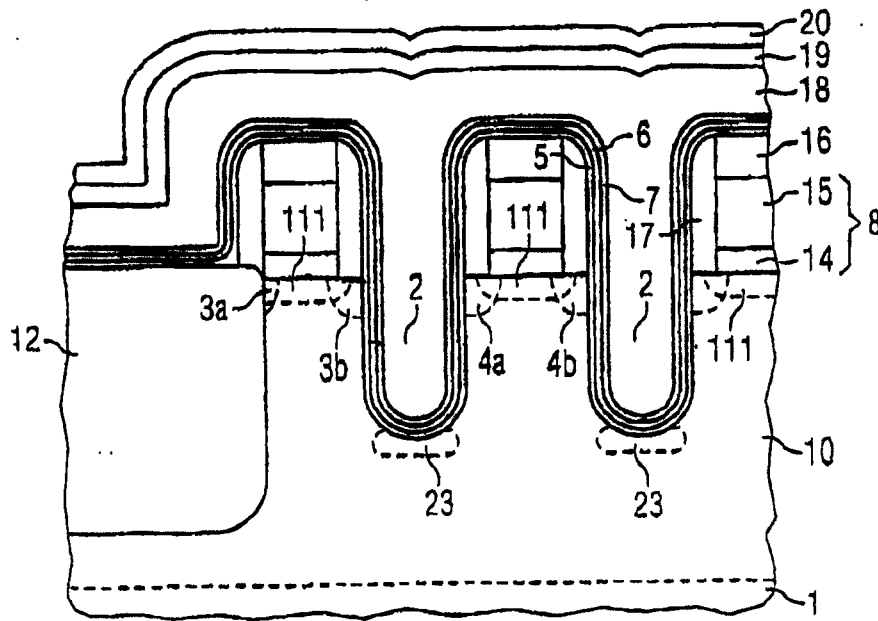


图 4.11

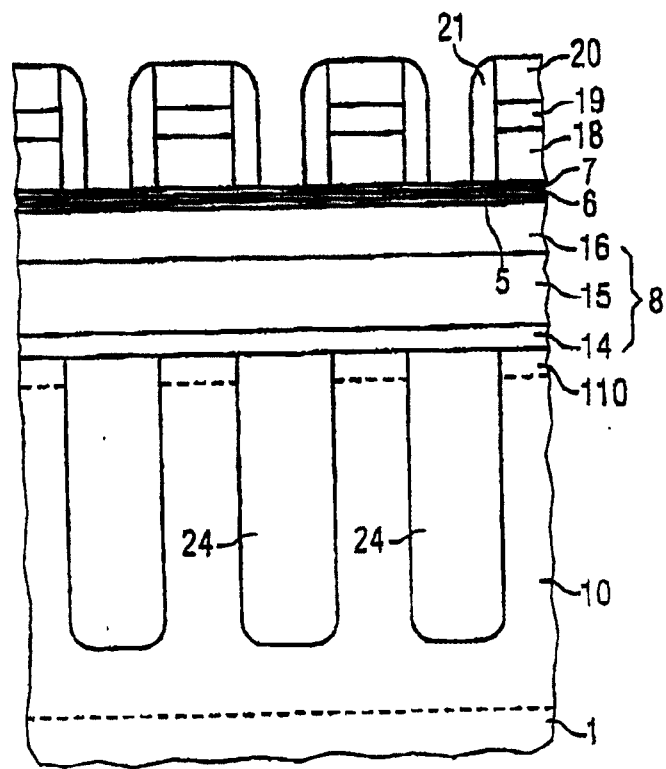


图 4.2b

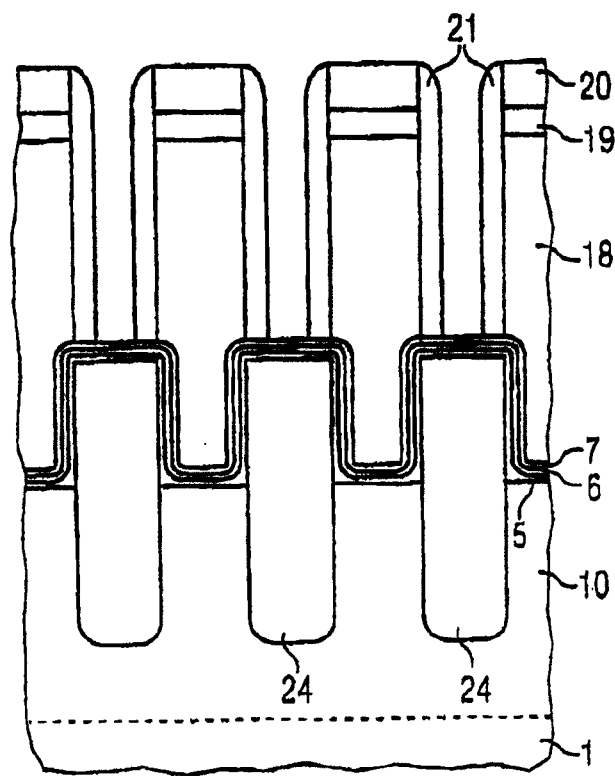


图 4.2c

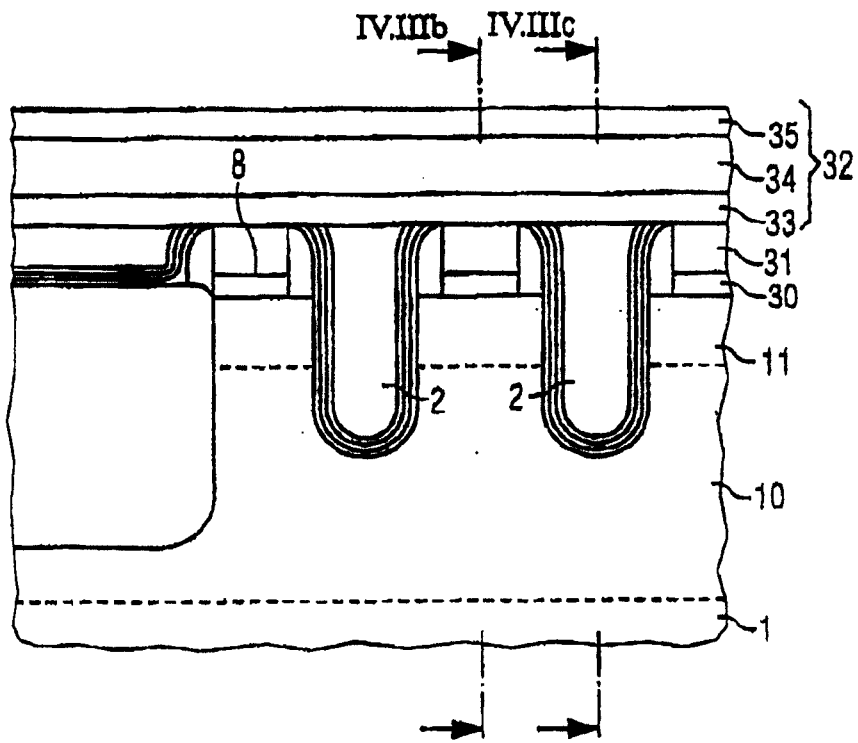


图 4.3a

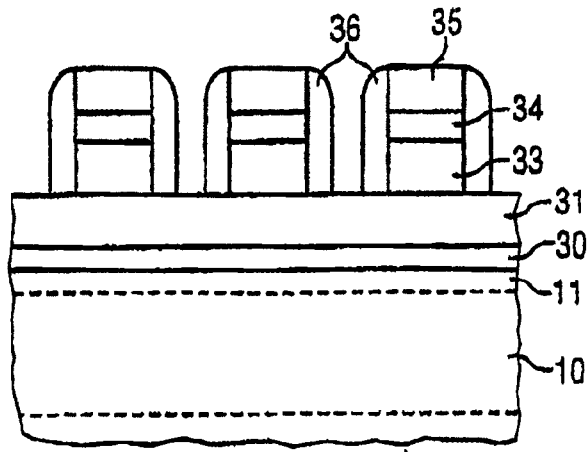


图 4.3b

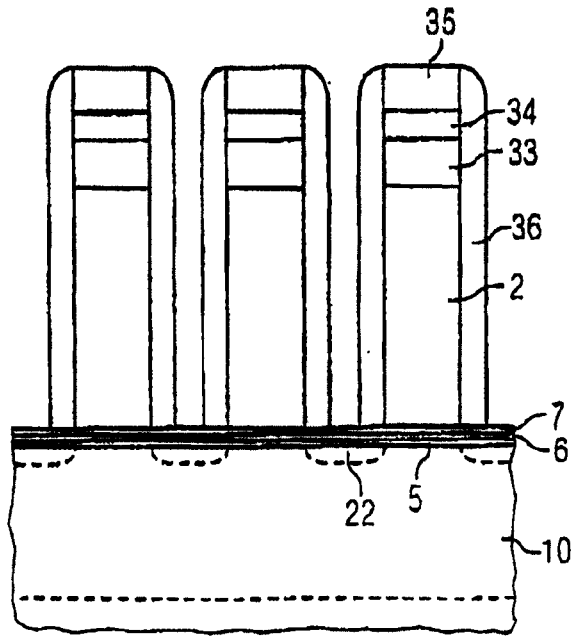


图 4.3c

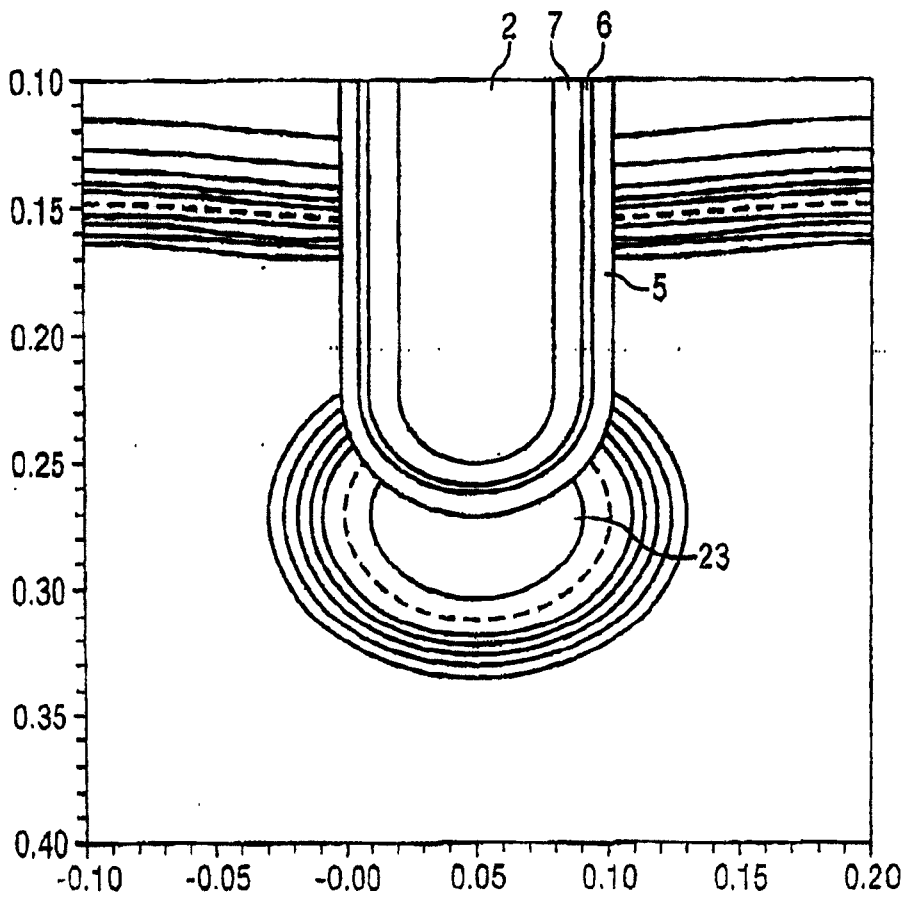


图 5a

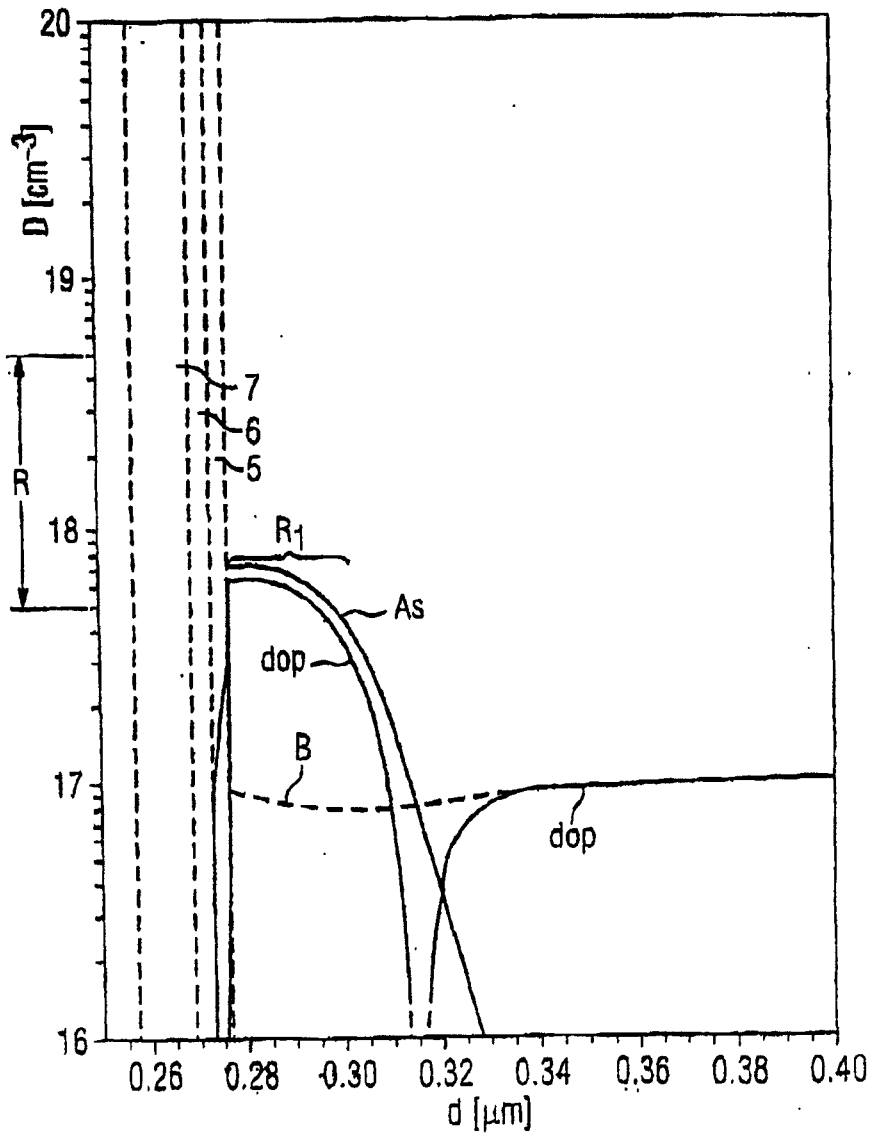


图 5b