

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G01R 31/28

(45) 공고일자 1999년07월 15일
(11) 등록번호 10-0208306
(24) 등록일자 1999년04월 15일

(21) 출원번호	10-1994-0037123	(65) 공개번호	특1995-0021604
(22) 출원일자	1994년12월27일	(43) 공개일자	1995년07월26일
(30) 우선권주장	172778 1993년12월27일 미국(US)		
(73) 특허권자	에이티 앤드 티 코포레이션 엘리 웨이스, 알 비 레비		
(72) 발명자	미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32 나즈미 타헤어 자왈라		
(74) 대리인	미국 뉴저지 08648 라우렌시빌레 나쏘 드라이브 25 치왕 야우 미국 펜실베니아 19067 야드레이 페어필드 로드 1659 이병호		

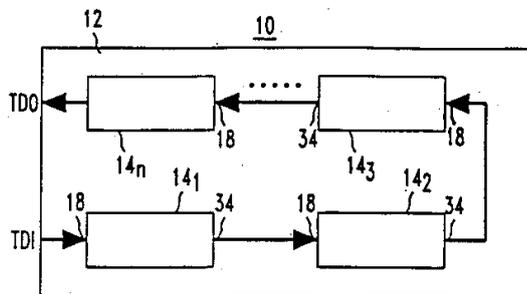
심사관 : 권호영

(54) 경계 주사적용 멀티 칩 모듈

요약

경계 주사 구조를 각각 갖는 n개의 반도체 칩(14₁-14_n)을 구비하는 멀티 칩 모듈(10)은, 바이패스 회로(36, 36' 및 36'')의 추가에 의해 회로 보드로서 및 매크로 디바이스로서 경계 주사 적용된다. 모듈(10)이 매크로 디바이스로서 경계 주사 적용되는 선택된 기간동안, 바이패스 회로는 시험 데이터 입력(18)을 n-1개의 칩 각각의 시험 데이터 출력(34)으로 바이패스 하도록 동작한다. 선택된 기간 이외의 기간동안, 바이패스 회로는 칩 각각의 시험 데이터 입력에 인가된 시험 정보가 칩을 통해 시프트될 수 있도록 하고, 자신의 시험 데이터 출력에서 회로 보드로서 모듈의 경계 주사 적용을 촉진하는 것처럼 보인다.

대표도



명세서

[발명의 명칭]

경계 주사 적용 멀티 칩 모듈

[도면의 간단한 설명]

제1도는 종래 기술에 따른 멀티 칩 모듈(multi-chip module)의 도시도.

제2도는 본 발명에 따른 바이패스(bypass) 회로의 제1실시예를 도시하는 제1도의 모듈 일부에 대한 블록 개략도.

제3도는 본 발명에 따른 바이패스 회로의 제2 양호한 실시예를 도시하는 멀티 칩 모듈의 블록 개략도.

제4도는 제3도의 바이패스 회로에 대한 블록 개략도.

제5도는 본 발명에 따른 바이패스 회로의 양호한 실시예를 포함한 멀티 칩 모듈의 블록 개략도.

제6도는 제5도의 멀티 칩 모듈의 일부를 포함한 반도체 칩의 블록 개략도.

제7도는 제6도의 반도체 칩의 일부를 포함한 명령 검출 논리 회로의 제1 실시예에 대한 블록 개략도.

제8도는 제7도의 명령 검출 논리 회로의 제2 실시예에 대한 블록 개략도.

계 주사 시험 기술을 사용하여 회로 보드로서 시험될 수 있다.

멀티 칩 모듈이 매크로 디바이스로서 경계 주사 적용될 수 있게 하기 위해서, 모듈의 주 입출력을 통하여 볼 수 없는 모듈의 내부 입출력과 관련된 각 내부 경계 주사 레지스터는 두 가지 방법중 한가지로 안정된 상태로 유지된다. 첫째, 경계 주사 설명 언어(description language)를 통해 안정한 값이 결정되어 그 값이 시험 기간 동안 인가되도록 하는 내부 레지스터 구조를 사용하여, 내부 경계 주사 레지스터를 안정한 상태로 유지할 수 있다. 대안적으로, 경계 주사 레지스터는 시험 동안 각각 분리된 모듈 입출력을 통하여 볼 수 있는 레지스터만이 활성 상태가 되도록 재구성될 수도 있다.

[상세한 설명]

제1도는 종래 기술에 따른 멀티 칩 모듈(10)의 블록 개략도이다. 이 모듈(10)은 복수의 반도체 칩($14_1, 14_2, 14_3 \dots 14_n$)을 장착한 기판(12)(예, 세라믹)을 구비하는데, n 은 정수이고, 각 칩은 제2도를 참조하여 설명될 경계 주사 구조를 가지고 있다. 또한, 기판(12)에는 하나 이상의 수동 소자(도시 안됨) 및/또는 경계 주사 구조를 갖지 않는 하나 이상의 반도체 칩(도시 안됨)을 장착할 수 있다. 각각 하나 이상의 칩(14_1-14_n)(수동 소자 및/또는 비경계 주사 반도체 칩)에 선택적으로 결합되어 모듈과 대용량 회로(도시 안됨)를 접속하는 한 세트의 전기 배선(도시 안됨)이 멀티 칩 모듈(10)과 관련된다.

제2도에서는 모듈(10)의 예시적인 반도체 칩(14_i)이 상세히 도시되는데, i 는 n 이하의 정수이다. 칩(14_i)은 IEEE 1149.1 표준 규격(본원에 참조로 포함됨)에 따라 시험할 수 있도록 하는 경계 주사 구조를 칩에 제공할 수 있도록 설계된 경계 주사 회로(16)를 포함한다. 경계 주사 회로(16)는 시험 정보(예컨대, 시험 데이터 또는 명령)열의 연속 비트가 인가되는 시험 데이터 입력(18)(TDI)을 가지다. 이 TDI(18)는 경계 주사 시험을 제어하는 시험 명령을 기억하는 명령 레지스터로 지정된 제1레지스터(1R;20)에 결합된다. 또한, 경계 주사 회로(16)는, TDI(18)에 결합되고 칩(14_i)의 적어도 하나의 입출력(도시 안됨)의 상태를 나타내는 값을 기억하는 역할을 하는 경계 주사 레지스터(22)를 포함한다. 또한, TDI(18)는, 레지스터(20 및 22)를 바이패스(bypass)하도록 하는 1비트 정보를 보유하는 바이패스 레지스터로 기능하는 단일 비트 레지스터(BP;24)에 결합된다. 경계 주사 적용에는 필요없지만, 회로(16)는 통상 반도체 칩(14_i)을 식별하는 비트열을 기억하는 ID 레지스터로 지정된 제 4 레지스터(26)를 구비한다.

경계 주사 레지스터(22), 바이패스 레지스터(24) 및, ID 레지스터(26)는 다중화기(28)의 입력 세트 중 각각의 입력에 결합된 출력을 가진다. 이 다중화기(28)는 제 2 다중화기(30)의 제 1 입력에 결합된 출력을 가지며, 제 2 다중화기의 제 2 입력에는 명령 레지스터(20)의 출력이 제공된다. 동기 플립플롭이 다중화기(36)의 버퍼(32)에 결합되어, 경계 주사 표준 규격에 요구되는 클럭 신호 TCK(도시 안됨)의 하강 에지로 다중화기 출력 신호를 동기화하는 역할을 한다. 버퍼(32)의 출력은, 시험 정보열의 연속 비트가 회로(16)를 통하여 비트 시프트된 후에 나타나는 회로(16)의 시험 데이터 출력(TDO)(34)으로서 기능한다.

제1도를 참조하면, 각 칩($14_1, 14_2 \dots 14_{n-1}$)의 TDO(34)는 칩(14_1 및 14_n)의 TDI(18) 및 TDO(34)에 의해 형성된 TDI 및 TDO를 갖는 경계 주사를 설정하는 칩($14_2, 14_3 \dots 14_n$) 각각의 TDI(18)에 결합된다. 이런 식으로, 시험 명령 및 시험 데이터는, 모듈(10)의 TDI를 형성하는 체인의 제 1 칩(즉, 칩 14_1)의 TDI(18)에 정보를 인가함으로써 칩(14_1-14_n)의 경계 주사 체인을 통하여 시프트 될 수 있다. 마지막 칩(즉, 칩 14_n)의 TDO(34)는 모듈(10)의 TDO를 형성한다.

제2도를 참조하면, 레지스터(20-26) 및 멀티플렉서(28 및 30)의 제어는, 외부 소스로부터 경계 주사 회로(16)에 공급된 시험 모드 선택(Test Mode Select)(TMS)신호, 시험 클럭(Test Clock)(TCK) 신호 및, 시험 리셋(Test Reset)(TRST) 신호에 응답하여 신호 액세스 포트(Test Access Port)(TAP) 제어기(35)에 의해 수행된다. 맵 제어기(35)의 구조 및, 이것이 경계 주사 시험을 제어하는 방법은 본원에서 참조로 포함된 전술된 IEEE 출판 IEEE 표준 규격 시험 액세스 포트 및 경계 주사 구조에서 충분히 설명된다.

전술된 방식으로 결합된 제1도의 칩(14_1-14_n)은, 종래 회로 보드를 시험하는 것과 동일한 방식으로 전술된 IEEE 1149.1 표준 규격에 기술된 경계 주사 시험 기술에 의해 시험될 수 있다. 하지만, 멀티 칩 모듈(10)이 대규모 회로(도시 안됨)내의 구성 부품으로 사용될 경우, 반도체 칩(14_1-14_n)의 집합을 경계 주사 적용되는 단일 매크로 디바이스로 보는 것이 바람직하다.

처음에 설명된 바와 같이, IEEE 표준 규격 1149.1에 각각 적용되는 디바이스들의 세트(즉, 반도체 칩 14_1-14_n 의 체인)가 집합으로는 비적응인 이유가 존재한다.

IEEE 1149.1 표준 규격에 적용되기 위해서, 한 디바이스는 다른 레지스터를 액세스하지 않고 이 소자의 TDI와 TDO 사이에서 한 비트가 시프트될 수 있도록 하는 단일 비트 바이패스 레지스터를 소유해야 한다. 인식되었지만, 제1도의 경계 주사에서 각 칩(14_1-14_n)은 자체의 단일 비트 바이패스 레지스터(24)(제2도 참조)를 가진다. 따라서, 매크로 디바이스로 볼 때, 결과적인 칩(14_1-14_n)의 체인은 실질적으로 칩 수만큼의 비트를 갖는 바이패스 레지스터를 소유하며, 이것은 표준 규격의 위반이다.

각각 개별적으로 경계 주사 적용되는 반도체 칩(14_1-14_n)의 체인이 집합체로는 경계 주사 적용되지 않는 다른 이유가 있다. 경계 주사 시험 동안, 제2도의 경계 주사 레지스터(22)를 선택할 뿐만 아니라, 경계 주사 레지스터와 관련되어 칩(14_1-14_n) 사이의 멀티 칩 모듈내의 내부 노드를 제어하는 셀(도시 안됨)을 선택하는 일정 시험 명령(즉, op 코드 패턴)이 존재한다. 이들 셀은, 경계 주사 레지스터(22)의 내부 논리의 제어 및/또는 관찰을 행하기 위해 경계 주사 레지스터(22) 자체에 존재하는 한 세트의 셀과 디바이스 레벨이 유사하다. 이 셀들은 특히 IEEE 1149.1 표준 규격에 의해 금지된다.

본 발명의 한가지 특징에 따르면, 제1도의 모듈(10)의 칩(14_1-14_n)은, 칩(14_1)과 같은, 적어도 $n-1$ 개의 칩과 관련된 바이패스 회로(36)(제2도 참조)에 의하여 회로 보드와 매크로 디바이스로서 선택적으로 경계

주사 적응된다. 이하 설명되는 바와 같이, 바이패스 회로(36)는 특정 시험 명령이 n-1개의 칩 각각에서 제2도의 경계 주사 회로(16)를 바이패스 할 수 있도록 하는 바이패스 회로와 관련된 n-1 개의 칩 각각의 TD0(34)로 TDI(18)를 실질적으로 단락시킨다.

제2도에 도시된 실시예에서, 바이패스 회로(36)는 칩(14_i)과 같은 칩(14_i-14_n) 중 n-1개의 칩과 관련된 2-입력 다중화기(38)를 포함하며, TDI(18)를 그 칩의 TD0(34)로 실질적으로 단락시킨다. 이러한 단락을 수행하기 위해서, 상기 칩내에 있는 다중화기(38)는 그 관련 칩의 TDI(18)와 TD0(34)에 각각 결합된 제 1 및 제 2 입력을 가지며, 다중화기(38)의 출력은 그 칩에 대한 TD0의 역할을 한다. 다중화기(38)는 자신에게 인가된 제어 신호의 상태에 응답하여 그 입력 중 한 입력의 신호를 자신의 출력(즉, 칩의 새로운 TD 0)으로 통과시키도록 동작한다. 다중화기(38)를 위한 제어 신호는 명령 레지스터(20)의 내용과 외부에서 발생된 신호 BCE(도시 안됨)의 함수이다. 이 BCE 신호는 시험 제어기(도시 안됨)같은 외부 소스로부터 공급되어, 관련 모듈(도시 안됨)이 경계 주사 시험 동안 회로 보드로 경계 주사 적응될 것인지 매크로 디바이스로 경계 주사 적응될 것인지를 알려준다.

칩(14_i-14_n)이 매크로 디바이스로서 경계 주사 적응되는 기간 동안, 특정 시험 정보가 n개의 칩 중 n-1개를 바이패스 하도록 하면, n-1개의 칩 각각에 관련된 다중화기(38)에 인가된 제어 신호는 논리 0상태가 된다. 결과적으로, n-1개의 칩 각각과 관련된 다중화기(38)는 관련 칩(예, 칩 14_i)의 TDI의 신호를 자신의 출력으로 통과시킨다. 따라서, 제1도의 n-1개의 칩(14_i-14_n) 각각의 TDI(18)에 존재하는 시험 정보는 실질적으로 그 칩 내의 경계 주사 회로(16)(제2도 참조)를 바이패스한다.

역으로, 시험 정보가 n개의 칩(14_i-14_n) 각각을 통하여 시프트될 때, 각 다중화기(38)에 인가된 제어 신호는 논리 1레벨이 된다. 이런 식으로, 칩(14_i-14_n) 중 n-1개의 칩과 관련된 다중화기(38)는 각 칩의 TD0(34)(제2도 참조)의 신호를 멀티플렉서 출력으로 통과시킨다. 인식되는 바와 같이, 각 n-1개의 칩 각각이 단락된 TDI(18) 및 TD0(34)를 가지는 기간 동안, 경계 주사 체인의 n개의 칩(14_i-14_n)(제1도 참조)중 한 개만이 그 체인 내에서 활성 상태인 제2도의 단일 비트 바이패스 레지스터(24)를 가질 것이다. 이것은 멀티 칩 모듈(10)이 매크로 디바이스로 시험되어야 할 때 필요한 상태이다.

제2도의 바이패스 회로(36)(즉, 칩(14_i-14_n) 중 n-1개 각각과 연관된 다중화기(38))는 선택된 기간 동안 n-1개의 칩 각각의 바이패스 레지스터(24)(제2도 참조)를 실질적으로 비활성 상태가 되게 하는 간단하고도 경제적인 대책을 제공한다. 그러나, 바이패스 회로(36)를 형성하는 다중화기(38)는 칩(14_i-14_n)에 의하여 형성된 경계 주사 체인에 특정 전파 지연을 유발한다. n개의 크기(즉, 칩 14_i-14_n의 개수)에 따라서 이 지연은 수용하기 곤란할 수도 있다.

제3도를 참조하면, 과도한 전파 지연없이 선택된 기간동안 모든 n개의 칩(14_i-14_n)을 바이패스하는, 본 발명의 제 2 양호한 실시예에 따른, 바이패스 회로(36')를 갖는 모듈(10)이 양호하게 제공된다. 제3도의 바이패스 회로(36')는 칩(14_i-14_n) 이외의 모듈(10)에 의해 장착된 분리된 다이(즉, 디바이스)의 형태를 취한다. 제4도에 잘 도시된 바와 같이, 바이패스 회로(36')는 칩(14_i)과 관련된 제2도의 경계 주사 회로(16)와 동일한 경계 주사 회로(16)를 구비한다. 따라서, 제4도에서는 제2도와 동일한 구성요소를 구별하기 위해 동일한 참조 번호가 사용되었다. 바이패스 회로(36')는 한가지 중요한 예외를 제어하면 제3도의 각 칩(14_i-14_n)과 동일하며, IEEE 1149.1 표준 규격에 따른다. 칩(14_i-14_n)의 경우 다중비트 레지스터를 갖는 반면, 제4도의 회로(16)의 경계 주사 레지스터(22)는 단일 비트 내부 레지스터를 포함한다.

제1도 및 제3도의 반도체 칩(14_i)과 달리, 바이패스 회로(36')는 디코더(40')와 다중화기(42')를 포함한다. 디코더(40')는 바이패스 회로(36')의 경계 주사 회로(16)안에 있는 명령 레지스터(20)의 내용에 응답하고, 또한, 경계 주사 회로 내의 탭(TAP) 제어기(35)로부터 제공된 제어 신호뿐만 아니라 BCE 신호에도 응답한다.

다중화기(42')는 바이패스 회로(36')내의 경계 주사 회로(16)의 TD0(34)에 결합된 제 1 입력을 가진다. 다중화기(42')는, 제3도의 모듈(10)의 칩(14_i-14_n) 체인의 마지막 반도체 칩(즉, 칩 14_n)의 TD0(34)에 결합되는 모듈 시험 데이터 입력(Module Test Data Input)(MTDI)을 설정하는 바이패스 회로(36')의 입력에 결합된 제 2 입력을 가진다. 제4도를 참조하면, 다중화기(42')의 출력은 제3도의 모듈(10)의 시험 데이터 출력을 형성하며 MTDO란 명칭을 갖는다.

제3도의 모듈(10)이 회로 보드로서 경계 주사 적응되는 기간 동안(BCE가 논리 1레벨일 때 발생), 디코더(40')는 MTDI의 신호를 MTDO로 통과시키도록 다중화기(42')를 제어한다. 이런 식으로, 제3도의 칩(14_i-14_n)의 경계 주사 체인 내의 마지막 칩(즉, 칩 14_n)의 TD0(34)는 MTDO(즉, 멀티 칩 모듈(10)의 시험 데이터 출력(TDO))에 결합된다. 이런 조건하에서, 모듈(10)에서 관련된 경계 주사 소자의 체인은 반도체 칩(14_i-14_n) 및 바이패스 회로(36')의 조합에 의해 형성된다.

제4도의 바이패스 회로(36')는 다음 2개의 조건이 존재할 경우 제3도의 모듈(10)이 매크로 디바이스로서 경계 주사 적응되도록 한다. 첫째, BCE 신호의 레벨은 논리 0 레벨이 되어야 한다. 둘째, 특정 형태의 시험 명령(즉, IEEE 1149.1 표준 규격에서 설명된 바와 같은 BYPASS, ICODE/USERCODE, HIGHZ 또는 CLAMP 명령)이 명령 레지스터(20)에 존재해야 한다. 이러한 조건하에서, 디코더(40')는 다중화기(42')가 출력 버퍼(32)로부터의 신호를 도시된 바와 같이 제3도의 모듈(10)의 TDO를 형성하는 MTDO까지 통과시키도록 한다. 따라서, 제4도의 경계 주사 회로(16)의 TDI(18)에서의 신호는 직접 MTDO로 통과하여, 제3도의 칩(14_i-14_n)의 경계 주사 체인을 바이패스한다.

이제 제5도를 참조하면, 본 발명의 제 3 실시예에 따른 바이패스 회로(36)를 포함하는 멀티 칩 모듈(10)이 도시된다. 바이패스 회로(36')가 칩(14_i-14_n)으로부터 분리된 별도의 칩을 포함하는 제3도의 모듈(10)

과 달리, 제5도의 바이패스 회로(36)는 모듈의 TDI에 가장 가까운 첫 번째 칩(즉, 칩₁₄)내에 포함된다. 제6도에 도시된 바와 같이 칩(14₁)은 제2도 및 제4도에 도시된 것과 유사한 경계 주사 회로(16)를 포함한다. 제6도에서 동일한 구성요소에는 동일한 참조번호를 사용했다.

제6도의 바이패스 회로(36)는 명령 검출 논리 회로(40) 및 다중화기(42)를 포함한다. 이 명령 검출 논리 회로(40)(제7도 및 제8도에 매우 상세히 도시됨)는 탭 제어기(35)에서 제공된 제어 신호뿐만 아니라 명령 레지스터(20)에 포함된 정보와 BCE 신호에 응답한다. 다중화기(42)는 제6도의 경계 주사 회로(16)의 TDO(34)에 결합된 제 1 입력 및, 제5도의 칩(14₁-14_n)의 체인의 마지막 칩(즉, 칩_{14n})의 TDO에 접속되는 MTDI로 표시된 입력에 결합된 제 2 입력을 가진다. MTDO로 표시된 다중화기(42)의 출력은 제5도 모듈(10)의 TDO를 형성한다.

다양한 입력 신호의 상태에 따라, 명령 검출 논리 회로(40)는 다중화기(42)가 각 입력의 신호를 출력으로 통과시키도록 한다. BCE 신호가 논리 1인 기간 동안, 명령 레지스터(20)에 특정 명령이 없을 경우, 명령 검출 논리 회로(40)는 다중화기(42)가 MTDI에서 수신된 신호를 MTDO로 통과시키도록 한다. 이러한 방법으로, 시험 정보는 칩(14₁-14_n)을 통하여 제5도의 모듈(10)의 TDI와 TDO사이에서 시프트될 수 있다.

BCE 신호가 논리 0인 경우, BYPASS 부류의 명령들(BYPASS CLAMP, HIZ, USERCODE/IDCODE)이 명령 레지스터(20)에서 검출되는 경우, 명령 검출 논리 회로(40)는 다중화기(42)가 제6도의 경계 주사 회로(16)의 TDO(34)의 신호를 MTDO로 통과시키도록 한다. 이러한 조건하에서, 제5도의 모듈(10)의 TDI로 시프트된 시험 정보열은 칩(14₁-14_n)을 실질적으로 바이패스하는 반도체 칩(14₁)을 통해서만 시프트될 것이다. 따라서, 제6도의 모듈(10)은 디바이스의 체인이 아니라 오�히려 단일 디바이스처럼 보인다.

제7도를 참조하면, 명령 검출 논리 회로(40)는 명령 레지스터(20)에 BYPASS 명령뿐만 아니라 CLAMP 및 HIGHZ, IDCODE/USERCODE 시험 명령이 존재하는지를 검출할 수 있는 디코더(44)로 구성되는 것이 유리하다. 이들 명령 중 임의의 한 명령의 존재는 논리 0 레벨의 BCE와 함께, 디코더(44)가 제어 신호를 발생하도록하여 제6도의 다중화기(42)가 칩(14₁)의 TDO(34)의 신호를 MTDO로 통과시키도록 한다.

BYPASS 신호의 존재만이 관심사일 경우에는, 명령 검출 논리 회로(40)는 제8도에 도시된 바와 같이 2-입력 AND 게이트(46)와 D형 플립플롭(48)의 조합으로 구성될 수 있다. AND 게이트(46)는, 제6도의 명령 레지스터(20)에 결합되어 제6도의 칩(14₁)의 TDI 입력에 인가되어 레지스터(20)에 기억된 시험 명령을 수신하는 제 1 입력을 가진다. AND 게이트는 플립플롭(48)의 D 입력에 결합된 출력을 가지며, 이 플립플롭의 출력은 AND 게이트의 제 2 입력으로 역으로 결합된다.

AND 게이트(46)와 플립플롭(48)의 조합은 제6도의 명령 레지스터(20)에 의해 수신된 명령열 내에 제로가 존재하는지를 기억할 수 있는 능력을 가진 단일 비트 레지스터를 형성한다. 명령열 내에 제로의 존재는 BYPASS 명령 이외의 명령이 존재한다는 지시자이다. 결과적으로, 논리 0이 플립플롭(48)의 출력에 나타난다. 논리 0 레벨 신호가 플립플롭(48)의 출력에 나타나는 경우, 제6도의 다중화기(42)는 칩(14₁)의 TDO(34)를 MTDO에 직접 결합하여 경계 주사 체인의 칩(14₂-14_n) 전부를 실질적으로 바이패스한다.

도시하지 않았지만, 바이패스 회로는, 제5도 및 제6도에 대하여 설명된 바와 같이 그 체인의 첫 번째 칩(즉, 칩₁₄)에서 구현되는 것이 아니라, 경계 주사 체인의 마지막 칩(즉, 칩_{14n})에서 구현될 수도 있다. 바이패스 회로를 칩(14_n)에서 구현하는 경우의 단점은, 칩(14₁)에서 바이패스 회로를 구현할 경우 가능한, 전체 명령열을 모니터링하는 유연성을 제공할 수 없는 것이다. 그러나, 마지막 칩(14_n)에서 바이패스 회로(36)를 구현함으로써, MTDO용인 별도의 포트에 대한 필요성이 제거된다.

본 발명의 다른 특징에 따르면, 모듈(10)에 모듈 레벨 경계 주사 레지스터(22)를 제공하는 것이 바람직하는데, 그 제 1 실시예가 제9도에 도시된다. 제9도에 도시된 바와 같이, 경계 주사 레지스터(22)는 다수의 외부 단일 비트 레지스터 소자(52)(각각 동일한 구성) 및 다수의 내부 레지스터 소자(52')(각각 동일한 구성)를 포함한다. 소자(52)는 각 소자의 제1도 모듈(10)의 분리된 주 입출력 또는 외부 입출력(53)에 결합되므로 외부란 명칭이 붙는다. 반대로, 각 소자(52)는 제1도의 모듈(10)의 주 입출력으로 기능하지 않는 칩(14₁-14_n)(제1도 참조) 각각의 입출력(53')에 결합되기 때문에 내부 소자로 명명된다.

제10도에 잘 도시된 바와 같이, 각 외부 소자(52)는, 소자의 TDI에 존재하는 신호를 소자의 TDO를 형성하는 출력을 갖는 제 1 다중화기(58)의 제 1 입력으로 운반하는 라인(56)을 포함한다. 다중화기(58)의 제 2 입력은 레지스터 셀(60)에 결합되는데, 이 레지스터 셀(60)은 자신에 결합되는 레지스터 셀(62)로부터 수신된 갠신된 값을 보유하는 역할을 하므로 갠신 레지스터 셀로 명명된다. 레지스터 셀(62), TDI 라인(56)에 결합된 제 1 입력을 갖는 다중화기(64)로부터 자신으로 시프트된 값을 기억하므로 시프트 레지스터로 언급된다. 다중화기(64)의 제 2 입력에는 일정한 논리 값(통상적으로, 논리 하이(high) 즉 1 값)이 제공된다.

레지스터 셀(62)은 갠신 레지스터(60)에 존재하는 값을 제어하는 것 외에, 셀(52)에 의해 대응하는 모듈 주 입출력(53)으로 제공된 논리 값을 제어한다. 레지스터 셀(62)에 의해 제공된 신호는 다중화기(64)의 출력에 존재하는 신호에 대응하고, 이 신호는 다중화기 제어 신호에 상태에 따라, TDI 라인(56)상에 존재하는 신호와 다중화기의 제 2 입력의 일정 입력 신호 중 하나가 될 것이다. 다중화기(64)가 모듈 입출력(53)에 존재하는 신호를 제어하는 것처럼, 다중화기(58)는 레지스터 소자(52)의 TDO에 존재하는 신호를 제어한다. 다중화기(58)는 갠신 레지스터(60)로부터의 신호(레지스터(62)에 의해 제공됨)와 TDI 라인(56)상의 신호 중 하나를 셀의 TDO로 통과시킬 것이다.

제11도는 멀티 칩 모듈이 디바이스로 구성될 경우 내부 소자(52')의 블록 개략도를 도시한다. 제11도의 내부 소자(52')는 제10도의 소자(52)와 많은 점에서 동일하고, 따라서, 동일한 참조번호는 동일한 구성요소를 설명하는데 이용된다. 그러나, 제11도의 내부 소자(52')와 제10도의 외부 소자(52) 사이에는 2개의 분명한 차이점이 있다. 첫째, 제10도의 소자(52)에서 레지스터 셀(60 및 62) 사이에 접속이 존재하는 것과 대조적으로, 내부 소자(52')에는 논리적으로 레지스터 셀(60 및 62) 사이에 접속이 존재하지

않는다. 둘째, 제11도의 내부 소자(52')는 다중화기(64)의 출력(신호 BCE에 의해 제어됨)과 레지스터(62) 사이에 삽입된 다중화기(66)를 포함한다. 이 다중화기(66)는 다중화기(64)의 출력이 공급되는 제 1 입력과 소정의 안정한값이 공급되는 제 2 입력을 갖는다. 이런 식으로, 다중화기(66)에 인가된 제어 신호의 상태에 따라서, 레지스터(62)에는 소정의 안정된 값과 다중화기(64)의 출력 중 하나가 제공된다.

제9도에 도시된 경계 주사 레지스터(22) 구성에 의하여, 각 내부 모듈 입출력(53')은, 소자(52')중 대응하는 한 개를 제11도에 도시된 식으로 적절히 구성함으로써 안정된 상태로 유지될 수 있다. 각 내부 소자(52')는 일정 값을 포착하여 시프트 값(즉, 레지스터(62)에 저장된 값)이 갱신되는 것을 방지하도록 제어된다. 셀(52')이 이런 식으로 위장될 필요가 있다는 지식은 멀티 칩 모듈 설계로 부터 획득될 수 있다.

제12도는 모듈 레벨 경계 주사 레지스터(22)의 제 2 실시예를 도시한다. 경계 주사 레지스터(22)와 마찬가지로, 제12도의 레지스터는 외부 및 내부 셀(52 및 52')을 포함한다. 그러나, 이전 실시예와는 달리, 내부 셀(52')은 경계 주사 레지스터의 일부로서 보호되지 않는다. 셀(52')은 제11도에 도시된 바와 같이 구성된다. 제12도에 도시된 바와 같이, 레지스터(TD1 및 TD0) 사이에서 구동되는 경계주사 체인의 외부 셀(52)만 남기도록, 내부 셀(52')은 다중화기(68)에 의해 실질적으로 바이패스될 수 있다. 그러나, 여전히, 내부 셀은 제11도에 도시된 기술을 사용하여 안정한 상태로 유지될 필요가 있다.

지금까지 모듈의 적어도 n-1개의 경계 주사 구조 칩(14₁-14_n)의 TD1을 TD0로 효과적으로 단락시키는 바이패스 회로(36, 36', 36)에 의해, 회로 보드와 매크로 디바이스 양쪽으로 경계 주사 적용될 수 있는 멀티 칩 모듈(10)이 설명되었다.

(57) 청구의 범위

청구항 1

외부 입력/출력을 가지며 회로 보드로서 및 매크로 디바이스로서 경계 주사 적용(Boundary-Scan-compliant)되는 멀티 칩 모듈에 있어서, 입력/출력을 각각 갖는 n개의 반도체 칩(14₁-14_n)(n은 정수)으로서, 상기 칩 중 일부는 상기 모듈의 상기 외부 입력/출력을 형성하고, 상기 칩 각각은 경계 주사 구조를 가지며 경계 주사 체인으로 결합되고, 상기 칩 각각은 시험 데이터 입력(TD1) 및 시험 데이터 출력(TD0)을 포함하며, 상기 체인의 상기 칩 중에서 최초의 칩은 상기 모듈에 관련된 TD1을 통해 자신의 TD1에서의 시험 정보 비트의 스트림을 수신하여 상기 체인을 통해 시프트하고, 상기 체인의 상기 칩 중에서 최후의 칩은 자신의 TD0로부터 상기 모듈에 관련된 TD0로 상기 시험 정보 비트의 스트림을 시프트하며, 상기 체인의 상기 칩 중 상기 최초의 칩과 상기 최후의 칩을 제외한 각각의 칩은 다운스트림 칩의 TD1에 결합된 TD0를 갖는 상기 n개의 반도체 칩(14₁-14_n)과; 상기 칩 중 적어도 n-1개와 관련되어 선택된 기간동안 상기 시험 정보 비트의 스트림이 상기 n-1개의 칩 각각의 TD1로부터 TD0로 직접 바이패스되도록 함으로써 상기 선택된 기간동안 상기 칩이 집합적으로 단일 경계 주사 적용 매크로 디바이스처럼 보이도록 하는 바이패스 회로(36, 36', 36)로서, 상기 모듈에 관련된 TD1을 형성하여 상기 칩의 체인으로의 선택된 송신을 위해 상기 시험 정보 비트의 스트림을 수신하는 시험 데이터 입력(TD1)(18)과; 상기 바이패스 회로의 TD1(상기 모듈에 관련된 TD1도 형성함)에 인가된 상기 시험 정보 비트의 스트림 내에 포함된 명령을 저장하는 명령 레지스터(20)와; 상기 시험 정보 비트의 스트림에 포함된 정보의 비트를 저장하는 바이패스 레지스터(24)와; 상기 명령 레지스터와 상기 바이패스 레지스터 중 하나에 포함된 정보가 상기 체인의 상기 칩 중에서 최초의 칩의 TD1에 선택적으로 공급되는 시험 데이터 출력(TD0)(34)과; 상기 바이패스 회로의 TD0에 결합된 제 1 입력과 상기 체인의 상기 칩 중에서 최후의 칩의 TD0에 결합된 제 2 입력을 가지며, 자신에 인가된 제어 신호에 응답하여 자신의 입력중 개별적인 한 입력의 신호를 자신의 출력(상기 모듈에 대한 시험 데이터 출력(TD0)으로도 기능함)에 전달하는 다중화기(42') 및; 상기 모듈이 매크로 소자와 회로 보드 중 어떤 것으로 경계 주사 적용되어야 할지를 설정하도록, 상기 명령 레지스터에 포함된 명령에 따라, 그리고 자신에 공급된 경계 주사 적용 인에이블 신호의 상태에 따라 상기 다중화기에 대한 제어 신호를 발생시키는 디코더(40')를 포함하는 바이패스 회로(36, 36' 36) 및; 상기 모듈의 외부 입력/출력 중 하나에 각각 관련된 다수의 제 1 레지스터(외부 레지스터) 요소와, 상기 모듈의 외부 입력/출력을 형성하지 않는 입력/출력 중 하나에 각각 관련된 다수의 제 2 레지스터(내부 레지스터) 요소를 가지며, 시험 중에 상기 제 2 레지스터 요소 각각을 안전한 값으로 설정되도록 제어할 수 있는 모듈-레벨 경계 주사 레지스터(22)를 포함하는 멀티 칩 모듈.

청구항 2

제1항에 있어서, 상기 바이패스 회로는 상기 칩 중 n-1개와 각각 관련된 n-1개의 다중화기(38, 42' 42)를 가지며, 각 다중화기는 상기 n-1개의 칩 중 관련된 한 칩의 TD1에 결합된 제 1 입력 및 상기 n-1개의 칩 중 관련된 한 칩의 TD0에 결합된 제 2 입력을 구비하여 자신의 입력중 개별적인 한 입력에 존재하는 신호를 자신의 출력에 전달하고, 상기 출력은 상기 n-1개의 칩 중 다운스트림 칩의 TD1에 결합되는 멀티 칩 모듈.

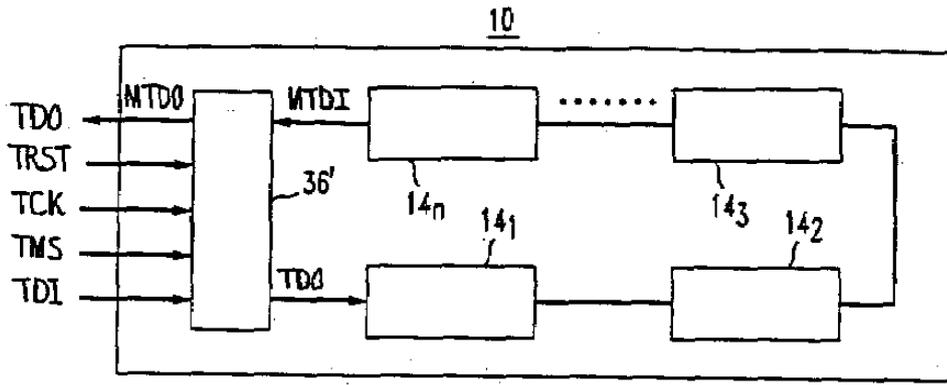
청구항 3

제1항에 있어서, 상기 바이패스 회로는 상기 체인의 상기 칩 중에서 상기 모듈에 관련된 TD1에 가장 가까운 TD1을 갖는 칩과 일체형으로 구성되는 멀티 칩 모듈.

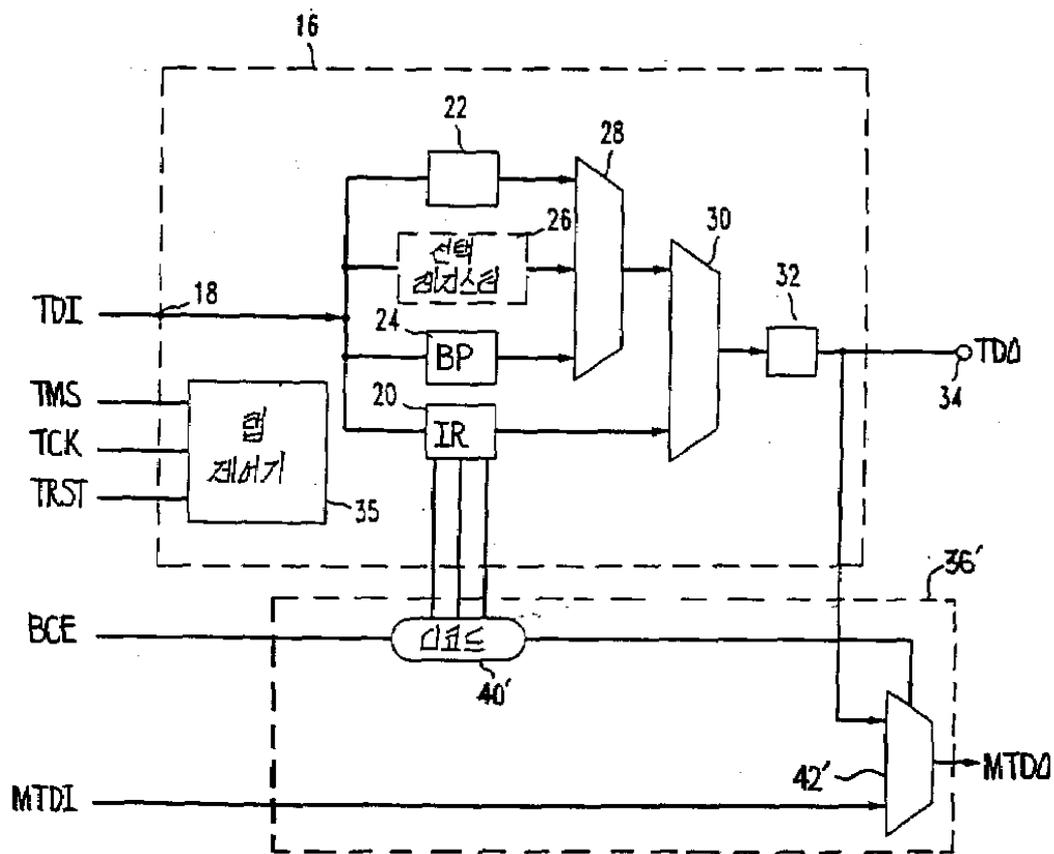
청구항 4

제1항에 있어서, 외부 레지스터 요소 각각은, 제 1 입력에 일정 논리값이 공급되고 제 2 입력에 시험 데이터 입력값이 공급되고, 자신의 입력의 값들 중 개별적인 한 값을 자신의 출력에 선택적으로 전달하는 제 1 다중화기(64)와; 상기 제 1 다중화기의 출력에 존재하는 값을 공급받아 상기 값을 상기 모듈의 입력/출력중 하나에 전달하는 제 1 레지스터 셀(62)과; 상기 시험 데이터 입력값이 공급되는 제 1 입력과, 제 2 입력을 가지며, 자신의 제 1 및 제 2 입력의 값을 자신의 출력에 선택적으로 전달하는 제 2 다중화기(58) 및; 상기 제 1 레지스터 셀에 의해 전달된 값을 공급받아 상기 값을 상기 제 2 다중화기의 제 2 입

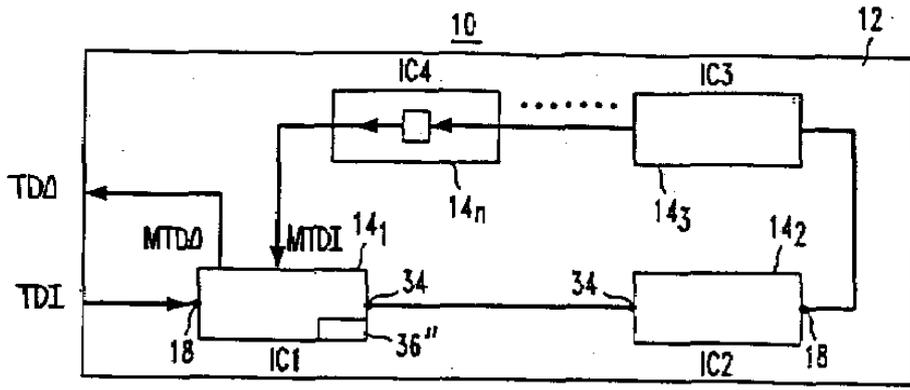
도면3



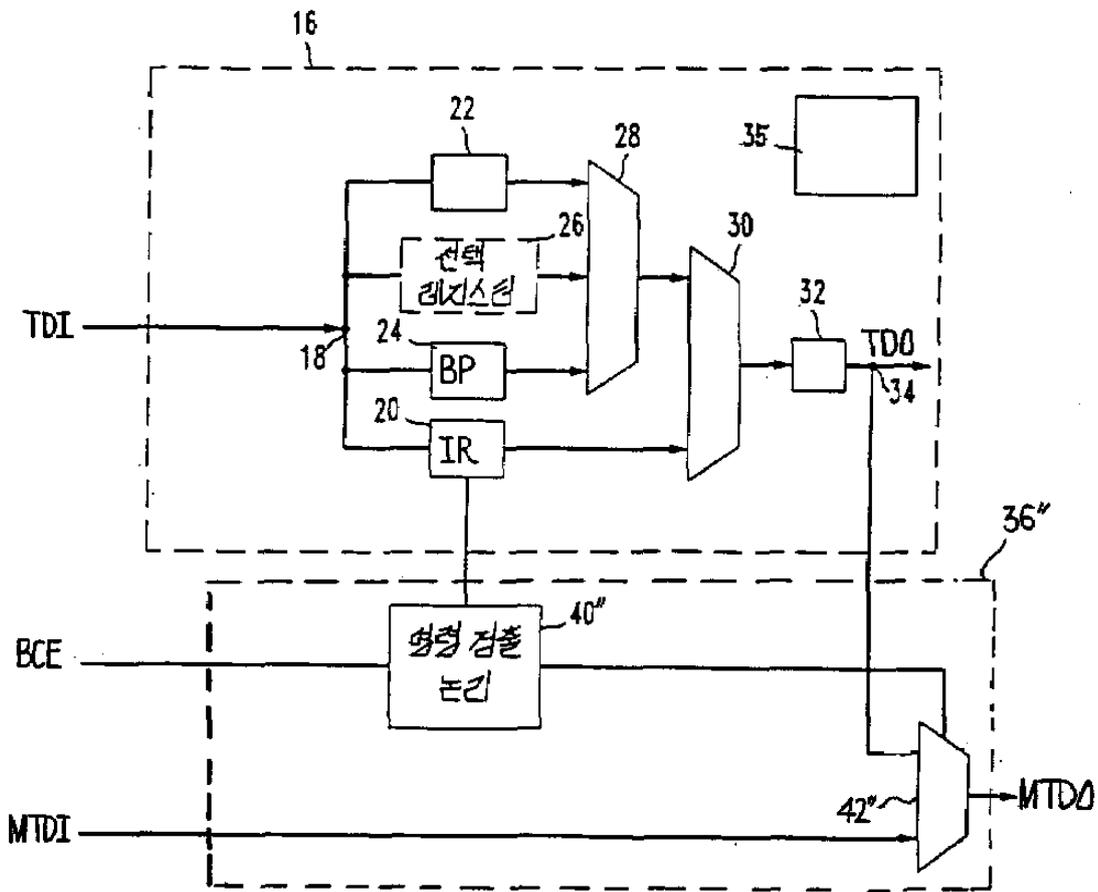
도면4



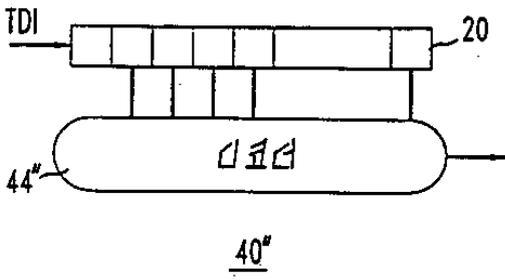
도면5



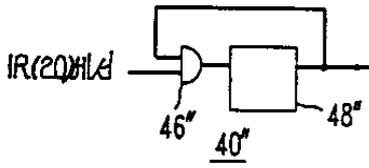
도면6



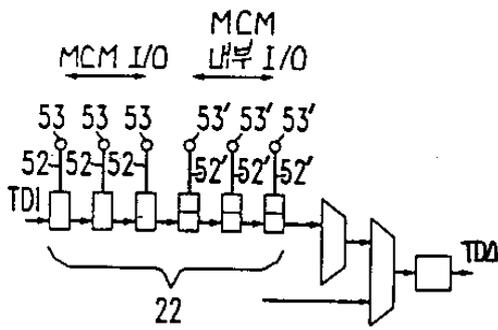
도면7



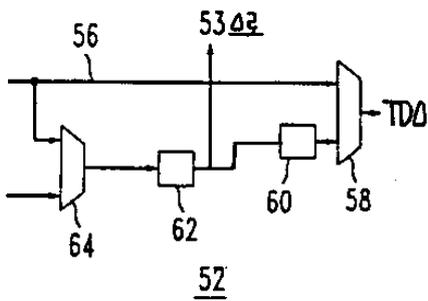
도면8



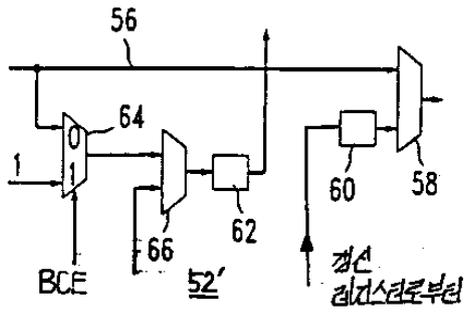
도면9



도면10



도면11



도면12

