

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種薄膜電晶體(Thin Film Transistor)液晶顯示器之畫素結構及其製造方法，且特別是有關於一種使用四道光罩製程之薄膜電晶體液晶顯示器的畫素結構及其製造方法。

【先前技術】

薄膜電晶體液晶顯示面板主要由薄膜電晶體陣列基板、彩色濾光陣列基板和夾於兩基板之間的液晶層所構成，其中薄膜電晶體陣列基板係由多個畫素結構所構成，且每一畫素包括了一薄膜電晶體以及一畫素電極(Pixel Electrode)。

一般薄膜電晶體液晶顯示器之畫素結構的製造方法，較常見的是五道光罩製程。第一道光罩製程是用來定義第一金屬層，以形成掃描配線以及薄膜電晶體之閘極等構件。第二道光罩製程是定義出薄膜電晶體之通道層以及歐姆接觸層。第三道光罩製程是用來定義第二金屬層，以形成資料配線以及薄膜電晶體之源極/汲極等構件。第四道光罩製程是用來將保護層圖案化。而第五道光罩製程是用來將透明導電層圖案化，以形成畫素電極。

然而，隨著薄膜電晶體液晶顯示器朝大尺寸製作的發展趨勢，而將會面臨許多的問題與挑戰，例如良率降低以及產能下降等等。因此若是能減少薄膜電晶體製程的光罩數，即降低薄膜電晶體元件製作之曝光工程次數，就可以減少製造時間，增加產能，進而降低製造成本。

而目前使用四道光罩製程的技術也已經被提出，其大多是於光罩上使用半透光(halftone)的圖案設計，以減少一道光罩數。但是，於光罩上使用半透光圖案的方式卻存在有一些問題，例如光罩佈局設計難度提高以及光阻選擇性是否足夠等等。而且，通常於光罩上使用半透光圖案的技術，在曝光之後的光阻圖案的均勻性經常是不理想的。

【發明內容】

因此本發明的目的就是提供一種薄膜電晶體液晶顯示器之畫素結構的製造方法，其係為一種四道光罩製程，而且不需於光罩上使用半透光圖案(halftone)的技術。

本發明的目的就是提供一種薄膜電晶體液晶顯示器之畫素結構，其係為利用四道光罩製程所製成之畫素結構。

本發明提出一種薄膜電晶體液晶顯示器之畫素結構的製造方法，此方法係首先在一基板上依序形成一透明導電層以及一第一金屬層，並且進行一第一道光罩製程，以圖案化第一金屬層以及透明導電層，而形成一閘極圖案以及一畫素電極圖案。接著在基板上方形形成一閘絕緣層以及一半導體層，覆蓋上述所形成之閘極圖案以及畫素電極圖案，並且進行一第二道光罩製程，以保留閘極圖案之上方之閘絕緣層以及半導體層，並且將畫素電極圖案之第一金屬層移除。隨後，在基板上方形形成一第二金屬層，並且進行一第三道光罩製程，以圖案化第二金屬層，而於保留下來的半導體層上形成一源極圖案與一汲極圖案。接著在基板上方形形成一保護層，並且進行一第四道光罩製程，以圖案化保護層，而使畫素電極圖案之透明導電層暴露出來。

本發明又提出一種薄膜電晶體液晶顯示器之畫素結構，其包括一薄膜電晶體、一畫素電極圖案以及一保護層。其中薄膜電晶體係配置在一基板之表面上，且薄膜電晶體係包括一閘極圖案、配置在閘極圖案上之一閘絕緣層、覆蓋在閘絕緣層上之一半導體層以及形成在半導體層上之一源極圖案與一汲極圖案。畫素電極圖案係配置在基板之表面，且此畫素電極圖案係與上述之薄膜電晶體之汲極圖案電性接觸。另外，保護層係覆蓋住薄膜電晶體，並暴露出上述之畫素電極圖案。

本發明僅需進行四道光罩製程即可以完成畫素結構的製作，其較傳統五道光罩製程可以減少一道光罩數，因此具有增加產能以及降低成本之優點。

本發明之四道光罩製程中並未於光罩上使用半透光圖案(halftone)的技術，因此不會有光罩佈局設計以及光阻選擇性方面的問題，而且也不會有曝光後圖案不均勻之問題。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明所提出之薄膜電晶體液晶顯示器之畫素結構的製造方法完全不需於光罩上使用半透光圖案(halftone)的技術，即可以四道光罩完成畫素結構之製作。而所製成之具有多個畫素結構的基板可以以任何方式與彩色濾光濾光基板及液晶層搭配，以構成一薄膜電晶體液晶顯示面板。以

下之說明係為本發明之較佳實施例，但並非用以限定本發明。

第一實施例

圖 1 是依照本發明一較佳實施例之薄膜電晶體液晶顯示器之其中一畫素結構之上視示意圖，圖 2A 至圖 2H 是依照本發明一較佳實施例之薄膜電晶體液晶顯示器之其中一畫素結構的製造流程剖面示意圖。

請參照圖 1 以及圖 2A，首先在一基板 100 上依序形成一透明導電層 102 以及一第一金屬層 104。在一較佳實施例中，基板 100 上例如包括了有預定形成薄膜電晶體 T (thin film transistor) 之區域、預定形成畫素電極 P (pixel electrode) 之區域、預定形成儲存電容器 C (storage capacitor) 之區域以及預定形成銲墊 B、B' (bonding pad) 之區域。而基板 100 例如是透明玻璃基板或是透明塑膠基板。透明導電層 102 之材質例如金屬氧化物，其例如是銦錫氧化物 (ITO)、銦鋅氧化物 (IZO) 或是其他類似物。而第一金屬層 104 之材質例如是鉻 (Cr)、鎢 (W)、(Ta)、鈦 (Ti)、鉬 (Mo)、鋁 (Al) 或是其合金。特別是，若上述透明導電層 102 之材質是採用 ITO 或 IZO，則第一金屬層 104 較佳的是鉻 (Cr)、鎢 (W)、(Ta)、鈦 (Ti)、鉬 (Mo) 或是其合金。

緊接著，進行一第一道光罩製程，以在第一金屬層 104 上形成一圖案化之光阻層 106，並且以光阻層 106 作為一蝕刻罩幕進行一蝕刻製程，以圖案化第一金屬層 104 以及透明導電層 102，而形成圖案化之第一金屬層 104a 以及圖案化之透明導電層 102a，如圖 2B 所示。在一較佳實施

例中，第一道光罩製程係於預定形成薄膜電晶體 T 之區域中定義出閘極圖案 108、於預定形成畫素電極 P 之區域中定義出畫素電極圖案 110，並且定義出與閘極圖案 108 電性連接之掃瞄配線 150(如圖 1 所示)。

在另一較佳實施例中，更包括於預定形成儲存電容器 C 之區域中定義出下電極圖案 112，儲存電容器 C 例如是一閘極上方之儲存電容器(Cs on gate)。在另一較佳實施例中，第一道光罩製程更包括於基板 100 邊緣預定形成鉚墊 B 之區域中定義出與掃瞄配線 150 電性連接之鉚墊圖案 114，更包括於基板 100 之另一個邊緣預定形成鉚墊 B' 之區域定義出獨立的鉚墊圖案 114a(其剖面係與鉚墊 B 相同或相似)。在另一較佳實施例中，第一道光罩製程更包括定義出下電極圖案 112 以及鉚墊圖案 114。

請參照圖 1 與圖 2C，之後在基板 100 之上方依序沈積一閘絕緣層 116 以及一半導體層 118，覆蓋住上述所形成之結構。在一較佳實施例中，閘絕緣層 116 之材質例如是氮化矽、氧化矽或氮氧化矽。半導體層 118 例如是由一通道材質層(例如是非晶矽)以及一歐姆接觸材質層(例如是摻雜之非晶矽)所構成。

緊接著，進行一第二道光罩製程，以在半導體層 118 上形成一圖案化之光阻層 120，並且以光阻層 120 作為一蝕刻罩幕進行一蝕刻製程，如圖 2D 所示，以圖案化半導體層 118 以及閘絕緣層 116，而形成圖案化之半導體層 118a 以及閘絕緣層 116a，且同時將畫素電極圖案 110 之第一金屬層 104a 移除，而僅留下畫素電極圖案 110 之透明導

電層 102a。在一較佳實施例中，第二道光罩製程係留下閘極圖案 108 上方之半導體層 118a 以及閘絕緣層 116a。

在另一較佳實施例中，第二道光罩製程更包括保留下電極圖案 112 上方之半導體層 118a 以及閘絕緣層 116a，其係作為電容介電層之用。在另一較佳實施例中，第二道光罩製程更包括移除部分鉀墊圖案 114、114a 上之半導體層 118a 以及閘絕緣層 116a，並且移除部分鉀墊圖案 114、114a 之第一金屬層 104a，以使鉀墊圖案 114、114a 之透明導電層 102a 暴露出來。在另一較佳實施例中，第二道光罩製程更包括保留下電極圖案 112 以及鉀墊圖案 114、114a 上方之半導體層 118a 與閘絕緣層 116a，並且移除部分鉀墊圖案 114、114a 之第一金屬層 104a，以使鉀墊圖案 114、114a 之透明導電層 102a 暴露出來。

請參照圖 1 與圖 2E，在基板 100 之上方沈積一第二金屬層 122，覆蓋住上述所形成之結構。在一較佳實施例中，第二金屬層 122 之材質例如是鉻(Cr)、鎢(W)、(Ta)、鈦(Ti)、鉬(Mo)、鋁(Al)或是其合金。

之後，進行一第三道光罩製程，以在第二金屬層 122 上形成一圖案化之光阻層 124，並且以光阻層 124 作為一蝕刻罩幕進行一蝕刻製程，以圖案化第二金屬層 122，而形成圖案化之第二金屬層 122a，如圖 2F 所示。在一較佳實施例中，形成在閘極圖案 108 上方之第二金屬層 122a 係分別是一源極圖案 126 以及一汲極圖案 128，而且汲極圖案 128 係與畫素電極圖案 110 電性接觸，而且於第三道光罩製程中，更包括定義出與源極圖案 126 連接之一資料

配線 160(如圖 1 所示)。在一較佳實施例中，於圖案化該第二金屬層 122 的同時，更包括同時移除位於源極圖案 126 與汲極圖案 128 之間的半導體層 118a 之部分厚度，形成半導體層 118b，以於源極圖案 126/汲極圖案 128 與閘極圖案 108 之間形成一通道層(channel)119。

在另一較佳實施例中，第三道光罩製程更包括保留下對應於下電極圖案 112 之上方之第二金屬層 122a，以作為畫素儲存電容之上電極 129，且上電極 129 係與畫素電極圖案 110 電性接觸，因此上電極 129、下電極圖案 112 以及兩電極之間的介電材料(閘絕緣層 116a 及半導體層 118a)即構成一畫素儲存電容器。在另一較佳實施例中，第三道光罩製程更包括保留下對應於鉀墊圖案 114 之上方的第二金屬層 122a，且該處之第二金屬層 122a 係與鉀墊圖案 114 之第一金屬層 104a 以及透明導電層 102a 電性接觸。並且，於基板 100 邊緣之預定形成鉀墊 B'之區域中形成與資料配線 160 電性連接之第二金屬層 122a，以作為鉀墊圖案 114a 之一部分，較佳的是，鉀墊 B'之結構係與鉀墊 B 之結構相同或相似。在又一較佳實施例中，第三道光罩製程更包括保留下對應於下電極圖案 112 以及鉀墊圖案 114、114a 之上方之第二金屬層 122a。

請參照圖 1 與圖 2G，在基板 100 之上方沈積一保護層 130，覆蓋住上述所形成之結構。在一較佳實施例中，保護層 130 之材質例如是氧化矽、氮化矽、氮氧化矽或是有機材質。

之後，進行一第四道光罩製程，以在保護層 130 上形

成一圖案化之光阻層 132，並且以光阻層 132 作為一蝕刻罩幕進行一蝕刻製程，以圖案化保護層 130，而形成圖案化之保護層 130a，如圖 2H 所示。在一較佳實施例中，圖案化之保護層 130a 係暴露出畫素電極圖案 110 之透明導電層 102a。在另一較佳實施例中，圖案化之保護層 130a 更暴露出鉀墊圖案 114、114a 之透明導電層 102a 之一部分，以使其能與外界之電路電性連接。

由上述之四道光罩製程所形成之畫素結構包括一薄膜電晶體 T、一畫素電極 P 以及一保護層 130a。其中，薄膜電晶體 T 係配置在一基板 100 之表面上，且薄膜電晶體 T 係包括一閘極圖案 108、配置在閘極圖案 108 上之一閘絕緣層 116a、覆蓋在閘絕緣層 116a 上之一半導體層 118a 以及形成在半導體層 118a 上之一源極圖案/汲極圖案 126/128。畫素電極 P 之畫素電極圖案 110 係配置在基板 100 之表面上，且此畫素電極圖案 110 係與上述之薄膜電晶體 T 之汲極圖案 128 電性接觸。另外，保護層 130a 係覆蓋住薄膜電晶體 T，並暴露出上述之畫素電極圖案 110。

在一較佳實施例中，薄膜電晶體 T 之汲極圖案 128 係覆蓋於部分畫素電極圖案 110 之表面上。在另一較佳實施例中，閘極圖案 108 係由一下層透明導電層 102a 以及一上層金屬層 104a 所構成。在一較佳實施例中，在薄膜電晶體 T 中之閘絕緣層 116a 僅形成於半導體層 118a 以及閘極圖案 108 之間。

在一較佳實施例中，本發明之畫素結構更包括一儲存電容器 C，其係配置在基板 100 上，且此儲存電容器 C

係由下電極 112、形成在下電極 112 上方之上電極 129(金屬層 122a)以及夾於兩電極之間之介電材質層(例如是閘絕緣層 116a 與半導體層 118a)所構成。在一較佳實施例中，上述之下電極 112 係由一下層透明導電層 102a 以及一上層金屬層 104a 所構成。在另一較佳實施例中，上述之上電極 129 係覆蓋於部分畫素電極圖案 110 之表面上。

在一較佳實施例中，本發明之畫素結構更包括銲墊 B、B'，配置在基板 100 之二邊緣處，銲墊 B 之銲墊圖案 114 係與掃瞄配線 150 電性連接，且係由一下層透明導電層 102a 以及一上層金屬層 104a 所構成，且上層金屬層 104a 係暴露出部分的下層透明導電層 102a。此外，銲墊 B' 之銲墊圖案 114a 係與資料配線 160 電性連接，且銲墊 B' 之結構係與銲墊 B 相似。而上述之保護層 130a 係暴露出銲墊圖案 114、114a 的下層透明導電層 102a，以使其能與外界的電路電性連接。

第二實施例

第二實施例之薄膜電晶體液晶顯示器之畫素結構及其製造方法與上述第一實施例相似，不相同之處在於圖 2A 之步驟中，當於基板 100 上形成透明導電層 102 之後，於透明導電層 102 上所形成的第一金屬層 104 是多層金屬層結構，其例如是兩層或三層金屬層所構成，其例如是選自鉻(Cr)層、鎢(W)層、鉭(Ta)層、鈦(Ti)層、鉬(Mo)層、鋁(Al)層以及其合金層之組合所構成之多層金屬層。在一實施例中，第一金屬層 104 例如是 Al/Cr/Al 三層結構、

Mo/Al/Mo 三層結構或是 Cr/Al 兩層結構等等組合。特別是，若上述透明導電層 102 之材質是採用 ITO 或 IZO，則多層金屬層 104 中與透明導電層 102 接觸的膜層較佳的是採用(Cr)層、鎢(W)層、鉭(Ta)層、鈦(Ti)層、鉬(Mo)層以及其合金層。

因此，在圖 2B 之步驟中，於預定形成薄膜電晶體 T 之區域中所定義出的閘極圖案 108、於預定形成畫素電極 P 之區域中所定義出畫素電極圖案 110 以及掃描配線 150(如圖 1 所示)的金屬層部分是由多層金屬層所構成。而下電極圖案 112 以及鉀墊圖案 114、114a 的金屬層部分也同樣是由多層金屬層所構成。

之後的步驟，即圖 2C 至圖 2D 之步驟皆與上述實施例相同，因此不再贅述。而在圖 2E 中，在基板 100 之上所沈積的第二金屬層 122 是多層金屬層結構，其例如是兩層或三層金屬層所構成，其例如是選自鉻(Cr)層、鎢(W)層、鉭(Ta)層、鈦(Ti)層、鉬(Mo)層、鋁(Al)層以及其合金層之組合所構成之多層金屬層。在此，第二金屬層 122 與先前第一金屬層 104 之層數及組成金屬材料可以相同，亦可不相同。

因此，在圖 2F 之步驟中，所形成之源極圖案 126、汲極圖案 128 以及資料配線 160 的金屬層部分是由多層金屬層所構成。同樣的，畫素儲存電容之上電極 129 的金屬層部分是由多層金屬層所構成。

之後的步驟，即圖 2G 至圖 2H 之步驟皆與上述實施例相同，因此不再贅述。

由以上說明可知，本發明僅需進行四道光罩製程即可以完成畫素結構的製作，其較傳統五道光罩製程可以減少一道光罩數，因此具有增加產能以及降低成本之優點。

而且，本發明之四道光罩製程中並未於光罩上使用半透光圖案(halftone)的技術，因此不會有光罩佈局設計以及光阻選擇性方面的問題，而且也不會有曝光後圖案不均勻之問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是依照本發明一較佳實施例之薄膜電晶體液晶顯示器之畫素結構的上視示意圖。

圖 2A 至圖 2H 是依照本發明一較佳實施例之薄膜電晶體液晶顯示器之畫素結構的製造流程剖面示意圖。

【主要元件符號說明】

100：基板

102、102a：透明導電層

104、104a、122、122a：金屬層

106、120、124、132：光阻層

108：閘極圖案

110：畫素電極圖案

112：下電極圖案

114、114a：鐳墊圖案

- 116、116a：閘絕緣層
- 118、118a、118b：半導體層
- 126：源極
- 128：汲極
- 129：上電極
- 130、130a：保護層
- 150：掃瞄配線
- 160：資料配線
- T：薄膜電晶體
- P：畫素電極
- C：儲存電容
- B、B'：鉸墊

五、中文發明摘要：

一種薄膜電晶體液晶顯示器之畫素結構的製造方法，此方法係首先在一基板上依序形成一透明導電層以及一第一金屬層，並且圖案化第一金屬層以及透明導電層而形成一閘極圖案以及一畫素電極圖案。接著在基板上方形成一閘絕緣層以及一半導體層，並且進行一圖案化製程，以保留閘極圖案之上方之閘絕緣層以及半導體層，且移除畫素電極圖案之第一金屬層。隨後，在基板上方形成一第二金屬層，並且圖案化第二金屬層，而於半導體層上形成一源極圖案與一汲極圖案。接著在基板上方形成一保護層，並且圖案化保護層，而使畫素電極圖案之透明導電層暴露出來。

六、英文發明摘要：

A method of fabricating a pixel structure of a thin film transistor liquid crystal display is described. A transparent conductive layer and a first metal layer are formed over a substrate sequentially. Patterning the first metal layer and the transparent conductive layer is performed to form a gate pattern and a pixel electrode pattern. A gate insulating layer and a semiconductor layer are formed over the substrate sequentially. A patterning process is performed to remain the semiconductor layer and the gate insulating layer above the gate pattern and remove the first metal layer of the pixel electrode pattern. A second metal layer is formed over the substrate. Patterning the second metal layer is performed to form a source

pattern and a drain pattern. A passivation layer is formed over the substrate, and then the passivation layer is patterned to expose the transparent conductive layer of the pixel electrode pattern.

七、指定代表圖：

(一)本案指定代表圖為：圖 2H。

(二)本代表圖之元件符號簡單說明：

100：基板

102a：透明導電層

104a、122a：金屬層

108：閘極圖案

110：畫素電極圖案

112：下電極圖案

114：鉾墊圖案

116a：閘絕緣層

118b：半導體層

126：源極

128：汲極

129：上電極

130a：保護層

T：薄膜電晶體

P：畫素電極

C：儲存電容

B、B'：鉾墊

十、申請專利範圍：

1.一種薄膜電晶體液晶顯示器之畫素結構的製造方法，包括：

在一基板上依序形成一透明導電層以及一第一金屬層；

進行一第一道光罩製程，以圖案化該第一金屬層以及該透明導電層，而定義出一閘極圖案以及一畫素電極圖案；

在該基板上方依序形成一閘絕緣層以及一半導體層，覆蓋該閘極圖案以及該畫素電極圖案；

進行一第二道光罩製程，以保留下該閘極圖案之上方之該閘絕緣層以及該半導體層，並且移除該畫素電極圖案之該第一金屬層；

在該基板之上方形成一第二金屬層；

進行一第三道光罩製程，以圖案化該第二金屬層，而於保留下來的該半導體層上形成一源極圖案與一汲極圖案；

在該基板上方形成一保護層；以及

進行一第四道光罩製程，以圖案化該保護層，而使該畫素電極圖案之該透明導電層暴露出來。

2.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中：

於該第一道光罩製程中，更包括定義出一下電極圖案；

於該第二道光罩製程中，更包括保留位於該下電極圖

案上之該閘絕緣層與該半導體層；以及

於該第三道光罩製程中，更包括於該下電極圖案上方之該半導體層上保留下該第二金屬層，以作為一上電極。

3.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中：

於該第一道光罩製程中，更包括定義出一鉅墊圖案；

於該第二道光罩製程中，更包括保留部分該鉅墊圖案上方之該閘絕緣層與該半導體層，並且移除部分該鉅墊圖案之該第一金屬層；

於該第三道光罩製程中，更包括保留該鉅墊圖案上方之該第二金屬層；以及

於該第四道光罩製程中，更包括移除部分該鉅墊圖案上之該保護層。

4.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中：

於該第一道光罩製程中，更包括定義出一下電極圖案以及一鉅墊圖案；

於該第二道光罩製程中，更包括保留位於該下電極圖案以及部分該鉅墊圖案上方之該閘絕緣層與該半導體層，並且移除部分該鉅墊圖案之該第一金屬層；

於該第三道光罩製程中，更包括於該下電極圖案上方之該半導體層上保留下該第二金屬層，以作為一上電極，並且保留該鉅墊圖案上方之該第二金屬層；以及

於該第四道光罩製程中，更包括移除部分該鉅墊圖案上之該保護層。

5.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中於該第三道光罩製程中，更包括移除位於該源極圖案與該汲極圖案之間的該半導體層之部分厚度。

6.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中該第一金屬層係為一單一金屬層、一合金層或是一多層金屬層。

7.如申請專利範圍第 1 項所述之薄膜電晶體液晶顯示器之畫素結構的製造方法，其中該第二金屬層係為一單一金屬層、一合金層或是一多層金屬層。

8.一種薄膜電晶體液晶顯示器之畫素結構，包括：

一薄膜電晶體，配置在一基板之一表面上，該薄膜電晶體係由一閘極圖案、配置在該閘極圖案上之一閘絕緣層、覆蓋在該閘絕緣層上之一半導體層以及形成在該半導體層上之一源極圖案與一汲極圖案所構成；

一畫素電極圖案，配置在該基板之該表面，且該畫素電極圖案係與該薄膜電晶體之該汲極圖案電性接觸；以及

一保護層，覆蓋住該薄膜電晶體，並暴露出該畫素電極圖案。

9.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該汲極圖案係覆蓋於部分該畫素電極圖案之表面上。

10.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該閘極圖案係由一下層透明導電層以及一上層金屬層所構成。

11.如申請專利範圍第 10 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該上層金屬層係為一單一金屬層、一合金層或是一多層金屬層。

12.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，其中在該薄膜電晶體中，該閘絕緣層僅形成於該半導體層以及該閘極圖案之間。

13.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，更包括一儲存電容器，配置在該基板上，該儲存電容器係由一下電極、一上電極以及一電容介電層所構成。

14.如申請專利範圍第 13 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該下電極係由一下層透明導電層以及一上層金屬層所構成。

15.如申請專利範圍第 13 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該上電極係覆蓋於部分該畫素電極圖案之表面上。

16.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，更包括一鐳墊圖案，配置在該基板之二邊緣處。

17.如申請專利範圍第 16 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該鐳墊係由一下層透明導電層以及一上層金屬層所構成，且該上層金屬層係暴露出部分的該下層透明導電層。

18.如申請專利範圍第 16 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該保護層係暴露出該鐳墊圖案的該

下層透明導電層。

19.如申請專利範圍第 8 項所述之薄膜電晶體液晶顯示器之畫素結構，其中該源極圖案與該汲極圖案係為一單一金屬層、一合金層或是一多層金屬層。

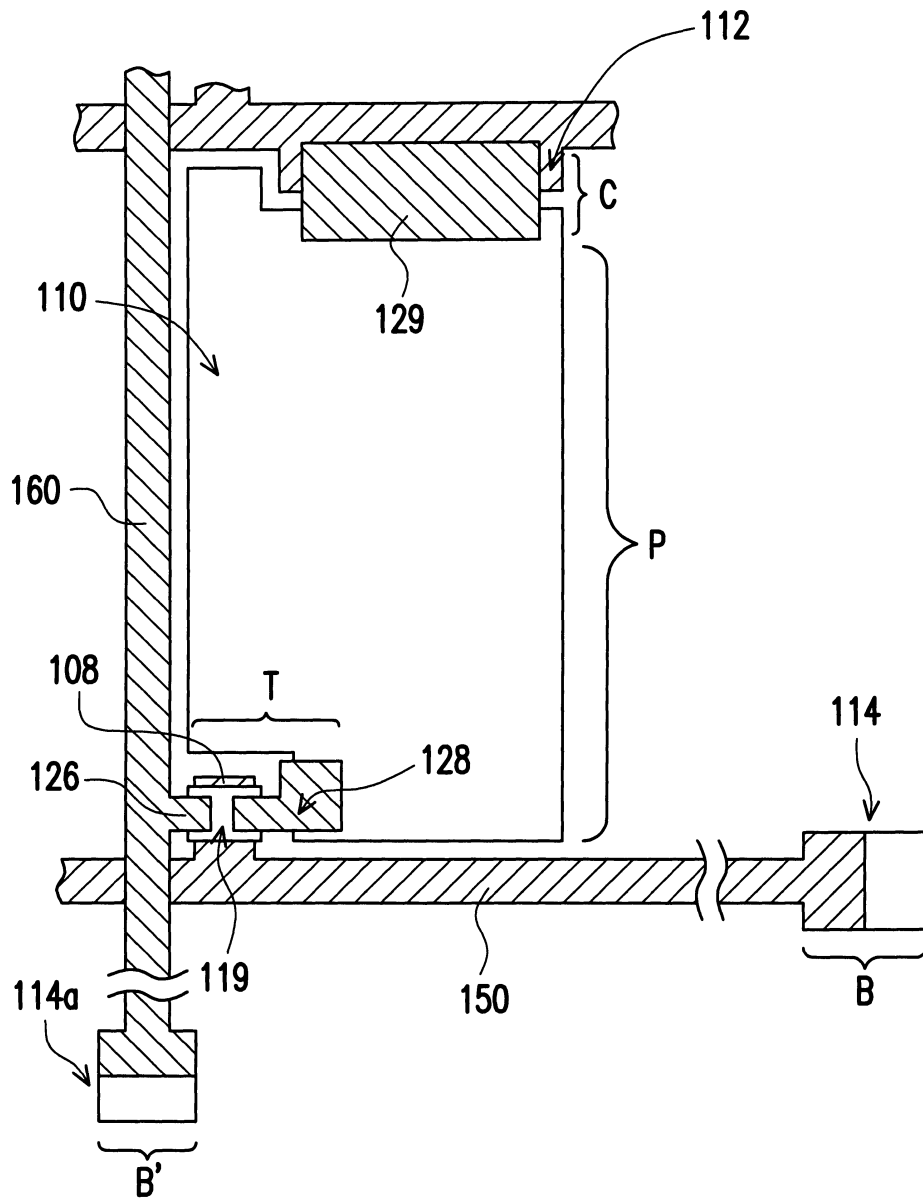


圖 1

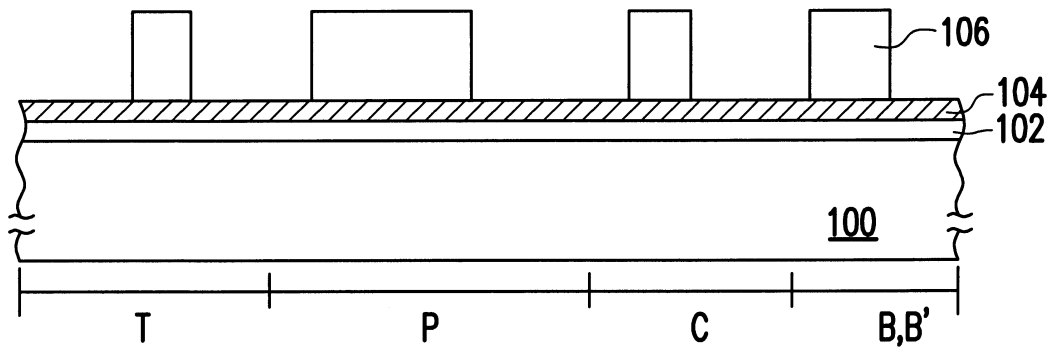


圖 2A

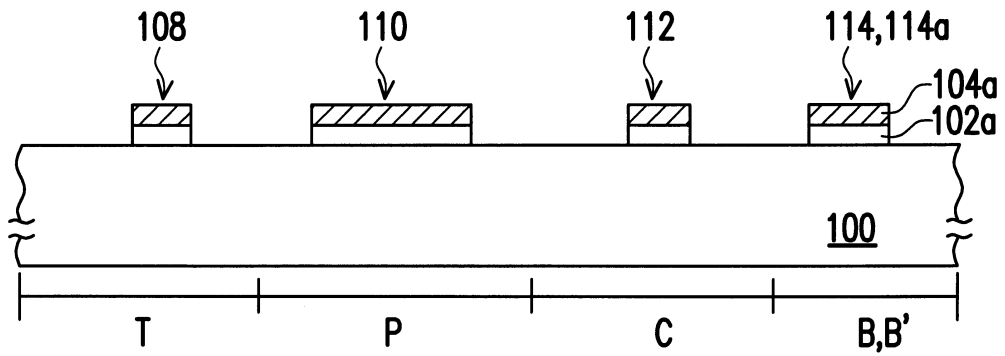


圖 2B

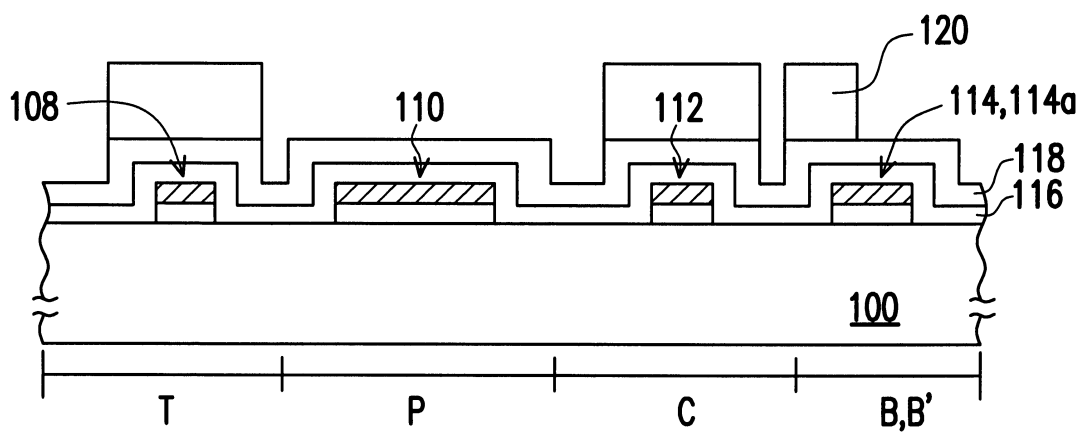


圖 2C

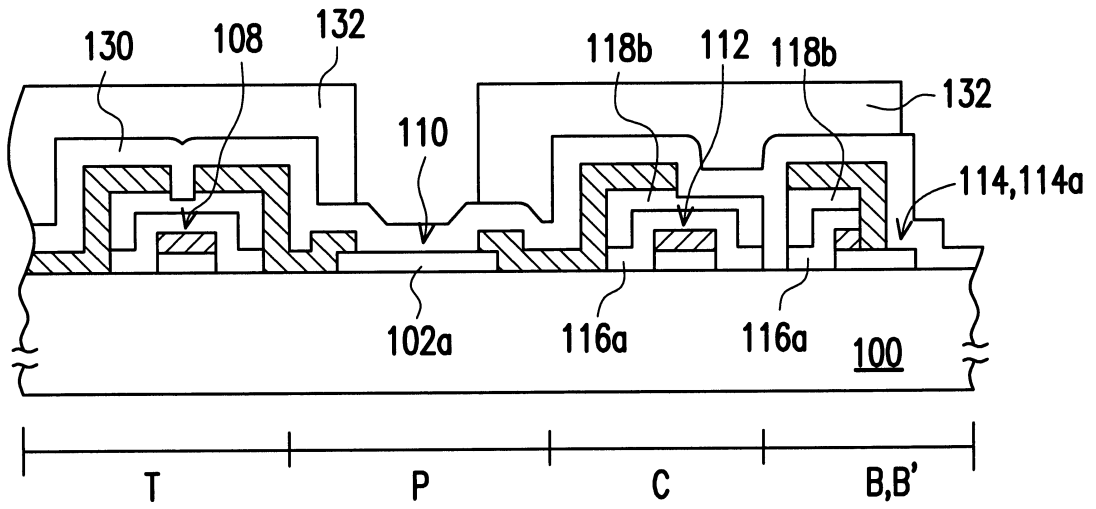


圖 2G

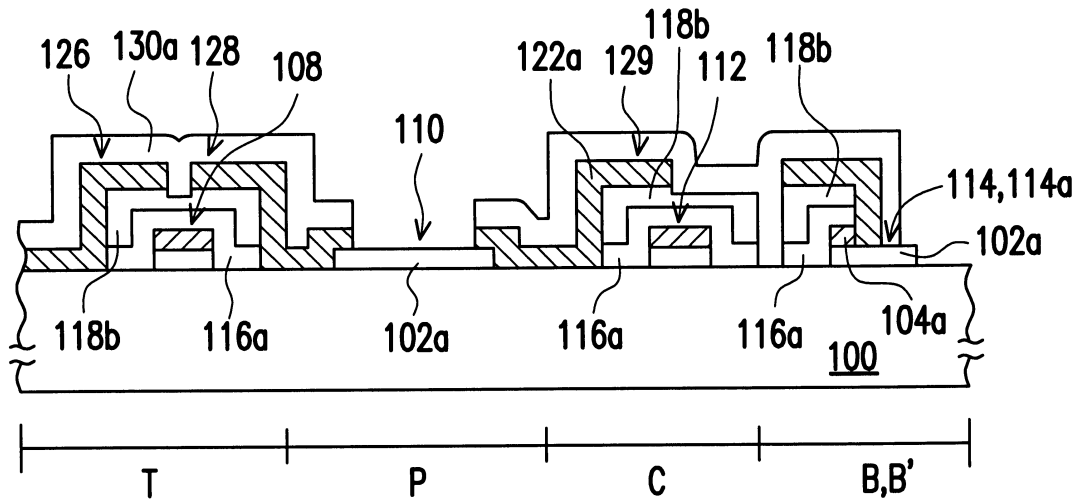


圖 2H

pattern and a drain pattern. A passivation layer is formed over the substrate, and then the passivation layer is patterned to expose the transparent conductive layer of the pixel electrode pattern.

七、指定代表圖：

(一)本案指定代表圖為：圖 2H。

(二)本代表圖之元件符號簡單說明：

100：基板

102a：透明導電層

104a、122a：金屬層

108：閘極圖案

110：畫素電極圖案

112：下電極圖案

114：鉅墊圖案

116a：閘絕緣層

118b：半導體層

126：源極

128：汲極

129：上電極

130a：保護層

T：薄膜電晶體

P：畫素電極

C：儲存電容

B、B'：鉅墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93124164

G02F1/136

※申請日期：93-8-12

※IPC 分類：H01L29/78

一、發明名稱：(中文/英文)

薄膜電晶體液晶顯示器之畫素結構及其製造方法
PIXEL STRUCTURE OF A THIN FILM
TRANSISTOR LIQUID CRYSTAL DISPLAY
AND FABRICATING METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司/Au Optronics Corporation

代表人：(中文/英文) 李焜耀/Kun-Yao Lee

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號/No. 1, Li-Hsin Rd. II,
Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 黃茂村 /MAO-TSUN HUANG

2. 黃資峰 /TZUFONG HUANG

國籍：(中文/英文) 1-2. 中華民國/TW

13134TW_J

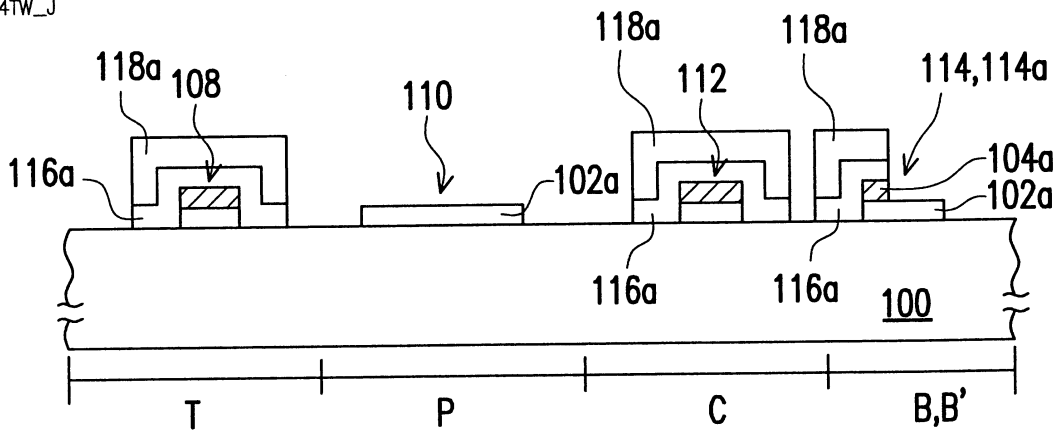


圖 2D

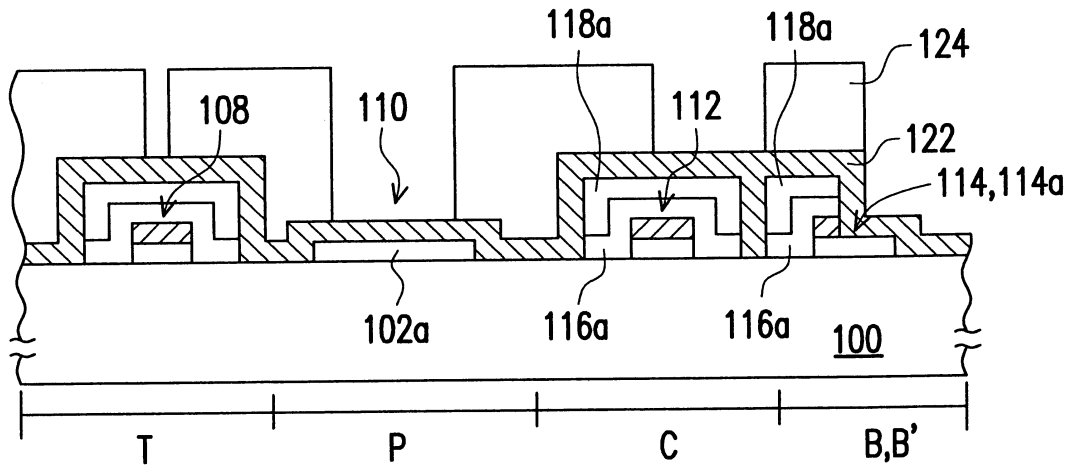


圖 2E

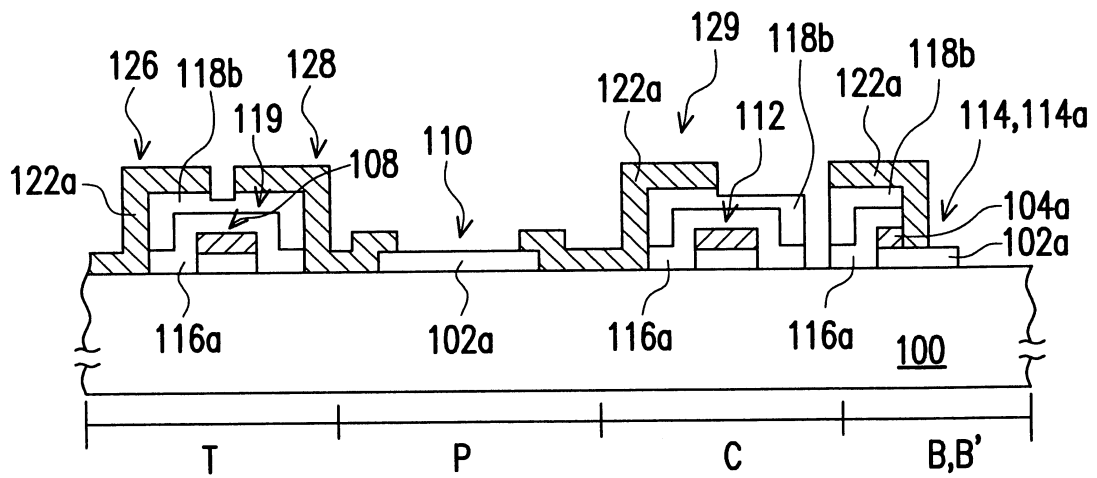


圖 2F