

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-526638

(P2007-526638A)

(43) 公表日 平成19年9月13日(2007.9.13)

| | | |
|-------------------------|----------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| HO 1 L 27/146 (2006.01) | HO 1 L 27/14 A | 4 M 1 1 8 |
| HO 4 N 5/335 (2006.01) | HO 4 N 5/335 E | 5 C O 2 4 |
| | HO 4 N 5/335 U | |

審査請求 未請求 予備審査請求 未請求 (全 10 頁)

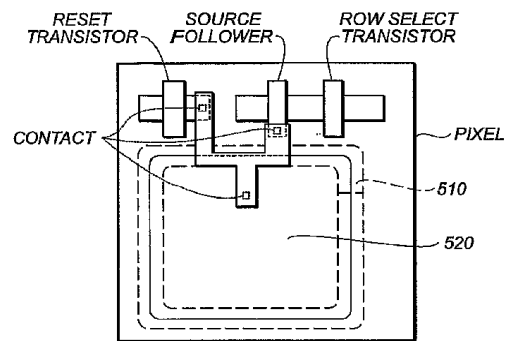
| | | | |
|---------------|------------------------------|----------|--|
| (21) 出願番号 | 特願2007-500929 (P2007-500929) | (71) 出願人 | 590000846 イーストマン コダック カンパニー アメリカ合衆国, ニューヨーク14650 、ロチェスター, ステイト ストリート3 43 |
| (86) (22) 出願日 | 平成17年2月23日 (2005. 2. 23) | (74) 代理人 | 100070150 弁理士 伊東 忠彦 |
| (85) 翻訳文提出日 | 平成18年8月14日 (2006. 8. 14) | (74) 代理人 | 100091214 弁理士 大貫 進介 |
| (86) 国際出願番号 | PCT/US2005/005628 | (74) 代理人 | 100107766 弁理士 伊東 忠重 |
| (87) 国際公開番号 | W02005/083791 | (74) 代理人 | 100145377 弁理士 杉山 公一 |
| (87) 国際公開日 | 平成17年9月9日 (2005. 9. 9) | | |
| (31) 優先権主張番号 | 10/786, 846 | | |
| (32) 優先日 | 平成16年2月25日 (2004. 2. 25) | | |
| (33) 優先権主張国 | 米国 (US) | | |

最終頁に続く

(54) 【発明の名称】 低暗電流CMOSイメージセンサー画素

(57) 【要約】

低暗電流CMOSイメージセンサー画素はフォトダイオードを有し、そのフォトダイオードは、フィールド酸化膜がフォトダイオードから実質的に切り離されるように比較的小さいフォトダイオードを比較的大きいアクティブ領域に形成することにより、フィールド酸化膜から分離される。アクティブ領域は、フォトダイオードの動作時に形成されるフォトダイオードの空乏領域がフィールド酸化膜の側壁及びコーナー部に接触しないように十分大きくされる。フォトダイオードをフィールド酸化膜から分離することにより、暗電流に寄与するフィールド酸化膜付近の転位数が有意に低減される。従って、フォトダイオードのフィールド酸化膜からの分離により、フォトダイオードの動作時の暗電流が格段に低減される。本発明はさらなる処理工程を追加することなく伝統的なCMOSプロセスで形成され得るものである。



【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 ウェルを形成する工程；

前記第 1 ウェルの表面に第 1 酸化層を形成する工程であり、該第 1 ウェルの一部を露出させる開口を該第 1 酸化層が有するように形成する工程；及び

第 1 導電型と反対の第 2 導電型のダイオード電極構造を形成する工程であり、該ダイオード電極構造と前記第 1 酸化層との間に前記第 1 ウェルの露出部分の介在部が存在するように、該ダイオード電極構造が前記第 1 ウェルの該露出部分の領域の内部に形成されることの工程；

を有する低暗電流撮像のための方法。

10

【請求項 2】

前記ダイオード電極構造が砒素の注入プロセスを用いて形成されることの請求項 1 に記載の方法。

【請求項 3】

前記第 1 ウェルの前記介在部が前記ダイオード電極構造を囲む連続した領域として形成されることの請求項 1 に記載の方法。

【請求項 4】

前記ダイオード電極構造が、該ダイオード電極構造にバイアス電圧が印加されたときの空乏領域の実質的な部分が前記第 1 酸化層まで広がらないように形成されることの請求項 1 に記載の方法。

20

【請求項 5】

前記第 1 ウェルがエピタキシャル層に形成されることの請求項 1 に記載の方法。

【請求項 6】

前記酸化層が L O C O S プロセスを用いて形成されることの請求項 1 に記載の方法。

【請求項 7】

前記酸化層が S T I プロセスを用いて形成されることの請求項 1 に記載の方法。

【請求項 8】

第 1 導電型の第 1 ウェル；

前記第 1 ウェルの表面に形成された第 1 酸化層であり、該第 1 ウェルの一部を露出させる開口を該第 1 酸化層が有するように形成された第 1 酸化層；及び

30

第 1 導電型と反対の第 2 導電型のダイオード電極構造であり、該ダイオード電極構造と前記第 1 酸化層との間に前記第 1 ウェルの露出部分の介在部が存在するように、前記第 1 ウェルの該露出部分の領域の内部に形成されたダイオード電極構造；

を有する撮像画素。

【請求項 9】

前記ダイオード電極構造が砒素の注入プロセスを用いて形成されていることの請求項 8 に記載の画素。

【請求項 10】

前記第 1 ウェルの前記介在部が前記ダイオード電極構造を囲む連続した領域を形成していることの請求項 8 に記載の画素。

40

【請求項 11】

前記ダイオード電極構造が、該ダイオード電極構造にバイアス電圧が印加されたときの空乏領域の実質的な部分が前記第 1 酸化層まで広がらないように形成されていることの請求項 8 に記載の画素。

【請求項 12】

前記第 1 ウェルと前記ダイオード電極構造との間に初期電圧を設定するように構成されたりセットトランジスタをさらに有する請求項 8 に記載の画素。

【請求項 13】

前記酸化層が L O C O S プロセスを用いて形成されていることの請求項 8 に記載の画素。

50

【請求項 14】

前記酸化層が S T I プロセスを用いて形成されているところの請求項 8 に記載の画素。

【請求項 15】

第 1 導電型の第 1 ウェル手段；

前記第 1 ウェル手段の表面に形成された絶縁手段であり、該第 1 ウェル手段の一部を露出させる開口を該絶縁手段が有するように形成された絶縁手段；及び

第 1 導電型と反対の第 2 導電型のダイオード電極手段であり、該ダイオード電極手段と前記絶縁手段との間に前記第 1 ウェル手段の露出部分の介在部が存在するように、前記第 1 ウェル手段の該露出部分の領域の内部に形成されたダイオード電極手段；

を有する撮像素素。

10

【請求項 16】

前記第 1 ウェル手段の前記介在部が前記ダイオード電極手段を囲む連続した領域を形成しているところの請求項 15 に記載の画素。

【請求項 17】

前記第 1 ウェル手段と前記ダイオード電極手段との間にバイアス電圧を印加するように構成された端子をさらに有する請求項 16 に記載の画素。

【請求項 18】

前記ダイオード電極手段が、該ダイオード電極手段にバイアス電圧が印加されたときの空乏領域の実質的な部分が前記絶縁手段まで広がらないように形成されているところの請求項 15 に記載の画素。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して C M O S イメージセンサーに関し、より具体的には C M O S イメージセンサーの画素構造に関する。

【背景技術】

【0002】

ビデオ及び写真画像を作成するために電子イメージセンサーが広く用いられている。一般に、電子イメージセンサーは行及び列の配列状に配置された画素センサー（画素）を有する。各画素は光検出器を有し、それは一般的にフォトダイオードである。画素センサー上への入射光はフォトダイオードを放電し、それによる電圧降下が入射光の強度レベルを導出するために用いられる。

30

【0003】

電子イメージセンサーの“暗電流”とは、たとえセンサー上への入射光が存在しなくてもフォトダイオードから放電されるリーク電流である。暗電流は一般的な型式のイメージセンサーである C C D 及び C M O S イメージセンサーの双方に存在する。（従来技術を用いた）C M O S イメージセンサーにおける典型的な暗電流レベルは、通常、同等の解像度を有する（光学製造プロセスで製造され、且つ先進的な暗電流管理技術を用いた）C C D イメージセンサーの暗電流レベルより一桁大きい。

【0004】

暗電流は主に、フィールド酸化膜と画素のフォトダイオードとの界面及び Si-SiO₂ 界面付近の領域に形成された応力性の転位に起因する。暗電流が発生するのは、例えば、L O C O S のバズビーク (bird's beak) 領域又は S T I の側壁及びコーナーに形成された電子が、フォトダイオードの空乏層内に生成された電界によって対をなす正孔から分離され、電子がフォトダイオードの n + カソードで収集されるときである。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、低暗電流 C M O S イメージセンサー画素を提供することを目的とする。

【課題を解決するための手段】

50

【0006】

一実施形態では、フィールド酸化膜がフォトダイオードから実質的に切り離されるように比較的小さいフォトダイオードを比較的大きいアクティブ領域に形成することにより、画素のフォトダイオードがフィールド酸化膜から分離される。アクティブ領域は、フォトダイオードの動作時に形成されるフォトダイオードの空乏領域がフィールド酸化膜の側壁及びコーナー部に接触しないように十分大きくされる。フォトダイオードをフィールド酸化膜から分離することにより、暗電流に寄与するフィールド酸化膜付近の転位数が有意に低減される。従って、フォトダイオードのフィールド酸化膜からの分離により、フォトダイオードの動作時の暗電流が格段に低減される。本発明はさらなる処理工程を追加することなく従来からのCMOSプロセスで形成され得るものである。

10

【発明を実施するための最良の形態】

【0007】

実施形態について当業者が本発明の実施をすることができる程度に十分に詳しく述べるが、その他の実施形態も用いられ得ること、及び本発明の意図及び範囲を逸脱することなくその他の変更が為され得ることは理解されることである。故に、以下の詳細な説明は限定的な意味に解釈されるものではなく、本発明の範囲は添付の特許請求の範囲によってのみ定められるものである。

【0008】

本明細書及び特許請求の範囲を通して、以下の用語は、文脈から明らかに別のものを述べている場合を除いて、ここで明示的に関連付けられる意味をとる。“ある”は複数を参照する場合を含む。用語“接続された”は接続される品目間の、中間デバイスを介在することのない直接的な電気接続を意味する。用語“結合された”は接続される品目間の直接的な電気接続、又は1つ以上の受動的若しくは能動的な中間デバイスを介した間接的な接続の何れかを意味する。用語“回路”は単一の構成要素、又は所望機能を提供するために共に結合された受動的及び/又は能動的な多数の構成要素の何れかを意味する。用語“信号”は少なくとも1つの電流、電圧又はデータの信号を意味する。図面においては、図面を通して、似通った参照符号は似通った部分を表す。

20

【0009】

図1は、本発明に従った3トランジスタ型アクティブ画素センサー概略的に示している。動作時、SWresがリセットトランジスタ110にリセットパルスを供給し、フォトダイオード140の初期電位を設定する。フォトダイオードのカソードはソースフォロワトランジスタ120のゲートに結合され、トランジスタ120のソースにバッファされた出力信号を生成する。バッファされた信号は、行選択パルスで制御される選択トランジスタ130によって(画素配列の)列バスに結合されている。

30

【0010】

フォトダイオードは一般に、最初にSWresを高パルスにすることにより初期レベル(例えば、Vres)にリセットされる。SWresパルスの下降エッジで、リセットトランジスタ110がターンオフされる。そして、入射光生成電流がフォトダイオードの放電を開始する。ある時間間隔後、行選択信号を高パルスにすることにより、フォトダイオード140のフォトダイオード電圧が読み出される。次に、フォトダイオード140が再度リセットされ、初期フォトダイオード電圧も同様に読み出される。これら2つの読み出し電圧間の差は、その時間間隔中の入射光によって引き起こされた電圧降下を求めるのに利用可能である。

40

【0011】

図2a及び2bは、各々が対応する空乏領域を有する伝統的なn+型フォトダイオード構造の概略断面図を示している。この構造はウェル対(Pウェル及びNウェル)プロセスを用いて製造され得る。伝統的なn+型フォトダイオードは、Pウェル220の表面に位置するn+領域210を有する。低濃度にドーパされたp型エピタキシャル層230がPウェル220の下、且つp+基板240の上に横たわっている。伝統的なn+型フォトダイオード構造に従って、空乏領域はフィールド酸化膜に接触する。フィールド酸化膜はLOCOS(Local Oxidation of Silicon)又はSTI(Shallow Trench Isolation)プロセスを用

50

いて形成され得る。

【0012】

図2aには、LOCOS処理工程を用いて形成された伝統的なn+型フォトダイオードが示されている。動作時、空乏領域250はLOCOS構造260の“バースピーク”と接触するように形成される。図2bには、STI処理工程を用いて形成された伝統的なn+型フォトダイオードが示されている。動作時、空乏領域270はSTI構造280の側壁、及び場合によりSTI構造280の側壁コーナー部と接触する。伝統的なn+型フォトダイオードにおける応力起因の転位は、空乏領域250(又は270)内に含まれており、暗電流を発生する。

【0013】

本発明に従って、フォトダイオードの空乏領域はフィールド酸化膜から分離される。それにより、本発明に従って暗電流が低減される。暗電流が低減されるのは、フォトダイオードの暗電流のかなりの量が転位を原因とするからである。本発明に従って、フィールド酸化膜の開口を大型化し、開口によって定められる境界線内に実質的に含まれるn+型フォトダイオードを形成することにより、空乏領域はフィールド酸化膜から分離される。

10

【0014】

図3a乃至3cは、本発明に従った、フォトダイオードを形成するために用いられるプロセスを概略的に示している。図3aで、先ず、フィールド酸化膜領域310が一般にPウェル構造の表面に形成される。図3bで、アクティブ領域320が、後に設けられるn+領域をアクティブ領域320が包囲するように、フィールド酸化膜領域310内に形成される。

【0015】

アクティブ領域の形成後、遮断層330(これは、後に設けられるn+領域の外側境界を規定するために典型的に用いられる)が、当該遮断層がアクティブ領域320及びフィールド酸化膜領域310と重なりを有し、アクティブ領域とフィールド酸化膜領域との界面が覆われる(図3c参照)ように形成される。遮断層330は開口を有し、その開口を介してn+領域が形成される。従って、本発明に従って、フォトダイオードのアクティブ領域320の境界近傍の領域は、フォトダイオードのn+領域を形成するための処理工程に際して遮断される。

20

【0016】

n+領域340は、遮断層330で遮断されていないアクティブ領域に例えば砒素を注入することによって形成することができる。従って、n+領域は遮断層の重なり程度に関するオフセット量だけフィールド酸化膜の端部からオフセットされる。n+領域のフィールド酸化膜に対するオフセットは、動作時の空乏領域(これはn+領域の周りに形成される)がフィールド酸化膜に接触しないように十分に広くされる。

30

【0017】

図4a及び4bは、各々が対応する空乏領域を有する本発明に従ったn+型フォトダイオード構造を概略的に示している。この構造はウェル対(Pウェル及びNウェル)プロセスを用いて製造され得る。n+型フォトダイオードは、Pウェル420の表面に位置するn+領域410を有する。低濃度にドーパされたp型エピタキシャル層430がPウェル420の下、且つp+基板440の上に横たわっている。本発明に従ったn+型フォトダイオード構造に従って、空乏領域はフィールド酸化膜から分離される。フィールド酸化膜はLOCOS又はSTIプロセスを用いて形成され得る。

40

【0018】

図4aには、LOCOS処理工程を用いて形成された本発明に従ったn+型フォトダイオードが示されている。動作時、空乏領域450はLOCOS構造460のバースピークから分離されるように形成される。図4bには、STI処理工程を用いて形成された本発明に従ったn+型フォトダイオードが示されている。動作時、空乏領域470はSTI構造480の側壁及びSTI構造480の側壁コーナー部から分離される。

【0019】

画素のフォトダイオードの空乏領域がフィールド酸化膜から分離されるので、フィールド酸化膜のバースピーク(又は、側壁とコーナー部)での欠陥(すなわち、応力起因の転

50

位)は空乏領域内に含まれない。動作時、LOCOSのバースピーク領域又はSTIの側壁とコーナー部に形成される電子は、フォトダイオードがフィールド酸化膜領域に接する場合のようにn+フォトダイオードによって収集されるのではなく、周囲のPウェル領域で正孔と再結合する可能性が最も高くなる。

【0020】

図5は、本発明に従った低暗電流画素のレイアウト構造の上面図を概略的に示している。図示されるように、フォトダイオード520は遮断層510によって境界を設けられた領域内に形成されているとして示されている。

【0021】

さらなる暗電流低減のため、フォトダイオードをシリコン表面から分離するために埋込フォトダイオードを用いて暗電流を一層低減することが可能である。埋込ダイオードは、フォトダイオード領域上に透明絶縁層を設けることによって形成することができる。

【0022】

本発明に係る構造はプロセス変更(例えば、マスク又は処理工程の追加)なく形成され、標準的なCMOSロジックのプロセスを用いて首尾よく実施される。典型的な $0.18\mu\text{m}$ CMOSプロセスでは、アクティブ領域の境界とフォトダイオードとの間隔は典型的に約 $0.3\mu\text{m}$ である。この間隔はフォトダイオードの大きさより遙かに小さいため、開口率(fill factor)の低下は実質的には無視できるものである。

【0023】

本発明の意図及び範囲を逸脱することなく、様々な実施形態を取ることが可能である。例えば、エピタキシャル層430上のPウェルは別々のPウェル構造を電氣的に結合させることによって形成されてもよい。本発明の意図及び範囲を逸脱することなく本発明の多くの実施形態が構成され得るところであり、本発明は添付の特許請求の範囲に属するものである。

【図面の簡単な説明】

【0024】

【図1】本発明に従った3トランジスタ型アクティブ画素センサーを示す概略図である。

【図2a】各々が対応する空乏領域を有する伝統的なn+型フォトダイオード構造を示す概略断面図である。

【図2b】各々が対応する空乏領域を有する伝統的なn+型フォトダイオード構造を示す概略断面図である。

【図3a】本発明に従ってフォトダイオードを形成するために用いられるプロセスを示す概略図である。

【図3b】本発明に従ってフォトダイオードを形成するために用いられるプロセスを示す概略図である。

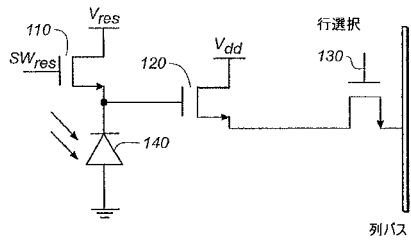
【図3c】本発明に従ってフォトダイオードを形成するために用いられるプロセスを示す概略図である。

【図4a】各々が対応する空乏領域を有する本発明に従ったn+型フォトダイオード構造を示す概略断面図である。

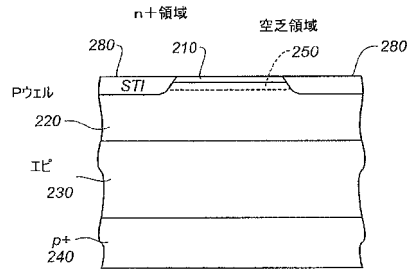
【図4b】各々が対応する空乏領域を有する本発明に従ったn+型フォトダイオード構造を示す概略断面図である。

【図5】本発明に従った低暗電流画素のレイアウト構造を示す概略上面図である。

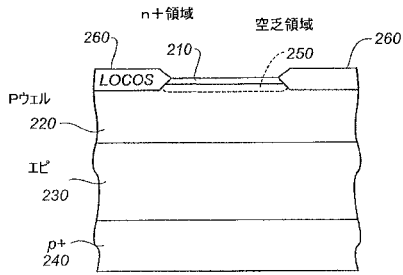
【 図 1 】



【 図 2 b 】



【 図 2 a 】



【 図 3 a 】

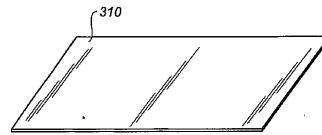


FIG. 3a

【 図 3 b 】

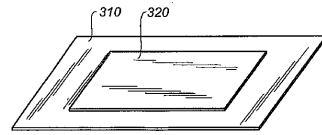


FIG. 3b

【 図 3 c 】

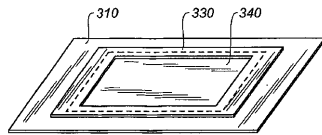
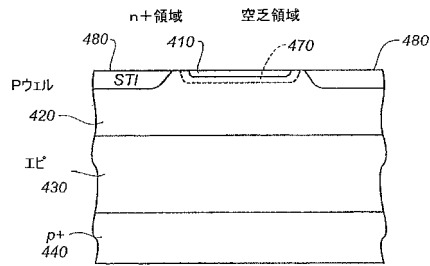
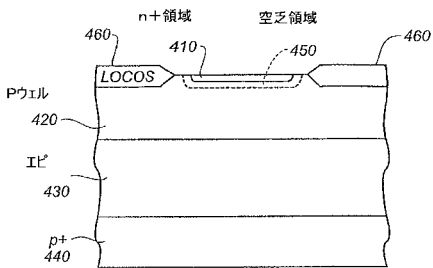


FIG. 3c

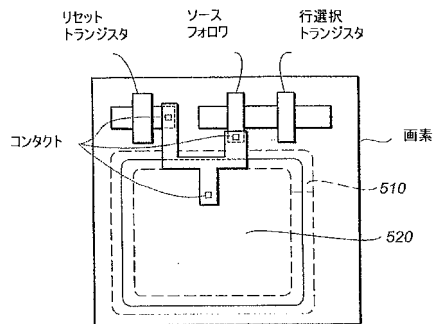
【 図 4 b 】



【 図 4 a 】



【 図 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

 Intern Application No
 PCT/US2005/005628

| | | |
|---|--|---|
| A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/146 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category ^a | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 6 534 335 B1 (RHODES HOWARD E ET AL) 18 March 2003 (2003-03-18) | 1,3-8, 10-18 |
| Y | column 3, line 11 - column 7, line 45; figures 2-9 | 2,9 |
| X | US 2001/017382 A1 (RHODES HOWARD E ET AL) 30 August 2001 (2001-08-30) | 1-18 |
| Y | column 3, paragraph 22 - column 8, paragraph 47; figures 2-9 | |
| Y | US 6 495 391 B1 (CHAN CHIEN-LING) 17 December 2002 (2002-12-17) | 2,9 |
| | column 3, line 31 - column 5, line 3; claims 1,4; figures 2a,3a | |
| <input type="checkbox"/> Further documents are listed in the continuation of box C. | | <input checked="" type="checkbox"/> Patent family members are listed in annex. |
| ^a Special categories of cited documents : | | |
| *A* document defining the general state of the art which is not considered to be of particular relevance | | *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| *E* earlier document but published on or after the international filing date | | *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | | *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. |
| *O* document referring to an oral disclosure, use, exhibition or other means | | *&* document member of the same patent family |
| *P* document published prior to the international filing date but later than the priority date claimed | | |
| Date of the actual completion of the international search 4 August 2005 | | Date of mailing of the international search report 11/08/2005 |
| Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016 | | Authorized officer Boero, M |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US2005/005628

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|--|------------------|-------------------------|------------------|
| US 6534335 B1 | 18-03-2003 | US 2001017382 A1 | 30-08-2001 |
| US 2001017382 A1 | 30-08-2001 | US 6534335 B1 | 18-03-2003 |
| US 6495391 B1 | 17-12-2002 | US 2003153113 A1 | 14-08-2003 |

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ルオ, チアン

アメリカ合衆国 カリフォルニア州 95054 サンタクララ オーク・グローヴ・ドライヴ
460 305号

Fターム(参考) 4M118 AB01 BA14 CA03 DD04 DD12 EA15 FA27 FA28
5C024 CX32 GX03 GX07 HX40