

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 23/04	(45) 공고일자 1999년03월20일	(11) 등록번호 특0179833
(21) 출원번호 특1995-022837	(24) 등록일자 1998년11월28일	(65) 공개번호 특1997-008508
(22) 출원일자 1995년07월28일	(43) 공개일자 1997년02월24일	

(73) 특허권자	엘지반도체주식회사    문정환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 권용태 대구광역시 수성구 범어 3동 1004-36 신명수 충청북도 청주시 상당구 우암동 27-3 박장원
(74) 대리인	박장원

심사관 : 유기혁

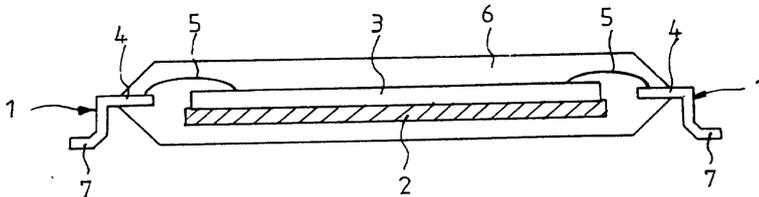
(54) 반도체 패키지 및 그 제조방법

요약

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 종래에는 패키지의 몸체 외부로 아웃리드가 돌출되어 있는 구조로써, 패키지의 소형화에 한계가 있고, 아웃리드가 외부의 충격에 휩쓸릴 우려가 있으며, 리드의 파인 피치화에 한계가 있는 문제점이 있었다.

본 발명은 리드(11), 절연테이프(12), 보조프레임(13)으로 구성된 리드 프레임에 반도체 칩(10)을 탑재하고, 그 반도체 칩(10)의 양측 상,하부에 리드(11)를 밴딩하여 밀착고정시켜서 외부단자가 되도록 한 후, 몰딩 컴파운드로 몰딩한 것으로써, 패키지의 소형화를 이룰 수 있고, 외부의 충격으로부터 아웃리드를 보호할 수 있으며, 리드의 파인 피치화가 가능한 것이다.

대표도



명세서

[발명의 명칭]

반도체 패키지 및 그 제조방법

[도면의 간단한 설명]

제1도는 일반적인 반도체 패키지의 구성을 보인 종단면도.

제2도는 본 발명 반도체 패키지의 구성을 보인 종단면도.

제3도는 본 발명 반도체 패키지의 리드프레임을 보인 것으로, (a)는 평면도, (b)는 저면도, (c)는 A-A' 단면도.

제4도는 본 발명의 리드프레임에 칩이 마운팅된 상태를 보인 종단면도.

제5도는 본 발명의 리드프레임을 칩에 밴딩하여 밀착고정한 상태를 보인 종단면도.

제6도는 본 발명의 외이어밴딩한 상태를 보인 종단면도.

제7도는 본 발명의 반도체 패키지를 몰딩공정으로 완성한 상태를 보인 것으로, (a)는 종단면도, (b)는 측면도, (c)는 저면도.

제8도는 본 발명의 다른 실시예를 보인 것으로, (a)는 리드프레임을 보인 평면도, (b)는 완성된 반도체 패키지의 저면도.

\* 도면의 주요부분에 대한 부호의 설명

10 : 반도체 칩	10a : 칩패드
11 : 리드	11a : 인너리드
12 : 절연테이프	13 : 보조프레임
14 : 금속와이어	15 : 몸체부

[발명의 상세한 설명]

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 패키지의 소형화가 가능하고, 리드의 파인 피치(FINE PITCH)화를 실현할 수 있는 반도체 패키지 및 그 제조방법에 관한 것이다.

제1도는 일반적인 반도체 패키지의 구성을 보인 종단면도로서, 도시한 바와 같이, 본 발명의 반도체 패키지는 리드프레임(1)의 패들(2)위에 반도체 칩(3)이 부착되어 있고, 그 반도체 칩(3)과 리드프레임(1)의 인너리드(4)는 금속와이어(5)로 전기적인 접속을 이루고 있으며, 상기 반도체 칩(3), 인너리드(4), 금속와이어(5)를 포함하는 일정면적을 몰딩 컴파운드(MOLDING COMPOUND)로 몰딩한 몸체(6)로 구성되어 있다.

상기 도면중 미설명부호 7은 상기 인너리드(4)에 연결되어 몸체(6)의 외부로 설치되어 있는 아웃리드를 보인 것이다.

상기와 같이 구성되어 있는 일반적인 반도체 패키지의 제조방법을 살펴보면 다음과 같다.

일반적인 반도체 패키지는 패들(2)의 상부에 접착제(도시되어 있지 않음)를 이용하여 반도체 칩(3)을 부착하는 다이본딩 공정을 수행하는 단계와, 상기 반도체 칩(3)과 인너리드(4)를 금속와이어(5)로 연결하여 전기적인 접속이 되도록 하는 와이어 본딩 공정을 수행하는 단계와, 상기 반도체 칩(3), 금속와이어(5), 인너리드(4)를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몰딩공정을 수행하는 단계와, 트리밍/포밍 공정을 수행하는 단계의 순서로 제조되는 것이다.

그러나, 상기와 같은 반도체 패키지는 외부단자의 역할을 하게 되는 아웃리드(7)를 몸체(6)의 양측 외부로 돌출시켜야 하므로 패키지를 소형화 시키는데 한계가 있고, 외부의 충격에 의하여 아웃리드(7)의 휨이 발생할 우려가 있으며, 리드의 파인 피치화가 어려운 문제점이 있었다.

이를 감안하여 안출한 본 발명의 목적은 반도체 칩의 신호를 패키지의 외부로 전달하는 리드를 반도체 칩의 양측 상,하에 밀착되도록 밴딩하여 설치함으로써, 패키지를 소형화 시키고, 외부의 충격으로 부터 리드를 보호하며, 리드의 파인 피치화가 가능한 반도체 패키지를 제공함에 있다.

상기와 같은 본 발명의 목적을 달성하기 위하여 반도체 칩과, 상기 반도체 칩의 양측 상,하를 감싸도록 밴딩 설치되어 외부로의 전기적인 연결단자가 되는 리드들과, 그 리드들이 나열 부착되는 절연테이프와, 그 절연테이프를 지지하는 보조프레임과, 상기 반도체 칩의 칩 패드들과 상기 리드들의 인너리드를 전기적으로 접속시키는 금속와이어와, 상기 반도체 칩, 금속와이어, 인너리드를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몸체부로 구성되어 있는 것을 특징으로 하는 반도체 패키지가 제공된다.

또한, 리드들이 나열부착된 절연테이프가 하측에 부착되어 있는 보조프레임의 상면에 반도체 칩을 부착하는 다이본딩 공정을 수행하는 단계와, 상기 반도체 칩의 양측에 감싸도록 리드들이 부착된 절연테이프를 밴딩하여 부착하는 밴딩공정을 수행하는 단계와, 상기 반도체 칩의 상면에 설치되어 있는 칩패드와 상기 리드의 인너리드를 금속와이어로 연결하여 전기적인 접속이 되도록 하는 와이어본딩 공정을 수행하는 단계와, 상기 반도체 칩, 인너리드, 금속와이어를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몰딩공정을 수행하는 단계의 순서로 제조되는 것을 특징으로 하는 반도체 패키지 제조방법이 제공된다.

이하, 상기와 같이 구성되어 있는 본 발명의 반도체 패키지를 첨부된 도면에 의거하여 보다 상세히 설명한다.

제2도는 본 발명 반도체 패키지의 구성을 보인 종단면도로서, 도시한 바와 같이, 본 발명의 반도체 패키지는 반도체 칩(10)과, 상기 반도체 칩(10)의 양측 상,하를 감싸도록 밴딩 설치하여 외부로의 전기적인 연결단자가 되는 수개의 리드(11)와, 그 리드(11)가 나열 부착되는 절연테이프(12)와, 그 절연테이프(12)를 지지하는 보조프레임(13)과, 상기 반도체 칩(10)의 칩패드(10a)와 상기 리드(11)의 인너리드(11a)를 전기적으로 접속시키는 금속와이어(14)와, 상기 반도체 칩(10), 금속와이어(14), 인너리드(11a)를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몸체부(15)로 구성되어 있는 것이다.

도면중 미설명부호 11b는 외부로의 연결단자가 되는 아웃리드이다.

이와 같은 반도체 패키지는 리드(11)가 패키지의 상면, 측면, 하면에 외부로 노출되어 있어, 하나의 패키지로 포워드(FORWARD) 타입 또는 리버스(REVERSE) 타입 패키지로 솔더링(SOLDERING)하여 피시비 기판에 실장할 수 있으며, 또한 패키지를 적층하여 사용할 수도 있는 구조인 것이다.

상기와 같이 구성되어 있는 본 발명 반도체 패키지의 제조방법을 제3도 내지 제7도를 참조하여 설명하면 다음과 같다.

본 발명 반도체 패키지는 리드(11)들이 부착된 절연테이프(12)가 보조프레임(13)의 하측에 부착되어 있고, 이와 같이 절연테이프(12)가 부착되도록 연속적으로 연결되어 있는 보조프레임(13)이 다이본딩장비에서 이송하는 상태에서 보조프레임(13)의 상면에 반도체 칩(10)을 연속적으로 부착하는 다이본딩공정을 수행하는 단계와, 상기 반도체 칩(10)의 양측에 감싸도록 절연테이프(12)와 리드(11)를 밴딩하여 부착하는 밴딩공정을 수행하는 단계와, 상기 반도체 칩(10)의 상면에 설치되어 있는 칩패드(10a)와 상기 리드(11)의 인너리드(11a)를 금속와이어(14)로 연결하여 전기적인 접속이 되도록 하는 와이어본딩 공정을 수행하는 단계와, 상기 반도체 칩(10), 인너리드(11a), 금속와이어(14)를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몰딩공정을 수행하는 단계의 순서로 제조되며, 이와 같이 몰딩공정을 마친 다음에는 후공정으로 보조프레임(13)의 연결부분을 절단하여 패키지를 완성하게 된다.

제8도는 본 발명의 다른 실시예를 보인 것으로, 제8도의 (a)와 같이 보조프레임(13)을 사각형으로 하고,

그 보조프레임(13)의 하면에 리드(도시되어 있지 않음)가 부착된 절연테이프(12)를 부착하였으며, 이와 같은 리드프레임을 이용하여 제8도의 (b)에 도시된 바와 같이 패키지 몸체(15)의 4면에 리드(11)가 형성되는 다핀 구조의 패키지 제조가 가능한 것이다.

이상에서 상세히 설명한 바와 같이 본 발명의 반도체 패키지는 반도체 칩의 양측 상,하부를 감싸도록 리드를 밴딩하여 설치하고, 그 패키지의 상,하부 혹은 측면에 밀착된 리드가 외부와의 접속단자가 되도록 함으로써, 패키지의 소형화가 가능하고, 외부의 충격에 아웃리드가 휘는 것을 방지할 수 있으며, 리드의 파인 피치화가 가능한 효과가 있는 것이다.

**(57) 청구의 범위**

**청구항 1**

반도체 칩과, 상기 반도체 칩의 양측 상,하를 감싸도록 밴딩 설치되어 외부로의 전기적인 연결단자가 되는 리드들과, 그 리드들이 나열 부착되는 절연테이프와, 그 절연테이프를 지지하는 보조프레임과, 상기 반도체 칩의 칩패드들과 상기 리드들의 인너리드를 전기적으로 접속시키는 금속와이어와, 상기 반도체 칩, 금속와이어, 인너리드를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몸체부로 구성되어 있는 것을 특징으로 하는 반도체 패키지.

**청구항 2**

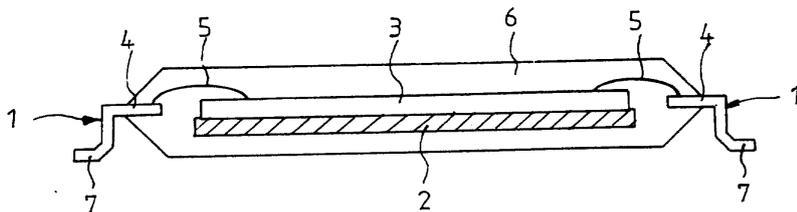
제1항에 있어서, 상기 리드가 다핀구조를 갖기 위하여 4면에 설치된 것을 특징으로 하는 반도체 패키지.

**청구항 3**

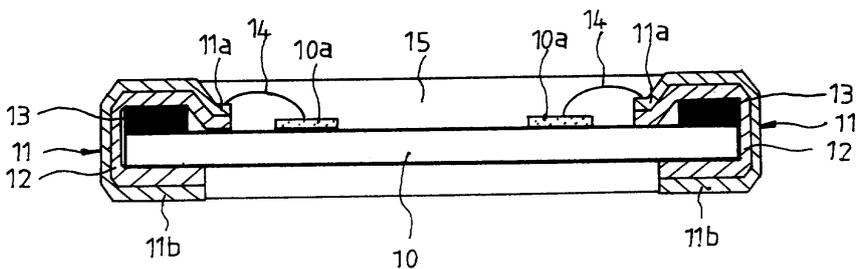
리드들이 나열부착된 절연테이프가 하측에 부착되어 있는 보조프레임의 상면에 반도체 칩을 부착하는 다이본딩 공정을 수행하는 단계와, 상기 반도체 칩의 양측에 감싸도록 리드들이 부착된 절연테이프를 밴딩하여 부착하는 밴딩공정을 수행하는 단계와, 상기 반도체 칩의 상면에 설치되어 있는 칩패드와 상기 리드의 인너리드를 금속와이어로 연결하여 전기적인 접속이 되도록 하는 와이어본딩 공정을 수행하는 단계와, 상기 반도체칩, 인너리드, 금속와이어를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몰딩공정을 수행하는 단계의 순서로 제조되는 것을 특징으로 하는 반도체 패키지 제조방법.

**도면**

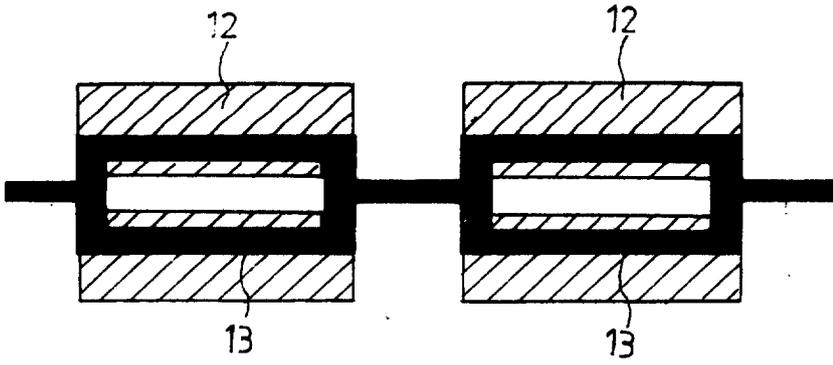
**도면1**



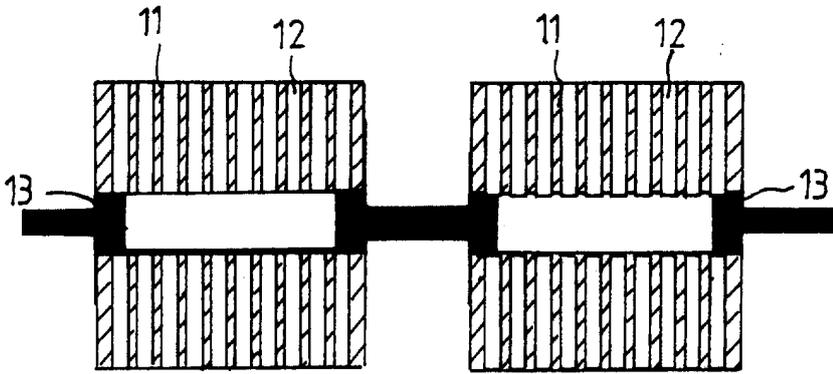
**도면2**



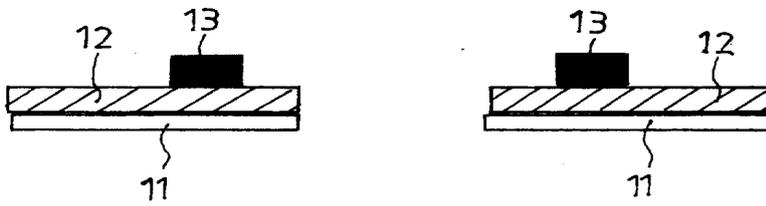
도면3a



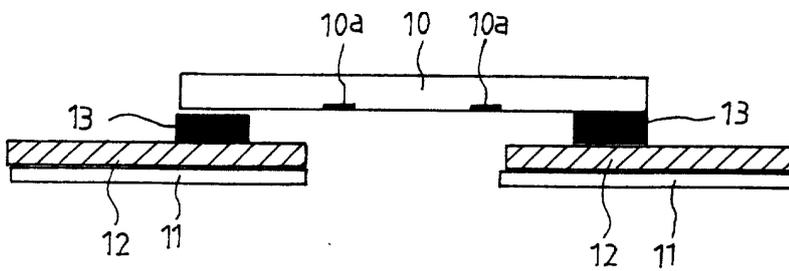
도면3b



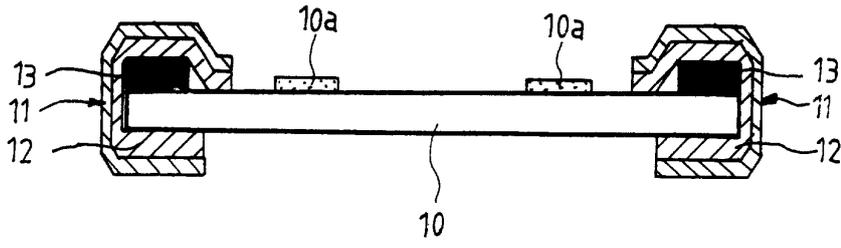
도면3c



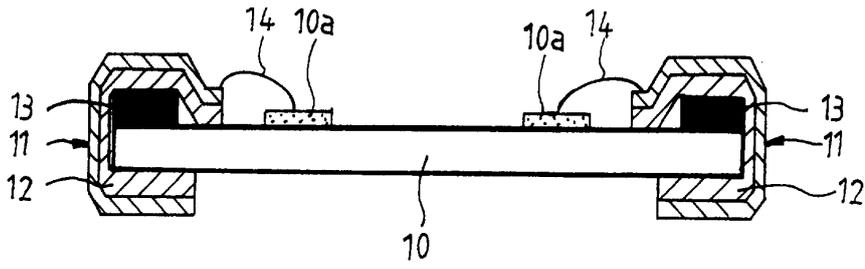
도면4



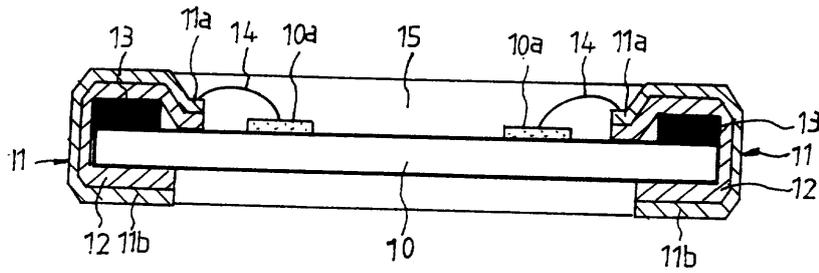
도면5



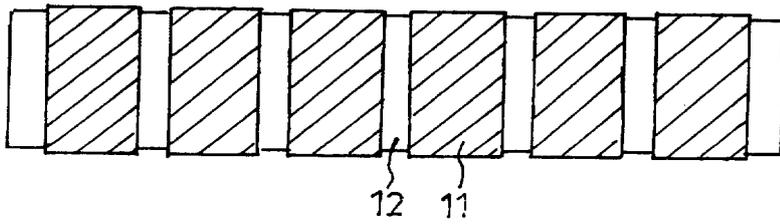
도면6



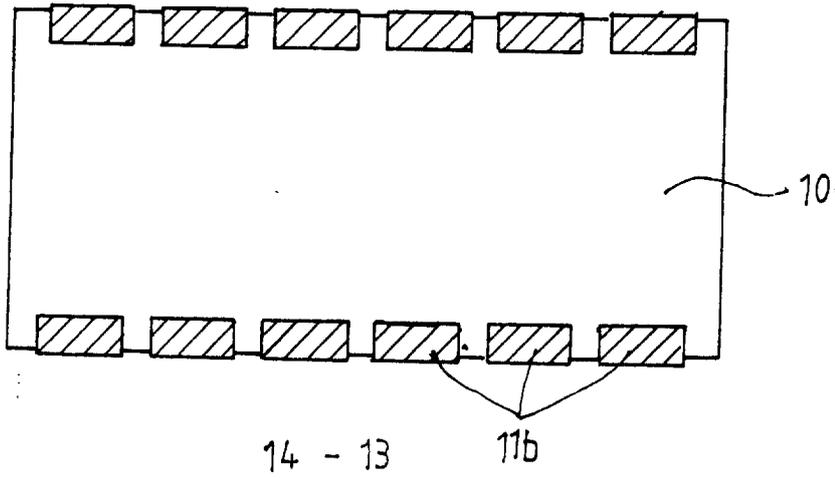
도면7a



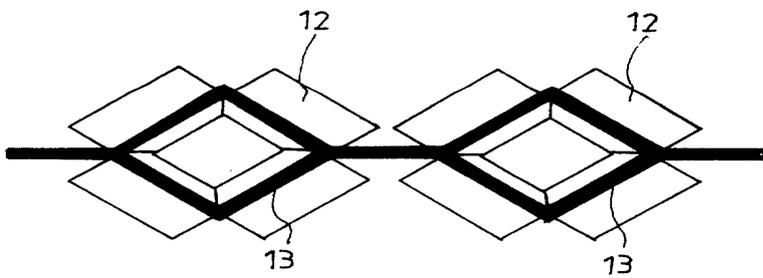
도면7b



도면7c



도면8a



도면8b

