



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0048651
 (43) 공개일자 2009년05월14일

- (51) Int. Cl.
 H01L 29/78 (2006.01) H01L 29/786 (2006.01)
 H01L 21/336 (2006.01)
- (21) 출원번호 10-2009-7006657(분할)
 (22) 출원일자 2009년03월31일
 심사청구일자 2009년03월31일
- (62) 원출원 특허 10-2008-7008868
 원출원일자 2008년04월14일
 번역문제출일자 2009년03월31일
- (86) 국제출원번호 PCT/JP2006/323042
 국제출원일자 2006년11월13일
- (87) 국제공개번호 WO 2007/058329
 국제공개일자 2007년05월24일
- (30) 우선권주장
 JP-P-2005-329806 2005년11월15일 일본(JP)

- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 아키토모 켄고
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 황의만

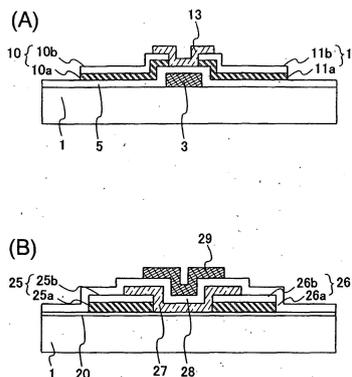
전체 청구항 수 : 총 12 항

(54) 액티브 매트릭스 디스플레이 장치 및 텔레비전 수신기

(57) 요약

ZnO 반도체막을 사용하고, n형 또는 p형 불순물을 첨가한 ZnO막을 소스 전극 및 드레인 전극에 사용했을 때에도 결함이나 불량이 생기지 않는 반도체장치 및 그의 제조방법을 제공한다. 이 반도체장치는, 게이트 전극 위의 산화규소막 또는 산화질화규소막으로 형성된 게이트 절연막과, 그 게이트 절연막 위의 Al막 또는 Al 합금막과, 그 Al막 또는 Al 합금막 위의 n형 또는 p형 불순물이 첨가된 ZnO막, 및 n형 또는 p형 불순물이 첨가된 ZnO막 위와 게이트 절연막 위의 ZnO 반도체막을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

액티브 매트릭스 디스플레이 장치로서,

게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극 위의 산화 아연을 포함하는 반도체막을 포함하는 기판 위의 박막 트랜지스터;

상기 반도체막 위의 수지 재료를 포함하는 절연막; 및

상기 절연막 위에 형성되고, 상기 박막 트랜지스터에 전기적으로 접속되어 있는 화소 전극을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 2

액티브 매트릭스 디스플레이 장치로서,

게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극 위의 산화 아연을 포함하는 반도체막;

상기 반도체막과 접촉하는 산화물을 포함하는 도전막; 및

상기 도전막과 접촉하는 금속막을 포함하는 기판 위의 박막 트랜지스터;

상기 반도체막 위의 수지 재료를 포함하는 절연막; 및

상기 절연막 위에 있으며, 상기 박막 트랜지스터에 전기적으로 접속되어 있는 화소 전극을 포함하고;

상기 도전막은 상기 반도체막과 상기 금속막 사이에 있는, 액티브 매트릭스 디스플레이 장치.

청구항 3

액티브 매트릭스 디스플레이 장치로서,

기판 위의 게이트 전극;

상기 게이트 전극 위의 게이트 절연막;

상기 기판 위의 금속막;

산화물을 포함하고, 상기 금속막과 접촉하는 도전막; 및

산화 아연을 포함하고, 상기 도전막과 상기 게이트 절연막과 접촉하는 반도체막을 포함하는 기판 위의 박막 트랜지스터;

상기 반도체막 위에 수지 재료를 포함하는 절연막; 및

상기 절연막 위에 있으며, 상기 박막 트랜지스터에 전기적으로 접속되어 있는 화소 전극을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 4

청구항 2 또는 청구항 3에 있어서,

상기 금속막은 알루미늄막 또는 알루미늄 합금막인, 액티브 매트릭스 디스플레이 장치.

청구항 5

청구항 2 또는 청구항 3에 있어서,

상기 도전막은 산화 아연을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 6

청구항 2 또는 청구항 3에 있어서,
상기 금속막은 Ti 막인, 액티브 매트릭스 디스플레이 장치.

청구항 7

청구항 2 또는 청구항 3에 있어서,
상기 금속막은 알루미늄을 함유하는 제 1 금속층과 티타늄을 함유하는 제 2 금속층을 포함하고, 상기 제 2 금속층은 상기 도전막과 접촉하는, 액티브 매트릭스 디스플레이 장치.

청구항 8

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,
상기 게이트 절연막은 산화 실리콘 또는 산질화 실리콘을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 9

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,
상기 수지 재료를 포함하는 절연막은 도포법에 의하여 형성되는, 액티브 매트릭스 디스플레이 장치.

청구항 10

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,
상기 액티브 매트릭스 디스플레이 장치는 EL 디스플레이 장치인, 액티브 매트릭스 디스플레이 장치.

청구항 11

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,
상기 액티브 매트릭스 디스플레이 장치는 액정 디스플레이 장치인, 액티브 매트릭스 디스플레이 장치.

청구항 12

청구항 1 내지 청구항 3 중 어느 한 항에 따른 액티브 매트릭스 디스플레이 장치를 포함하는 텔레비전 수신기.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 액티브 매트릭스 디스플레이 장치 및 텔레비전 수신기에 관한 것이다.

배경기술

<2> 액정 표시장치나 EL(Electroluminescence; 전계발광) 표시장치의 표시 패널에 사용되는 반도체장치, 예를 들어, TFT(Thin Film Transistor; 박막트랜지스터)의 반도체 부분은, 통상, a-Si(아모르퍼스 실리콘)나 Poly-Si(다결정 실리콘)를 사용하여 형성되어 있다.

<3> Si(규소)는 큰 밴드 갭(band gap)을 가지지 않고(예를 들어, 단결정 Si의 밴드 갭은 1.1 eV이다), 가시광을 흡수한다. 이 광의 조사에 의해, Si 내에 전자와 정공(캐리어)이 형성된다. TFT의 채널 형성 영역에 Si막을 사용하면, 오프(OFF) 상태에서도 광의 조사에 의해 채널 형성 영역에서 캐리어가 생성되어, 소스 영역과 드레인 영역 사이에서 전류가 흐른다. 오프 상태일 때 흐르는 전류는 "오프 리크(OFF-leak) 전류"라 불리고, 이 값이 크면, 표시 패널이 정상적으로 동작하지 않는다. 따라서, Si막에 광이 조사되지 않도록 차광막을 형성하고 있다. 그러나, 차광막을 형성하기 위해서는, 퇴적 공정, 포토리소그래피 공정, 에칭 공정이 필요하게 되기 때문에, 공정이 번잡하게 된다.

- <4> 이와 같은 문제를 해결하기 위해, Si의 밴드 갭보다 큰 3.4 eV의 밴드 갭을 가지는 반도체인 산화아연(ZnO)을 이용한 투명 트랜지스터가 주목받고 있다. 이와 같은 투명 트랜지스터에서는, 밴드 갭이 가시광 대역의 광 에너지보다 크고, 가시광이 흡수되지 않는다. 따라서, 광이 조사되어도 오프 리크 전류가 증대하지 않는다는 이점(利點)을 가진다.
- <5> 채널 형성 영역에 ZnO를 이용한 반도체장치가, 예를 들어, 문헌 1에 개시되어 있다. ZnO를 이용한 반도체장치의 구성을 도 7(A)를 참조하여 설명한다.
- <6> 도 7(A)의 반도체장치는, 유리 기판 등의 절연성 기판(1000) 위에 제공된 소스 전극(1001) 및 드레인 전극(1002), 그 소스 전극(1001) 및 드레인 전극(1002)에 접하도록 배치된 ZnO층(1003), 그 ZnO층(1003) 위에 적층된 게이트 절연층(1004), 및 게이트 전극(1005)을 가지고 있다.
- <7> 소스 전극(1001) 및 드레인 전극(1002)에는, III족 원소인 B(붕소), Al(알루미늄), Ga(갈륨), In(인듐), Tl(탈륨); VII족 원소인 F(불소), Cl(염소), Br(브롬), I(요오드)); I족 원소인 Li(리튬), Na(나트륨), K(칼륨), Rb(루비듐), Cs(세슘)); V족 원소인 N(질소), P(인), As(비소), Sb(안티몬), Bi(비스무트)) 중의 어느 하나를 도핑한 도전성 ZnO가 사용되었다.
- <8> [특허문헌 1] 일본국 공개특허공고 2000-150900호 공보

발명의 내용

해결 하고자하는 과제

- <9> 본 발명자의 검토에 따르면, 도 7(A)에 나타낸 탑 게이트형 반도체장치의 소스 전극(1001) 및 드레인 전극(1002)을 형성할 때의 에칭에 의해 기판(1000)이 에칭되는 경우가 있는 것을 알 수 있었다. 기판(1000) 위에 산화규소막이나 산화질화규소막으로 형성된 하지막(1006)을 형성한 경우에도, 이 하지막이 에칭되어 기판(1000)의 표면이 노출되는 경우가 있는 것을 알 수 있었다. 또한, 도 7(B)에 나타낸 보텀 게이트형 반도체장치의 경우에는, 소스 전극(1001) 및 드레인 전극(1002)을 형성할 때의 에칭에 의해, 산화규소막이나 산화질화규소막으로 형성된 게이트 절연막(1004)이 에칭되는 것을 알 수 있었다.
- <10> 탑 게이트형 반도체장치의 경우, 유리 기판(1000)이나, 산화규소막 또는 산화질화규소막으로 형성된 하지막(1006)이 에칭되면, 기판(1000)으로부터 나트륨 등의 불순물이 반도체막(1003)내로 확산하여, 특성을 열화(劣化)시킨다.
- <11> 보텀 게이트형 반도체장치(도 7(B))의 경우에는, 소스 전극(1001) 및 드레인 전극(1002)의 형성 시의 에칭에 의해 게이트 절연막(1004)이 에칭되면, 특성이 안정하지 않고, 불량률의 원인이 된다.
- <12> 본 발명은 상기 사정을 감안하여 이루어진 것으로, 그의 목적은, 채널 형성 영역에 ZnO 반도체막을 사용하고, n형 또는 p형 불순물을 첨가한 ZnO막을 소스 전극 및 드레인 전극에 사용했을 때에도, 결함이나 불량률이 생기지 않는 반도체장치 및 그의 제조방법을 제공하는데 있다.

과제 해결수단

- <13> 본 발명의 반도체장치의 일 양태는, 산화규소막 또는 산화질화규소막 위의 Al막 또는 Al 합금막과, 그 Al막 또는 Al 합금막 위의 n형 또는 p형 불순물이 첨가된 ZnO막을 가진다. 본 명세서에서의 "산화규소막", "산화질화규소막", "Al막", "Al 합금막", "ZnO막"은 각각 산화규소를 함유하는 막, 산화질화규소를 함유하는 막, Al을 함유하는 막, Al 합금을 함유하는 막, ZnO를 함유하는 막을 의미하는 것으로 한다.
- <14> 본 발명의 반도체장치의 일 양태는, 게이트 전극 위의 산화규소막 또는 산화질화규소막으로 형성된 게이트 절연막과, 그 게이트 절연막 위의 Al막 또는 Al 합금막과, 그 Al막 또는 Al 합금막 위의 n형 또는 p형 불순물이 첨가된 ZnO막과, n형 또는 p형 불순물이 첨가된 ZnO막 위와 게이트 절연막 위의 ZnO 반도체막을 가진다.
- <15> 본 발명의 반도체장치의 일 양태는, 산화규소막 또는 산화질화규소막 위의 Al막 또는 Al 합금막과, 그 Al막 또는 Al 합금막 위의 n형 또는 p형 불순물이 첨가된 ZnO막과, 상기 산화규소막 또는 산화질화규소막 위 및 n형 또는 p형 불순물이 첨가된 ZnO막 위의 ZnO 반도체막과, 그 ZnO 반도체막 위의 게이트 절연막과, 그 게이트 절연막 위의 게이트 전극을 가진다.
- <16> 본 발명의 반도체장치 제조방법의 일 양태는, 산화규소막 또는 산화질화규소막을 형성하는 공정, 상기 산화규소

막 또는 산화질화규소막 위에 Al막 또는 Al 합금막을 형성하는 공정, 상기 Al막 또는 Al 합금막 위에 n형 또는 p형 불순물이 첨가된 ZnO막을 형성하는 공정을 포함하고, 상기 n형 또는 p형의 불순물 첨가된 ZnO막이 제1 에칭에 의해 섬 형상으로 에칭되고, 상기 Al막 또는 Al 합금막이 제2 에칭에 의해 섬 형상으로 에칭된다.

- <17> 본 발명의 반도체장치 제조방법의 일 양태에서는, 상기 제2 에칭 후에, 상기 n형 또는 p형 불순물이 첨가된 ZnO 막 및 상기 산화규소막 또는 산화질화규소막 위에 ZnO 반도체막이 형성된다.
- <18> 보텀 게이트형의 반도체장치의 경우에는, 게이트 전극을 형성한 후에, 상기 게이트 전극 위에 상기 산화규소막 또는 산화질화규소막으로 형성된 게이트 절연막이 형성된다.
- <19> 탑 게이트형의 반도체장치의 경우에는, 상기 ZnO 반도체막을 형성한 후에, 게이트 절연막이 형성되고, 게이트 전극이 형성된다.
- <20> 본 발명에서의 제1 에칭은 습식 에칭이어도 좋다.
- <21> 본 발명에서의 제1 에칭은 버퍼드(buffered) 불산을 이용한 습식 에칭이어도 좋다.
- <22> 본 발명에서의 제1 에칭은 건식 에칭이어도 좋다.
- <23> 본 발명에서의 제1 에칭은 CH₄(메탄) 가스를 이용한 건식 에칭이어도 좋다.
- <24> 본 발명에서의 제2 에칭은 습식 에칭이어도 좋다.
- <25> 본 발명에서의 제2 에칭은 포토레지스트용의 현상액을 이용한 습식 에칭이어도 좋다.
- <26> 본 발명에서의 제2 에칭은 유기 알칼리계 수용액을 이용한 습식 에칭이어도 좋다.
- <27> 본 발명에서의 제2 에칭은 TMAH(Tetramethylammonium Hydroxide)를 이용한 습식 에칭이어도 좋다.
- <28> 또한, 본 발명의 반도체장치의 일 양태는, 게이트 전극, 그 게이트 전극 위의 게이트 절연막, 그 게이트 절연막 위의 금속 재료를 포함하는 제1 막, 그 제1 막 위의 n형 또는 p형 불순물이 첨가된 투명 반도체 재료를 포함하는 제2 막, 및 그 제2 막 위와 상기 게이트 절연막 위의 투명 반도체를 포함하는 제3 막을 가진다.
- <29> 또한, 본 발명의 반도체장치의 일 양태는, 기판 위의 절연막, 그 절연막 위의 금속 재료를 포함하는 제1 막, 그 제1 막 위의 n형 또는 p형 불순물이 첨가된 투명 반도체 재료를 포함하는 제2 막, 상기 절연막 위와 상기 제2 막 위의 투명 반도체 재료를 포함하는 제3 막, 그 제3 막 위의 게이트 절연막, 및 그 게이트 절연막 위의 게이트 전극을 가진다.
- <30> 또한, 본 발명의 반도체장치 제조방법의 일 양태는, 기판 위에 절연막을 형성하는 공정, 상기 절연막 위에 금속 재료를 포함하는 제1 막을 형성하는 공정, 상기 제1 막 위에 n형 또는 p형의 불순물 첨가된 투명 반도체 재료를 포함하는 제2 막을 형성하는 공정, 상기 제2 막을 에칭하는 공정, 상기 제1 막을 에칭하는 공정을 가진다.
- <31> 또한, 본 발명의 반도체장치 제조방법의 일 양태는, 기판 위에 게이트 전극을 형성하는 공정, 상기 게이트 전극 위에 게이트 절연막을 형성하는 공정, 상기 게이트 절연막 위에 금속 재료를 포함하는 제1 막을 형성하는 공정, 상기 제1 막 위에 n형 또는 p형 불순물이 첨가된 투명 반도체 재료를 포함하는 제2 막을 형성하는 공정, 상기 제2 막을 에칭하는 공정, 상기 제1 막을 에칭하는 공정을 가진다.
- <32> 탑 게이트형 반도체장치에서는, 유리 기판이나 산화규소막 또는 산화질화규소막으로 형성된 하지막이 에칭되지 않고, 기판으로부터 나트륨 등의 불순물이 반도체막 내로 확산하여 특성을 열화시키는 일이 없다.
- <33> 보텀 게이트형 반도체장치에서는, 게이트 절연막이 에칭되지 않고, 그의 특성이 불안정하게 되는 일이 없다.
- <34> 소스 전극 및 드레인 전극의 일부에 Al을 사용하므로, 배선의 저저항화를 도모할 수 있다.

효 과

- <35> 이상과 같이, 본 발명의 적용 범위는 극히 넓고, 본 발명은 모든 분야의 전자기기에 적용될 수 있다.

발명의 실시를 위한 구체적인 내용

- <36> 이하, 본 발명의 실시형태에 대하여 첨부 도면을 참조하여 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되

는 것은 아니다.

- <37> [실시형태 1]
- <38> 여기서는 보텀 게이트형 반도체장치에 대하여 설명한다.
- <39> 도 1(A)는 본 발명의 실시형태의 일례를 나타낸 단면도이다. 도 1(A)에서, 부호 1은 기판, 3은 게이트 전극, 5는 게이트 절연막, 10은 소스 전극, 10a는 제1 도전막, 10b는 제2 도전막, 11은 드레인 전극, 11a는 제1 도전막, 11b는 제2 도전막, 13은 반도체막을 나타내고 있다. 반도체막(13) 위에 패시베이션용 또는 평탄화용의 절연막을 형성하여도 좋다.
- <40> 기판(1) 위에 게이트 전극(3)이 형성되고, 게이트 전극(3) 위에 게이트 절연막(5)이 형성되고, 게이트 절연막(5) 위에 소스 전극(10) 및 드레인 전극(11)이 형성되어 있다. 소스 전극(10)은 제1 도전막(10a)과 제2 도전막(10b)의 적층막으로 형성되고, 드레인 전극(11)은 제1 도전막(11a)과 제2 도전막(11b)의 적층막으로 형성되어 있다. 제1 도전막(10a)과 제2 도전막(10b) 사이, 또는 제1 도전막(11a)과 제2 도전막(11b) 사이에 제3 도전막이 형성되어 있어도 좋다. 소스 전극(10)과 드레인 전극(11)은 각각 게이트 절연막(5)을 사이에 두고 게이트 전극(3)과 일부 겹치도록 형성되어 있어도 좋다. 게이트 절연막(5) 위에서 소스 전극(10)과 드레인 전극(11) 위에 반도체막(13)이 형성되어 있다.
- <41> 이하, 각 구성에 대하여 설명한다.
- <42> (1) 기판
- <43> 유리 기판, 알루미늄 등의 절연 물질로 형성되는 기판, 후속 공정의 처리 온도에 견딜 수 있는 플라스틱 기판 등을 사용하여 기판을 형성할 수 있다. 기판(1)에 플라스틱 기판을 사용하는 경우에는, PC(폴리카보네이트), PES(폴리에테르술폰), PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트) 등을 사용할 수 있다. 플라스틱 기판의 경우에는, 표면 위에 가스 배리어층으로서 무기층 또는 유기층을 제공하여도 좋다. 플라스틱 기판의 제조시의 먼지 등에 의해 기판에 돌기가 발생되어 있는 경우에는, CMP 등으로 기판을 연마하여 기판의 표면을 평탄화시킨 후에 기판을 사용하여도 좋다. 기판(1) 위에는 기판측으로부터의 불순물 등의 확산을 방지하기 위해 산화규소(SiO_x), 질화규소(SiN_x), 산화질화규소(SiO_xN_y)(x>y), 질화산화규소(SiN_xO_y)(x>y) 등의 절연막을 형성해 두어도 좋다.
- <44> (2) 게이트 전극
- <45> Al(알루미늄)막, W(텅스텐)막, Mo(몰리브덴)막, Ta(탄탈)막, Cu(구리)막, Ti(티탄)막, 또는 상기 원소를 주성분으로 하는 합금 재료(예를 들어, Al 합금막, MoW(몰리브덴 텅스텐) 합금막) 등을 사용하여 게이트 전극을 형성할 수 있다. P(인) 등의 불순물 원소를 도핑한 다결정 규소막으로 대표되는 반도체막을 사용하여도 좋다. 또한, 게이트 전극(3)은 단층이어도 좋고, 2층 이상 적층시킨 적층막이어도 좋다.
- <46> (3) 게이트 절연막
- <47> 게이트 절연막(5)은 규소를 주성분으로 하는 절연막, 예를 들어, 산화규소막, 산화질화규소막으로 형성된다. 또한, 게이트 절연막은 단층이어도 좋고 적층막이어도 좋다.
- <48> (4) 소스 전극 및 드레인 전극
- <49> 소스 전극(10)은 제1 도전막(10a)과 제2 도전막(10b)의 적층막으로 형성되고, 드레인 전극(11)은 제1 도전막(11a)과 제2 도전막(11b)의 적층막으로 형성되어 있다.
- <50> 제1 도전막으로서는, Al막, AlNi(알루미늄 니켈)막이나 AlNd(알루미늄 네오디뮴)막 등의 Al 합금막을 사용할 수 있다. 제2 도전막으로서는, B(붕소), Al(알루미늄), Ga(갈륨), P(인), As(비소) 등의 p형 또는 n형 불순물이 첨가된 ZnO(산화아연)를 사용할 수 있다. 제1 도전막과 제2 도전막 사이에 제3 도전막으로서 Ti막 등의 금속막을 제공하여도 좋다.
- <51> (5) 반도체막
- <52> 반도체막으로서는 ZnO막을 이용한다. 반도체막과 접하는 소스 전극 및 드레인 전극이 p형 또는 n형 불순물이 첨가된 ZnO막을 가지고 있으므로, 소스 전극 및 드레인 전극이 반도체막과 용이하게 전기적으로 접속될 수 있다.

- <53> (6) 절연막
- <54> 도시하지는 않았지만, 반도체막(13) 위에는 패시베이션막 및 평탄화막 등의 절연막을 형성하여도 좋다. 산화규소(SiO_x), 질화규소(SiN_x), 산화질화규소(SiO_xNy)($x>y$), 질화산화규소(SiNxOy)($x>y$), SOG(Spin-On-Glass)막, 아크릴 등의 유기 수지막, 또는 이들의 적층막을 사용할 수 있다.
- <55> 상기와 같은 보텀 게이트형 반도체장치에서는, 그 제조시에 게이트 절연막이 에칭되지 않고, 특성이 불안정하게 되는 일이 없다. 소스 전극 및 드레인 전극의 일부에 Al을 사용하기 때문에, 배선의 저저항화를 도모할 수 있다.
- <56> [실시형태 2]
- <57> 여기서는 탑 게이트형 반도체장치에 대하여 설명한다.
- <58> 도 1(B)는 본 발명의 실시형태의 일례를 나타낸 단면도이다. 도 1(B)에서, 부호 1은 기판, 20은 절연막, 25는 소스 전극, 25a는 제1 도전막, 25b는 제2 도전막, 26은 드레인 전극, 26a는 제1 도전막, 26b는 제2 도전막, 27은 반도체막, 28은 게이트 절연막, 29는 게이트 전극을 나타내고 있다. 게이트 전극 위에 패시베이션용 또는 평탄화용의 절연막을 형성하여도 좋다.
- <59> 기판(1) 위에 절연막(20)이 형성되고, 절연막(20) 위에 소스 전극(25) 및 드레인 전극(26)이 형성되어 있다. 소스 전극(25)은 제1 도전막(25a)과 제2 도전막(25b)의 적층막으로 형성되고, 드레인 전극(26)은 제1 도전막(26a)과 제2 도전막(26b)의 적층막으로 형성되어 있다. 제1 도전막(25a)과 제2 도전막(25b) 사이, 또는 제1 도전막(26a)과 제2 도전막(26b) 사이에 제3 도전막이 형성되어 있어도 좋다. 절연막(20) 위에서 소스 전극(25) 및 드레인 전극(26) 위에 반도체막(27)이 형성되고, 반도체막(27) 위에 게이트 절연막(28)이 형성되고, 게이트 절연막(28) 위에 게이트 전극(29)이 형성되어 있다. 게이트 전극(29)은 게이트 절연막(28) 및 반도체막(27)을 사이에 두고 소스 전극(25) 및 드레인 전극(26)과 일부 겹치도록 형성되어도 좋다.
- <60> 이하, 각 구성에 대하여 설명한다.
- <61> 기판, 소스 전극, 드레인 전극, 반도체막, 게이트 전극에 대해서는 실시형태 1에서 설명한 것을 사용할 수 있다.
- <62> (1) 기판 위의 절연막
- <63> 기판(1) 위에는 기판측으로부터의 불순물 등의 확산을 방지하기 위한 절연막(20)으로서 산화규소막이나 산화질화규소막을 형성한다. 또한, 이 절연막은 단층이어도 좋고 적층막이어도 좋다.
- <64> (2) 게이트 절연막
- <65> 게이트 절연막(28)은 규소를 주성분으로 하는 절연막, 예를 들어, 산화규소막, 산화질화규소막, 질화산화규소막, 질화규소막으로 형성된다. 또한, 이 게이트 절연막은 단층이어도 좋고 적층막이어도 좋다.
- <66> (3) 게이트 전극 위의 절연막
- <67> 도시하지는 않았지만, 게이트 전극(29) 위에는 패시베이션막 및 평탄화막 등의 층간절연막을 형성하여도 좋다. SiO_x 막, SiN_x 막, SiON 막, SiNO 막, SOG(Spin-On-Glass)막, 아크릴 등의 유기 수지막, 또는 이들의 적층막을 사용할 수 있다.
- <68> 상기와 같은 탑 게이트형 반도체장치에서는, 그의 제조시에 기판이나 산화규소막 또는 산화질화규소막으로 형성된 하지막이 에칭되지 않으므로, 기판으로부터 나트륨 등의 불순물이 반도체막으로 확산하여 특성을 열화시키는 일이 없다. 소스 전극 및 드레인 전극의 일부에 Al을 사용하기 때문에, 배선의 저저항화를 도모할 수 있다.
- <69> [실시형태 3]
- <70> 여기서는, 게이트 전극 위에 게이트 절연막으로서 산화규소막 또는 산화질화규소막을 형성하고, 제1 도전막으로서 Al막 또는 Al 합금막을 형성하고, 제2 도전막으로서 n형 또는 p형 불순물이 첨가된 ZnO막을 형성한 다음, 제2 도전막을 제1 에칭에 의해 섬 형상으로 에칭하고, 제1 도전막을 제2 에칭에 의해 섬 형상으로 에칭하여 소스 전극 및 드레인 전극을 형성하고, ZnO 반도체막을 형성하는, 보텀 게이트형 반도체장치의 제조방법에 대하여 설명한다.
- <71> 도 2(A)에 나타낸 바와 같이, 기판(1) 위에 게이트 전극(3)을 10 nm~200 nm의 두께로 형성한다. 기판(1)은 실

시형태 1에서 나타낸 재료를 사용하여 형성할 수도 있다. 여기서는 유리 기판을 이용한다.

- <72> 기판(1) 위에는, 기판측으로부터의 불순물 등의 확산을 방지하기 위해 CVD법이나 스퍼터링법에 의해 산화규소(SiO_x), 질화규소(SiN_x), 산화질화규소(SiO_xN_y)(x>y), 질화산화규소(SiN_xO_y)(x>y) 등을 함유하는 절연막(2)을 10 nm~200 nm의 두께로 형성해 두어도 좋다(도 2(B)).
- <73> 절연막(2)은 기판(1)의 표면을 고밀도 플라즈마로 처리함으로써 형성할 수도 있다. 고밀도 플라즈마는, 예를 들어, 2.45 GHz의 마이크로파를 사용하여 생성될 수 있고, 전자 밀도가 $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^3$, 전자 온도가 2 eV 이하인 것만이 요구된다. 이와 같은 고밀도 플라즈마는 활성종의 운동 에너지가 낮고, 종래의 플라즈마 처리와 비교하여 플라즈마에 의한 데미지(damage)가 적고 결함이 적은 막을 형성할 수 있다.
- <74> 질화성 분위기, 예를 들어, 질소와 희가스를 함유하는 분위기, 질소와 수소와 희가스를 함유하는 분위기, 또는 암모니아와 희가스를 함유하는 분위기에서의 고밀도 플라즈마 처리에 의해 기판(1)의 표면을 질화할 수 있다. 기판(1)으로서 유리 기판을 사용하고 고밀도 플라즈마에 의한 질화 처리를 행한 경우, 기판(1)의 표면 위에 형성되는 질화막으로서, 질화규소를 주성분으로 하는 절연막(2)을 형성할 수 있다. 이 질화막 위에 산화규소막 또는 산화질화규소막을 플라즈마 CVD법에 의해 형성한 다수 층을 사용하여 절연막(2)을 형성하여도 좋다.
- <75> 또한, 절연막(2)의 표면 위에, 마찬가지로 고밀도 플라즈마에 의한 질화 처리를 행함으로써, 질화막을 형성할 수 있다.
- <76> 고밀도 플라즈마에 의한 질화 처리에 의해 형성된 질화막은 기판(1)으로부터의 불순물의 확산을 억제할 수 있다.
- <77> 게이트 전극(3)은 실시형태 1에서 나타낸 재료를 사용하여 형성할 수 있다. 여기서는, AlNd(알루미늄 네오디뮴)막을 AlNd 타겟을 사용하여 스퍼터링법에 의해 성막하고, 섬 형상으로 가공한다. 그 막을 섬 형상으로 가공하기 위해서는 포토리소그래피법을 이용하고, 건식 에칭이나 습식 에칭을 이용한다.
- <78> 게이트 전극(3)의 표면 및 기판(1) 또는 절연막(2)의 표면을 세정한 후, 게이트 전극(3) 위에 공지의 CVD법 또는 스퍼터링법을 이용하여 게이트 절연막(5)을 10 nm~200 nm의 두께로 형성한다(도 2(A) 및 도 2(B)). 표면 세정 공정과 게이트 절연막(5)의 형성 공정은 대기에서의 노출 없이 연속적으로 행하여도 좋다. 게이트 전극(3)에 Al막을 이용한 경우에는, 게이트 절연막(5)을 고온에서 형성하면, 힐록이 발생하는 일이 있기 때문에, 500℃ 이하, 바람직하게는 350℃ 이하의 저온에서 성막하는 것이 바람직하다.
- <79> 게이트 절연막(5)은 실시형태 1에서 나타낸 재료를 사용하여 형성할 수 있다. 여기서는 산화규소막을 형성한다. 또한, 이하의 도면에서는 절연막(2)을 생략한다.
- <80> 게이트 절연막(5) 위에 소스 전극 및 드레인 전극용의 제1 도전막(6)을 10 nm~200 nm의 두께로 형성한다. 제1 도전막(6)은 실시형태 1에서 나타낸 재료를 사용하여 형성할 수 있다. 여기서는 AlNi(알루미늄 니켈)막 또는 AlNd막을 이용한다. 제1 도전막(6)은 AlNi 타겟 또는 AlNd 타겟을 사용하여 스퍼터링법에 의해 형성할 수 있다. 또한, 게이트 절연막(5)을 형성한 후, 제1 도전막(6)을 대기에서의 노출 없이 연속하여 형성하여도 좋다.
- <81> 제1 도전막(6) 위에 제2 도전막(7)을 10 nm~200 nm의 두께로 형성한다(도 2(C)). 제2 도전막(7)은 실시형태 1에서 나타낸 재료를 사용하여 형성할 수 있다. 여기서는 Al 또는 Ga 등의 불순물이 첨가된 ZnO(산화아연)를 이용한다. 이것에 의해, 후에 반도체층으로서 형성되는 ZnO막과 제2 도전막(7)과의 사이에 오믹 콘택트(ohmic contact)가 용이하게 형성될 수 있다. 제2 도전막(7)은 스퍼터링법에 의해 형성될 수 있다. 예를 들어, Al이나 Ga를 첨가하기 위해서는, Al이나 Ga이 1~10 중량% 첨가된 ZnO 타겟을 사용하여 스퍼터링하는 방법이나, ZnO 타겟에 Al이나 Ga의 칩(chip)을 장착하고 200~300℃에서 스퍼터링하는 방법을 사용할 수 있다.
- <82> 제1 도전막(6)을 형성한 후, 제2 도전막(7)을 대기에서의 노출 없이 연속하여 형성하여도 좋다. 따라서, 게이트 절연막(5)으로부터 제2 도전막(7)까지의 성막은 대기에서의 노출 없이 연속하여 행해질 수도 있다.
- <83> 제1 도전막(6)과 제2 도전막(7)과의 사이에 제3 도전막(8)을 10 nm~200 nm의 두께로 형성하여도 좋다(도 2(D)). 제조공정에서의 열처리 온도에 따라 제1 도전막(6)과 제2 도전막(7)과의 사이의 접촉 저항이 상승하는 경우가 있다. 그러나, 제3 도전막(8)을 형성함으로써, 제1 도전막(6)과 제2 도전막(7) 사이의 접촉 저항을 낮게 할 수 있다. 제3 도전막(8)은 Ti막 등의 금속막을 사용할 수 있고, 스퍼터링법 등에 의해 형성할 수 있다.
- <84> 제2 도전막(7) 위에 레지스트 마스크(9)를 형성하고, 제2 도전막(7)을 에칭한다(도 3(A) 및 도 3(B)). 습식 에칭을 이용하는 경우에는, 버퍼드(buffered) 불산(HF(불화수소산)와 NH₄F(불화암모늄)를 혼합한 것), 예를 들어,

HF : NH₄F (중량비) = 1 : 100 내지 1 : 10의 용액을 사용할 수 있다.

- <85> 건식 에칭을 이용하는 경우에는, CH₄ 가스를 이용한 이방성 플라즈마 에칭을 이용할 수 있다.
- <86> 제2 도전막(7) 아래에는, 제1 도전막(6)이 형성되어 있다. 따라서, 제2 도전막(7)을 에칭할 때, 제1 도전막(6)이 에칭 스톱퍼로서 작용한다. 이것에 의해, 에칭 시에 게이트 절연막(5)에 손상을 주는 일 없이 소스 전극 및 드레인 전극을 형성할 수 있다.
- <87> 또한, 제2 도전막(7)을 에칭할 때, 제1 도전막(6)의 일부를 에칭하여도 좋다. 그러나, 제1 도전막(6)을 모두 에칭하게 되면, 게이트 절연막에 데미지를 주게 되기 때문에, 제1 도전막(6)을 모두 에칭하지 않도록 주의할 필요로 한다.
- <88> 다음에, 레지스트 마스크(9)를 사용하여 제1 도전막(6)을 에칭하여 소스 전극(10) 및 드레인 전극(11)을 형성한다(도 3(C)). 본 발명에서는, 포토레지스트용 현상액인, TMAH(테트라메틸암모늄 하이드록사이드)로 대표되는 유기 알칼리계 수용액을 사용하여 제1 도전막(6)을 에칭한다.
- <89> 제1 도전막(6)에 AlNi막을 사용하고, 에칭액에 TMAH를 이용한 경우, 에칭 속도는 30℃에서 대략 300 nm/min이다. 한편, 상기한 재료를 이용한 제2 도전막(7)이나 게이트 절연막(5)은 TMAH에 의해 에칭되지 않는다. 그 결과, 게이트 절연막(5)에 손상을 주지 않고 소스 전극(10) 및 드레인 전극(11)을 형성할 수 있다. 또한, 섬 형상의 제2 도전막(10b, 11b)은 사이즈가 축소되지 않는다. 본 발명에서는, 특수한 에칭액을 사용하지 않고 레지스트 마스크를 형성할 때의 현상액을 사용하여 제1 도전막(6)을 에칭할 수 있다. 따라서, 저비용화 및 고효율화로 이어진다.
- <90> 소스 전극(10) 및 드레인 전극(11)을 형성한 후, 레지스트 마스크(9)를 제거한다.
- <91> 소스 전극(10), 드레인 전극(11) 및 게이트 절연막(5) 위에 반도체막(12)으로서 ZnO막을 스퍼터링법에 의해 20 nm~200 nm의 두께로 형성한다(도 3(D)). 예를 들어, ZnO 타겟을 사용하여 산소/아르곤의 유량비를 30~20으로 하여, 200~300℃에서 스퍼터링함으로써 성막할 수 있다.
- <92> 포토리소그래피법을 이용하여 반도체막(12)을 에칭하여 섬 형상의 반도체막(13)을 형성한다(도 4(A)). 에칭에는, 버퍼드 불산을 이용한 습식 에칭이나 CH₄ 가스를 이용한 이방성 건식 에칭을 이용할 수 있다.
- <93> 반도체막(12)과 제2 도전막(10b, 11b)에 공통으로 ZnO가 사용되고, 충분한 에칭 선택비를 얻는 것은 곤란하다. 그러나, 제2 도전막(7)은 반도체막(12)과 접하는 부분에 형성될 필요가 있기 때문에, 반도체막(12)과 접하지 않는 부분, 예를 들어, 배선 부분에서는 제2 도전막(7)이 에칭되어도 좋다. 상기한 에칭 방법에서는, 제2 도전막(10b, 11b)이 에칭될 수도 있지만, 제1 도전막(10a, 11a)은 에칭되지 않는다. 따라서, 제1 도전막(10a, 11a)이 배선으로서 작용하고, 반도체장치와의 전기적 접속이 확보된다.
- <94> 반도체막(13) 위에 절연막(14)을 CVD법이나 스퍼터링법에 의해 50 nm~1 μm의 두께로 형성한다(도 4(B)). 절연막(14)으로서는, 규소를 주성분으로 하는 절연막을 형성할 수 있다. 규소를 함유하는 절연막 위에 유기 수지막 등을 적층하여도 좋다. 절연막(14)은 평탄화막이나 패시베이션막으로서 기능한다. 소스 전극(10)과 드레인 전극(11)에는 Al이 포함되어 있기 때문에, 절연막(14)을 고온으로 형성하면, 힐록이 발생하는 일 있다. 그래서, 500℃ 이하, 바람직하게는 350℃ 이하의 저온에서 형성하는 것이 바람직하다.
- <95> 절연막(14)에 콘택트 홀을 형성하고, 게이트 전극(3), 소스 전극(10), 드레인 전극(11)과 접하는 도전막을 필요에 따라 제공한다.
- <96> 본 발명에 따르면, 게이트 절연막에 데미지를 주는 일 없이 반도체장치를 형성하는 것이 가능하다. 제1 도전막으로서 AlNi막 등의 Al 합금막을 사용하고 있으므로, 배선의 저저항화를 도모할 수 있다.
- <97> [실시형태 4]
- <98> 여기서는, 산화규소막 또는 산화질화규소막 위에 제1 도전막으로서 Al막 또는 Al 합금막을 형성하고, 제2 도전막으로서 n형 또는 p형 불순물이 첨가된 ZnO막을 형성한 다음, 제2 도전막을 제1 에칭에 의해 섬 형상으로 형성하고, 제1 도전막을 제2 에칭에 의해 섬 형상으로 형성하여, 소스 전극 및 드레인 전극을 형성하고, ZnO 반도체막을 형성하고, 게이트 절연막을 형성하고, 게이트 전극을 형성하는, 탑 게이트형 반도체장치의 제조방법에 대하여 설명한다. 본 실시형태에 사용하는 재료 및 제조방법은 실시형태 1~3에서 기재한 것들을 사용할 수 있다는 것은 말할 필요도 없다.

- <99> 먼저, 도 5(A)에 나타낸 바와 같이, 기판(1) 위에 절연막(20)으로서 산화규소(SiO_x)막을 CVD법이나 스퍼터링법에 의해 10 nm~200 nm의 두께로 형성한다. 이 절연막(20)은 기판(1)측으로부터의 불순물 등의 확산을 방지한다.
- <100> 절연막(20) 위에 소스 전극 및 드레인 전극용의 제1 도전막(21)을 스퍼터링법 또는 증착법에 의해 10 nm~200 nm의 두께로 형성한다. 제1 도전막(21)으로서는, 실시형태 1에서 나타낸 AlNi(알루미늄 니켈)막 등의 Al 합금막을 사용할 수 있다. 또한, 절연막(20)을 형성한 후, 제1 도전막(21)을 대기에의 노출 없이 연속하여 형성하여도 좋다.
- <101> 제1 도전막(21) 위에 제2 도전막(22)을 스퍼터링법에 의해 10 nm~200 nm의 두께로 형성한다(도 5(A)). 제2 도전막(22)으로서는, B(붕소), Al(알루미늄), Ga(갈륨), P(인), As(비소) 등의 p형 또는 n형 불순물이 첨가된 ZnO(산화아연)를 사용할 수 있다. 또한, 제1 도전막(21)을 형성한 후, 제2 도전막(22)을 대기에의 노출 없이 연속하여 형성하여도 좋다. 따라서, 절연막(20)으로부터 제2 도전막(22)까지의 형성 공정은 대기에의 노출 없이 연속하여 행해질 수도 있다.
- <102> 제1 도전막(21)과 제2 도전막(22) 사이의 접촉 저항을 낮게 하기 위해, 제1 도전막(21)과 제2 도전막(22) 사이에 제3 도전막(23)으로서 Ti막 등의 금속막을 스퍼터링법에 의해 10 nm~200 nm의 두께로 형성하여도 좋다(도 5(B)).
- <103> 제2 도전막(22) 위에 레지스트 마스크(24)를 형성하고, 제2 도전막(22)을 에칭한다(도 5(C)). 에칭 방법으로는, 버퍼드 불산을 이용한 습식 에칭 또는 CH₄ 가스를 이용한 건식 에칭을 사용할 수 있다.
- <104> 제2 도전막(22) 아래에는 제1 도전막(21)이 형성되어 있다. 따라서, 제2 도전막(22)을 에칭할 때 제1 도전막(21)이 에칭 스톱퍼로서 작용한다. 이것에 의해, 절연막(20)을 에칭하여 기판(1)을 노출시키는 일 없이, 소스 전극 및 드레인 전극을 형성할 수 있다.
- <105> 또한, 제2 도전막(22)을 에칭할 때 제1 도전막(21)의 일부를 에칭하여도 좋다. 그러나, 제1 도전막(21) 전부가 에칭되면, 절연막(20)이 에칭되고 기판(1)이 노출되어, 기판(1)에 포함되는 불순물이 확산할 가능성이 있기 때문에 주의를 필요로 한다.
- <106> 제1 도전막(21)을 에칭하여 소스 전극(25) 및 드레인 전극(26)을 형성한다(도 5(D)). 에칭 방법으로는, 포토레지스트용 현상액, TMAH를 이용한 습식 에칭을 이용한다. 이것에 의해, 절연막(20)을 에칭하는 일 없이, 소스 전극(25) 및 드레인 전극(26)을 형성할 수 있다. 또한, ZnO막은 TMAH에 의해 에칭되지 않기 때문에, 섬 형태의 제2 도전막(25b, 26b)의 사이즈가 축소되는 일도 없다. 본 발명에서는, 제1 도전막(21)용으로 특수한 에칭액을 사용하지 않고 레지스트 마스크를 형성할 때의 현상액을 사용하여 에칭할 수 있어, 저비용화 및 고효율화로 이어진다.
- <107> 소스 전극(25) 및 드레인 전극(26)을 형성한 후, 레지스트 마스크(24)를 제거한다.
- <108> 소스 전극(25), 드레인 전극(26), 절연막(20) 위에 반도체막(27)으로서 ZnO막을 스퍼터링법에 의해 20 nm~200 nm의 두께로 형성한다(도 6(A)).
- <109> 반도체막(27)을 포토리소그래피법에 의해 에칭하여 섬 형태의 반도체막(27)으로 한다. 에칭 방법으로는, 버퍼드 불산을 이용한 습식 에칭이나 CH₄ 가스를 이용한 건식 에칭을 이용할 수 있다.
- <110> 반도체막(27)과 제2 도전막(25b, 26b)에 ZnO가 공통으로 사용되고, 높은 에칭 선택비를 얻는 것은 곤란하다. 그러나, 제2 도전막(22)은 소스 전극 및 드레인 전극부에 형성되어 있으면 좋기 때문에, 반도체막(27)과 접하지 않는 부분, 특히 배선 부분에서 제2 도전막이 에칭되어도 좋은 것은 실시형태 3과 같다.
- <111> 반도체막(27) 위에 게이트 절연막(28)을 CVD법이나 스퍼터링법에 의해 10 nm~200 nm의 두께로 형성한다(도 6(B)). 반도체막(27)에 상기한 실시형태에서 기재한 고밀도 플라즈마 처리를 행하여 게이트 절연막을 형성하여도 좋다. 질화성 분위기, 예를 들어, 질소와 회가스를 함유하는 분위기, 또는 질소와 수소와 회가스를 함유하는 분위기, 또는 암모니아와 회가스를 함유하는 분위기에서 고밀도 플라즈마 처리를 행함으로써 반도체막(27)의 표면을 질화할 수 있다.
- <112> 게이트 절연막(28)은 규소를 주성분으로 하는 절연막, 예를 들어, 산화규소막, 산화질화규소막, 질화규소막, 질화산화규소막 등을 사용하여 형성하여도 좋다. 또한, 이 게이트 절연막은 단층이어도 좋고 적층막이어도 좋다.

- <113> 게이트 절연막(28) 위에 게이트 전극(29)을 형성한다(도 6(B)). 게이트 전극(29)은 상기한 실시형태에서 나타낸 재료를 사용하여 형성할 수 있고, 단층이어도 좋고 2층 이상 적층시킨 적층막이어도 좋다. 막 형성 방법으로는 공지의 CVD법, 스퍼터링법, 증착법 등을 사용할 수 있다. 또한, 포토리소그래피법으로 게이트 전극(29)을 섬 형상으로 가공하기 위해서는 건식 에칭이나 습식 에칭 방법을 이용할 수 있다.
- <114> 게이트 전극(29) 및 게이트 절연막(28) 위에 절연막(30)을 CVD법이나 스퍼터링법에 의해 50 nm~1 μm의 두께로 형성한다(도 6(C)). 이 절연막(30)은 규소를 함유하는 절연막을 사용하여 형성할 수 있다. 규소를 함유하는 절연막 위에 유기 수지막 등을 적층하여도 좋다. 절연막(30)은 평탄화막이나 패시베이션막으로서 기능한다. 소스 전극(25) 및 드레인 전극(26)에는 Al이 포함되어 있기 때문에, 게이트 절연막(28), 게이트 전극(29), 절연막(30)을 고온에서 형성하면, 힐록이 발생하는 일이 있기 때문에, 500℃ 이하, 바람직하게는 350℃ 이하의 저온에서 형성하는 것이 바람직하다.
- <115> 이와 같이, 본 발명에 따르면, 기관(1)이 노출되는 것에 의한 불순물의 확산을 방지할 수 있다. 제1 도전막으로서 AlNi막 등의 Al 합금막을 사용하므로, 배선의 저저항화를 도모할 수 있다.
- <116> [실시형태 5]
- <117> 여기서는, 실시형태 1 및 3에서 나타낸 보텀 게이트형 반도체장치를 사용하여 액정 표시장치를 제조하는 형태에 대하여 도 8(A) 및 도 8(B)와 도 9(A) 및 도 9(B)를 사용하여 설명한다. 또한, 실시형태 2 및 4에서 나타낸 탑 게이트형 반도체장치를 적용할 수 있다는 것은 말할 필요도 없다. 도 8(A) 및 도 9(A)는 도 8(B)의 X-Y선의 단면도를 나타낸다.
- <118> 유리 기관 또는 플라스틱 기관(1) 위에 게이트 배선(40) 및 보조 용량 배선(41)을 형성한다. 스퍼터링법으로 AlNd막을 성막하고, 그 후, 공지의 포토리소그래피법 및 에칭 방법을 이용하여 형성한다.
- <119> 산화규소막 또는 산화질소규소막으로 이루어지는 게이트 절연막(42)을 CVD법 또는 스퍼터링법으로 형성한다.
- <120> 게이트 절연막(42) 위에 제1 도전막으로서 AlNi막을 스퍼터링법으로 성막한다. 제1 도전막은 후에 소스 전극(45a), 드레인 전극(46a) 및 소스 배선(47)을 형성한다.
- <121> 제1 도전막 위에 제2 도전막으로서 Al이 첨가된 ZnO(산화아연)막을 스퍼터링법으로 성막한다. 제2 도전막은 후에 소스 전극(45b), 드레인 전극(46b) 및 소스 배선(47)을 형성한다.
- <122> 제2 도전막 위에서, 후에 소스 전극부, 드레인 전극부, 소스 배선부가 되는 영역에 레지스트 마스크를 형성한다(도시하지 않음). 그 다음, 제2 도전막을 에칭한다. 여기서는, 버퍼드 불산과, HF : NH₄F = 1 : 100(중량비)의 용액을 사용하여 에칭을 행한다.
- <123> 다음에, TMAH 용액을 사용하여 제1 도전막을 에칭하여 소스 전극(45a), 드레인 전극(46a), 소스 배선(47)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 이것에 의해, 게이트 절연막(42)을 손상시키지 않고, 소스 전극(45), 드레인 전극(46) 및 소스 배선(47)을 형성할 수 있다. 또한, ZnO막은 TMAH에 의해 에칭되지 않기 때문에, 섬 형상의 제2 도전막의 사이즈가 축소되는 일도 없다. 또한, 제1 도전막에 AlNi막을 사용하므로, 소스 배선의 저저항화를 도모할 수 있다.
- <124> 다음에, 반도체막(48)을 형성한다. 스퍼터링법으로 ZnO막을 성막한 다음, 포토리소그래피법 및 에칭에 의해 ZnO막으로부터 반도체막(48)을 형성한다. 에칭에는 버퍼드 불산을 이용한 습식 에칭을 이용한다. 이때, 반도체막(48)과 접하지 않는 제2 도전막의 부분은 일부 제거되어도 좋다. 그 이유는 배선이 되는 부분에는 제1 도전막이 형성되어 있기 때문이다.
- <125> 반도체막(48) 위에 절연막(49)을 CVD법, 스퍼터링법, 도포법 등에 의해 형성한다. 이 절연막(49)은 규소를 함유하는 절연막, 유기 수지막 등의 적층막을 사용하여 형성할 수 있다. 절연막(49)은 표면의 요철을 평탄화하는 막이면 좋다.
- <126> 절연막(49)에 포토리소그래피법 및 에칭법을 이용하여 드레인 전극(46)에 이르는 콘택트 홀 및 보조 용량용의 콘택트 홀을 형성한다.
- <127> 투명 도전막을 스퍼터링법으로 성막한 다음, 포토리소그래피법 및 에칭 방법을 이용하여 화소 전극(50)을 형성한다. 예를 들어, ITO(Indium Tin Oxide; 인듐 주석 산화물), ITSO(산화규소를 함유하는 인듐 주석 산화물), IZO(Indium Zinc Oxide; 산화인듐 산화아연)를 사용하면 좋다.

- <128> 반사형 액정 표시장치의 경우에는, 투명 전극 대신에, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 광 반사성을 가지는 금속 재료를 형성한다.
- <129> 화소 전극(50)과 보조 용량 배선(41)이 겹치는 부분은, 화소 전극(50), 게이트 절연막(42) 및 보조 용량 배선(41)으로 형성되는 보조 용량(100)을 형성한다(도 8(A) 및 도 8(B)).
- <130> 배선 및 전극에서, 굴곡부나 폭이 변화하는 부위의 모서리를 매끈하고 둥그스름하게 하여도 좋다. 포토마스크의 패턴을 사용하여 제조되는 포토마스크 패턴을 사용하여, 모서리를 모따기한(chamfered) 형상으로 할 수 있다. 이것에 의해 이하의 효과가 있다. 플라즈마를 이용한 건식 에칭을 행할 때, 블록부를 모따기함으로써, 이상(異常) 방전에 의한 미분(微粉)의 발생을 억제할 수 있다. 또한, 미분이 발생한 경우에도, 오목부를 모따기함으로써, 세정 시에 이 미분이 구석에 모이는 것을 방지하고 이 미분을 씻어낼 수 있다. 이렇게 하여, 제조 공정에서의 먼지나 미분의 문제를 해소하여, 수율을 향상시킬 수 있다.
- <131> 그리고, 화소 전극(50)을 덮도록 배향막(51)을 형성한다. 배향막은 액적 토출법이나 인쇄법 등에 의해 형성한다. 배향막을 형성한 후, 러빙(rubbing) 처리를 행한다.
- <132> 대향 기관(56) 위에는, 착색층 및 차광층(블랙 매트릭스)을 사용하여 컬러 필터(55)를 형성하고, 보호 절연막(54)을 형성한다. 보호 절연막(54) 위에, 투명 전극(57)을 형성하고, 배향막(53)을 형성한다(도 9(A)). 배향막에는 러빙 처리를 행한다.
- <133> 다음에, 시일재의 폐(閉)패턴(closed pattern)(75)을 액적 토출법에 의해 형성한다(도 9(B)). 이 시일재로 둘러싸인 영역에 액정 조성물(52)이 충전된다(도 9(A)).
- <134> 이 폐패턴(75) 내에 액정 조성물(52)을 적하하고 나서, 대향 기관(56)과 반도체장치가 형성된 기관(1)을 서로 부착시킨다. 액정 조성물(52)을 충전하기 위해서는, 개구부를 가지는 시일(seal) 패턴을 기관(1)상에 제공하고, 대향 기관(56)과 기관(1)을 서로 부착한 다음, 모세관 현상을 이용하여 액정을 주입하여도 좋다.
- <135> 액정 조성물(52)의 배향 모드로서는, 액정 분자의 배열이 광 입사측으로부터 광 사출측을 향하여 90° 트위스트된 TN 모드, FLC 모드, IPS 모드, VA 모드 등을 사용할 수 있다. IPS 모드의 경우에는, 전극 패턴이 도 8(B)에 나타낸 것과 달리, 빗살 형상이 된다.
- <136> 반도체장치가 형성되어 있는 기관(1)과 대향 기관(56) 모두에 편광판을 부착한다. 또한, 필요에 따라, 광학 필름을 부착할 수 있다.
- <137> 반도체장치가 형성되어 있는 기관(1)과 대향 기관(56)과의 간격이, 구 형상의 스페이서를 산포하거나, 수지로 된 기둥 형상의 스페이서를 형성하거나, 시일재에 필러를 혼합시키는 것에 의해 유지되어도 좋다. 상기 기둥 형상의 스페이서는, 아크릴, 폴리이미드, 폴리이미드아미드, 에폭시 중의 적어도 하나를 주성분으로 하는 유기 수지 재료, 또는 산화규소, 질화규소, 질소를 함유하는 산화규소 중의 어느 1종의 재료, 또는 이들의 적층막으로 이루어지는 무기 재료로 형성된다.
- <138> 그 다음, 이방성 도전체층을 사이에 끼우고 기관(1)에 공지의 기술을 사용하여 FPC(Flexible Printed Circuit)를 부착한다.
- <139> 주변 구동회로를 기관 위에 형성하여도 좋다. 평면 모식도를 도 9(B)에 나타낸다.
- <140> 유리 등으로 형성된 기관(61) 위에, 게이트 배선 구동회로(62), 소스 배선 구동회로(63), 액티브 매트릭스부(64)가 형성되어 있다. 게이트 배선 구동회로(62)는 적어도 시프트 레지스터(62a)와 버퍼(62b)로 구성된다. 소스 배선 구동회로(63)는 적어도 시프트 레지스터(63a)와, 버퍼(63b)와, 비디오 라인(68)을 통하여 보내지는 비디오 신호를 샘플링하는 아날로그 스위치(69)로 구성된다. 액티브 매트릭스부(64)에는, 게이트 배선 구동회로(62)로부터 연장하는 다수의 게이트 배선(72)이 평행하게 배치되어 있다. 소스 배선 구동회로(63)로부터 연장하는 다수의 소스 배선(71)이 게이트 배선(72)에 직교하여 배치되어 있다. 또한, 게이트 배선(72)에 평행하게 보조 용량 배선(73)이 배치되어 있다. 그리고, 게이트 배선(72), 소스 배선(71) 및 보조 용량 배선(73)으로 둘러싸인 영역에는, 반도체장치(65), 액정부(66), 및 보조 용량(67)이 제공되어 있다.
- <141> 게이트 배선 구동회로(62), 소스 배선 구동회로(63), 및 아날로그 스위치(69)에는, 반도체장치(65)와 동일한 제조방법에 의해 동일한 구조로 제조된 반도체장치가 제공되어 있다.
- <142> 반도체장치(65)에서는 게이트 전극이 게이트 배선(72)에 접속되고, 소스 전극이 소스 배선(71)에 접속되어 있다. 반도체장치(65)의 드레인 전극에 접속된 화소 전극과 대향 기관 위의 대향 전극과의 사이에 액정이 봉입

(封入)되어 액정부(66)가 형성되어 있다. 또한, 보조 용량 배선(73)은 대향 전극과 동일한 전위의 전극에 접속되어 있다.

- <143> 상기한 액정 표시장치에서는, 게이트 절연막이 에칭되지 않고, 특성이 불안정하게 되는 일이 없고, 신뢰성이 높다. 또한, 탑 게이트형 반도체장치를 이용한 경우에는, 유리 기판이나, 산화규소막 또는 산화질화규소막으로 형성된 하지막이 에칭되지 않기 때문에, 기판으로부터 나트륨 등의 불순물이 반도체막 내로 확산하여 특성을 열화시키는 일이 없어, 높은 신뢰성을 실현할 수 있다.
- <144> 소스 전극 및 드레인 전극의 일부에 Al을 사용하기 때문에, 배선의 저저항화를 도모할 수 있다.
- <145> [실시형태 6]
- <146> 여기서는, 실시형태 1 및 3에서 나타낸 보텀 게이트형 반도체장치를 사용하여 발광장치를 제조하는 방법에 대하여 도 10(A) 및 도 10(B)와 도 11(A) 및 도 11(B)를 사용하여 설명한다. 또한, 실시형태 2 및 4의 탑 게이트형 반도체장치를 적용할 수 있다는 것은 말할 필요도 없다.
- <147> 상기 실시형태의 기재에 기초하여 반도체장치를 제조하고, 도 10(A)에 나타낸 단계까지를 형성한다. 상기 실시형태와 같은 것은 같은 부호로 나타낸다.
- <148> EL 표시장치에서, 화소 전극(50)은 양극 또는 음극으로서 기능한다. 화소 전극(50)의 재료로서는, 알루미늄(Al), 은(Ag), 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 리튬(Li), 세슘(Cs), 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr), 티탄(Ti) 등의 도전성을 가지는 금속, 또는, 알루미늄-규소(Al-Si), 알루미늄-티탄(Al-Ti), 알루미늄-규소-구리(Al-Si-Cu) 등의 합금, 또는 질화티탄(TiN) 등의 금속 재료의 질화물, ITO, 규소를 함유하는 ITO, IZO 등의 금속 화합물 등을 사용할 수 있다.
- <149> EL층으로부터의 발광을 취출하는 쪽의 전극은 투광성을 가지는 도전막을 사용하여 형성하면 좋고, ITO, 규소를 함유하는 ITO, IZO 등의 금속 화합물 외에, Al, Ag 등의 금속의 극박막을 사용하여도 좋다.
- <150> 화소 전극(50)과 대향하는 전극으로부터 발광을 취출하는 경우에는, 화소 전극(50)에는, 반사율이 높은 재료(Al, Ag 등)를 사용할 수 있다. 본 실시형태에서는, 화소 전극(50)으로서 ITS0(규소를 함유하는 ITO)를 이용한다(도 10(A)).
- <151> 다음에, 절연막(49) 및 화소 전극(50)을 덮도록 유기 재료 또는 무기 재료로 이루어지는 절연막을 형성한다. 이어서, 화소 전극(50)의 일부가 노출하도록 이 절연막을 가공하여, 격벽(81)을 형성한다. 격벽(81)의 재료로서는, 감광성을 가지는 유기 재료(아크릴, 폴리이미드 등)가 바람직하지만, 감광성을 가지지 않는 유기 재료나 무기 재료를 사용하여도 상관없다. 또한, 격벽(81)은, 티탄 블랙이나 탄소 질화물 등의 흑색 안료나 염료를 분산제를 사용하여 격벽(81)의 재료에 분산시켜 격벽(81)을 검게 함으로써 블랙 매트릭스로서 사용하여도 좋다. 격벽(81)이 테이퍼 형상을 가지고, 화소 전극으로 향하는 격벽(81)의 끝면(81a)이 연속적으로 변화하여 있는 곡률을 가지는 것이 바람직하다(도 10(B)).
- <152> 다음에, 발광 물질을 포함하는 층(82)을 형성하고, 이어서, 발광 물질을 포함하는 층(82)을 덮는 대향 전극(83)을 형성한다. 이것에 의해, 화소 전극(50)과 대향 전극(83)과의 사이에 발광 물질을 포함하는 층(82)이 끼여지는 발광소자를 제조할 수 있고, 화소 전극(50)과 대향 전극(83) 사이에 전압을 인가함으로써 발광을 얻을 수 있다.
- <153> 대향 전극(83)의 형성에 사용되는 전극 재료로서는, 화소 전극에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다. 본 실시형태에서는, 제2 전극에 알루미늄을 이용한다.
- <154> 발광 물질을 포함하는 층(82)은 증착법, 잉크젯법, 스핀 코팅법, 딥 코팅법, 롤 대 롤(roll-to-roll)법, 스퍼터링법 등에 의해 형성된다.
- <155> 유기 EL(일렉트로루미네스스) 표시장치의 경우, 발광 물질을 포함하는 층(82)은 정공 수송, 정공 주입, 전자 수송, 전자 주입, 발광 등 각 기능을 가지는 층들의 적층막이어도 좋고, 발광층 단층이어도 좋다. 발광 물질을 포함하는 층으로서, 유기 화합물의 단층 또는 유기 화합물의 적층막을 사용할 수도 있다.
- <156> 정공 주입층은 양극과 정공 수송층 사이에 제공된다. 정공 주입층으로서, 유기 화합물과 금속 산화물의 혼합층을 사용할 수 있다. 이것에 의해, 화소 전극(50)의 표면에 형성된 요철이나 전극 표면에 남은 이물(異物)의 영향으로 화소 전극(50)과 대향 전극(83)이 쇼트(단락)하는 것을 방지할 수 있다. 혼합층의 두께는 60 nm 이상

인 것이 바람직하고, 120 nm 이상이면 더욱 좋다. 후막화(厚膜化)하여도 발광소자의 구동 전압의 상승을 초래하지 않기 때문에, 요철이나 이물의 영향을 충분히 커버할 수 있는 막 두께를 선택할 수 있다. 따라서, 본 발명에 의해 제조된 발광장치에서는 암점(暗点)(dark spot)을 발생시키지 않고, 구동 전압이나 소비전력의 증가를 초래하지 않는다.

- <157> 금속 산화물로서는, 전이 금속의 산화물이나 질화물이 바람직하고, 구체적으로는, 산화 지르코늄, 산화 하프늄, 산화 바나듐, 산화 니오브, 산화 탄탈, 산화 크롬, 산화 몰리브덴, 산화 텅스텐, 산화 티탄, 산화 망간, 산화 레늄이 바람직하다.
- <158> 유기 화합물로서는, 4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐(약칭: NPB), 4,4'-비스[N-(3-메틸페닐)-N-페닐아미노]비페닐(약칭: TPD), 4,4',4''-트리스(N,N-디페닐아미노)트리페닐아민(약칭: TDATA), 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐아미노]트리페닐아민(약칭: MTDATA), 4,4'-비스{N-[4-(N,N-디-m-톨릴아미노)페닐]-N-페닐아미노}비페닐(약칭: DNTPD), 1,3,5-트리스[N,N-디(m-톨릴)아미노]벤젠(약칭: m-MTDAB), 4,4',4''-트리스(N-카르바졸일)트리페닐아민(약칭: TCTA) 등의 아릴아미노기를 가지는 유기 재료나, 프탈로시아닌(약칭: H₂Pc), 구리 프탈로시아닌(약칭: CuPc), 바나딜 프탈로시아닌(약칭: VOPc) 등을 사용할 수 있다.
- <159> 정공 수송층은 양극과 발광층 사이, 또는 정공 주입층이 제공되는 경우에는 정공 주입층과 발광층 사이에 제공된다. 정공 수송층은, 정공을 수송하는 기능이 뛰어난 층, 예를 들어, NPB, TPD, TDATA, MTDATA, BSPB 등의 방향족 아민(즉, 벤젠 고리-질소 결합을 가진다)의 화합물을 사용하여 형성되는 층으로 형성된다. 여기에 설명한 물질은, 주로 $1 \times 10^{-6} \sim 10 \text{ cm}^2/\text{Vs}$ 의 정공 이동도를 가지는 물질이다. 그러나, 전자 수송성보다 정공 수송성이 높은 물질이라면, 이것들 이외의 것을 사용하여도 좋다. 또한, 정공 수송층은 단층 뿐만 아니라, 상기 물질로 이루어지는 층을 2층 이상 적층한 것이어도 좋다.
- <160> 발광층은 양극과 음극 사이, 또는 정공 수송층과 전자 수송층이 제공되는 경우에는 정공 수송층과 전자 수송층 사이에 제공된다. 발광층에 대하여 특별한 한정은 없지만, 발광층으로서 기능하는 층에는 크게 나누어 두 가지 모드가 있다. 하나는 발광 중심이 되는 발광 물질(도펀트 재료)의 에너지 갭보다 큰 에너지 갭을 가지는 재료(호스트 재료)로 이루어지는 층에 발광 재료를 분산시킨 호스트-게스트형 층이고, 다른 하나는 발광 재료만으로 발광층을 구성하는 층이다. 전자(前者)는 농도 소광이 일어나기 어렵기 때문에 바람직하다. 발광 중심이 되는 발광 물질로서는, 4-디시아노메틸렌-2-메틸-6-(1,1,7,7-테트라메틸줄롤리딘-9-에닐)-4H-피란(약칭: DCJT), 4-디시아노메틸렌-2-t-부틸-6-(1,1,7,7-테트라메틸줄롤리딘-9-에닐)-4H-피란, 페리플란텐, 2,5-디시아노-1,4-비스(10-메톡시-1,1,7,7-테트라메틸줄롤리딘-9-에닐)벤젠, N,N'-디메틸퀴나크리돈(약칭: DMQd), 쿠마린 6, 쿠마린 545T, 트리스(8-퀴놀리놀라토)알루미늄(약칭: Alq₃), 9,9'-비안트릴, 9,10-디페닐안트라센(약칭: DPA), 9,10-비스(2-나프틸)안트라센(약칭: DNA), 2,5,8,11-테트라-t-부틸페릴렌(약칭: TBP), PtOEP, Ir(ppy)₃, Btp₂Ir(acac), FIrpic 등을 사용할 수 있다. 또한, 상기 발광 재료를 분산시킨 층을 형성하는 경우에 호스트 재료가 되는 모체로서는, 9,10-디(2-나프틸)-2-tert-부틸안트라센(약칭: t-BuDNA) 등의 안트라센 유도체, 4,4'-비스(N-카르바졸일)비페닐(약칭: CBP) 등의 카르바졸 유도체, 트리스(8-퀴놀리놀라토)알루미늄(약칭: Alq₃), 트리스(4-메틸-8-퀴놀리놀라토)알루미늄(약칭: Almq₃), 비스(10-하이드록시벤조[h]-퀴놀리나토)베릴륨(약칭: BeBq₂), 비스(2-메틸-8-퀴놀리놀라토)-4-페닐페놀라토-알루미늄(약칭: BA1q), 비스[2-(2-하이드록시페닐)피리디나토]아연(약칭: Znpp₂), 비스[2-(2-하이드록시페닐)벤조옥사졸레이트]아연(약칭: ZnBOX) 등의 금속 착체 등을 사용할 수 있다. 또한, 발광 물질만으로 발광층을 구성할 수 있는 재료로서는, 트리스(8-퀴놀리놀라토)알루미늄(약칭: Alq₃), 9,10-비스(2-나프틸)안트라센(약칭: DNA), 비스(2-메틸-8-퀴놀리놀라토)-4-페닐페놀라토-알루미늄(약칭: BA1q) 등을 사용할 수 있다.
- <161> 전자 수송층은 발광층과 음극 사이, 또는 전자 주입층이 제공되는 경우에는 발광층과 전자 주입층 사이에 제공된다. 전자 수송층은, 전자를 수송하는 기능이 뛰어난 층, 예를 들어, 트리스(8-퀴놀리놀라토)알루미늄(약칭: Alq₃), 트리스(5-메틸-8-퀴놀리놀라토)알루미늄(약칭: Almq₃), 비스(10-하이드록시벤조[h]-퀴놀리나토)베릴륨(약칭: BeBq₂), 비스(2-메틸-8-퀴놀리놀라토)-4-페닐페놀라토-알루미늄(약칭: BA1q) 등, 퀴놀린 골격 또는 벤조퀴놀린 골격을 가지는 금속 착체 등으로 이루어지는 층이다. 또한, 이 외에, 비스[2-(2-하이드록시페닐)-벤조옥사졸라토]아연(약칭: Zn(BOX)₂), 비스[2-(2-하이드록시페닐)-벤조티아졸라토]아연(약칭: Zn(BTZ)₂) 등의 옥사졸계 또는 티아졸계 배위자를 가지는 금속 착체 등도 사용할 수 있다. 또한, 금속 착체 이외에도, 2-(4-비페닐일)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(약칭: PBD), 1,3-비스[5-(p-tert-부틸페닐)-1,3,4-옥사

디아졸-2-일]벤젠(약칭: OXD-7), 3-(4-tert-부틸페닐)-4-페닐-5-(4-비페닐일)-1,2,4-트리아졸(약칭: TAZ), 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐일)-1,2,4-트리아졸(약칭: p-EtTAZ), 바소페난트롤린(약칭: BPhen), 바소큐프로인(약칭: BCP) 등도 사용할 수 있다. 여기에 말한 물질은, 주로 $1 \times 10^{-6} \sim 10 \text{ cm}^2/\text{Vs}$ 의 전자 이동도를 가지는 물질이다. 또한, 정공 수송성보다 전자 수송성이 높은 물질이면, 상기 이외의 물질을 전자 수송층으로서 사용하여도 상관없다. 또한, 전자 수송층은 단층 뿐만 아니라, 상기 물질로 이루어지는 층을 2층 이상 적층한 것이어도 좋다.

- <162> 전자 주입층은 음극과 전자 수송층 사이에 제공된다. 전자 주입층으로서, 불화 리튬(LiF), 불화 세슘(CsF), 불화 칼슘(CaF₂) 등과 같은 알칼리 금속 또는 알칼리토류 금속의 화합물을 사용할 수 있다. 또한, 이 외에, 전자 수송성을 가지는 물질에 알칼리 금속 또는 알칼리토류 금속을 함유시켜 형성한 층, 예를 들어, Alq₃ 중에 마그네슘(Mg)을 함유시켜 형성한 층 등을 사용할 수 있다.
- <163> 무기 EL(일렉트로루미네스) 표시장치의 경우에는, 발광 물질을 포함하는 층(82)에는 형광체 입자를 분산제에 분산시킨 것을 사용할 수 있다.
- <164> ZnS에 Cu(구리)와 함께 Cl(염소), I(요오드), Al(알루미늄) 등의 도너성 불순물을 첨가한 형광체를 사용할 수 있다.
- <165> 분산제로서는, 시아노에틸 셀룰로오스계 수지와 같은 유전율이 비교적 높은 폴리머나, 폴리에틸렌계 수지, 폴리프로필렌계 수지, 폴리스티렌계 수지, 실리콘 수지, 에폭시 수지, 불화 비닐리덴 수지 등을 사용할 수 있다. 이들 수지에, BaTiO₃(티탄산 바륨)나 SrTiO₃(티탄산 스트론튬) 등의 고유전율의 미립자를 적당히 혼합하여 유전율을 조정할 수도 있다. 분산 수단으로서, 초음파 분산기 등을 사용할 수 있다.
- <166> 발광 물질을 포함하는 층(82)과 전극들 중 하나와의 사이에 유전체 층이 제공되어도 좋다. 유전체 층에는, 유전율과 절연성이 높고, 또한, 유전 파괴 전압이 높은 재료를 사용할 수 있다. 이것은 금속 산화물 또는 질화물로부터 선택되고, 예를 들어, TiO₂, BaTiO₃, SrTiO₃, PbTiO₃, KNbO₃, PbNbO₃, Ta₂O₅, BaTa₂O₆, LiTaO₃, Y₂O₃, Al₂O₃, ZrO₂, AlON, ZnS 등이 사용된다. 이들은 균일한 막으로서 배치되어도 좋고, 또는, 입자 구조를 가지는 막으로서 배치되어도 좋다.
- <167> 무기 일렉트로루미네스 표시장치의 경우, 발광층을 절연층들 사이에 끼운 이중 절연 구조를 이용하여도 좋다. 발광층은 Mn(망간)이나 희토류 원소를 함유한 ZnS(황화아연) 등의 II-VI족 화합물을 사용하여 형성할 수 있고, 절연층은 Si₃N₄, SiO₂, Al₂O₃, TiO₂ 등의 산화물 또는 질화물을 사용하여 형성할 수 있다.
- <168> 대향 전극(83) 위에 패시베이션막으로서 질소를 함유하는 산화규소막을 플라즈마 CVD법에 의해 형성한다(도시하지 않음). 질소를 함유하는 산화규소막을 사용하는 경우에는, 플라즈마 CVD법에 의해 SiH₄, N₂O, NH₃를 사용하여 형성되는 산화질화규소막, 또는 SiH₄, N₂O를 사용하여 형성되는 산화질화규소막, 또는 SiH₄, N₂O를 Ar로 희석한 가스를 사용하여 형성되는 산화질화규소막을 사용할 수 있다.
- <169> 또한, 패시베이션막으로서, SiH₄, N₂O, H₂로부터 제조되는 산화질화수소화규소막을 이용하여도 좋다. 물론, 패시베이션막은 상기한 것에 한정되는 것은 아니다. 규소를 주성분으로 하는 다른 절연층을 사용할 수도 있다. 또한, 단층 구조뿐만 아니라 적층 구조이어도 좋다. 또한, 질화탄소막과 질화규소막의 다층막이나 스티렌 폴리머의 다층막을 사용하여도 좋다. 질화규소막이나 다이아몬드 라이크 카본(diamond-like carbon: DLC)막을 형성하여도 좋다.
- <170> 그 다음, 물 등의 열화를 촉진하는 물질로부터 발광소자를 보호하기 위해, 표시부의 봉지(封止)를 행한다. 대향 기관 그 자체를 봉지에 사용하는 경우에는, 외부 접속부가 노출하도록 절연성의 시일재에 의해 대향 기관을 부착한다. 대향 기관과 소자 기관 사이의 공간에는 건조된 질소 등의 불활성 기체를 충전하여도 좋고, 시일재를 화소부 전면(全面)에 도포하여 대향 기관을 부착하여도 좋다. 시일재로서는 자외선 경화 수지 등을 사용하는 것이 바람직하다. 시일재에는 건조제나 기관 간격을 일정하게 유지하기 위한 입자를 혼입해 두어도 좋다. 그 다음, 외부 접속부에 가요성 배선 기관을 부착함으로써, 발광장치가 완성된다.
- <171> 이상과 같이 제조한 발광장치의 구성의 일례에 대하여 도 11(A) 및 도 11(B)를 참조하여 설명한다. 또한, 형태가 다르더라도 같은 기능을 나타낸 부분에는 같은 부호를 붙이고, 그의 설명을 생략하는 경우도 있다.

- <172> 도 11(A)는, 화소 전극(50)이 투광성을 가지는 도전막을 사용하여 형성되어 있고, 발광 물질을 포함하는 층(82)으로부터 발광된 광이 기관(1)쪽으로 취출되는 구조를 나타낸다. 또한, 부호 86은 대향 기관을 나타내고, 이 대향 기관은 발광소자가 형성된 후 시일재 등을 사용하여 기관(1)에 고착된다. 대향 기관(86)과 소자와의 사이의 공간에 투광성을 가지는 수지(85) 등을 충전하여, 발광소자를 방지한다. 이것에 의해, 발광소자가 수분에 의해 열화하는 것을 방지할 수 있다. 또한, 수지(85)는 흡습성을 가지고 있는 것이 바람직하다. 또한, 수지(85) 중에 투광성이 높은 건조제(84)를 분산시키면 더욱 더 수분의 영향을 억제하는 것이 가능하게 되기 때문에 더욱 바람직하다.
- <173> 도 11(B)는, 화소 전극(50)과 대향 전극(83) 모두가 투광성을 가지는 도전막을 사용하여 형성되는 구조를 나타낸다. 따라서, 점선의 화살표로 나타낸 바와 같이 기관(1)쪽과 대향 기관(86)쪽 모두로 광을 취출하는 것이 가능하다. 이 구성에서는, 기관(1)과 대향 기관(86)의 외측에 편광판(88)을 제공함으로써, 화면이 투과되는 것을 방지할 수 있어 시인성(視認性)이 향상된다. 편광판(88)의 외측에는 보호 필름(87)을 제공하는 것이 좋다.
- <174> 또한, 표시 기능을 가지는 본 발명의 발광장치에는, 아날로그 비디오 신호와 디지털 비디오 신호 중의 어느 쪽을 사용하여도 좋다. 디지털 비디오 신호를 사용하는 경우에는, 그 비디오 신호가 전압을 사용하는 것과, 전류를 사용하는 것으로 나눌 수 있다.
- <175> 발광소자의 발광 시에, 화소에 입력되는 비디오 신호는 정전압의 것과 정전류의 것이 있다. 비디오 신호가 정전압의 것인 경우에는, 발광소자에 인가되는 전압이 일정한 것과, 발광소자에 흐르는 전류가 일정한 것이 있다.
- <176> 또한, 비디오 신호가 정전류의 것인 경우에는, 발광소자에 인가되는 전압이 일정한 것과, 발광소자에 흐르는 전류가 일정한 것이 있다. 이 발광소자에 인가되는 전압이 일정한 구동 방법이 정전압 구동이라 불리고, 발광소자에 흐르는 전류가 일정한 구동 방법이 정전류 구동이라 불린다. 정전류 구동에서는, 발광소자의 저항 변화에 상관없이, 일정한 전류가 흐른다. 본 발명을 사용하여 제조된 발광장치 및 그의 구동 방법에는, 상기한 어느 구동 방법을 이용하여도 좋다.
- <177> 상기한 발광장치에서는, 게이트 절연막이 에칭되지 않고, 특성이 불안정하게 되는 일이 없고, 신뢰성이 높다. 또한, 탑 게이트형 반도체장치를 이용한 경우에는, 유리 기관이나 산화규소막 또는 산화질화규소막으로 이루어지는 하지막이 에칭되지 않기 때문에, 기관으로부터 나트륨 등의 불순물이 반도체막 내로 확산하여 특성을 열화시키는 일이 없어, 신뢰성이 높다.
- <178> 소스 전극 및 드레인 전극의 일부에 Al을 사용하기 때문에, 배선의 저저항화를 도모할 수 있다.
- <179> 패널 및 모에 포함되는 화소 회로 및 보호 회로와 그들의 동작에 대하여 도 12(A)~도 12(F) 및 도 13 등을 사용하여 설명한다. 도 10(A) 및 도 10(B)와 도 11(A) 및 도 11(B)는 반도체장치의 구동용 TFT(1403)의 단면도를 나타내고 있다. 스위칭용 TFT(1401), 전류 제어용 TFT(1404), 소거용 TFT(1406)는 모두 구동용 TFT(1403)와 동시에 제작되어도 좋고, 구동용 TFT(1403)와 같은 구성을 하고 있어도 좋다.
- <180> 도 12(A)에 나타낸 화소는, 열 방향으로 배치된 신호선(1410) 및 전원선(1411, 1412)과, 행 방향으로 배치된 주사선(1414)을 포함하고 있다. 또한, 화소는 스위칭용 TFT(1401), 구동용 TFT(1403), 전류 제어용 TFT(1404), 보조 용량(1402) 및 발광소자(1405)도 포함하고 있다.
- <181> 도 12(C)에 나타낸 화소는, 구동용 TFT(1403)의 게이트 전극이 행 방향으로 배치된 전원선(1412)에 접속되는 것을 제외하고는 도 12(A)에 나타낸 화소와 같은 구성을 가진다. 즉, 도 12(A) 및 도 12(C)에 나타낸 양 화소는 동일한 등가회로도 나타낸다. 그러나, 열 방향으로 전원선(1412)을 배치하는 경우(도 12(A))와, 행 방향으로 전원선(1412)을 배치하는 경우(도 12(C))에는, 각 전원선이 상이한 층의 도전막으로 형성된다. 여기서는, 구동용 TFT(1403)의 게이트 전극에 접속되는 배선에 주목하고, 이들 배선이 상이한 층으로 제조되는 것을 나타내기 위해, 도 12(A)와 도 12(C)로 나누어 나타낸다.
- <182> 도 12(A) 및 도 12(C)에 나타낸 화소의 특징으로서, 화소 내에 구동용 TFT(1403)와 전류 제어용 TFT(1404)가 직렬로 접속되어 있고, 구동용 TFT(1403)의 채널 길이 L(1403)과 채널 폭 W(1403), 전류 제어용 TFT(1404)의 채널 길이 L(1404)과 채널 폭 W(1404)를, $L(1403)/W(1403) : L(1404)/W(1404) = 5$ 내지 $6000 : 1$ 을 만족하도록 설정하는 것이 바람직하다.
- <183> 또한, 구동용 TFT(1403)는 포화 영역에서 동작하고, 발광소자(1405)에 흐르는 전류값을 제어하는 역할을 한다. 전류 제어용 TFT(1404)는 선형 영역에서 동작하고, 발광소자(1405)에 대한 전류 공급을 제어하는 역할을 한다. 양 TFT는 동일한 도전형을 가지고 있으면 제조공정상 바람직하고, 본 실시형태에서는 이들 TFT를 n채널형 TFT로

한다. 또한, 구동용 TFT(1403)에는, 엔헨스먼트(enhancement) TFT와 디플리션(deplition)형 TFT 중의 어느 것이나 사용하여도 좋다. 상기 구성을 가지는 발광장치에서는, 전류 제어용 TFT(1404)가 선형 영역에서 동작하기 때문에, 전류 제어용 TFT(1404)의 Vgs의 약간의 변동이 발광소자(1405)의 전류값에 영향을 미치지 않는다. 즉, 발광소자(1405)의 전류값은 포화 영역에서 동작하는 구동용 TFT(1403)에 의해 결정될 수 있다. 상기 구성에 의해, TFT의 특성 편차에 기인한 발광소자의 휘도 얼룩을 개선할 수 있어, 화질을 향상시킨 발광장치를 제공할 수 있다.

- <184> 도 12(A)~도 12(D)에 나타낸 각 화소에서, 스위칭용 TFT(1401)는 화소에 대한 비디오 신호의 입력을 제어하는 것이고, 스위칭용 TFT(1401)가 온(ON)으로 된 때 화소 내에 비디오 신호가 입력된다. 그 다음, 그 비디오 신호의 전압이 보조 용량(1402)에 보유된다. 또한, 도 12(A) 및 도 12(C)는 보조 용량(1402)을 제공한 구성을 나타내었지만, 본 발명이 이것에 한정되는 것은 아니고, 게이트 용량 등이 비디오 신호를 보유하는 용량으로서 가능할 수 있는 경우에는, 보조 용량(1402)을 제공하지 않아도 좋다.
- <185> 도 12(B)에 나타낸 화소는, TFT(1406)와 주사선(1415)을 추가하고 있는 것을 제외하고는 도 12(A)에 나타낸 화소 구성과 같다. 마찬가지로, 도 12(D)에 나타낸 화소는, TFT(1406)와 주사선(1415)을 추가하고 있는 것을 제외하고는 도 12(C)에 나타낸 화소 구성과 같다.
- <186> 추가적으로 제공된 주사선(1415)에 의해 TFT(1406)의 온/오프가 제어된다. TFT(1406)가 온으로 되면, 보조 용량(1402)에 보유된 전하가 방전하여, 전류 제어용 TFT(1404)를 오프로 한다. 즉, TFT(1406)의 배치에 의해, 발광소자(1405)에 전류가 흐르지 않는 상태를 강제적으로 만들 수 있다. 이 때문에, TFT(1406)를 소거용 TFT라고 부를 수 있다. 따라서, 도 12(B) 및 도 12(D)의 구성에서는, 모든 화소에 대한 신호의 기입을 기다리지 않고, 기입 기간의 개시와 동시 또는 그 직후에 점등 기간을 개시할 수 있기 때문에, 듀티비(duty ratio)를 향상시킬 수 있다.
- <187> 도 12(E)에 나타낸 화소에서는, 신호선(1410)과 전원선(1411)이 열 방향으로 배치되고, 주사선(1414)이 행 방향으로 배치된다. 또한, 이 화소는 스위칭용 TFT(1401), 구동용 TFT(1403), 보조 용량(1402) 및 발광소자(1405)를 가진다. 도 12(F)에 나타낸 화소는, TFT(1406)와 주사선(1415)을 추가하고 있는 것을 제외하고는 도 12(E)에 나타낸 화소 구성과 같다. 또한, 도 12(F)의 구성에서도, TFT(1406)의 배치에 의해, 듀티비를 향상시킬 수 있다.
- <188> 이와 같은 액티브 매트릭스형의 발광장치는 화소 밀도가 증가한 경우, 각 화소에 TFT가 설치되어 있기 때문에 저전압으로 구동할 수 있으므로, 유리하다고 생각된다.
- <189> 본 실시형태에서는, 일 화소에 각각의 TFT가 설치되는 액티브 매트릭스형의 발광장치에 대하여 설명하였지만, 패시브 매트릭스형의 발광장치를 형성할 수도 있다. 패시브 매트릭스형의 발광장치에서는, 각 화소에 TFT가 설치되지 않기 때문에, 고개구율이 얻어질 수 있다. 발광이 발광 적층체의 양측으로 사출되는 발광장치의 경우, 패시브 매트릭스형의 발광장치를 사용하면 투과율이 높아진다.
- <190> 다음에, 도 12(E)에 나타낸 등가회로를 사용하여, 주사선 및 신호선에 보호 회로로서 다이오드를 제공하는 경우에 대하여 설명한다.
- <191> 도 13에서, 화소부(1500)에 스위칭용 TFT(1401), 구동용 TFT(1403), 보조 용량(1402), 발광소자(1405)가 제공되어 있다. 신호선(1410)에는, 다이오드(1561)와 다이오드(1562)가 제공되어 있다. 스위칭용 TFT(1401) 및 구동용 TFT(1403)와 마찬가지로, 다이오드(1561)와 다이오드(1562)는 상기 실시형태들에 기초하여 제조되고, 게이트 전극, 반도체층, 소스 전극, 드레인 전극 등을 가진다. 다이오드(1561)와 다이오드(1562)는, 게이트 전극을 드레인 전극 또는 소스 전극과 접촉함으로써 다이오드로서 동작시키고 있다.
- <192> 다이오드(1561, 1562)에 접속하는 공통 전위선(1554, 1555)은 게이트 전극과 동일한 층을 사용하여 형성된다. 따라서, 다이오드의 소스 전극 또는 드레인 전극과 공통 전위선(1554, 1555)을 접속하기 위해서는, 게이트 절연층에 콘택트 홀을 형성할 필요가 있다.
- <193> 주사선(1414)에 제공되는 다이오드(1563, 1564)도 동일한 구성을 가진다. 또한, 공통 전위선(1565, 1566)도 동일한 구성을 가진다.
- <194> 이와 같이, 본 발명에 따르면, 입력단에 제공되는 보호 다이오드를 동시에 형성할 수 있다. 또한, 보호 다이오드의 위치는 이것에 한정되지 않고, 구동회로와 화소와의 사이에 제공될 수도 있다.
- <195> 도 12(E)에 나타낸 등가회로를 이용한 경우의 화소 부분의 상면도를 도 14(A)에 나타낸다. 또한, 도 14(B)에는

도 12(E)와 동일한 등가회로를 나타낸다. 도 10(A) 및 도 10(B)와 도 11(A) 및 도 11(B)에 나타난 각 반도체장치는 구동용 TFT(1403)에 대응한다. 도 10(A) 및 도 10(B)와 도 11(A) 및 도 11(B)는 도 14(A) 및 도 14(B)의 X-Y선을 따라 취한 단면도를 나타내고 있다. 전원선(1411), 신호선(1410), 스위칭용 TFT(1401)의 소스 전극 및 드레인 전극은 제1 도전막을 사용하여 형성되고, 구동용 TFT(1403)의 소스 전극 및 드레인 전극은 제2 도전막을 사용하여 형성되어 있다.

- <196> 스위칭용 TFT(1401)는 구동용 TFT(1403)와 같은 방법에 의해 제조된다. 스위칭용 TFT(1401)의 드레인 전극과 구동용 TFT(1403)의 게이트 전극(40)은 게이트 절연막(42)과 동일한 층의 절연막에 형성된 콘택트 홀을 통하여 서로 전기적으로 접속되어 있다.
- <197> 보조 용량(1402)은, 구동용 TFT(1403)의 게이트 전극이 연장한 부분과, 전원선(1411), 및 게이트 절연막(42)과 동일한 층의 절연막에 의해 형성되어 있다.
- <198> 발광 영역(1420)은 격벽(81)의 개구부에 형성된다. 도시하지는 않았지만, 발광 영역(1420)의 주변에는 격벽(81)이 형성되어 있다. 발광 영역(1420)의 모서리부를 둥그스름하게 하여도 좋다. 격벽(81)의 개구부의 모서리부를 둥그스름하게 함으로써, 발광 영역(1420)의 모서리부를 둥그스름하게 할 수 있다. 모서리부를 둥그스름하게 함으로써, 격벽(81)의 가공에 플라즈마를 이용한 건식 에칭을 행할 때 이상(異常) 방전에 의한 미분(微粉)의 발생을 억제할 수 있다.
- <199> 본 실시형태는 상기 실시형태들의 적당한 구성과 적절히 조합될 수 있다.
- <200> [실시형태 7]
- <201> 상기 실시형태들에 일례를 나타낸 모듈을 탑재한 본 발명의 반도체장치를 가지는 전자기기로서, 비디오 카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생장치(카 오디오 콤포넌트 등), 컴퓨터, 게임기기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기, 전자 책 등), 기록 매체를 구비한 화상 재생장치(구체적으로는, Digital Versatile Disc(DVD) 등의 기록 매체를 재생하고, 그의 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 15(A)~도 15(E) 및 도 16에 나타낸다.
- <202> 도 15(A)는 텔레비전 수상기나 퍼스널 컴퓨터용의 모니터 등을 나타낸 것으로, 케이스(3001), 표시부(3003), 스피커부(3004) 등을 포함한다. 표시부(3003)에는 액티브 매트릭스 표시장치가 제공되어 있다. 표시부(3003)의 화소마다 본 발명의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 텔레비전을 얻을 수 있다.
- <203> 도 15(B)는 휴대 전화기를 나타낸 것으로, 본체(3101), 케이스(3102), 표시부(3103), 음성 입력부(3104), 음성 출력부(3105), 조작 키(3106), 안테나(3108) 등을 포함한다. 표시부(3103)에는 액티브 매트릭스 표시장치가 제공되어 있다. 표시부(3103)의 화소마다 본 발명의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 휴대 전화기를 얻을 수 있다.
- <204> 도 15(C)는 컴퓨터를 나타낸 것으로, 본체(3201), 케이스(3202), 표시부(3203), 키보드(3204), 외부 접속 포트(3205), 포인팅 마우스(3206) 등을 포함한다. 표시부(3203)에는 액티브 매트릭스 표시장치가 제공되어 있다. 표시부(3203)의 화소마다 본 발명의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 컴퓨터를 얻을 수 있다.
- <205> 도 15(D)는 모바일 컴퓨터를 나타낸 것으로, 본체(3301), 표시부(3302), 스위치(3303), 조작 키(3304), 적외선 포트(3305) 등을 포함한다. 표시부(3302)에는 액티브 매트릭스 표시장치가 제공되어 있다. 표시부(3302)의 화소마다 본 발명의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 모바일 컴퓨터를 얻을 수 있다.
- <206> 도 15(E)는 휴대형 게임기를 나타낸 것으로, 케이스(3401), 표시부(3402), 스피커부(3403), 조작 키(3404), 기록 매체 삽입부(3405) 등을 포함한다. 표시부(3402)에는 액티브 매트릭스 표시장치가 제공되어 있다. 표시부(3402)의 화소마다 본 발명의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 휴대형 게임기를 얻을 수 있다.
- <207> 도 16은 가요성 디스플레이를 나타낸 것으로, 본체(3110), 화소부(3111), 드라이버 IC(3112), 수신장치(3113), 필름 배터리(3114) 등을 포함한다. 수신장치는 상기 휴대 전화기의 적외선 통신 포트(3107)로부터 신호를 수신할 수 있다. 화소부(3111)에는 액티브 매트릭스 표시장치가 제공되어 있다. 화소부(3111)의 화소마다 본 발명

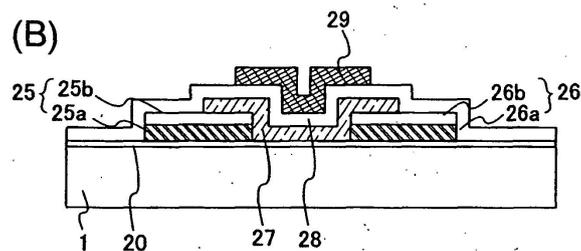
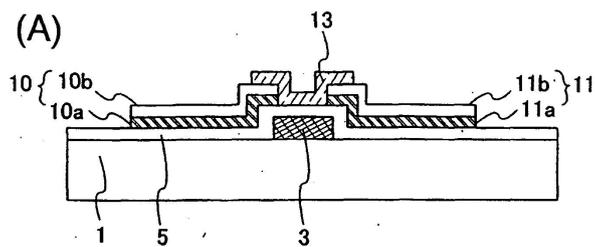
의 반도체장치를 가지고 있다. 본 발명의 반도체장치를 사용함으로써, 특성 열화가 적은 가요성 디스플레이를 얻을 수 있다.

도면의 간단한 설명

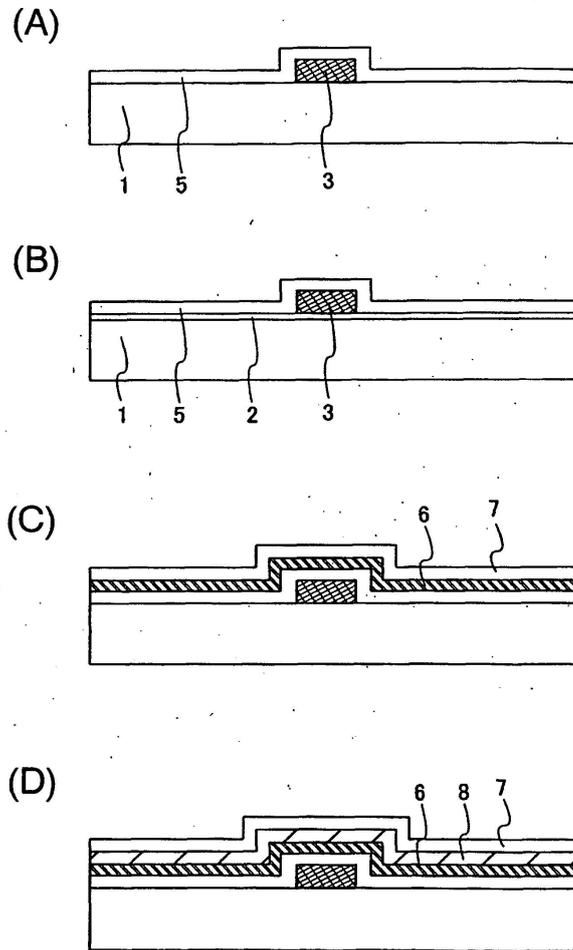
- <208> 도 1(A) 및 도 1(B)는 본 발명의 반도체장치를 나타낸 도면.
- <209> 도 2(A)~도 2(D)는 본 발명의 반도체장치의 제조공정을 나타낸 도면.
- <210> 도 3(A)~도 3(D)는 본 발명의 반도체장치의 제조공정을 나타낸 도면.
- <211> 도 4(A) 및 도 4(B)는 본 발명의 반도체장치의 제조공정을 나타낸 도면.
- <212> 도 5(A)~도 5(D)는 본 발명의 반도체장치의 제조공정을 나타낸 도면.
- <213> 도 6(A)~도 6(C)는 본 발명의 반도체장치의 제조공정을 나타낸 도면.
- <214> 도 7(A) 및 도 7(B)는 종래 예를 나타낸 도면.
- <215> 도 8(A) 및 도 8(B)는 액정 표시장치의 제조공정을 나타낸 도면.
- <216> 도 9(A) 및 도 9(B)는 액정 표시장치의 제조공정을 나타낸 도면.
- <217> 도 10(A) 및 도 10(B)는 발광장치의 제조공정을 나타낸 도면.
- <218> 도 11(A) 및 도 11(B)는 발광장치의 제조공정을 나타낸 도면.
- <219> 도 12(A)~도 12(F)는 발광장치의 등가회로도.
- <220> 도 13은 발광장치의 등가회로도.
- <221> 도 14(A)는 화소부의 상면도를 나타내고, 도 14(B)는 발광장치의 등가회로를 나타낸 도면.
- <222> 도 15(A)~도 15(E)는 본 발명이 적용되는 전자기기의 예를 나타낸 도면.
- <223> 도 16은 본 발명이 적용되는 전자기기의 예를 나타낸 도면.

도면

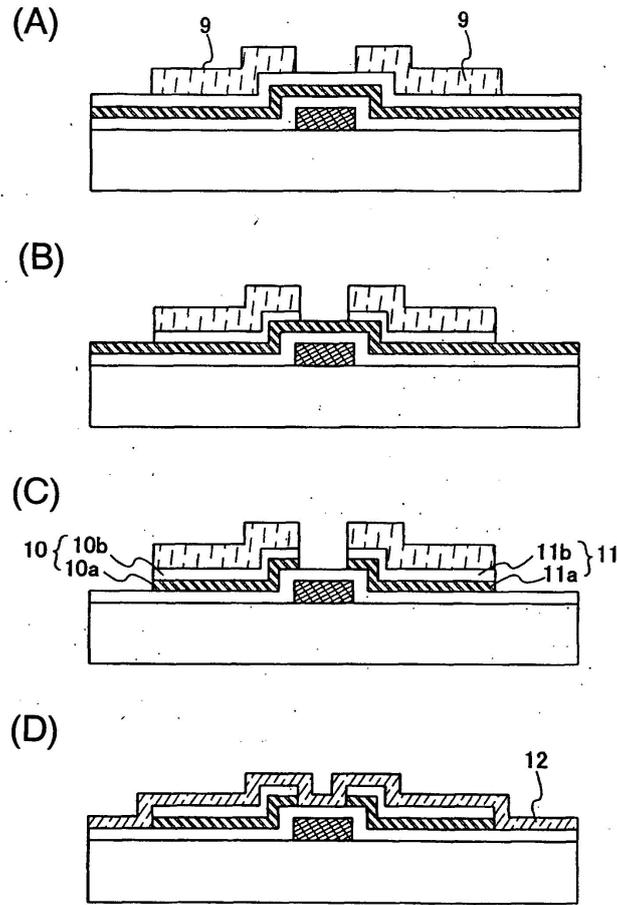
도면1



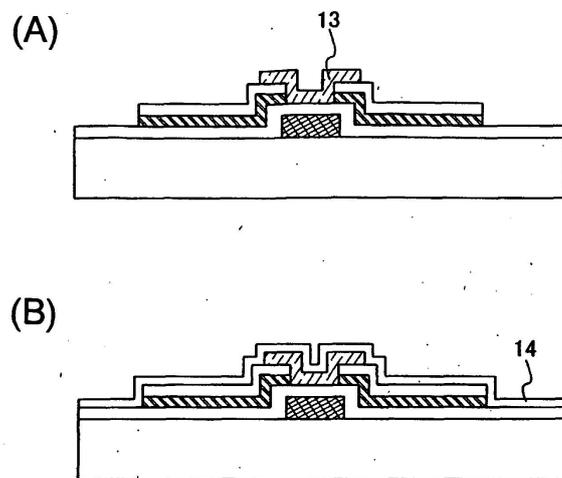
도면2



도면3

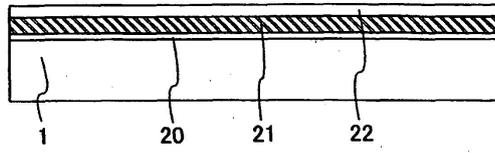


도면4

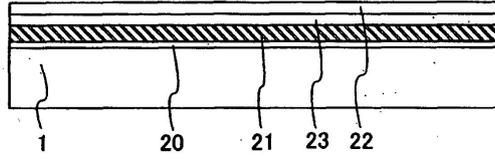


도면5

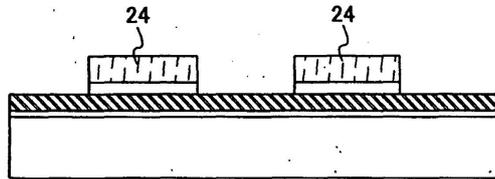
(A)



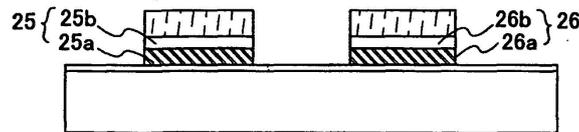
(B)



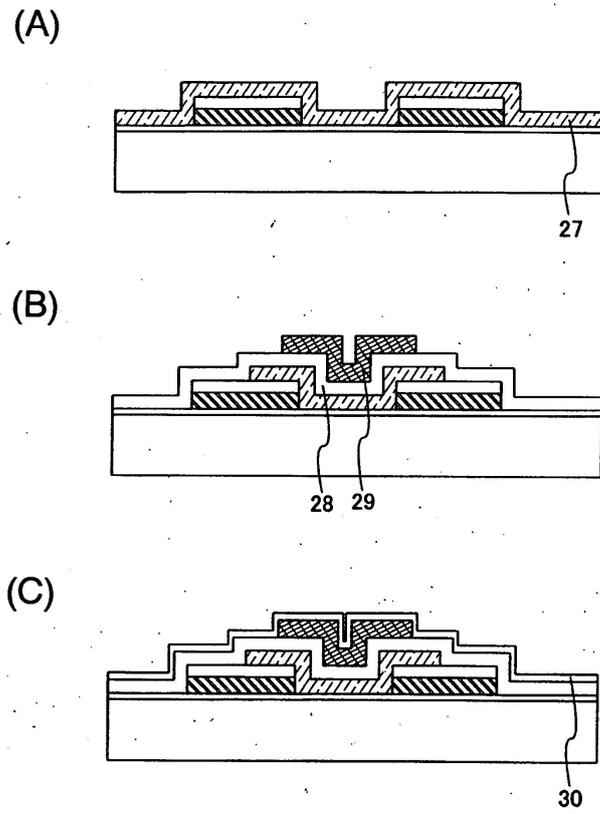
(C)



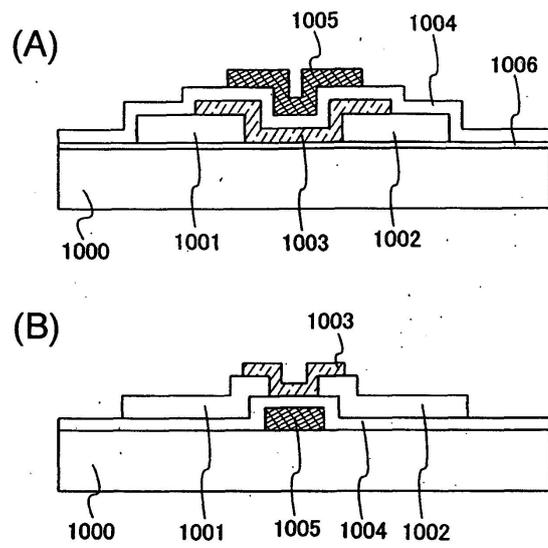
(D)



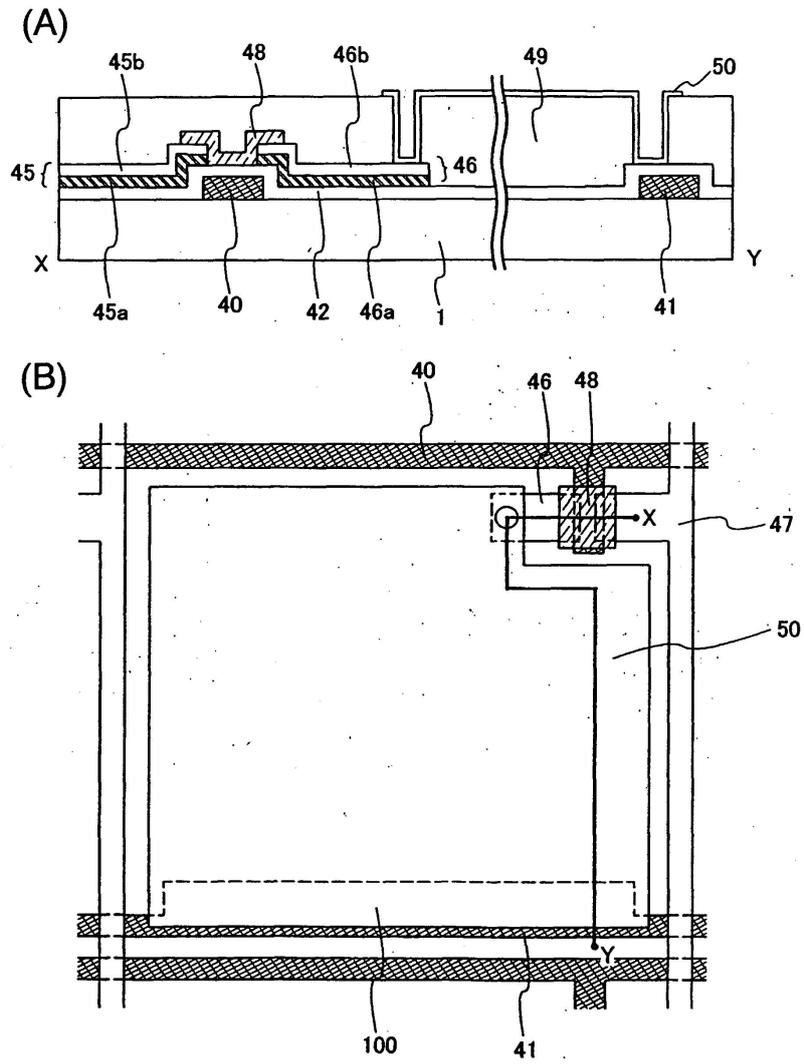
도면6



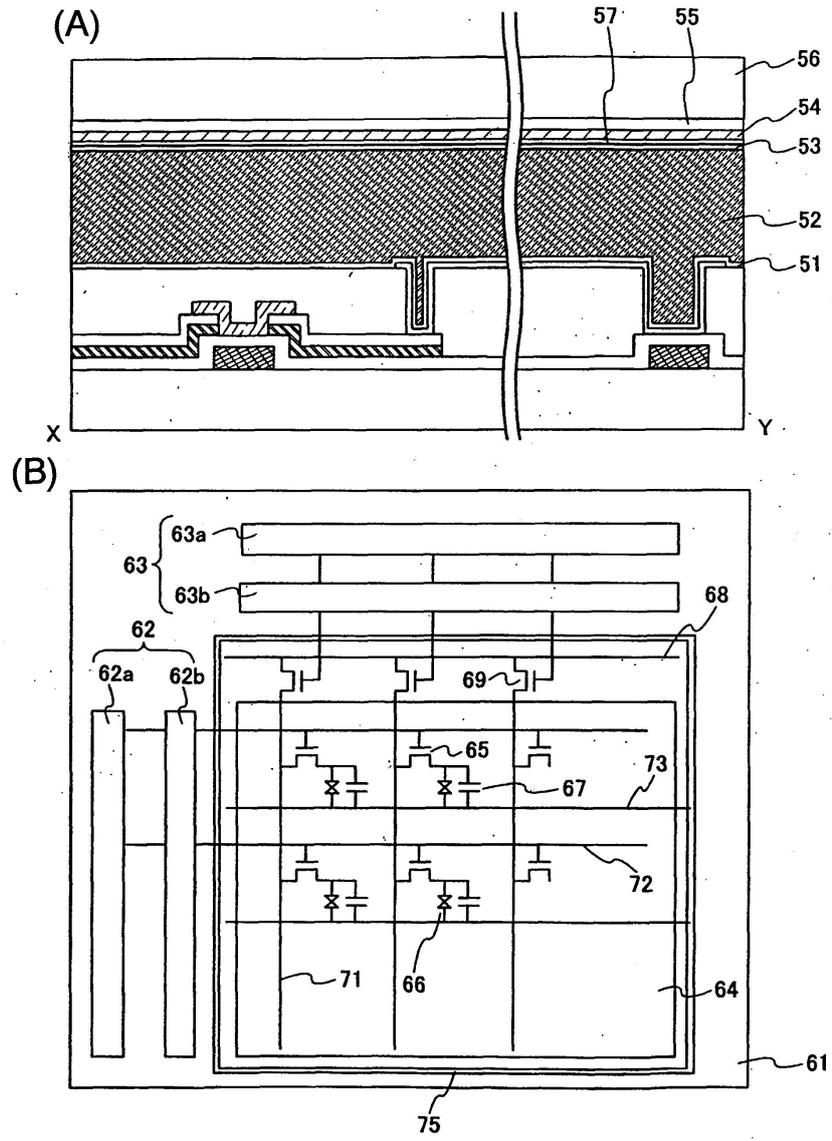
도면7



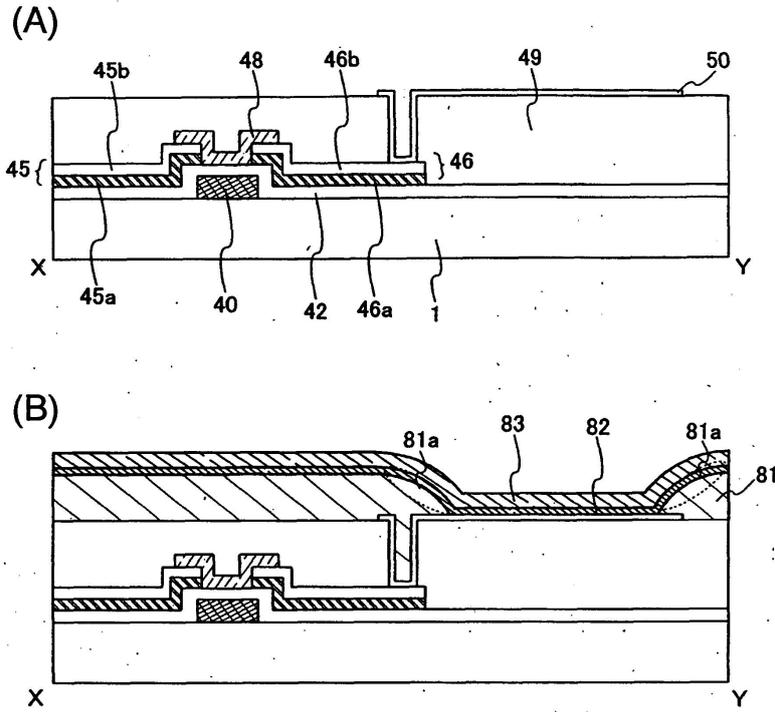
도면8



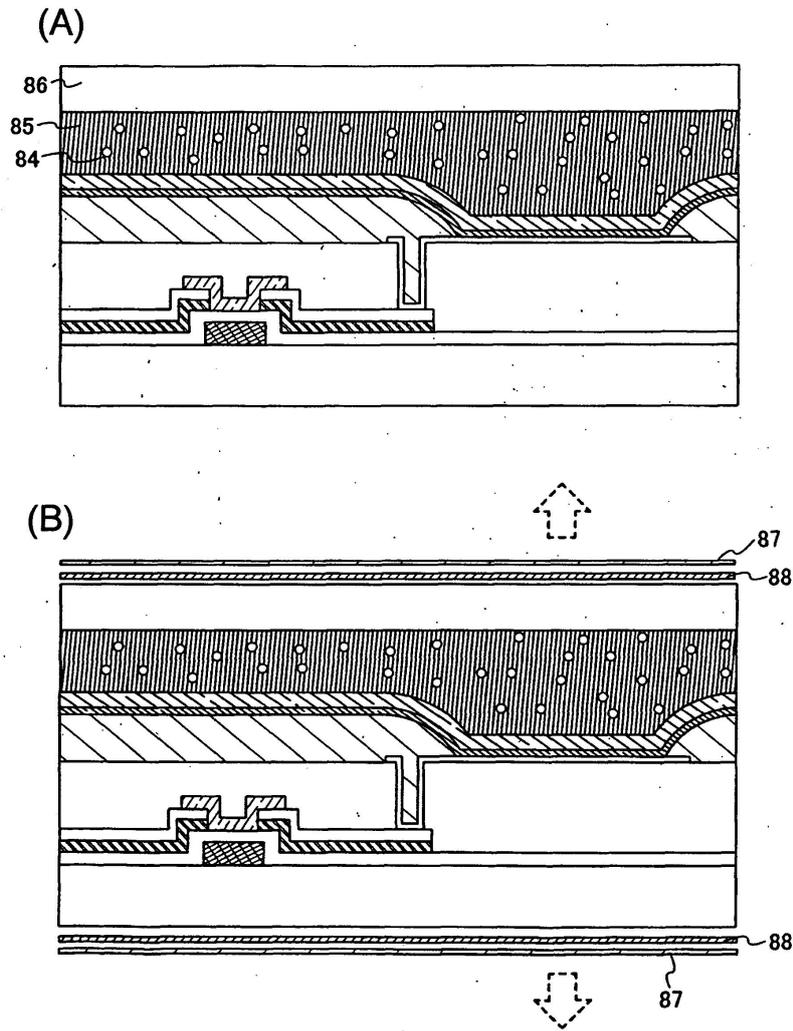
도면9



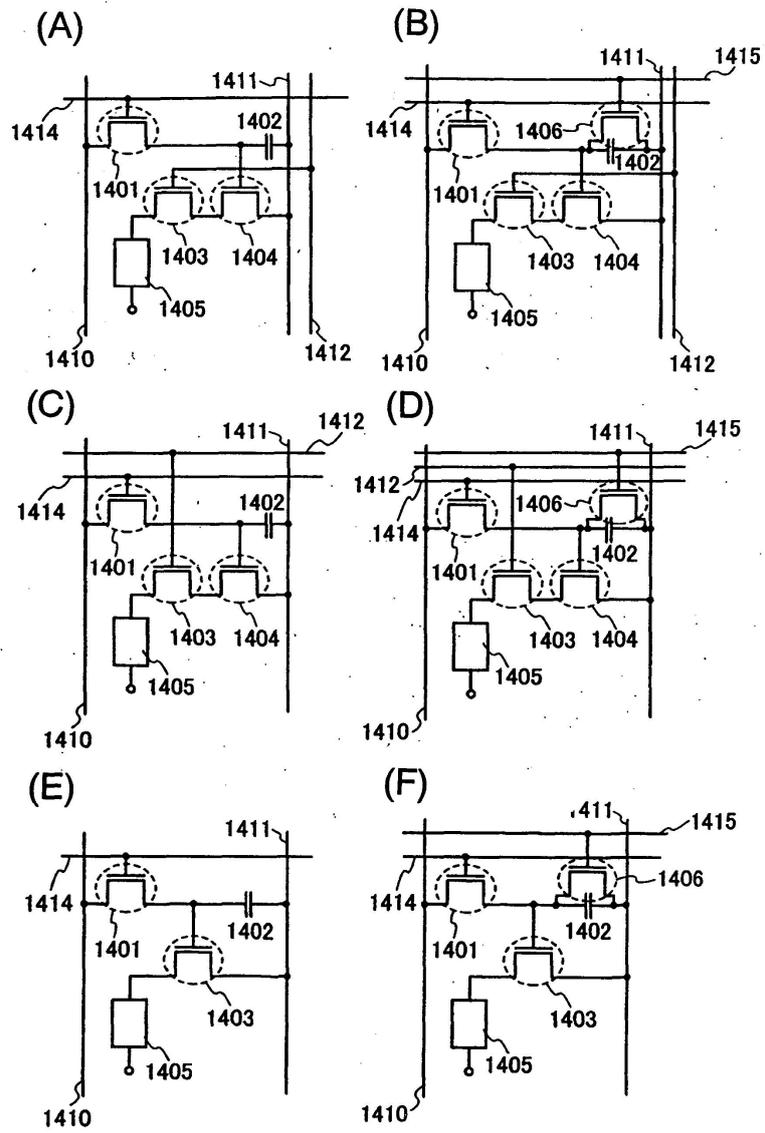
도면10



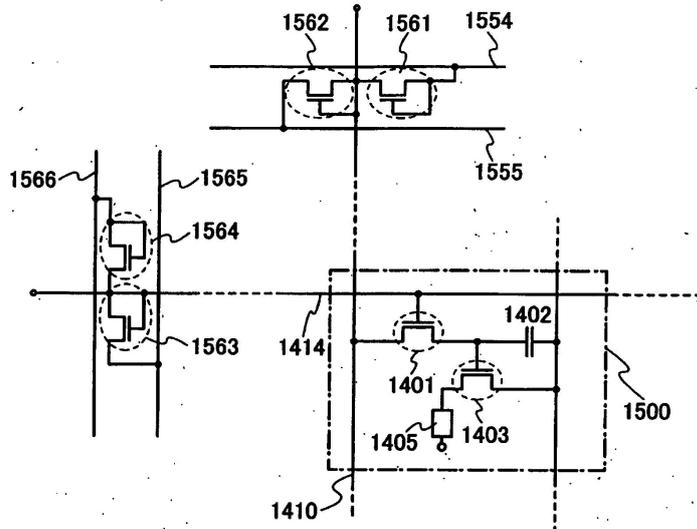
도면11



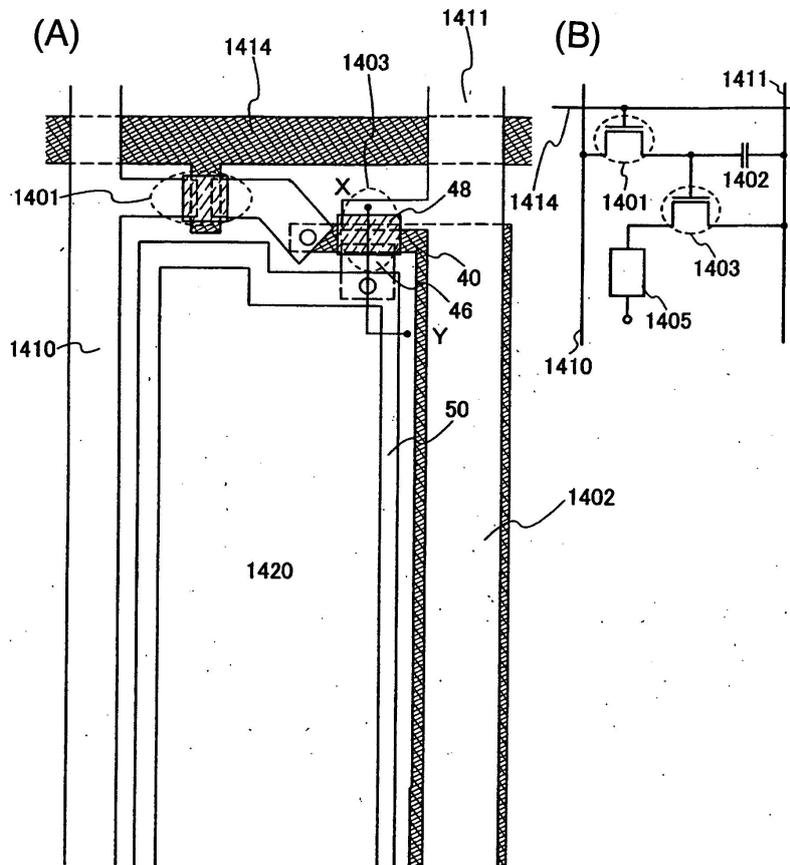
도면12



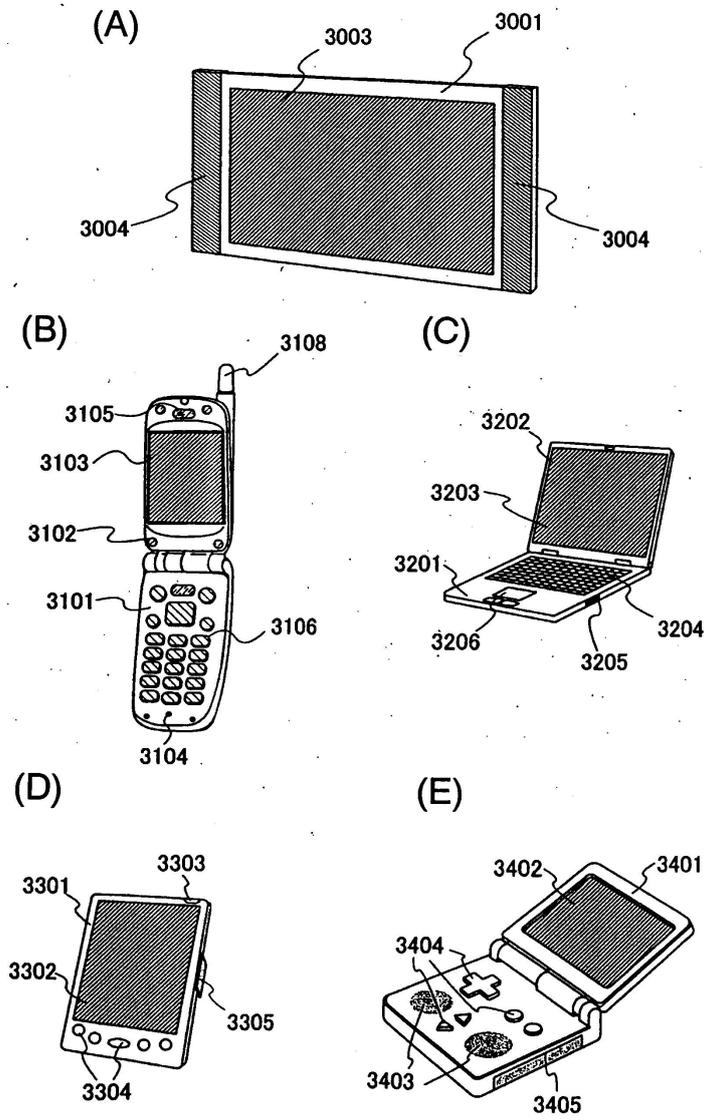
도면13



도면14



도면15



도면16

