

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4280736号  
(P4280736)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.		F I		
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 2 6 C	
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 1 8 Z	
		HO 1 L 29/78	6 1 8 B	

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2005-258269 (P2005-258269)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成17年9月6日(2005.9.6)	(74) 代理人	100065385 弁理士 山下 穰平
(65) 公開番号	特開2007-73700 (P2007-73700A)	(74) 代理人	100130029 弁理士 永井 道雄
(43) 公開日	平成19年3月22日(2007.3.22)	(72) 発明者	張 建六 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
審査請求日	平成20年9月4日(2008.9.4)	審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

基板面方向に熱収縮率または熱膨張係数の異方性を有する基板の該基板面上に形成された半導体素子であって、

前記基板の熱収縮率または熱膨張係数の最も大きい方向と前記半導体素子の電流の流れる方向とが非平行であることを特徴とする半導体素子。

【請求項2】

基板面方向に熱収縮率または熱膨張係数の異方性を有する基板の該基板面上に形成された半導体素子であって、

前記基板の熱収縮率または熱膨張係数の最も小さい方向と前記半導体素子の電流の流れる方向とが略平行であることを特徴とする半導体素子。

【請求項3】

前記半導体素子は活性層にIn-Ga-Zn-Oを含む透明酸化物半導体を用いたことを特徴とする請求項1又は2に記載の半導体素子。

【請求項4】

前記基板は高分子樹脂であることを特徴とする請求項1、2又は3に記載の半導体素子。

【請求項5】

前記基板は熱可塑性樹脂をシート状に熔融成型し、それを縦、横の二軸に延伸するプラスチックフィルムであることを特徴とする請求項1、2又は3に記載の半導体素子。

【請求項6】

10

20

前記半導体素子は薄膜トランジスタである請求項1から5のいずれか1項に記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板の面方向で熱収縮率、または熱膨張係数の異方性を有する基板上に形成する半導体素子に関する。

【背景技術】

【0002】

近年では、可撓性、軽量性を有する基板上に発光素子、表示体などの研究開発が活発に行われている。たとえばZnOを主成分として用いた透明伝導性酸化物多結晶薄膜をチャンネル層に用いた薄膜トランジスタ(TFT)の開発が活発に行われている(特許文献1)

10

【0003】

上記薄膜は、低温で成膜でき、かつ可視光に透明であるため、プラスチック板やフィルムなどの基板上にフレキシブルな透明TFTを形成することが可能であるとされている。

【0004】

一方、フィルム状のフレキシブル基板上に気相法で形成される薄膜では、薄膜の残留応力により基板がそってしまう課題があり、それを解決する手段として、成膜工程に基板を湾曲させて、残留内部応力を打ち消すといった手法が考えられている(特許文献2)。

20

【特許文献1】特開2002-76356号公報

【特許文献2】特開平6-280026号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、基板の面方向で熱収縮率、または熱膨張係数の異方性を有する基板上に、安定な半導体素子特性を有する半導体素子、およびその製造方法を提供するものである。

【課題を解決するための手段】

【0006】

プラスチック板、樹脂フィルムなどの可撓性を有する基板を用いる場合、基板を含む薄膜積層体の反り、熱収縮率、線膨張係数などの寸法変形、残留応力に対する因子に対して悪影響を及ぼす。特に、熱可塑性樹脂をシート状に熔融成型し、それを縦、横の二軸に延伸するプラスチックフィルムを基板にする場合は著しいものと考えられる。二軸延伸工程のため、面方向で熱収縮率、または熱膨張係数が異なる基板となるからである。基板上に形成される半導体素子にとって、寸法変化等は電流流路距離の変化、電流流路幅の変化、半導体ピエゾ抵抗効果の変化等につながり、最後に作製された素子が最初デザインされた素子と異なってしまうことになる。例えば、基板が熱収縮されてドレインとソース間のチャンネルの短縮により、寄生容量が大きくなったり、カットオフ周波数が落ちてしまったりすることになる。

30

【0007】

通常は半導体素子の製造工程は多数の高温プロセスを含んでいる。すなわち、室温から高温に、また高温から室温にという温度サイクルを含むプロセスが多い。そこで、面方向で熱収縮率、または熱膨張係数の異方性を有する基板は温度サイクルにより膨張、収縮し、基板の寸法が変わってしまい、半導体素子の寸法変化、変形、内部歪、或いは応力に影響を与え、上記のように半導体素子の特性に影響を与えることになる。

40

【0008】

本発明は基板上での半導体素子の電流の流れる方向のレイアウトを工夫することで、半導体素子の寸法変化、変形、内部歪、或いは応力等を抑制するものである。

【0009】

以下、具体的に本発明について説明する。

50

## 【0010】

本発明の半導体素子は、基板面方向に熱収縮率または熱膨張係数の異方性を有する基板の該基板面上に形成された半導体素子であって、

前記基板の熱収縮率または熱膨張係数の最も大きい方向と前記半導体素子の電流の流れる方向とが非平行であることを特徴とする。

## 【0011】

また本発明の半導体素子は、基板面方向に熱収縮率または熱膨張係数の異方性を有する基板の該基板面上に形成された半導体素子であって、

前記基板の熱収縮率または熱膨張係数の最も小さい方向と前記半導体素子の電流の流れる方向とが略平行であることを特徴とする。

10

## 【0012】

本発明において、半導体素子は、MOSFET、薄膜トランジスタ(TFT:Thin Film Transistor)、紫外線センサ、太陽電池、イオン敏感トランジスタなどの一般に公知の電気素子を含むものとする。

## 【発明の効果】

## 【0013】

本発明によれば、熱膨張や熱収縮による悪影響を回避できる。その結果、半導体素子の均一な高安定性、長寿命、かつ歩留まりの向上を得ることができる。

## 【発明を実施するための最良の形態】

## 【0014】

近年、In-Ga-Zn-O系のアモルファス酸化物をチャンネル層に用いた薄膜トランジスタが報告されている(K.Nomura et. al, Nature Vol.432,p.488-492 (2004-11)(英))。このトランジスタは、室温でプラスチックやガラス基板への作成が可能である。さらには、電界効果移動度が  $6 - 9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  程度でノーマリーオフ型のトランジスタ特性が得られている。

20

## 【0015】

また、本発明者らは、In-Ga-Zn-Oを含み構成される膜及びこれに関する膜の成長条件に関する研究開発を精力的に進めた結果、成膜時の酸素雰囲気の中で、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満の微結晶を含有する透明酸化物膜を開発した。この透明半伝導性酸化物アモルファス薄膜をチャンネル層に用いたTFTを作製することに成功した。上記透明半伝導性酸化膜はIn-Ga-Zn-Oを含み構成され、結晶状態における組成が  $\text{InGaO}_3(\text{ZnO})_m$  (mは6未満の自然数)で表され、膜内に微結晶を含有し、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満である透明アモルファス酸化物膜である。さらに、プラスチックフィルム上に上記In-Ga-Zn-Oを含み構成される膜を用いて半導体素子を作製することにも成功した。

30

## 【0016】

これらの薄膜トランジスタを含む半導体素子は、基板面方向に、熱収縮率または熱膨張係数の異方性を有する基板の該基板面上に形成される半導体素子に適用できる。

## 【0017】

本発明は、必ずしも上記薄膜トランジスタに限定されるものではないが、上記薄膜トランジスタはプラスチックフィルム基板上に常温で形成することができ、本発明を好適に用いることができるので、アモルファス透明酸化膜薄膜をチャンネル層に用いたTFTをプラスチックフィルム基板に形成した例を本発明の好適な実施形態として取り上げて説明する。本発明に用いる薄膜トランジスタの他の例としては、例えば特許文献1のZnOを主成分として用いた透明伝導性酸化物多結晶薄膜をチャンネル層に用いたTFTがある。

40

## 【0018】

図1はプラスチックフィルム基板上に作製したアモルファスIn-Ga-Zn-O薄膜をチャンネル層に用いたトップゲート型TFT素子の断面図、図2はその平面図である。

## 【0019】

フィルム基板の面方向の熱収縮率、または熱膨張係数の異方性はフィルムメーカーによる測定データ、又は自らの測定データを用いることができる。測定方法は機械的、もしくは

50

は光学的な手法が知られている。

【0020】

図2に示すように、基板1の熱収縮率または熱膨張係数の最も大きい方向7（図2中、矢印で示す）とTFT素子のチャンネルの電流を流す方向8（図2中、太い矢印で示す）との成す角度を（図中、9は角度を示す）とするように、フォトリソグラフィ法でフィルム基板1の表面にドレイン電極、及びソース電極をパターンニングした。その後、リフトオフ法でドレイン電極4、及びソース電極3を形成した。すなわち、チャンネルの電流を流す方向（ドレイン電極とソース電極との間に電流を流す方向）を決めてチャンネルを形成した。なお、ドレイン電極4とソース電極3の配置が逆の場合もある（この場合、電流の流れる向きは逆になる）。

10

【0021】

その製造工程の結果、上記が0°の場合、TFT素子のオン電流 $I_{DS} = 1.69 \times 10^{-4} \text{ A}$ が流れた。なお、TFT素子のオン・オフ比は $3 \times 10^5$ 超であった。

【0022】

上記は0°を超え90°以下の範囲で適宜設定される。上記は基板の熱収縮率、または熱膨張係数の最も大きい方向と半導体素子のチャンネルの電流を流す方向との成す角度である。

【0023】

基板の面方向で熱収縮率、または熱膨張係数の異方性を有する基板上に形成された半導体素子であって、基板の熱収縮率、または熱膨張係数の最も大きい方向と半導体素子に形成されたチャンネルの電流を流す方向とを非平行にすることによって、オン電流が増加する。

20

【0024】

本発明において、基板の熱収縮率、または熱膨張係数の最も大きい方向と半導体素子に形成されたチャンネルの電流を流す方向との成す角度は、非平行であればよい（ $= 0$ でなければよい）が、好ましくは45°以上90°以下である。より好ましくは、60°以上90°以下である。最適には、80°以上90°以下である。このように、基板の熱収縮率、または熱膨張係数の最も大きい方向と前記半導体素子に形成されたチャンネルの電流を流す方向との成す角度を非平行とすることにより、TFT素子の移動度を増加させ、サブスレッショルドスロープ（Subthreshold slope）特性のS値（以降S値と記す）を減少させることができる。後述する実施例では0°より45°、45°より90°がTFT素子の移動度をより増加させ、S値をより減少させることができた。そして、90°は0°に比べて、TFT素子の移動度が約30%程度増加でき、S値が約60%程度減少でき、スイッチング速度の増大などのトランジスタ特性を向上させることができた。

30

【0025】

半導体素子に形成されたチャンネルの電流を流す方向は、基板の熱収縮率、または熱膨張係数の最も大きい方向との間でなす角度が90°に近いほど、TFT素子の移動度を増加でき、S値を減少できる。これは、90°に近いほど、基板の熱収縮率または熱膨張係数の最も小さい方向に角度に近くなるからである。よって、基板の熱収縮率または熱膨張係数の最も小さい方向と半導体素子の電流の流れる方向とが略平行（平行又は平行に近い状態）、最適には平行となるようにすることが好ましい。ここで平行又は平行に近い状態（基板の熱収縮率または熱膨張係数の最も小さい方向と半導体素子の電流の流れる方向とのなす角度が0°以上30°以下にあること）である。

40

【0026】

基板面方向に、熱収縮率または熱膨張係数の異方性を有する基板において、基板の熱収縮率、または熱膨張係数の最も大きい方向が複数存在する場合（例えば縦方向と横方向とが熱収縮率または熱膨張係数が大きい場合）には、当該複数の方向について非平行となるように半導体素子の電流の流れる方向を設定すればよい。

【0027】

なお、化合物In-Ga-Zn-O膜のような透明酸化物半導体膜を形成する際に、多くは応力が

50

発生し、そのため、結晶化発生、配向性の変化、さらにクラックの発生などが起こる。特に、プラスチック基板のような面方向で熱収縮率、または熱膨張係数の異方性を有する基板に成膜する場合は、酸化物半導体膜にかかる応力によって、酸化物半導体の非結晶性が変化したり、膜のピエゾ抵抗および疲労特性に影響を与えたりすることが考えられる。

【 0 0 2 8 】

しかし、基板の熱収縮率、または熱膨張係数の最も大きい方向と半導体素子に形成されたチャンネルの電流を流す方向との成す角度を適切な範囲に調整することにより、TFT素子群の生産歩留まりを著しく向上させることができる。特に大面積な基板の場合では重要である。

【 0 0 2 9 】

なお、上記の高分子樹脂基板において、30分150 の条件で、熱収縮率が0.01%以上9%以下のものを用いることが好ましい。

【 0 0 3 0 】

なお、上記の高分子樹脂基板において、熱膨張係数が $5 \times 10^{-6}$ 以上 $1 \times 10^{-5}$ 以下のものを用いることが好ましい。

【 0 0 3 1 】

なお、上記の高分子樹脂基板において、25mm厚さの絶縁破壊電圧が6KV超のものを用いることが好ましい。

【 0 0 3 2 】

なお、上記の半導体素子の各製造プロセスには、最高温度は50 以上300 以下にすることは好ましい形態である。ただし、プラスチックフィルムを基板として使用するために、基板温度は200 未満に保つことが好ましい。

【 0 0 3 3 】

なお、上記の熱可塑性樹脂基板はトリアセテート、ジアセテート、セロハン、ポリエーテルサルホン、ポリエーテルエーテルサルホン、ポリサルホン、ポリエーテルイミド、ポリカーボネート、ポリエステル、ポリビニルアルコール、ポリアリレート、ポリメタクリル酸メチル、フッ化ビニリテン、ポリスチレン、AS樹脂、ABS樹脂、ポリエチレン、ポリプロピレン、塩化ビニル樹脂、メタクリル樹脂、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリアミド、ポリアセタール、変形ポリフェニレンエーテル、ポリブチレンテレフタレート、ポリフェニレンサルファイド、ポリアミドイミド、ポリイミド、ポリフタルアミド、環状ポリオレフィンポリマー、シクロオレフィンポリマー、ポリエーテルエーテルケトン、及び液晶ポリマーからなる群より選ばれた一種又は二種以上の熱可塑性樹脂を用いることが望ましい。

【 0 0 3 4 】

熱可塑性樹脂基板として、熱可塑性樹脂をシート状に溶融成型し、それを縦、横の二軸に延伸する二軸延伸フィルム基板を用いることができる。

【 0 0 3 5 】

なお、前記TFT(薄膜トランジスタ、Thin Film Transistor)は、ゲート端子、ソース端子、及び、ドレイン端子を備えている。そしてTFTは、セラミックス、ガラス、又はプラスチックなどの絶縁基板上に成膜した半導体薄膜を、電子又はホールが移動するチャンネル層として用い、ゲート端子に電圧を印加して、チャンネル層に流れる電流を制御し、ソース端子とドレイン端子間の電流を制御する機能を有するアクティブ素子である。

【 0 0 3 6 】

上記TFTの構造としては、半導体チャンネル層の上にゲート絶縁膜とゲート端子とを順に形成するスタガ(トップゲート)構造のものや、ゲート端子の上にゲート絶縁膜と半導体チャンネル層を順に形成する逆スタガ(ボトムゲート)構造のものなどに用いることができる。

【 0 0 3 7 】

なお、前記半導体素子の活性層はスパッタ法、蒸着法、CVD法、エピタキシャル成長法、光励起堆積法、パルスレーザー蒸着法、イオンプレーディング法から選ばれる薄膜形

10

20

30

40

50

成法にて作製することができる。量産性の観点から、スパッタ法が最も適している。スパッタ法により140以下でIn-Ga-Zn-Oを含み構成されるアモルファス透明酸化膜薄膜を活性層に用いたTFTを作製することができる。

【0038】

なお、前記アモルファス透明酸化膜薄膜の材料については、In-Ga-Zn-O、In-Ga-Zn-Sn-O、Ga-Zn-Sn-O、In-Sn-Zn-O、In-Zn-O、In-Sn-Sb-Oなどの化合物を用い、半導体素子の活性層を形成することが好ましい。

【0039】

なお、前記アモルファス透明酸化膜薄膜の材料については、Sn、Al、Sb、Cd、Ge、P、As、N、Mgなどの不純物のうち一種以上をIn-Ga-Zn-Oを含み構成される化合物に添加することが可能である。

10

【0040】

また、前記アモルファス透明酸化膜薄膜の電気抵抗を高めるための不純物イオンを意図的に添加せず、酸素ガスを含む雰囲気中で成膜することが好ましい形態である。

【0041】

なお、前記透明半絶縁性アモルファスIn-Ga-Zn-O酸化物薄膜をTFTのチャネル層として用いると、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、かつ電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満、好ましくは、 $10^{16} / \text{cm}^3$ 未満のときは、オフ時(ゲート電圧無印加時)のドレイン・ソース端子間の電流を、10マイクロアンペア未満、好ましくは0.1マイクロアンペア未満にすることができる。また、該薄膜を用いれば、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超の時は、ピンチオフ後の飽和電流を10マイクロアンペア超にでき、オン・オフ比を $10^3$ 超とすることができる。

20

【0042】

なお、前記透明酸化物膜をチャネル層に利用する際には、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 、又は $\text{HfO}_2$ 、 $\text{HfSiO}_x$ 、 $\text{HfSiON}$ 、 $\text{HfAlO}_x$ の1種、又はそれらの化合物を少なくとも二種以上含む混晶化合物をゲート絶縁膜を用いトランジスタを形成することも好ましい形態である。ゲート絶縁膜とチャネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャネル層に適合したゲート絶縁膜を選定する必要がある。 $\text{Al}_2\text{O}_3$ 膜を用いれば、リーク電流を低減できる。また、 $\text{Y}_2\text{O}_3$ 膜を用いればヒステリシスを小さくできる。さらに、高誘電率の $\text{HfO}_2$ 膜を用いれば、電子移動度を大きくすることができる。また、これらの膜の混晶を用いて、リーク電流、ヒステリシスが小さく、電子移動度の大きなTFTを形成できる。また、ゲート絶縁膜形成プロセス及びチャネル層形成プロセスは、室温で行うことができるので、TFT構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

30

【0043】

以上では、In-Ga-Znを含み構成されるアモルファス酸化物を例示して説明しているが、本発明は、Sn、In、Znの少なくとも1種類の元素を含み構成されるアモルファス酸化物に適用できる。

40

【0044】

更に、アモルファス酸化物の構成元素の少なくとも一部にSnを選択する場合、Snを、 $\text{Sn}_{1-x}\text{M}_4x$  ( $0 < x < 1$ 、M4は、Snより原子番号の小さい4族元素のSi、GeあるいはZrから選ばれる。)に置換することもできる。

【0045】

また、アモルファス酸化物の構成元素の少なくとも一部にInを選択する場合、Inを、 $\text{In}_{1-y}\text{M}_3y$  ( $0 < y < 1$ 、M3は、Lu、またはInより原子番号の小さい3族元素のB、Al、Ga、あるいはYから選ばれる。)に置換することもできる。

【0046】

また、アモルファス酸化物の構成元素の少なくとも一部にZnを選択する場合、Znを、Zn

50

$1-zM_2z$  ( $0 < z < 1$ 、 $M_2$ は、Znより原子番号の小さい2族元素のMgあるいはCaから選ばれる。  
 )に置換することもできる。

【0047】

具体的に本発明に適用できるアモルファス材料は、Sn-In-Zn酸化物、In-Zn-Ga-Mg酸化物、In酸化物、In-Sn酸化物、In-Ga酸化物、In-Zn酸化物、Zn-Ga酸化物、Sn-In-Zn酸化物などである。勿論、構成材料の組成比は必ずしも1:1である必要は無い。なお、ZnやSnは、単独ではアモルファスを形成し難い場合があるが、Inを含ませることによりアモルファス相が形成され易くなる。例えば、In-Zn系の場合は、酸素を除く原子数割合が、Inが約20原子%以上含まれる組成にするのがよい。Sn-In系の場合は、酸素を除く原子数割合が、Inが約80原子%以上含まれる組成にするのがよい。Sn-In-Zn系の場合は、酸素を除く原子数割合が、Inが約15原子%以上含まれる組成にするのがよい。

10

【0048】

また、アモルファスは、測定対象薄膜に、入射角度0.5度程度の低入射角によるX線回折を行った場合に明瞭な回折ピークが検出されない(即ちハローパターンが観測される)ことで確認できる。なお、本発明は、上記した材料を電界効果型トランジスタのチャネル層に用いる場合に、当該チャネル層が微結晶状態の構成材料を含むことを除外するものではない。

【0049】

以下本発明の実施例について説明する。以下に示す実施例は、プラスチックフィルム基板上にアモルファス透明酸化膜薄膜をチャネルに用いたTF Tを作製した例である。

20

【実施例1】

【0050】

二軸延伸されたプラスチックフィルム基板上に、TF Tのチャネルの電流を流す方向とプラスチックフィルム基板の熱収縮率の最も大きい方向とが非平行となるように、前記チャネルを形成する、アモルファスIn-Ga-Zn-O薄膜をチャネルに用いたTF Tを作製する例を示す。プラスチックフィルム基板上に作製されるTF Tはトップゲート型TF T素子であって、その構成は既に説明した図1、図2で示す構成と同じである。

【0051】

プラスチックフィルム基板として、シート状のプラスチックフィルム(東レ社の二軸延伸ポリエチレンテレフタレート、商品名:ルミラー、品番:T56、厚さ:125ミクロン、サイズ:5cm角、縦方向(フィルム長手方向)熱収縮率:1.2、横方向熱収縮率:0.5)を用いた。

30

【0052】

図2に示すように、プラスチックフィルム基板の熱収縮率の最も大きい方向とTF Tのチャネルの電流を流す方向とが非平行の角( $= 90^\circ$ )となるように、フォトリソグラフィ法でフィルム表面にドレイン、及びソースの電極をパターンニングした。その後リフトオフ法によりドレイン、及びソースの電極(材質:Au/Ti、厚さ:45nm)を形成した。

【0053】

その後、スパッタ製膜法により、 $InGaO_3(ZnO)_4$ 組成を有する多結晶焼結体をターゲットとして、上記フィルム基板上に微結晶を含むIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させた。成膜条件は:Ar:44sccm、 $O_2$ :1.6~1.7sccm、プロセス圧力:4.2mTorr、高周波パワー密度:約3.7W/cm<sup>2</sup>、基板温度:非加熱、成膜の厚さ:50nmである。

40

【0054】

最後、ゲート絶縁膜として用いる $Y_2O_3$ 膜をスパッタ製膜法により成膜した(厚み:140nm、比誘電率:約15、リーク電流密度:0.5MV/cm印加時に $10^{-3}$ A/cm<sup>2</sup>)。その上にAu/Ti(厚さ:45nm)を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子を形成した。すなわち、プラスチックフィルム基板上にアモルファスIn-Ga-Zn-O薄膜をチャネルに用いたトップゲート型TF Tを作製した。

50

## 【 0 0 5 5 】

また、上記全てのプロセスには、基板の温度を意図的に加温しない状態であった。そこで、サーモラベル（日油技研工業）を用いて温度測定を行い、 $Y_2O_3$ 膜をスパッタした際にプロセス温度は約135度に到達することが分かった。これは本TFETの作製プロセスの最高温度であったことが確認された。結局、最後まで一連の温度サイクルにより、5cm角のフィルム基板は湾曲し、周辺より中心部は約1mm低下した。

## 【 0 0 5 6 】

図3に、室温下で測定したTFET素子（チャンネル長：3mm、チャンネル幅：30mm、角：90°）の $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示す。そこで、ドレイン電圧 $V_{DS}$ の増加に伴い、ドレイン電流 $I_{DS}$ が増加したことからチャンネルがn型半導体であることが分かる。さらに、図4に室温下で測定した同TFET素子 $I_{DS}$ 電流 -  $V_{GS}$ 電圧の電流 - 電圧特性を示す。そこで、 $V_{DS}=6V$ 印加時におけるゲート電圧 $V_{GS}$ の閾値は約0.35Vであった。また、 $V_{GS}=6V$ 時には、 $I_{DS}=2.66 \times 10^{-4}A$ の電流が流れた。これはゲートバイアスにより絶縁体の微結晶を含むIn-Ga-Zn-O系アモルファス半導体薄膜内にキャリアを誘起できたことに対応する。また、トランジスタのオン・オフ比は $5.5 \times 10^4$ 超であった。また、サブスレッショルドスロープ（Subthreshold slope）特性のS値は約0.07V/decであった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $20.3 \text{ cm}^2(V \cdot \text{sec})^{-1}$ の電界効果移動度が得られた。

## 【 実施例 2 】

## 【 0 0 5 7 】

実施例1と同じ寸法のTFET素子を製作し、ただ角は45°にする。図5に、室温下で測定したTFET素子（チャンネル長：3mm、チャンネル幅：30mm、角：45°）の $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示す。図6に室温下で測定した同TFET素子 $I_{DS}$ 電流 -  $V_{GS}$ 電圧の電流 - 電圧特性を示す。そこで、 $V_{DS}=6V$ 印加時におけるゲート電圧 $V_{GS}$ の閾値は約0.64Vであった。また、 $V_{GS}=6V$ 時には、 $I_{DS}=1.83 \times 10^{-4}A$ の電流が流れた。また、サブスレッショルドスロープ（Subthreshold slope）特性のS値は約0.14V/decであった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $17.1 \text{ cm}^2(V \cdot \text{sec})^{-1}$ の電界効果移動度が得られた。

## （ 比較例 ）

実施例1と同じ寸法のTFET素子を製作し、ただ角は0°にする。図7に、室温下で測定したTFET素子（チャンネル長：3mm、チャンネル幅：30mm、角：0°）の $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示す。図8に室温下で測定した同TFET素子 $I_{DS}$ 電流 -  $V_{GS}$ 電圧の電流 - 電圧特性を示す。そこで、 $V_{DS}=6V$ 印加時におけるゲート電圧 $V_{GS}$ の閾値は約0.72Vであった。また、 $V_{GS}=6V$ 時には、 $I_{DS}=1.69 \times 10^{-4}A$ の電流が流れた。また、サブスレッショルドスロープ（Subthreshold slope）特性のS値は約0.20V/decであった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $15.6 \text{ cm}^2(V \cdot \text{sec})^{-1}$ の電界効果移動度が得られた。

## 【 0 0 5 8 】

上記の実施例1、実施例2および比較例をまとめたデータを表1に示す。

## 【 0 0 5 9 】

## 【 表 1 】

	$\theta$ (°)	オン電流 ( $\times 10^{-4}A$ )	移動度 ( $\text{cm}^2(V \cdot \text{sec})^{-1}$ )	S値 (V/dec)	Gate 閾値電圧 (V)
実施例 1	90	2.66	20.3	0.07	0.35
実施例 2	45	1.83	17.1	0.14	0.64
比較例	0	1.69	15.6	0.20	0.72

## 【 0 0 6 0 】

上記角を大きくすれば、オン電流が増えることを見出した。ただし、オフ電流とリーク電流 $I_{GS}$ において、顕著な変化は認められない。

## 【 0 0 6 1 】

このように、前記基板の熱収縮率、または熱膨張係数の最も大きい方向と前記半導体素子に形成されたチャネルの電流を流す方向との成す角度を非平行とすることにより、T F T素子の移動度を増加させ、サブスレッシュホルドスロープ (Subthreshold slope) 特性のS値を減少させることができ、 $0^\circ$ より $45^\circ$ 、 $45^\circ$ より $90^\circ$ がT F T素子の移動度をより増加させ、S値をより減少させることができた。そして、 $90^\circ$ は $0^\circ$ に比べて、T F T素子の移動度が約30%程度増加でき、サブスレッシュホルドスロープ (Subthreshold slope) 特性のS値が約60%程度減少でき、スイッチング速度の増大などのトランジスタ特性を向上させることができる。

## 【 0 0 6 2 】

また、このT F Tオフ時のゲート電流が0.1マイクロアンペア未満のノーマリオフで、オン・オフ比が $10^4$ 超のトランジスタ特性を持つ。本発明により、スパッタ蒸着法で可視光に透明で、プラスチックフィルム上にT F Tを作成することができる。

## 【産業上の利用可能性】

## 【 0 0 6 3 】

本発明によれば、基板の面方向で熱収縮率、または熱膨張係数の異方性を有する基板上に安定かつ均一な電気特性を持つ半導体素子を提供し、それを用いた回路、装置などの提供が可能となる。

## 【 0 0 6 4 】

例えば、柔らかいプラスチックフィルム上に透明酸化物膜をT F Tの活性層に用いるT F Tに応用でき、さらにフレキシブル・ディスプレイの画素ドライバや、認証用のICカードや商品IDタグなどの分野にも応用できる。

## 【図面の簡単な説明】

## 【 0 0 6 5 】

【図1】本発明の実施形態及び実施例1に係わる、プラスチックフィルム基板上に作製したアモルファスIn-Ga-Zn-O薄膜をチャネルに用いたトップゲート型T F Tの断面図である。

【図2】本発明の実施形態及び実施例1に係わる、T F Tの上面図である。

【図3】実施例1 ( $\theta=90^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示すグラフである。

【図4】実施例1 ( $\theta=90^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{GS}$ 電圧特性を示すグラフである。

【図5】実施例2 ( $\theta=45^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示すグラフである。

【図6】実施例2 ( $\theta=45^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{GS}$ 電圧特性を示すグラフである。

【図7】比較例 ( $\theta=0^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{DS}$ 電圧特性を示すグラフである。

【図8】比較例 ( $\theta=0^\circ$ )で作製したT F Tの $I_{DS}$ 電流 -  $V_{GS}$ 電圧特性を示すグラフである。

## 【符号の説明】

## 【 0 0 6 6 】

- 1 基板
- 2 ゲート電極
- 3 ソース電極
- 4 ドレイン電極
- 5 活性層 (チャネル層)
- 6 ゲート絶縁膜
- 7 基板の熱収縮率、または熱膨張係数の最も大きい方向
- 8 半導体素子のチャネルの電流を流す方向
- 9 基板の熱収縮率の最も大きい方向と半導体素子のチャネルの電流を流す方向の成す角

10

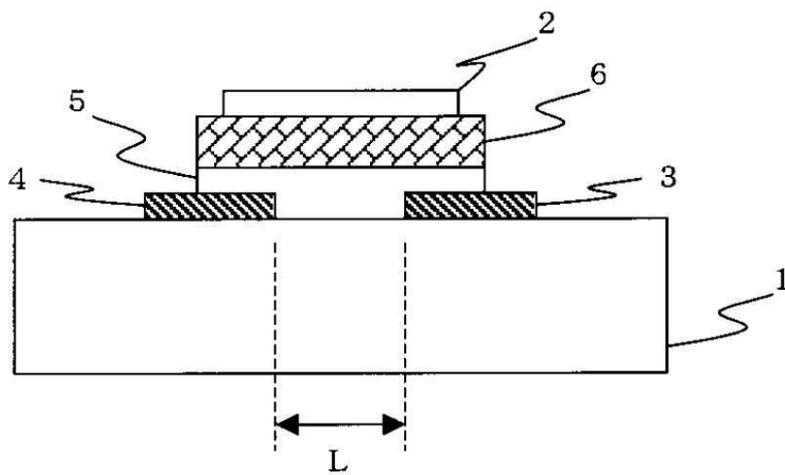
20

30

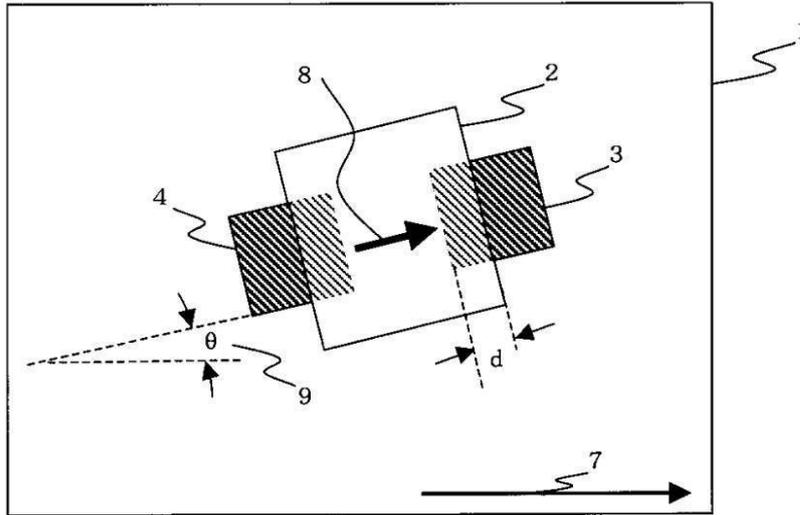
40

50

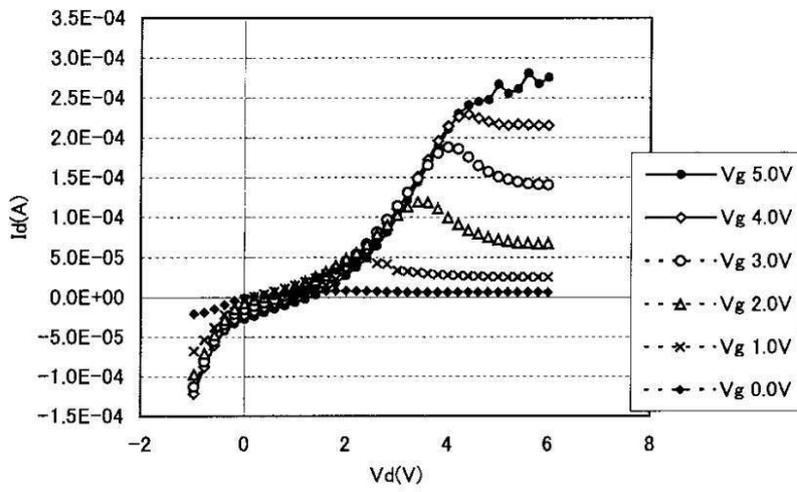
【図1】



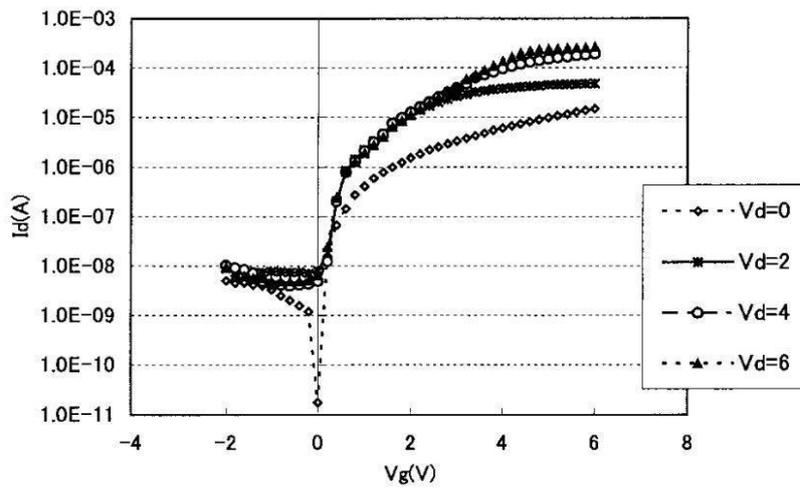
【 図 2 】



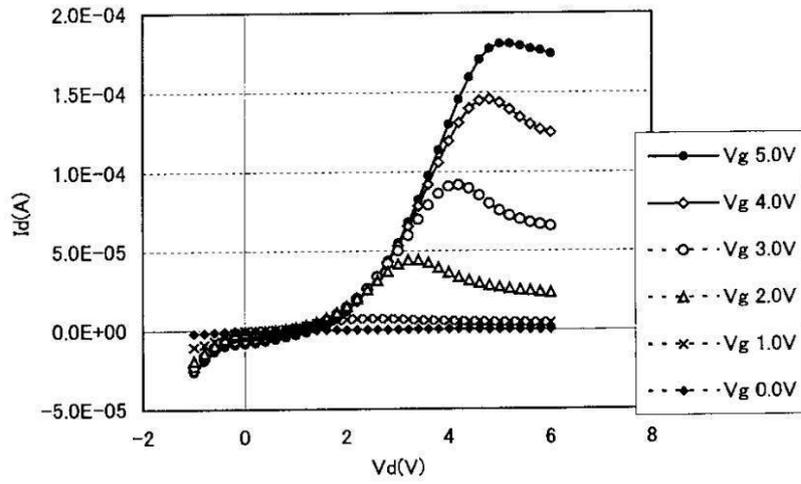
【 図 3 】



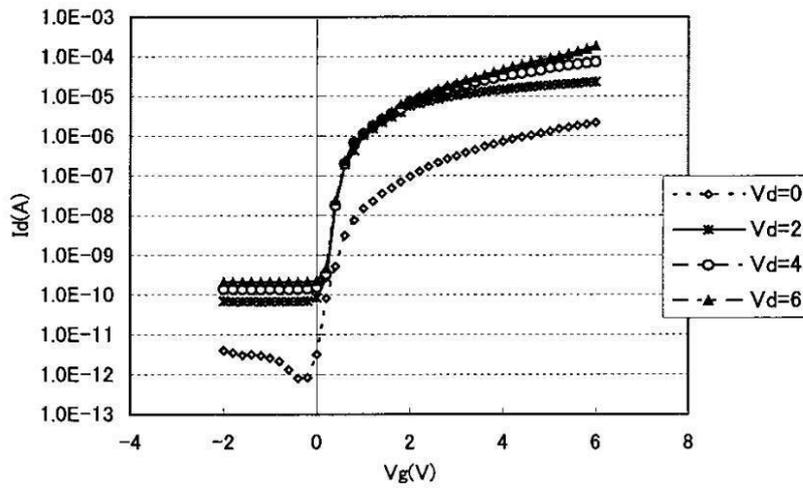
【 図 4 】



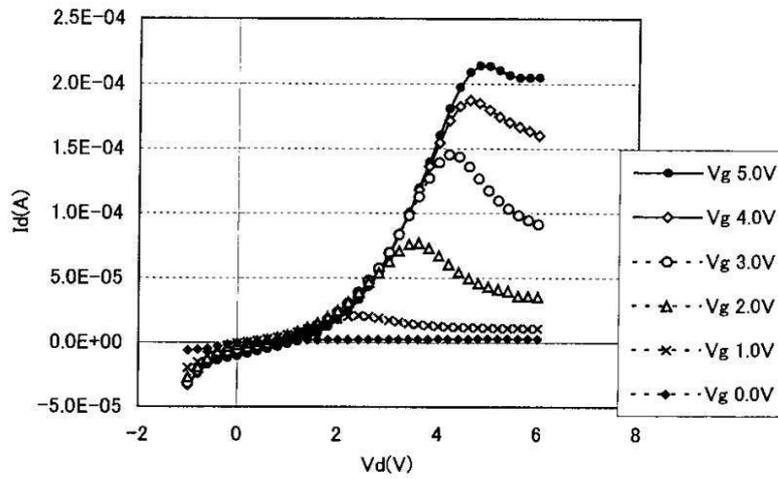
【 図 5 】



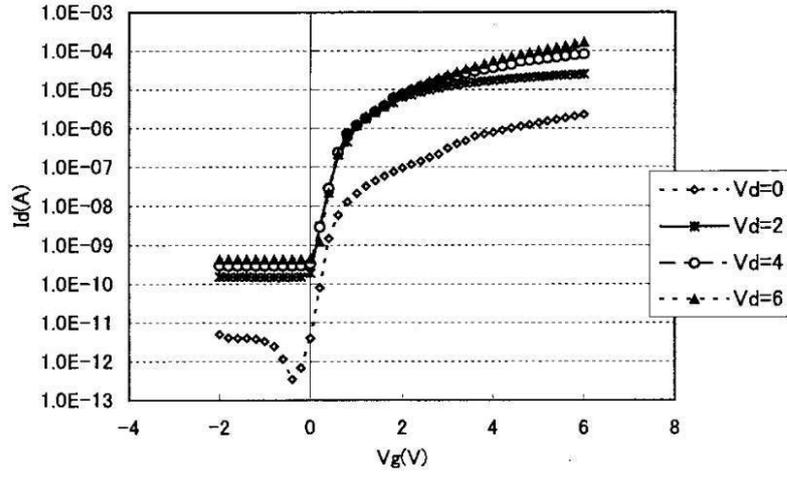
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(56)参考文献 特開2002-184993(JP,A)  
国際公開第2004/038757(WO,A2)

(58)調査した分野(Int.Cl., DB名)  
H01L 29/786  
H01L 21/336