

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02019/124384

発行日 令和2年7月2日 (2020. 7. 2)

(43) 国際公開日 令和1年6月27日 (2019. 6. 27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 2 N	
HO 1 L 29/06 (2006. 01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/12 (2006. 01)	HO 1 L 29/78 6 5 7 D	
HO 1 L 29/872 (2006. 01)	HO 1 L 29/78 6 5 2 T	
	HO 1 L 29/78 6 5 2 Q	

審査請求 有 予備審査請求 未請求 (全 23 頁) 最終頁に続く

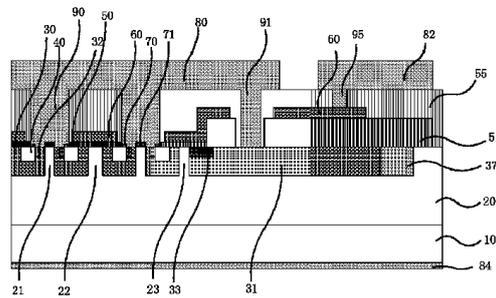
出願番号 特願2019-561117 (P2019-561117)	(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(21) 国際出願番号 PCT/JP2018/046591	
(22) 国際出願日 平成30年12月18日 (2018. 12. 18)	
(31) 優先権主張番号 特願2017-242642 (P2017-242642)	(74) 代理人 100088672 弁理士 吉竹 英俊
(32) 優先日 平成29年12月19日 (2017. 12. 19)	(74) 代理人 100088845 弁理士 有田 貴弘
(33) 優先権主張国・地域又は機関 日本国 (JP)	(72) 発明者 日野 史郎 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
	(72) 発明者 永久 雄一 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置および電力変換装置

(57) 【要約】

ショットキダイオードを内蔵するSiC-MOSFETにおいて、末端部に形成される第2ウェル領域がバイポーラ通電して耐圧が低下する場合があった。本発明では、ショットキダイオードを内蔵するSiC-MOSFETにおいて、末端部に形成される第2ウェル領域をソース電極と非オーミック接続させ、ゲート絶縁膜を介してゲート電極と対向する領域に形成された第2ウェル領域の表層部に第2ウェル領域より不純物濃度が低い電界緩和層を形成する。



【特許請求の範囲】

【請求項 1】

第 1 導電型の炭化珪素の半導体基板と、
 前記半導体基板上に形成された第 1 導電型のドリフト層と、
 前記ドリフト層の表層に複数設けられた第 2 導電型の第 1 ウェル領域と、
 前記第 1 ウェル領域の表面から前記ドリフト層に至るまで前記第 1 ウェル領域に隣接して形成された第 1 導電型の第 1 離間領域と、
 前記第 1 ウェル領域の表層部に形成された第 1 導電型のソース領域と、
 前記第 1 離間領域上に設けられ、前記第 1 離間領域とショットキ接合する第 1 ショットキ電極と、
 前記第 1 ウェル領域上に設けられたオーミック電極と、
 前記第 1 ウェル領域と別に前記ドリフト層の表層に設けられた第 2 導電型の第 2 ウェル領域と、
 前記第 1 ウェル領域上および前記第 2 ウェル領域上に形成されたゲート絶縁膜と、
 前記第 1 ウェル領域上および前記第 2 ウェル領域上の前記ゲート絶縁膜上に形成されたゲート電極と、
 前記ゲート電極と接続され、前記第 2 ウェル領域の上方に形成されたゲートパッドと、
 前記第 1 ショットキ電極、および、前記オーミック電極に電氣的に接続され、前記第 2 ウェル領域と非オーミック接続されたソース電極と、
 前記第 2 ウェル領域の表層部で前記ゲート絶縁膜を介して前記ゲート電極と対向する箇所
 所に形成された、前記第 2 ウェル領域より第 2 導電型の不純物濃度が低い電界緩和層と
 を備えたことを特徴とする炭化珪素半導体装置。

10

20

【請求項 2】

第 1 導電型の炭化珪素の半導体基板と、
 前記半導体基板上に形成された第 1 導電型のドリフト層と、
 前記ドリフト層表層に複数設けられた第 2 導電型の第 1 ウェル領域と、
 前記第 1 ウェル領域の表層部に形成された第 1 導電型のソース領域と、
 前記ソース領域が形成されていない前記第 1 ウェル領域の表面上に形成された前記ソース
 領域より第 1 導電型の不純物濃度が低い、第 1 導電型のチャンネルエピ層と、
 前記第 1 ウェル領域上に設けられたオーミック電極と、
 前記第 1 ウェル領域と別に前記ドリフト層の表層に設けられた第 2 導電型の第 2 ウェル
 領域と、
 前記第 1 ウェル領域上および前記第 2 ウェル領域上に形成されたゲート絶縁膜と、
 前記第 1 ウェル領域上および前記第 2 ウェル領域上の前記ゲート絶縁膜上に形成された
 ゲート電極と、
 前記ゲート電極と接続され、前記第 2 ウェル領域の上方に形成されたゲートパッドと、
 前記オーミック電極に電氣的に接続され、前記第 2 ウェル領域と非オーミック接続され
 たソース電極と、
 前記第 2 ウェル領域の表層部で前記ゲート絶縁膜を介して前記ゲート電極と対向する箇
 所に形成された、前記第 2 ウェル領域より第 2 導電型の不純物濃度が低い電界緩和層と
 を備えたことを特徴とする炭化珪素半導体装置。

30

40

【請求項 3】

前記第 1 ウェル領域と前記第 2 ウェル領域が離間している
 ことを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記第 2 ウェル領域の全領域の上層部に前記電界緩和層を備えたことを特徴とする
 請求項 1 から 3 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 5】

前記電界緩和層を備えた前記第 2 ウェル領域の第 2 不純物濃度プロファイルが前記第 1
 ウェル領域の第 2 不純物濃度プロファイルと同じであることを特徴とする請求項 4 に記載

50

の炭化珪素半導体装置。

【請求項 6】

前記第 2 ウェル領域の上層部で、上方に前記ゲート電極が形成された領域に対向する領域全域に前記電界緩和層を備えたことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 7】

前記第 2 ウェル領域の平面方向の内部に第 1 導電型の第 4 離間領域を有し、前記第 4 離間領域上に前記第 4 離間領域と前記電界緩和層に跨って形成された第 2 ショットキ電極を備えることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 8】

前記第 2 ウェル領域と前記ソース電極が非オーミック接続されたコンタクトホールと、前記第 1 ウェル領域と前記第 2 ウェル領域の間の第 3 離間領域と、前記コンタクトホールと前記第 3 離間領域の間の前記電界緩和層が形成された領域内にあり、前記第 2 ウェル領域および前記電界緩和層より第 2 導電型の不純物濃度が高い、第 2 導電型のチャネルストッパ領域を備えることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 9】

前記第 1 ウェル領域の表層部に前記オーミック電極と接して形成され、前記第 1 ウェル領域よりも第 2 導電型の不純物濃度が高い、第 2 導電型のコンタクト領域をさらに備え、前記コンタクト領域の第 2 導電型不純物濃度が前記チャネルストッパ領域の第 2 導電型不純物濃度と同じであることを特徴とする請求項 8 に記載の炭化珪素半導体装置。

【請求項 10】

請求項 1 から 9 のいずれか 1 項に記載の炭化珪素半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記炭化珪素半導体装置を駆動する駆動信号を前記炭化珪素半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備えた電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素で構成される炭化珪素半導体装置および電力変換装置に関するものである。

【背景技術】

【0002】

炭化珪素 (SiC) を用いて構成される PN ダイオードに関して、順方向電流すなわちバイポーラ電流を流し続けると、結晶中に積層欠陥が発生して順方向電圧がシフトするという信頼性上の問題が知られている。これは、PN ダイオードを通して注入された少数キャリアが多数キャリアと再結合する際の再結合エネルギーにより、炭化珪素基板に存在する基底面転位などを起点として、面欠陥である積層欠陥が拡張するためだと考えられている。この積層欠陥は、電流の流れを阻害するため、積層欠陥の拡張により電流が減少し順方向電圧を増加させ、半導体装置の信頼性の低下を引き起こす。

【0003】

このような順方向電圧の増加は、炭化珪素を用いた縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) においても同様に発生する。縦型 MOSFET は、ソース・ドレイン間に寄生 PN ダイオード (ボディダイオード) を備えており、順方向電流がこのボディダイオードに流れると、縦型 MOSFET においても PN ダイオードと同様の信頼性低下を引き起こす。SiC-MOSFET のボディダイオードを MOSFET の還流ダイオードとして用いる場合には、この MOSFET 特性の低下が発生する可能性がある。

10

20

30

40

50

【 0 0 0 4 】

上記のような寄生PNダイオードへの順方向電流通電による信頼性上の問題を解決する方法として、一つには、特許文献1に示されるように、寄生PNダイオードに長時間、順方向電流を流すストレス印加を行ない、ストレス印加前後での順方向電圧の変化を測定して、順方向電圧の変化の大きい素子を製品から排除（スクリーニング）する方法がある。しかしながら、この方法では、通電時間が長くなり、欠陥の多いウエハを使用すると不良品が多く発生するというデメリットがある。

【 0 0 0 5 】

また、別の方法として、MOSFET等のユニポーラ型のトランジスタである半導体装置に、ユニポーラ型のダイオードを還流ダイオードとして内蔵させて使用方法がある。例えば特許文献2、特許文献3には、ユニポーラ型のダイオードとしてショットキバリアダイオード（SBD：Schottky Barrier Diode）をMOSFETのユニットセル内に内蔵させる方法が記載されている。

【 0 0 0 6 】

このような活性領域にユニポーラ型ダイオード、すなわち多数キャリアのみで通電するダイオードを内蔵したユニポーラ型トランジスタでは、SiC半導体装置に適用した場合、ユニポーラ型ダイオードの拡散電位すなわち通電動作が始まる電圧をPN接合の拡散電位よりも低く設計することで、還流動作時にボディダイオードにバイポーラ電流が流れないようにして、活性領域のユニポーラ型トランジスタの特性劣化を抑制することができる。

【 0 0 0 7 】

しかしながら、活性領域にユニポーラ型ダイオードが内蔵されたユニポーラ型トランジスタにおいても、終端領域すなわち活性領域以外の領域では、構造上ユニポーラ型ダイオードを配置し難い箇所に寄生PNダイオードが形成される箇所ができてしまう場合がある。

例えば、ゲートパッド近傍や半導体装置終端部近傍の領域では、ソース電極よりも外周側に張り出した終端ウェル領域が形成されており、終端ウェル領域とドリフト層との間で寄生PNダイオードを形成している。そして、この箇所では、ショットキ電極が形成されておらず、ユニポーラ型ダイオードが形成されていない。終端ウェル領域ではショットキ電極が無い場合、終端ウェル領域とドリフト層とによって形成されるPNダイオードにソース電極とドレイン電極との間の電圧が印加され、結果としてPNダイオードにバイポーラ電流が流れる。

【 0 0 0 8 】

このような箇所に基底面転位などの起点が存在すると、積層欠陥が拡張し、トランジスタの耐圧が低下してしまうことがある。具体的には、トランジスタがオフ状態のときに漏れ電流が発生し、漏れ電流による発熱によって素子や回路が破壊してしまうことがある。

【 0 0 0 9 】

この問題を回避するためには、終端ウェル領域とドリフト層によって形成されるPNダイオードにバイポーラ電流が流れないように、ソース・ドレイン間の印加電圧を一定値以下に制限すればよい。そのためには、チップサイズを拡大させ、還流電流が流れた際に発生するソース・ドレイン間電圧を低減すればよい。その場合、チップサイズが大きくなり、コストが増大するデメリットが伴う。

【 0 0 1 0 】

また、チップサイズを拡大することなく、終端ウェル領域とドリフト層によって形成されるPNダイオードの順方向動作を抑制する方法として、終端ウェル領域の各箇所とソース電極の間に形成される通電経路の抵抗を高める方法がある。通電経路の抵抗を高める方法には、終端ウェル領域とソース電極のコンタクト抵抗を高める方法（例えば特許文献4）などがある。このような構成にすると、終端ウェル領域とドリフト層とによって形成されるPNダイオードにバイポーラ電流が流れた際に、上記抵抗成分によって電圧降下が生じるため、終端ウェル領域の電位がソース電位と乖離し、その分、PNダイオードにかか

る順方向電圧が低減する。したがって、バイポーラ電流の通電を抑制することができる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2014-175412号公報

【特許文献2】特開2003-017701号公報

【特許文献3】W02014-038110国際公開公報

【特許文献4】W02014-162969国際公開公報

【発明の概要】

【発明が解決しようとする課題】

10

【0012】

しかしながら、終端ウェル領域にソース電極にオーミック接続する電極を設けると、終端ウェル領域とソース電極との間のコンタクト抵抗を高めたとしても、終端ウェル領域とソース電極との間に形成される通電経路の抵抗を十分に高めることができず、終端ウェル領域へのバイポーラ電流の通電を十分に低減できない場合があった。

【0013】

そこで、終端ウェル領域にソース電極がオーミック接続しないようにして、終端ウェル上に絶縁膜を介してゲート電極を形成すると、終端ウェルとゲート電極との間の絶縁膜に大きな電界が印加され、絶縁膜が絶縁破壊する場合が発生し得る。

【0014】

20

本発明は、上述のような問題を解決するためになされたもので、より信頼性を高めた炭化珪素半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明にかかる炭化珪素半導体装置は、第1導電型の炭化珪素の半導体基板と、半導体基板上に形成された第1導電型のドリフト層と、ドリフト層表層に設けられた第2導電型の第1ウェル領域と、第1ウェル領域表層からドリフト層に至るまで第1ウェル領域に隣接して形成された第1導電型の第1離間領域と、第1ウェル領域の表層部に形成された第1導電型のソース領域と、第1離間領域上に設けられ、第1離間領域とショットキ接合する第1ショットキ電極と、第1ウェル領域上に設けられたオーミック電極と、第1ウェル領域と別に前記ドリフト層の表層に設けられた第2導電型の第2ウェル領域と、第1ウェル領域上および第2ウェル領域上に形成されたゲート絶縁膜と、第1ウェル領域上および第2ウェル領域上のゲート絶縁膜上に形成されたゲート電極と、ゲート電極と接続され、第2ウェル領域の上方に形成されたゲートパッドと、第1ショットキ電極およびオーミック電極に電氣的に接続され、第2ウェル領域と非オーミック接続されたソース電極と、第2ウェル領域の表層部でゲート絶縁膜を介してゲート電極と対向する箇所形成された、第2ウェル領域より第2導電型の不純物濃度が低い電界緩和層とを備えたものである。

30

【発明の効果】

【0016】

本発明にかかる炭化珪素半導体装置によれば、終端ウェル領域にバイポーラ電流が流れることをより抑制し、信頼性を高めることができる。

40

【図面の簡単な説明】

【0017】

【図1】この発明の実施の形態1に係る炭化珪素半導体装置を上面から見た平面模式図である。

【図2】この発明の実施の形態1に係る炭化珪素半導体装置の断面模式図である。

【図3】この発明の実施の形態1に係る炭化珪素半導体装置の平面模式図である。

【図4】この発明の実施の形態1に係る炭化珪素半導体装置の別の構成の平面模式図である。

【図5】この発明の実施の形態1に係る炭化珪素半導体装置の別の構成の断面模式図であ

50

る。

【図 6】この発明の実施の形態 1 に係る炭化珪素半導体装置の別の構成の平面模式図である。

【図 7】この発明の実施の形態 1 に係る炭化珪素半導体装置の断面模式図である。

【図 8】この発明の実施の形態 2 に係る炭化珪素半導体装置の断面模式図である。

【図 9】この発明の実施の形態 2 に係る炭化珪素半導体装置の断面模式図である。

【図 10】この発明の実施の形態 3 に係る炭化珪素半導体装置の断面模式図である。

【図 11】この発明の実施の形態 4 に係る炭化珪素半導体装置の断面模式図である。

【図 12】この発明の実施の形態 5 に係る炭化珪素半導体装置の平面模式図である。

【図 13】この発明の実施の形態 6 に係る炭化珪素半導体装置の断面模式図である。

【図 14】この発明の実施の形態 7 に係る電力変換装置の構成を示す模式図である。

【発明を実施するための形態】

【0018】

以下、添付の図面を参照しながら実施形態について説明する。なお、図面は模式的に示されるものであり、異なる図面にそれぞれ示されている画像のサイズ及び位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称及び機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【0019】

本明細書に記載の実施の形態においては、炭化珪素 (SiC) 半導体装置の一例として、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネル炭化珪素 MOSFET を例に挙げて説明する。電位の高低についての記述は、第 1 導電型を n 型、第 2 導電型を p 型とした場合に対する記述であり、第 1 導電型を p 型、第 2 導電型を n 型とした場合には、電位の高低の記述も逆になる。

さらに、半導体装置全体のうち、ユニットセルが周期的に並ぶ活性領域以外の領域を、本願では終端領域と呼んで説明する。

【0020】

実施の形態 1 .

まず、本発明の実施の形態 1 にかかる炭化珪素半導体装置の構成を説明する。

図 1 は、実施の形態 1 にかかる炭化珪素半導体装置であるショットキダイオード (SBD) 内蔵炭化珪素 MOSFET (SBD 内蔵 SiC-MOSFET) を上面から見た平面模式図である。図 1 において、SiC-MOSFET の上面の一部にはゲートパッド 81 が形成されており、これに隣接してソース電極 80 が形成されている。また、ゲートパッド 81 から延びるように、ゲート配線 82 が形成されている。

図 2 は、図 1 のソース電極 80 から炭化珪素半導体装置の外周部のゲート配線 82 にかけての a - a' 部分の断面を模式的に示す断面模式図である。また、図 3 は、図 1 の上面図の主に炭化珪素半導体部分を記載した平面模式図である。

【0021】

図 2 において、n 型で低抵抗の炭化珪素で構成される半導体基板 10 の表面上に、n 型の炭化珪素で構成されるドリフト層 20 が形成されている。図 1 で説明したゲート配線 82 が設けられている領域にほぼ対応する位置のドリフト層 20 の表層部には、図 3 に示すように、p 型の炭化珪素で構成される第 2 ウェル領域 31 が設けられている。

【0022】

図 1 で説明したソース電極 80 が設けられている領域の下部には、ドリフト層 20 の表層部に、p 型の炭化珪素で構成される第 1 ウェル領域 30 が複数設けられている。第 1 ウェル領域 30 のそれぞれの表層部には、第 1 ウェル領域 30 の外周から所定の間隔だけ内部に入った位置に、n 型の炭化珪素で構成されるソース領域 40 が形成されている。

【0023】

各第 1 ウェル領域 30 の表層部のソース領域 40 のさらに内側の第 1 ウェル領域 30 の表層部には、低抵抗 p 型の炭化珪素で構成されるコンタクト領域 32 が形成されており、

10

20

30

40

50

そのさらに内側には、第1ウェル領域30を貫通する、炭化珪素で構成される第1離間領域21が形成されている。第1離間領域21は、第1ウェル領域30の近傍にあればよく、第1ウェル領域30を貫通しないで第1ウェル領域30に隣接していてもよい。第1離間領域21は、ドリフト層20と同じn型で、ドリフト層20と同じ不純物濃度を有する。

この第1離間領域21の表面側には、第1離間領域21とショットキ接続する第1ショットキ電極71が形成されている。ここで、第1ショットキ電極71は、上面から見て、少なくとも対応する第1離間領域21を含むように形成されていることが望ましい。

【0024】

また、ソース領域40の表面上には、オーミック電極70が形成されており、オーミック電極70、第1ショットキ電極71およびコンタクト領域32に接続されるソース電極80がそれらの上に形成されている。第1ウェル領域30は、低抵抗のコンタクト領域32を介してオーミック電極70と電子と正孔との授受を容易に行なうことができる。

10

【0025】

隣接する第1ウェル領域30間のドリフト層20の領域は、第2離間領域22となっており、ドリフト層20と同じn型で、ドリフト層20と同じ不純物濃度を有する。隣接する第1ウェル領域30、その間の第2離間領域22、およびそれぞれの第1ウェル領域30内のソース領域40の表面上には、ゲート絶縁膜50が形成されており、そのゲート絶縁膜50上の少なくとも第1ウェル領域30の上部には、ゲート電極60が形成されている。ゲート電極60が形成されている箇所下部で、ゲート絶縁膜50を介して対向する第1ウェル領域30の表層部を、チャンネル領域と呼ぶ。

20

【0026】

炭化珪素半導体装置の最外周の第1ウェル領域30の外側には第2ウェル領域31が形成されており、第1ウェル領域30と第2ウェル領域31の間には、第3離間領域23が形成されている。第3離間領域23は、ドリフト層20と同じn型で、ドリフト層20と同様の不純物濃度を有する。

第2ウェル領域31上にも、ゲート絶縁膜50が形成されており、そのゲート絶縁膜50の上部には、ゲート電極60が形成されている。ここで、第2ウェル領域31の表層部のゲート電極60と対向する領域に、第2ウェル領域31より第2導電型の不純物濃度が低い第2導電型の電界緩和層33が形成されている。

30

【0027】

また、ゲート電極60とソース電極80の間には、層間絶縁膜55が形成されている。さらに、第2ウェル領域31の上方のゲート電極60とゲート配線82とは、層間絶縁膜55に形成されたゲートコンタクトホール95を介して接続されている。また、第2ウェル領域31の外周側、すなわち、第1ウェル領域30と反対側には、p型で炭化珪素のJTE領域37が形成されている。JTE領域37の不純物濃度は、第2ウェル領域31の不純物濃度より低いものとする。

【0028】

第2ウェル領域31上、電界緩和層33上には、ゲート絶縁膜50より膜厚の大きなフィールド絶縁膜51、または、ゲート絶縁膜50が形成されている。第2ウェル領域31の表面上のゲート絶縁膜50またはフィールド絶縁膜51の一部には開口(第2コンタクトホール91)が形成されており、その開口内には、オーミック電極70などと接続されているソース電極80が形成されている。ここで、第2ウェル領域31は直接ソース電極80とオーミック接続されておらず、絶縁されている、あるいは、ショットキ接続されている。

40

【0029】

活性領域においては、層間絶縁膜55およびゲート絶縁膜50を貫通して形成された第1コンタクトホール90を介して、オーミック電極70、第1ショットキ電極71およびコンタクト領域32上のソース電極80が層間絶縁膜55上のソース電極80と接続されている。

50

半導体基板10の裏面側には、ドレイン電極84が形成されている。

【0030】

次に、本実施の形態の炭化珪素半導体装置であるSBD内蔵SiC-MOSFETの製造方法について説明する。

まず、第1主面の面方位がオフ角を有する(0001)面であり、4Hのポリタイプを有する、n型で低抵抗の炭化珪素からなる半導体基板10の上に、化学気相堆積法(chemical Vapor Deposition: CVD法)により、 1×10^{15} から $1 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度でn型、5から50 μm の厚さの炭化珪素からなるドリフト層20をエピタキシャル成長させる。

【0031】

つづいて、ドリフト層20の表面の所定の領域にフォトレジスト等により注入マスクを形成し、p型の不純物であるAl(アルミニウム)をイオン注入する。このとき、Alのイオン注入の深さはドリフト層20の厚さを超えない0.5から3 μm 程度とする。また、イオン注入されたAlの不純物濃度は、 1×10^{17} から $1 \times 10^{19} \text{ cm}^{-3}$ の範囲でありドリフト層20の不純物濃度より高くする。その後、注入マスクを除去する。本工程によりAlイオン注入された領域が第1ウェル領域30および第2ウェル領域31となる。

【0032】

次に、ドリフト層20の表面にフォトレジスト等により注入マスクを形成し、p型の不純物濃度であるAlをイオン注入する。このとき、Alのイオン注入の深さはドリフト層20の厚さを超えない0.5から3 μm 程度とする。また、イオン注入されたAlの不純物濃度は、 1×10^{16} から $1 \times 10^{18} \text{ cm}^{-3}$ の範囲でありドリフト層20の不純物濃度より高く、かつ、第1ウェル領域30の不純物濃度よりも低いものとする。その後、注入マスクを除去する。本工程によりAlがイオン注入された領域がJTE領域37となる。また、所定の領域に第2ウェル領域31の不純物濃度より低い不純物濃度でAlをイオン注入することにより、電界緩和層33を形成する。このとき、電界緩和層33より深い領域が第2ウェル領域31と同じ不純物濃度分布になるようにAlをイオン注入しておく。同様に、所定の領域に第1ウェル領域30の不純物濃度より高い不純物濃度でAlをイオン注入することにより、コンタクト領域32を形成する。

【0033】

つづいて、ドリフト層20の表面の第1ウェル領域30の内側の所定の箇所が開口するようにフォトレジスト等により注入マスクを形成し、n型の不純物であるN(窒素)をイオン注入する。Nのイオン注入深さは第1ウェル領域30の厚さより浅いものとする。また、イオン注入したNの不純物濃度は、 1×10^{18} から $1 \times 10^{21} \text{ cm}^{-3}$ の範囲であり、第1ウェル領域30のp型の不純物濃度を超えるものとする。本工程でNが注入された領域のうちn型を示す領域がソース領域40となる。

【0034】

次に、熱処理装置によって、アルゴン(Ar)ガス等の不活性ガス雰囲気中で、1300から1900の温度で、30秒から1時間のアニールを行う。このアニールにより、イオン注入されたN及びAlを電氣的に活性化させる。

【0035】

つづいて、CVD法、フォトリソグラフィ技術等を用いて、第1ウェル領域30が形成された領域にほぼ対応する活性領域以外の領域の半導体層の上に、膜厚が0.5から2 μm の酸化珪素からなるフィールド絶縁膜51を形成する。

【0036】

次に、フィールド絶縁膜51に覆われていない炭化珪素表面を熱酸化して所定の厚さのゲート絶縁膜50である酸化珪素膜を形成する。つづいて、ゲート絶縁膜50およびフィールド絶縁膜51の上に、導電性を有する多結晶シリコン膜を減圧CVD法により形成し、これをパターニングすることによりゲート電極60を形成する。次に、酸化珪素からなる層間絶縁膜55を減圧CVD法により形成する。つづいて、層間絶縁膜55とゲート絶

10

20

30

40

50

縁膜 50 を貫き、活性領域内のコンタクト領域 32 とソース領域 40 とに到達する第 1 コンタクトホール 90 を形成し、同時に、第 2 ウェル領域 31 に到達する第 2 コンタクトホール 91 を形成する。

【0037】

次に、スパッタ法等により Ni を主成分とする金属膜を形成後、600 から 1100 の温度の熱処理を行い、Ni を主成分とする金属膜と、第 1 コンタクトホール 90 内の炭化珪素層とを反応させて、炭化珪素層と金属膜との間にシリサイドを形成する。つづいて、反応してできたシリサイド以外の残留した金属膜をウェットエッチングにより除去する。これにより、オーミック電極 70 が形成される。

【0038】

つづいて、半導体基板 10 の裏面（第 2 主面）に Ni を主成分とする金属膜を形成、熱処理することにより、半導体基板 10 の裏側に裏面オーミック電極（図示せず）を形成する。

次に、フォトリソグرافイ技術によるパターニングを用いて、第 1 離間領域 21 上の層間絶縁膜 55 と、ゲート絶縁膜 50 及びゲートコンタクトホール 95 となる位置の層間絶縁膜 55 を除去する。除去する方法としては、ショットキ界面となる炭化珪素層の表面にダメージを与えないウェットエッチングとする。

【0039】

つづいて、スパッタ法等により、ショットキ電極となる金属膜を堆積し、フォトリソグرافイ技術によるパターニングを用いて、第 1 コンタクトホール 90 内の第 1 離間領域 21 上に第 1 ショットキ電極 71 を形成する。

次に、ここまで処理してきた基板の表面にスパッタ法又は蒸着法により Al 等の配線金属を形成し、フォトリソグرافイ技術により所定の形状に加工することで、ソース側のオーミック電極 70、第 1 ショットキ電極 71、第 2 ウェル領域 31 に接触するソース電極 80、および、ゲート電極 60 に接触するゲートパッド 81 とゲート配線 82 とを形成する。

さらに、基板の裏面に形成された裏面オーミック電極（図示せず）の表面上に金属膜であるドレイン電極 84 を形成すれば、図 1 ~ 3 に示した本実施の形態の炭化珪素半導体装置が完成する。

【0040】

次に、本実施の形態の炭化珪素半導体装置である SBD 内蔵 SiC - MOSFET の動作について説明する。ここで、半導体材料が 4H 型の炭化珪素の炭化珪素半導体装置を例に説明する。この場合 pn 接合の拡散電位はおおよそ 2V である。

【0041】

まず還流動作の場合について説明する。

還流動作では、ソース電圧（ソース電極 80 の電圧）に対しドレイン電圧（ドレイン電極 84 の電圧）が低くなり、数 V の電圧が発生する。第 2 ウェル領域 31 にオーミック電極 70 を経由してオーミック接続するソース電極 80 がある場合、第 2 ウェル領域 31 とドリフト層 20 と間に形成される pn 接合にソース・ドレイン間の電圧の多くが印加されるために、第 2 ウェル領域 31 とドリフト層 20 とで形成される pn ダイオードにバイポーラ電流が流れる。

【0042】

しかしながら、本発明の炭化珪素半導体装置においては、第 2 ウェル領域 31 がソース電極 80 とオーミック接続していない。したがって、還流動作時には第 2 ウェル領域 31 に多数キャリアが注入されない。よって、第 2 ウェル領域 31 とドリフト層 20 との間の pn 接合に順方向電流であるバイポーラ電流が流れず、pn 接合の積層欠陥の拡張およびこの積層欠陥の拡張による絶縁耐圧の低下を抑制できる。

【0043】

また、本実施の形態の炭化珪素半導体装置においては、ターンオン時に第 2 ウェル領域 31 で発生した余剰電荷による電圧がゲート電極 60 と第 2 ウェル領域 31 との間に印加

10

20

30

40

50

され、この電圧が電界緩和層 33 内に形成された空乏層およびゲート絶縁膜 50 に分担される。

電界緩和層 33 を形成していない場合においても、第 2 ウェル領域 31 内に空乏層が形成されるが、本実施の形態の炭化珪素半導体装置では、ゲート電極 60 下部に第 2 ウェル領域 31 より不純物濃度が低い電界緩和層 33 を形成しているため、この空乏層幅が電界緩和層 33 を形成していない場合に比べて大幅に大きくなる。したがって、ターンオン時に第 2 ウェル領域 31 中の余剰電荷から生じる発生電圧の大部分をこの電界緩和層 33 内の空乏層が担うことができ、ゲート絶縁膜 50 に印加される電圧を大幅に低減できる。したがって、ゲート絶縁膜 50 の信頼性を大幅に高めることができる。

【0044】

このように、本実施の形態の炭化珪素半導体装置によれば、終端領域におけるバイポーラ動作を抑制することができ、また、ターンオン動作時の第 2 ウェル領域 31 上に形成されたゲート絶縁膜 50 に発生する電圧を低減でき、ゲート絶縁膜の絶縁破壊を抑制できる。

【0045】

なお、本実施の形態では第 1 ウェル領域 30 と第 2 ウェル領域 31 とが離間しているとして説明してきたが、第 1 ウェル領域 30 と第 2 ウェル領域 31 とが繋がっていてもよい。また、第 1 ウェル領域 30 が複数あり、複数の第 1 ウェル領域 30 が互いに離間しているものとして説明したが、複数の第 1 ウェル領域 30 どうしが繋がっていてもよい。図 4 に、第 1 ウェル領域 30 と第 2 ウェル領域 31 とが繋がっており、かつ、複数の第 1 ウェル領域 30 どうしが繋がっている場合の平面模式図を示す。このような場合は、第 1 ウェル領域 30 は、第 1 ウェル領域 30 内のソース領域 40、あるいは、第 1 ウェル領域 30 内の第 1 離間領域 21 上に設けられた第 1 ショットキ電極 71 のいずれかからの距離が 50 μm 以内であるものとする。

【0046】

また、図 5 は、本実施の形態の炭化珪素半導体装置の別の形態の、主に炭化珪素半導体部分を記載した平面模式図である。図 5 において、第 2 ウェル領域 31 の一部に、第 2 ウェル領域 31 とソース電極 80 とをオーミック接続する第 2 ウェル領域コンタクトホール 92 が形成されている。図 6 は、図 5 の第 2 ウェル領域コンタクトホール 92 が形成されている箇所を含む断面を示した断面模式図である。図 6 において、第 2 ウェル領域コンタクトホール 92 は、フィールド絶縁膜 51 および層間絶縁膜 55 を貫通して形成されている。また、第 2 ウェル領域コンタクトホール 92 の下部の第 2 ウェル領域 31 には、第 2 ウェル領域 31 より p 型不純物濃度が高く低抵抗な第 2 ウェルコンタクト領域 36 を設けてもよい。

【0047】

第 2 ウェル領域コンタクトホール 92 は、第 2 ウェル領域 31 内の最短経路上で、第 2 コンタクトホール 91 から断面横方向に、10 μm 以上離れて形成されている。ここで、第 2 ウェル領域 31 内で第 2 ウェル領域コンタクトホール 92 から 10 μm 以上はなれた箇所は、実質的に非オーミック接続されていると見なす。第 2 ウェル領域 31 内の最短経路上の第 2 コンタクトホール 91 と第 2 ウェル領域コンタクトホール 92 との距離は、より好ましくは、50 μm 以上であればよい。

【0048】

なお、本実施の形態においては、各イオン注入を所定の順序で行なう例を示したが、イオン注入の順序は、適宜変更してもよい。また、電界緩和層 33 は、第 2 ウェル領域 31 を形成する p 型イオンの注入後に、その表層部に n 型イオンをカウンタードープして形成してもよい。さらに、裏面のオーミック電極、表面のオーミック電極 70、第 1 ショットキ電極 71 の形成順序は適宜変更してもよい。

また、本実施の形態においては、第 1 ショットキ電極 71 は、第 1 離間領域 21 と第 1 ウェル領域 30 のの上みに形成される例を示したが、オーミック電極 70 や層間絶縁膜 55 の上に形成されていても良い。

10

20

30

40

50

また、本実施の形態はチャンネル領域やショットキ電極面がウエハ平面と平行に形成されるプレーナ型を想定して説明されたが、チャンネル領域やショットキ電極面がウエハ平面と斜め、もしくは垂直に形成されるトレンチ型においても有効である。この場合、本明細書で定義される表面とは、ウエハ平面のみならず、トレンチ形成面も含まれる。

【0049】

また、本実施の形態においては、第1離間領域21は、ドリフト層20と同じn型で、ドリフト層20と同じ不純物濃度を有するものとしたが、第1離間領域21のn型不純物濃度は、ドリフト層20のn型不純物濃度より高くしてもよい。第2離間領域22、第4離間領域24についても、第1離間領域21と同様である。

【0050】

なお、第1の導電型と第2の導電型が、それぞれ、n型とp型として説明し、その反対であってもよいとして説明したが、第1の導電型がn型で、第2の導電型がp型である場合に、より効果を奏する。

【0051】

さらに、本実施の形態では活性領域にSBD内蔵MOSFETがある例について説明してきたが、SBD内蔵MOSFETの代わりに、p型のウェル領域上にn型のチャンネルエピ層49を形成し、このチャンネルエピ層49がしきい値電圧以下のゲート電圧にてユニポーラ型のダイオードとして動作するようにし、かつ、このユニポーラ型のダイオードの立ち上がり電圧をp型のウェル領域とn型のドリフト層とから形成されるpnダイオードの動作電圧よりも低く設計したMOSFETにしてもよい。図7に、図2のSBD内蔵MOSFETをこのようなMOSFETに置き換えたMOSFETの断面模式図を示す。このように、還流動作時においてMOSFETのチャンネル領域に逆通電させる場合でも、SBD内蔵MOSFETと同様に効果を得ることができる。

【0052】

実施の形態2 .

実施の形態1の炭化珪素半導体装置の終端領域では、ゲート電極60を備える箇所下部の第2ウェル領域31の表層部に電界緩和層33を設けていたが、本実施の形態では、図8にその断面模式図を示すように、第2ウェル領域31の全域にわたって電界緩和層33が形成されている。すなわち、第2ウェル領域31の上部にフィールド絶縁膜51を介してゲート電極60を備える箇所や、第2ウェル領域31の上部にフィールド絶縁膜51や層間絶縁膜55を介してゲートパッド81を備える領域においても、第2ウェル領域31の上層部に電界緩和層33が形成されている。

【0053】

本実施の形態の炭化珪素半導体装置の作製方法は実施の形態1と同様で、マスクパターンのみを変更して電界緩和層33が第2ウェル領域31の全域に形成されるようにすればよい。

【0054】

本実施の形態の炭化珪素半導体装置によれば、実施の形態1で説明した効果、すなわちターンオン時に、第2ウェル領域31とゲート電極60の間に形成されたゲート絶縁膜50にかかる電圧を低減するだけでなく、第2ウェル領域31とゲート電極60の間に形成されたフィールド絶縁膜51および、第2ウェル領域31とゲートパッド81の間に形成されたフィールド絶縁膜51および層間絶縁膜55にかかる電圧を低減することができる。これによって、フィールド絶縁膜51および層間絶縁膜55の信頼性を大幅に高めることができる。

【0055】

なお、全領域に電界緩和層33が形成された第2ウェル領域31と同じ深さ方向の不純物濃度分布で同時に第1ウェル領域30を形成してもよい。図9は、第1ウェル領域30と第2ウェル領域31の全てに電界緩和層33を設けたものの断面模式図である。この構造にすることによって、全ての第1ウェル領域30と第2ウェル領域31を同時にイオン注入して形成でき、製造工程を簡略化できる。

10

20

30

40

50

【 0 0 5 6 】

実施の形態 3 .

本実施の形態の炭化珪素半導体装置においては、図 1 0 にその断面模式図を示すように、ソース電極 8 0 に接する第 2 ウェル領域 3 1 の表層部には、電界緩和層 3 3 を形成していないが、少なくとも第 2 ウェル領域 3 1 とゲート電極 6 0 の両方が形成されている全ての平面領域に、電界緩和層 3 3 を形成している。電界緩和層 3 3 は、ゲート電極 6 0 が形成されていない平面領域に形成されてもよい。その他の点については、実施の形態 2 と同様であるので、詳しい説明を省略する。

【 0 0 5 7 】

本実施の形態の炭化珪素半導体装置では、第 2 ウェル領域 3 1 とゲート電極 6 0 に挟まれた全ての領域において、ターンオン時に第 2 ウェル領域 3 1 とゲート電極 6 0 の間で発生する電圧を、ゲート絶縁膜 5 0 またはフィールド絶縁膜 5 1 と、電界緩和層 3 3 によって形成される空乏層で担うことで、ゲート絶縁膜 5 0 またはフィールド絶縁膜 5 1 に高電圧が掛かるのを抑制し、半導体装置の信頼性を高めることができる。また、第 2 ウェル領域 3 1 と第 1 ウェル領域 3 0 を同じ工程で同時に形成した場合、第 1 ウェル領域 3 0 の表層を、例えばアクセプタ濃度を高めるなど、電界緩和層 3 3 とは異なる任意の不純物濃度にすることができ、活性領域内の第 1 ウェル領域 3 0 に形成される M O S F E T を誤動作が起きにくい、しきい値電圧のものすることもできる。

10

【 0 0 5 8 】

実施の形態 4 .

実施の形態 1 の炭化珪素半導体装置の終端領域では、第 2 ウェル領域 3 1 にソース電極 8 0 に対してオーミックコンタクトを設けず、非オーミック接続させていた。これに加えて、活性領域の第 1 ウェル領域 3 0 と同様に、第 2 ウェル領域 3 1 の平面方向の内部に第 1 導電型の離間領域を形成し、その離間領域に対してショットキ接続する電極を設けてもよい。その他の点については、実施の形態 1 と同様であるので、詳しい説明は省略する。

20

【 0 0 5 9 】

図 1 1 は、実施の形態 1 の説明で使用した図 1 のソース電極 8 0 から炭化珪素半導体装置の外周部のゲート配線 8 2 にかけての a - a ' 部分の断面を模式的に示す本実施の形態の炭化珪素半導体装置の断面模式図である。

図 1 1 の終端領域において、第 2 導電型の第 2 ウェル領域 3 1 の平面上の内部には、炭化珪素で構成された第 1 導電型の第 4 離間領域 2 4 が形成されており、第 4 離間領域 2 4 の上部には、第 4 離間領域 2 4 とショットキ接続する第 2 ショットキ電極 7 3 が形成されている。また、第 4 離間領域 2 4 の周囲の第 2 ウェル領域 3 1 の表層部には、電界緩和層 3 3 が形成されており、第 4 離間領域 2 4 と電界緩和層 3 3 の上部に形成されている第 2 コンタクトホール 9 1 内にはソース電極 8 0 が形成されている。その他の点については、実施の形態 1 と同様である。

30

【 0 0 6 0 】

本実施の形態の炭化珪素半導体装置によれば、第 2 ウェル領域 3 1 の平面上の内部にも、活性領域と同じようにドリフト層 2 0 とショットキ接続する構造を設けたため、終端構造部の第 2 ウェル領域 3 1 に流れるバイポーラ電流をより低減できる。

40

【 0 0 6 1 】

実施の形態 5 .

本実施の形態の炭化珪素半導体装置においては、図 1 2 にその断面模式図を示すように、第 2 ウェル領域 3 1 の表層部に形成された電界緩和層 3 3 が形成された領域のうち、第 2 コンタクトホール 9 1 と第 3 離間領域 2 3 の間の領域に、第 2 導電型の寄生チャネルストップ領域 3 5 を形成している。その他の点については、実施の形態 1 ~ 3 と同様であるので、詳しい説明を省略する。

【 0 0 6 2 】

寄生チャネルストップ領域 3 5 は、少なくとも第 2 コンタクトホール 9 1 と第 3 離間領域 2 3 の間を結び最短経路の上の電界緩和層 3 3 には形成されているが、その他の経路上

50

に形成されていてもよい。また、寄生チャネルストップ領域 35 は、第 2 導電型を有し、その不純物濃度は、電界緩和層 33 の第 2 導電型の不純物濃度、第 2 ウェル領域 31 の第 2 導電型の不純物濃度のいずれに対しても高くなっている。

寄生チャネルストップ領域 35 は、電界緩和層 33 に囲まれた領域に形成されていてもよい。

【0063】

次に、本実施の形態の炭化珪素半導体装置の製造方法について説明する。本実施の形態の炭化珪素半導体装置は、実施の形態 1 の炭化珪素半導体装置と同様に製造し、寄生チャネルストップ領域 35 を形成するための注入マスク形成、イオン注入、注入マスク除去工程を追加すれば、製造できる。また、新たな工程を加えず、コンタクト領域 32 を形成するときに同時に寄生チャネルストップ領域 35 を形成してもよい。この場合は、寄生チャネルストップ領域 35 は、コンタクト領域 32 と同じ不純物濃度になり、また、製造工程が増えることによる製造コストを増加させることなく製造できる。

10

【0064】

次に、本実施の形態の炭化珪素半導体装置の効果について説明する。

本実施の形態の炭化珪素半導体装置とは異なり寄生チャネルストップ領域 35 が形成されていない炭化珪素半導体装置においては、第 2 ウェル領域 31 よりも不純物濃度が低い電界緩和層 33 が設けられた領域で、オフ時、すなわち、ゲート電極に正電圧 (MOSFET に電流を流すための電圧) が印加されていないときに、電界緩和層 33 の表層に寄生 n 型チャネルが形成され、ドレイン電極 84 から第 3 離間領域 23、寄生 n 型チャネル、第 2 コンタクトホール 91 を介してソース電極 80 に通じるリーク経路が形成される場合がある。その結果、炭化珪素半導体装置のリーク電流が大きくなったり、耐圧が保持できなくなったりする場合がある。この現象は、第 2 ウェル領域 31 がソース電極 80 とオーミック接続されていないときに、より発生し易くなる。

20

特に、ターンオフスイッチング時に、第 2 ウェル領域 31 とドリフト層 20 からなる pn 接合を介して第 2 ウェル領域 31 に変位電流が流入する際に、ソース電極 80 とオーミック接続されていない第 2 ウェル領域 31 の電位が上昇し、第 2 ウェル領域 31 の電子の対するポテンシャルが低下したときに、前述のリーク経路が発生し易くなる。

【0065】

これに対して、本実施の形態の炭化珪素半導体装置においては、電界緩和層 33 の一部のうち第 2 コンタクトホール 91 と第 3 離間領域 23 との間に電界緩和層 33 および第 2 ウェル領域 31 よりも不純物濃度が高い寄生チャネルストップ領域 35 を形成しているので、寄生チャネルストップ領域 35 部分で寄生 n 型チャネルが途切れ、前述のリーク電流の発生が抑制される。そのため、ターンオフスイッチング時に第 2 ウェル領域 31 の電位が上昇した場合においても、リーク電流の発生を抑制でき、より信頼性の高い炭化珪素半導体装置を得ることができる。

30

【0066】

なお、寄生チャネルストップ領域 35 は、上部にゲート絶縁膜 50 を介してゲート電極 60 が形成されていない領域に形成された方が、寄生チャネルストップ領域 35 とゲート電極 60 との間の絶縁膜に高電界が印加されず、信頼性がより高くなる。

40

【0067】

実施の形態 6 .

実施の形態 1 ~ 5 の炭化珪素半導体装置の終端領域では、原則として活性領域内の第 1 ウェル領域 30 と終端構造の第 2 ウェル領域 31 とは離間して、第 2 ウェル領域 31 はソース電極 80 とオーミック接続されていなものについて主に説明したが、本実施の形態では、終端構造の第 2 ウェル領域 31 が補助接続領域 34 を経由して第 1 ウェル領域 30 の一部と接続している。その他の構成については、実施の形態 1 ~ 5 と同様であるので、詳しい説明は省略する。

【0068】

図 13 は、本実施の形態の炭化珪素半導体装置の平面模式図であるが、図 13 において

50

、活性領域の第1ウェル領域30と終端領域の第2ウェル領域31とが、第2導電型の補助接続領域34を介して接続されている。図13は、実施の形態1に適用した場合の図である。

第2導電型の補助接続領域34は、イオン注入マスクを変更することにより、第2ウェル領域31形成と同時に形成すればよい。

【0069】

活性領域の第1ウェル領域30と終端構造の第2ウェル領域31とが完全に分離され、第2ウェル領域31が完全にフローティングな状態の場合、条件や構造によっては、第2ウェル領域31がチャージアップして、第2ウェル領域31上の絶縁膜が絶縁破壊される可能性があった。

本実施の形態の炭化珪素半導体装置によれば、第2ウェル領域31が補助接続領域34を介して接続されており、第2ウェル領域31上の絶縁膜の絶縁破壊をより確実なものにでき、より信頼性を高めることができる。

【0070】

このとき、図13の炭化珪素半導体装置の各辺中央近傍の補助接続領域34に近い領域では、第3離間領域23を介さず補助接続領域34を通る電流が流れるため、耐圧劣化が起こる可能性がある。これに対して、図12の炭化珪素半導体装置の各コーナー部近傍の補助接続領域34に近い領域では、実施の形態1で説明したように、第2ウェル領域31を平面横方向に長く電流が流れ、第2ウェル領域31のシート抵抗による電圧降下が生じ、バイポーラ通電が抑制される。

【0071】

実施の形態1の図4の構造では、第1ウェル領域30と第2ウェル領域31とを多くの箇所接続したが、本実施の形態では、第1ウェル領域30と第2ウェル領域31との接続箇所を限定したため、耐圧劣化が生じる可能性がある箇所も少なくなる。したがって、バイポーラ電流が第2ウェル領域31に流れることによる耐圧劣化も限られたものになる。

【0072】

このように、本実施の形態の炭化珪素半導体装置によれば、第2ウェル領域31がフローティングになることにより発生する絶縁破壊の可能性を低減させ、かつ、第2ウェル領域31がバイポーラ通電することによる信頼性低下を最小限にすることができる。

【0073】

なお、補助接続領域34を設ける領域は、第3離間領域23が形成された長さに対して短い方がよく、例えば第3離間領域23が形成された長さの1/10以下などにすればよい。このようにすることで、耐圧劣化が生じる可能性を約1/10以下に低減し、素子の信頼性を格段に高めることができる。

【0074】

なお、n型(第1導電型)不純物としてNを用いたが、リンまたはヒ素であってもよい。p型(第2導電型)不純物としてAlを用いたが、ホウ素またはガリウムであってもよい。

【0075】

また、実施の形態1~6で説明したMOSFETにおいては、ゲート絶縁膜50は、必ずしも酸化珪素などの酸化膜である必要はなく、酸化膜以外の絶縁膜、または、酸化膜以外の絶縁膜と酸化膜とを組み合わせたものであってもよい。また、ゲート絶縁膜50として炭化珪素を熱酸化した酸化珪素を用いたが、CVD法による堆積膜の酸化珪素であってもよい。さらに、本発明は、スーパージャンクション構造を有するMOSFETにも用いることができる。

【0076】

また、上記実施形態では、ゲート絶縁膜50を有するMOSFETについて説明したが、ユニポーラデバイスであれば本発明を適用することができ、例えば、ゲート絶縁膜50を有しないJFET(Junction FET)やMESFET(Metal-Sem

10

20

30

40

50

iconductor Field Effect Transistor)にも本発明を用いることができる。

【0077】

さらに、上記実施形態では、ソース側のオーミック電極70と第1ショットキ電極71とが分離して作製されているが、同一材料で連続して形成されてもよいし、別材料で連続していてもよい。

また、第1ショットキ電極71と第2ショットキ電極73についても同一材料で形成されてもよいし、別材料で形成されてもよい。

また、上記実施形態では、結晶構造、主面の面方位、オフ角および各注入条件等、具体的な例を用いて説明したが、これらの数値範囲に適用範囲が限られるものではない。

10

【0078】

実施の形態7

本実施の形態は、上述した実施の形態1～6にかかる炭化珪素半導体装置を電力変換装置に適用したものである。本発明は特定の電力変換装置に限定されるものではないが、以下、実施の形態7として、三相のインバータに本発明を適用した場合について説明する。

【0079】

図14は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0080】

図14に示す電力変換システムは、電源100、電力変換装置200、負荷300から構成される。電源100は、直流電源であり、電力変換装置200に直流電力を供給する。電源100は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路やAC/DCコンバータで構成することとしてもよい。また、電源100を、直流系統から出力される直流電力を所定の電力に変換するDC/DCコンバータによって構成することとしてもよい。

20

【0081】

電力変換装置200は、電源100と負荷300の間に接続された三相のインバータであり、電源100から供給された直流電力を交流電力に変換し、負荷300に交流電力を供給する。電力変換装置200は、図16に示すように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201の各スイッチング素子を駆動する駆動信号を出力する駆動回路202と、駆動回路202を制御する制御信号を駆動回路202に出力する制御回路203とを備えている。

30

【0082】

負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

【0083】

以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子と還流ダイオードを備えており(図示せず)、スイッチング素子がスイッチングすることによって、電源100から供給される直流電力を交流電力に変換し、負荷300に供給する。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。主変換回路201の各スイッチング素子には、上述した実施の形態1～6のいずれかにかかる炭化珪素半導体装置を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相(U相、V相、W相)を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

40

【0084】

50

駆動回路 202 は、主変換回路 201 のスイッチング素子を駆動する駆動信号を生成し、主変換回路 201 のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路 203 からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0085】

制御回路 203 は、負荷 300 に所望の電力が供給されるよう主変換回路 201 のスイッチング素子を制御する。具体的には、負荷 300 に供給すべき電力に基づいて主変換回路 201 の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって主変換回路 201 を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路 202 に制御指令（制御信号）を出力する。駆動回路 202 は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

10

【0086】

本実施の形態に係る電力変換装置では、主変換回路 201 のスイッチング素子として実施の形態 1~6 にかかる炭化珪素半導体装置を適用するため、低損失、かつ、高速スイッチングの信頼性を高めた電力変換装置を実現することができる。

20

【0087】

本実施の形態では、2レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置としたが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合には DC / DC コンバータや AC / DC コンバータに本発明を適用することも可能である。

【0088】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

30

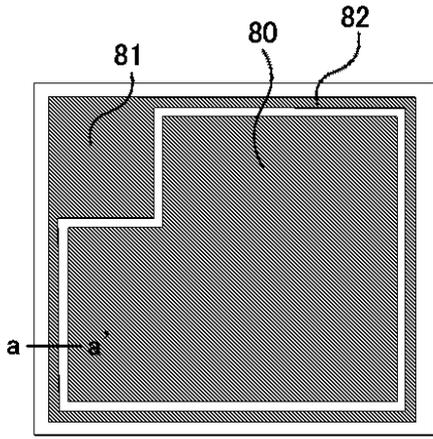
【符号の説明】

【0089】

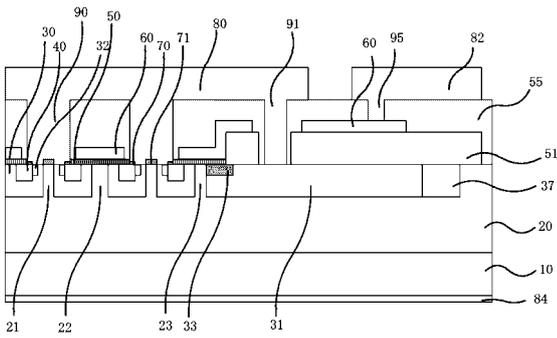
10 半導体基板、20 ドリフト層、21 第1離間領域、22 第2離間領域、23 第3離間領域、24 第4離間領域、30 第1ウェル領域、31 第2ウェル領域、32 コンタクト領域、33 電界緩和層、34 補助接続領域、35 寄生チャネルストッパ領域、37 JTE領域、40 ソース領域、45 炭化珪素導電性層、49 チャンネルエピ層、50 ゲート絶縁膜、51 フィールド絶縁膜、53 絶縁層、55 層間絶縁膜、60 ゲート電極、70 オーミック電極、71 第1ショットキ電極、73 第2ショットキ電極、80 ソース電極、ソースパッド、81 ゲートパッド、82 ゲート配線、84 ドレイン電極、90 第1コンタクトホール、91 第2コンタクトホール、92 第2ウェル領域コンタクトホール、95 ゲートコンタクトホール、100 電源、200、電力変換装置、201 主変換回路、202 駆動回路、203 制御回路、300 負荷。

40

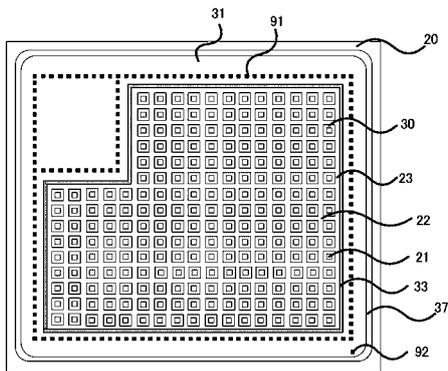
【 図 1 】



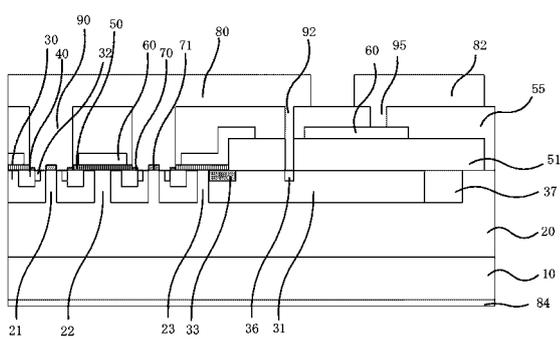
【 図 2 】



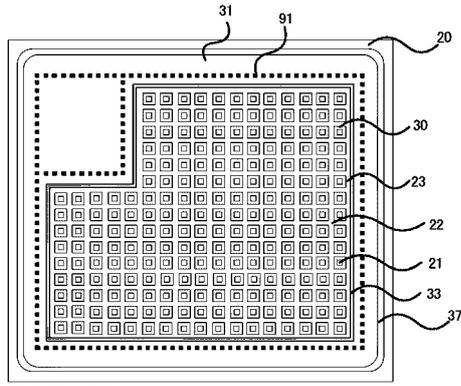
【 図 5 】



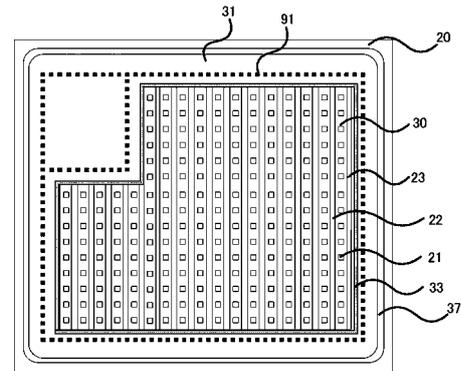
【 図 6 】



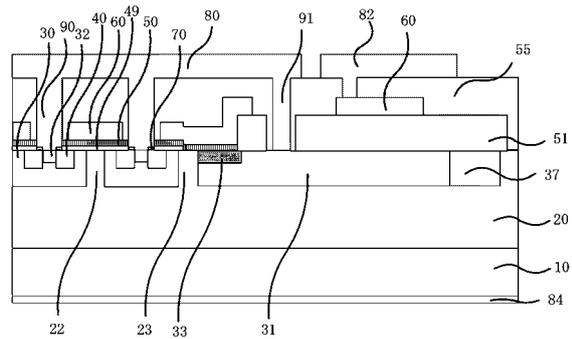
【 図 3 】



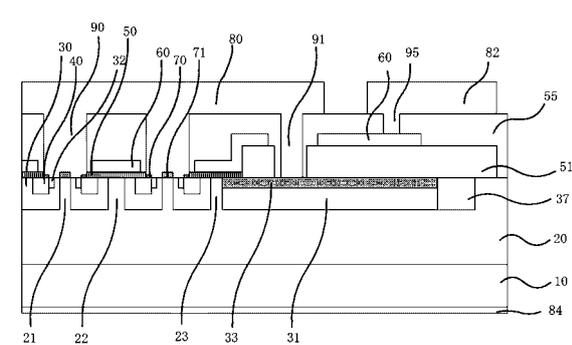
【 図 4 】



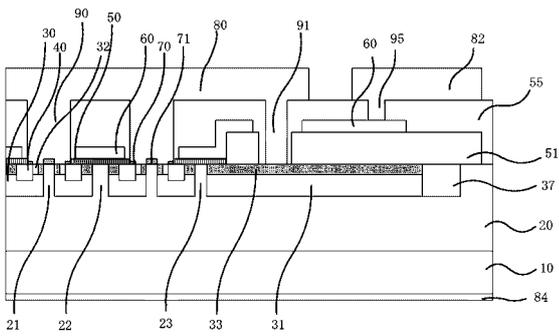
【 図 7 】



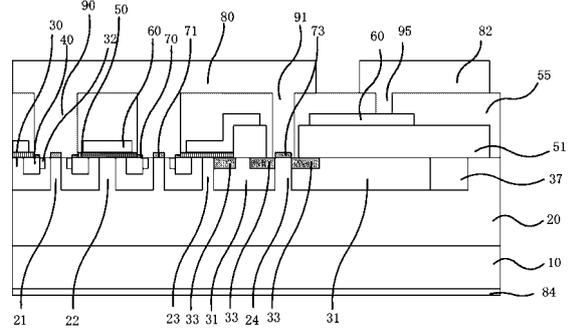
【 図 8 】



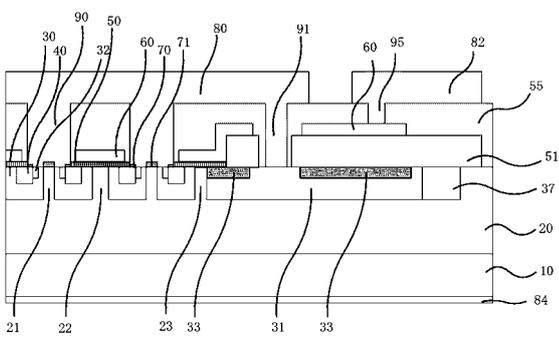
【 図 9 】



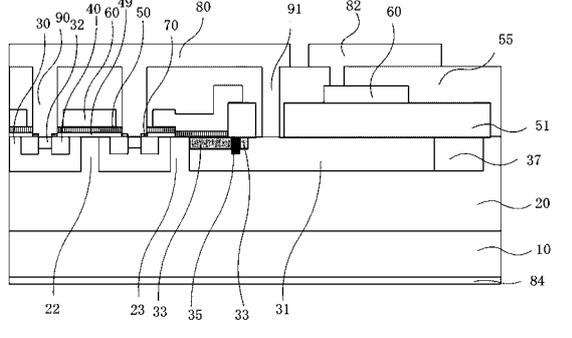
【 図 1 1 】



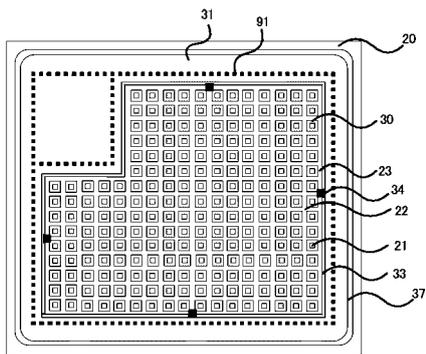
【 図 1 0 】



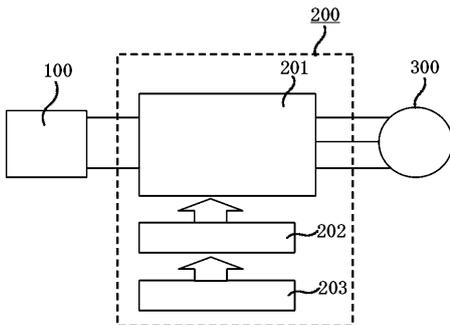
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2018/046591
A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/872(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L29/78, H01L29/06, H01L29/12, H01L29/872		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan		1922-1996
Published unexamined utility model applications of Japan		1971-2019
Registered utility model specifications of Japan		1996-2019
Published registered utility model applications of Japan		1994-2019
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/162969 A1 (MITSUBISHI ELECTRIC CORP.) 09 October 2014, paragraphs [0018]-[0042], fig. 1-5 & US 2016/0079411 A1, paragraphs [0043]-[0067], fig. 1-5	1-10
A	WO 2014/041808 A1 (PANASONIC CORP.) 20 March 2014, paragraphs [0017]-[0020], [0056]-[0072], fig. 1-4 & US 2014/0231828 A1, paragraphs [0061]-[0064], [0100]-[0116], fig. 1-4	1-10
A	WO 2017/169086 A1 (MITSUBISHI ELECTRIC CORP.) 05 October 2017, paragraphs [0178]-[0188], fig. 28 & DE 112017001788 T5 & CN 108886055 A	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents:		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 13 March 2019 (13.03.2019)		Date of mailing of the international search report 02 April 2019 (02.04.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/046591

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-008014 A (FUJI ELECTRIC CO., LTD.) 10 January 2003, paragraphs [0069]-[0079], fig. 1, 5 & US 2003/0052329 A1, paragraphs [0137]-[0145], fig. 1, 5 & US 2004/0113200 A1	1-10

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 4 6 5 9 1									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006,01)i, H01L29/06(2006,01)i, H01L29/12(2006,01)i, H01L29/872(2006,01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L29/06, H01L29/12, H01L29/872											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2019年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2019年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2019年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2019年	日本国実用新案登録公報	1996-2019年	日本国登録実用新案公報	1994-2019年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2019年										
日本国実用新案登録公報	1996-2019年										
日本国登録実用新案公報	1994-2019年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2014/162969 A1 (三菱電機株式会社) 2014.10.09, 段落[0018]-[0042], 図 1-5 & US 2016/0079411 A1, 段落[0043]-[0067], 図 1-5	1-10									
A	WO 2014/041808 A1 (パナソニック株式会社) 2014.03.20, 段落[0017]-[0020], [0056]-[0072], 図 1-4 & US 2014/0231828 A1, 段落[0061]-[0064], [0100]-[0116], 図 1-4	1-10									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 13.03.2019		国際調査報告の発送日 02.04.2019									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 恩田 和彦	5 F 5896								
		電話番号 03-3581-1101 内線 3516									

国際調査報告		国際出願番号 PCT/JP2018/046591
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/169086 A1 (三菱電機株式会社) 2017. 10. 05, 段落[0178]-[0188], 図 28 & DE 112017001788 T5 & CN 108886055 A	1-10
A	JP 2003-008014 A (富士電機株式会社) 2003. 01. 10, 段落[0069]-[0079], 図 1, 5 & US 2003/0052329 A1, 段落[0137]-[0145], 図 1, 5 & US 2004/0113200 A1	1-10

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/86	3 0 1 D
	H 0 1 L 29/06	3 0 1 G
	H 0 1 L 29/06	3 0 1 V

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

- (72) 発明者 貞松 康史
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72) 発明者 八田 英之
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72) 発明者 川原 洸太郎
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。