



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0087087
 (43) 공개일자 2012년08월06일

(51) 국제특허분류(Int. Cl.)
G11C 11/34 (2006.01) **G11C 5/14** (2006.01)
H01L 29/786 (2006.01)
 (21) 출원번호 **10-2012-0007541**
 (22) 출원일자 **2012년01월26일**
 심사청구일자 **없음**
 (30) 우선권주장
 JP-P-2011-015595 2011년01월27일 일본(JP)
 JP-P-2011-108902 2011년05월14일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
오마루 다쿠로
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
박충범, 장수길, 이중희

전체 청구항 수 : 총 20 항

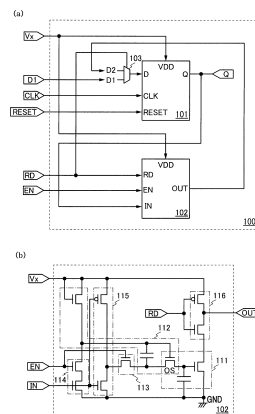
(54) 발명의 명칭 **기억 회로**

(57) 요약

본 발명은 소비 전력을 억제할 수 있는 기억 회로의 제공을 목적 중 하나로 한다.

본 발명에 따르면, 기억 회로에 전원이 공급되지 않는 사이에는, 휘발성의 메모리에 상응하는 기억부에 기억되어 있었던 데이터를, 불휘발성의 메모리에 상응하는 기억부에 설치된 용량 소자에 의해 유지하는 기억 회로다. 불휘발성 기억부에서는, 산화물 반도체층에 채널이 형성되는 트랜지스터를 사용함으로써, 용량 소자에 유지된 신호는 장기간에 걸쳐 유지할 수 있다. 이와 같이 해서, 기억 회로는 전원의 공급이 정지되어 있는 사이에도 논리 상태(데이터 신호)를 유지하는 것이 가능하다. 또한 산화물 반도체층에 채널이 형성되는 트랜지스터의 게이트에 인가하는 전위를, 전원 전위를 공급하는 배선과 상기 트랜지스터의 게이트 사이에 설치된 승압 회로에 의해 높게 함으로써, 하나의 전원 전위여도 오동작 없이 데이터 신호의 유지를 행하는 것이 가능하다.

대표도 - 도1



특허청구의 범위

청구항 1

기억 회로로서,

휘발성 기억부; 및

비휘발성 기억부를 포함하고,

상기 비휘발성 기억부는,

산화물 반도체를 포함하는 반도체층에 채널이 형성된 제1 트랜지스터 및

상기 제1 트랜지스터의 소스와 드레인 중 하나에 게이트가 전기적으로 접속된 제2 트랜지스터를 포함하고,

상기 비휘발성 기억부는, 상기 휘발성 기억부의 동작이 정지될 때 상기 제1 트랜지스터의 소스와 드레인 중 상기 하나와 상기 제2 트랜지스터의 상기 게이트가 접속된 노드에서 상기 휘발성 기억부로부터 출력되는 데이터 신호를 유지하고,

상기 제1 트랜지스터의 상기 게이트에 인가되는 전압을 증압할 수 있는 증압(booster) 회로가, 상기 제1 트랜지스터의 상기 게이트 및 전원 전위를 공급할 수 있는 배선 사이에 설치되는, 기억 회로.

청구항 2

제1항에 있어서,

상기 제2 트랜지스터는 실리콘층 또는 실리콘 기판에 채널이 형성된 트랜지스터인, 기억 회로.

청구항 3

제2항에 있어서,

상기 제1 트랜지스터는 상기 제2 트랜지스터 위에 적층된, 기억 회로.

청구항 4

신호 처리 장치로서,

제1항에 따른 기억 회로; 및

상기 기억 회로에 데이터를 송신하고 상기 기억 회로로부터 데이터를 수신하는 연산 장치를 포함하는, 신호 처리 장치.

청구항 5

제1항에 따른 기억 회로를 포함하는 반도체 장치.

청구항 6

기억 회로로서,

휘발성 기억부; 및

비휘발성 기억부를 포함하고,

상기 비휘발성 기억부는,

산화물 반도체를 포함하는 반도체층에 채널이 형성된 제1 트랜지스터;

상기 제1 트랜지스터의 소스와 드레인 중 하나에 게이트가 전기적으로 접속된 제2 트랜지스터;

소스와 드레인 중 하나가 상기 제1 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로

접속되고, 기입 제어 신호에 의해 도통 상태와 비도통 상태가 제어되는 제3 트랜지스터; 및

상기 제1 트랜지스터의 상기 게이트를 전기적으로 부유 상태로 할 수 있는 제4 트랜지스터를 포함하고, 상기 비휘발성 기억부는, 상기 휘발성 기억부의 동작이 정지될 때 상기 제1 트랜지스터의 소스와 드레인 중 상기 하나와 상기 제2 트랜지스터의 상기 게이트가 접속된 노드에서 상기 휘발성 기억부로부터 출력되는 데이터 신호를 유지하고,

상기 제1 트랜지스터의 상기 게이트에 인가되는 전압을 승압할 수 있는 승압 회로가, 상기 제1 트랜지스터의 상기 게이트 및 전원 전위를 공급할 수 있는 배선 사이에 설치되는, 기억 회로.

청구항 7

제6항에 있어서,

상기 제2 트랜지스터는 실리콘층 또는 실리콘 기판에 채널이 형성된 트랜지스터인, 기억 회로.

청구항 8

제7항에 있어서,

상기 제1 트랜지스터는 상기 제2 트랜지스터 위에 적층된, 기억 회로.

청구항 9

신호 처리 장치로서,

제6항에 따른 기억 회로; 및

상기 기억 회로에 데이터를 송신하고 상기 기억 회로로부터 데이터를 수신하는 연산 장치를 포함하는, 신호 처리 장치.

청구항 10

제6항에 따른 기억 회로를 포함하는 반도체 장치.

청구항 11

기억 회로로서,

휘발성 기억부; 및

비휘발성 기억부를 포함하고,

상기 비휘발성 기억부는,

산화물 반도체를 포함하는 반도체층에 채널이 형성된 제1 트랜지스터;

상기 제1 트랜지스터의 소스와 드레인 중 하나에 게이트가 전기적으로 접속된 제2 트랜지스터;

소스와 드레인 중 하나가 상기 제1 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로 접속되고, 기입 제어 신호에 의해 도통 상태와 비도통 상태가 제어되는 제3 트랜지스터; 및

상기 제1 트랜지스터의 상기 게이트를 전기적으로 부유 상태로 할 수 있는 제4 트랜지스터를 포함하고, 상기 비휘발성 기억부는, 상기 휘발성 기억부의 동작이 정지될 때 상기 제1 트랜지스터의 소스와 드레인 중 상기 하나와 상기 제2 트랜지스터의 상기 게이트가 접속된 노드에서 상기 휘발성 기억부로부터 출력되는 데이터 신호를 유지하고,

상기 데이터 신호의 유지는 상기 데이터 신호의 논리 상태를 반전할 수 있는 제1 위상 반전 회로(phase inverter circuit)를 통해 행해지고, 상기 데이터 신호의 출력은 상기 유지된 데이터 신호의 논리 상태를 반전할 수 있는 제2 위상 반전 회로를 통해 행해지고,

상기 제1 트랜지스터의 상기 게이트에 인가되는 전압을 승압할 수 있는 승압 회로가, 상기 제1 트랜지스터의 상

기 게이트 및 전원 전위를 공급할 수 있는 배선 사이에 설치되는, 기억 회로.

청구항 12

제11항에 있어서,

상기 제1 위상 반전 회로와 상기 제2 위상 반전 회로 각각은 p채널 트랜지스터 및 n채널 트랜지스터를 포함하는, 기억 회로.

청구항 13

제11항에 있어서,

상기 제2 트랜지스터는 실리콘층 또는 실리콘 기판에 채널이 형성된 트랜지스터인, 기억 회로.

청구항 14

제12항에 있어서,

상기 제1 트랜지스터는 상기 제2 트랜지스터 위에 적층된, 기억 회로.

청구항 15

제11항에 있어서,

상기 승압 회로는, 소스와 드레인 중 하나에 게이트가 전기적으로 접속된 승압용 트랜지스터를 포함하고,

상기 기억 회로는, 상기 승압용 트랜지스터와 상기 제4 트랜지스터에 의해 상기 제1 트랜지스터의 상기 게이트를 전기적으로 부유 상태 하는 부트스트랩법(bootstrapping method)에 의해 상기 제1 트랜지스터의 상기 게이트의 전위를 승압할 수 있는, 기억 회로.

청구항 16

신호 처리 장치로서,

제11항에 따른 기억 회로; 및

상기 기억 회로에 데이터를 송신하고 상기 기억 회로로부터 데이터를 수신하는 연산 장치를 포함하는, 신호 처리 장치.

청구항 17

제11항에 따른 기억 회로를 포함하는 반도체 장치.

청구항 18

반도체 장치로서,

휘발성 기억부; 및

상기 휘발성 기억부에 전기적으로 접속된 비휘발성 기억부를 포함하고,

상기 비휘발성 기억부는,

제1 트랜지스터;

상기 제1 트랜지스터의 게이트 단자에 제1 단자가 전기적으로 접속되는 제2 트랜지스터 - 상기 제2 트랜지스터는 산화물 반도체를 포함하는 반도체층을 포함하고, 상기 반도체층은 채널을 포함함 -; 및

상기 제2 트랜지스터의 게이트 단자에 제1 단자가 전기적으로 접속된 제3 트랜지스터 - 상기 제3 트랜지스터의 게이트 단자에 상기 제3 트랜지스터의 제2 단자가 전기적으로 접속됨 -

를 포함하고,

상기 제1 트랜지스터의 제1 단자는 상기 휘발성 기억부에 전기적으로 접속된, 반도체 장치.

청구항 19

제18항에 있어서,

상기 제2 트랜지스터의 제2 단자에 제1 단자가 전기적으로 접속된 제4 트랜지스터; 및

상기 제4 트랜지스터의 제2 단자에 전기적으로 접속되고 상기 제3 트랜지스터의 게이트 단자에 전기적으로 접속된 라인을 더 포함하는, 반도체 장치.

청구항 20

제19항에 있어서,

상기 제4 트랜지스터의 제2 단자에 제1 단자가 전기적으로 접속된 제5 트랜지스터;

상기 제4 트랜지스터의 제2 단자에 제1 단자가 전기적으로 접속되고 상기 라인에 제2 단자가 전기적으로 접속된 제6 트랜지스터;

상기 제1 트랜지스터의 제1 단자에 제1 단자가 전기적으로 접속되고 상기 휘발성 기억부에 제2 단자가 전기적으로 접속된 제7 트랜지스터; 및

상기 제7 트랜지스터의 제2 단자에 제1 단자가 전기적으로 접속되고 상기 라인에 제2 단자가 전기적으로 접속된 제8 트랜지스터를 더 포함하고,

상기 제5 트랜지스터의 게이트 단자 및 상기 제6 트랜지스터의 게이트 단자는 서로 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트 단자 및 상기 제8 트랜지스터의 게이트 단자는 서로 전기적으로 접속된, 반도체 장치.

명세서

기술분야

[0001] 전원을 꺼도 기억하고 있는 논리 상태가 사라지지 않는 신호 처리 장치의 기억 회로에 관한 것이다.

배경기술

[0002] 중앙 연산 처리 장치(CPU: Central Processing Unit) 등의 신호 처리 장치는, 그 용도에 따라 다종다양한 구성을 갖고 있다. 신호 처리 장치는, 일반적으로 데이터나 프로그램을 기억하기 위한 메인 메모리 이외에, 레지스터, 캐시 메모리 등, 각종 기억 회로가 설치되어 있다. 레지스터는, 연산 처리나 프로그램의 실행 상태의 유지 등을 위해 일시적으로 데이터 신호를 유지하는 역할을 담당하고 있다. 또한, 캐시 메모리는, 연산 장치와 메인 메모리 사이에 개재하여, 저속한 메인 메모리에의 액세스를 줄여 연산 처리를 고속화시키는 것을 목적으로 형성되어 있다.

[0003] 신호 처리 장치에 있어서 레지스터나 캐시 메모리 등의 기억 회로는, 메인 메모리보다도 고속으로 데이터 신호의 기입을 행할 필요가 있다. 따라서, 통상은 레지스터로서 플립플롭이, 캐시 메모리로서 SRAM(Static Random Access Memory) 등이 사용된다. 즉, 이들의 레지스터, 캐시 메모리 등에는, 전원의 공급이 끊어지면 데이터 신호를 소실해버리는 휘발성 기억 회로가 사용되고 있다.

[0004] 소비 전력을 억제하기 위해, 데이터 신호의 입출력이 행해지지 않는 기간에 있어서 신호 처리 장치에의 전원의 공급을 일시적으로 정지한다는 방법이 제안되어 있다(예를 들어, 특허문헌 1 참조). 특허문헌 1의 방법에서는, 레지스터, 캐시 메모리 등의 휘발성 기억 회로의 주변에 불휘발성의 기억 회로를 배치하고, 상기 데이터 신호를 그의 불휘발성의 기억 회로에 일시적으로 기억시킨다. 이와 같이 해서, 신호 처리 장치에 있어서 전원의 공급을 정지하는 사이에도, 레지스터, 캐시 메모리 등은 데이터 신호를 유지한다.

[0005] 또한, 신호 처리 장치에 있어서 장시간의 전원의 공급 정지를 행할 때에는, 전원의 공급 정지 전에, 휘발성 기억 회로 내의 데이터 신호를 하드 디스크, 플래시 메모리 등의 외부 기억 회로에 옮김으로써, 데이터 신호의 소실을 방지할 수도 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 평10-078836호 공보

발명의 내용

해결하려는 과제

[0007] 신호 처리 장치에 있어서 전원의 공급을 정지하는 사이, 휘발성 기억 회로의 주변에 배치한 불휘발성의 기억 회로에 휘발성 기억 회로의 데이터 신호를 기억시키는 방법으로는, 이들의 불휘발성의 기억 회로로서 주로 자기 소자나 강유전체가 사용되고 있기 때문에, 신호 처리 장치의 제작 공정이 복잡하다.

[0008] 또한, 신호 처리 장치에 있어서 전원의 공급을 정지하는 사이, 외부 기억 회로에 휘발성 기억 회로의 데이터 신호를 기억시키는 방법으로는, 외부 기억 회로로부터 휘발성 기억 회로에 데이터 신호를 복귀시키는 데에는 시간을 필요로 한다. 따라서, 외부 기억 회로에 의한 데이터 신호의 백업은, 소비 전력의 저감을 목적으로 한 단시간의 전원 정지에는 적합하지 않다.

[0009] 상술한 과제를 감안하여, 본 발명의 한 형태는, 복잡한 제작 공정을 필요로 하지 않고, 소비 전력을 억제할 수 있는 신호 처리 장치의 제공을 목적 중 하나로 한다. 특히, 단시간의 전원 정지에 의해 소비 전력을 억제할 수 있는 신호 처리 장치의 제공을 목적 중 하나로 한다.

과제의 해결 수단

[0010] 본 발명의 한 형태는, 기억 회로에 전원이 공급되지 않는 사이에는, 휘발성의 메모리에 상당하는 기억부에 기억되어 있었던 데이터 신호를, 불휘발성 메모리에 상당하는 기억부에 설치된 용량 소자에 의해 유지하는 기억 회로다. 불휘발성 기억부에서는, 산화물 반도체층에 채널이 형성되는 트랜지스터를 사용함으로써, 용량 소자에 유지된 신호는 장기간에 걸쳐 유지할 수 있다. 이와 같이 해서, 기억 회로는 전원의 공급이 정지한 사이에도 논리 상태(데이터 신호)를 유지하는 것이 가능하다. 또한 산화물 반도체층에 채널이 형성되는 트랜지스터의 게이트에 인가하는 전위를, 전원 전위를 공급하는 배선과 상기 트랜지스터의 게이트 사이에 설치된 승압 회로에 의해 높게 함으로써, 1개의 전원 전위여도 오동작 없이 데이터 신호의 유지를 행하는 것이 가능하다.

[0011] 본 발명의 한 형태는, 휘발성 기억부와, 불휘발성 기억부를 가지며, 불휘발성 기억부는, 산화물 반도체를 갖는 반도체층에 채널이 형성되는 제1 트랜지스터와, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽 전극이 게이트에 전기적으로 접속된 제2 트랜지스터를 갖고, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽 전극과, 제2 트랜지스터의 게이트 사이에는, 휘발성 기억부를 비동작으로 할 때에 휘발성 기억부로부터 출력된 데이터 신호가 유지되고, 제1 트랜지스터의 게이트와 전원 전위를 공급하는 배선 사이에는, 제1 트랜지스터의 게이트에 인가하는 전압을 높게 하기 위한 승압 회로가 형성되어 있는 신호 처리 장치의 기억 회로다.

[0012] 본 발명의 한 형태는, 휘발성 기억부와, 불휘발성 기억부를 가지며, 불휘발성 기억부는, 산화물 반도체를 갖는 반도체층에 채널이 형성되는 제1 트랜지스터와, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽 전극이 게이트에 전기적으로 접속된 제2 트랜지스터와, 제1 트랜지스터의 소스 또는 드레인의 다른쪽 전극이 소스 또는 드레인의 한쪽 전극에 전기적으로 접속되고, 기입 제어 신호에 의해 도통 상태 또는 비도통 상태가 제어되는 제3 트랜지스터와, 제1 트랜지스터의 게이트를 전기적으로 부유 상태로 하기 위한 제어를 하는 제4 트랜지스터를 갖고, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽 전극과, 제2 트랜지스터의 게이트 사이에는, 휘발성 기억부를 비동작으로 할 때에 휘발성 기억부로부터 출력된 데이터 신호가 유지되고, 제1 트랜지스터의 게이트와 전원 전위를 공급하는 배선 사이에는, 제1 트랜지스터의 게이트에 인가하는 전압을 높게 하기 위한 승압 회로가 형성되어 있는 신호 처리 장치의 기억 회로다.

[0013] 본 발명의 한 형태는, 휘발성 기억부와, 불휘발성 기억부를 가지며, 불휘발성 기억부는, 산화물 반도체를 갖는 반도체층에 채널이 형성되는 제1 트랜지스터와, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽 전극이 게이트에 전기적으로 접속된 제2 트랜지스터와, 제1 트랜지스터의 소스 또는 드레인의 다른쪽 전극이 소스 또는 드레인의 한쪽 전극에 전기적으로 접속되고, 기입 제어 신호에 의해 도통 상태 또는 비도통 상태가 제어되는 제3 트랜지스터와, 제1 트랜지스터의 게이트를 전기적으로 부유 상태로 하기 위한 제어를 하는 제4 트랜지스터를 갖고, 제1 트랜지스터의 소스 또는 드레인 중 어느 한쪽과, 제2 트랜지스터의 게이트 사이에는, 휘발성 기억부를

비동작으로 할 때에 휘발성 기억부로부터 출력된 데이터 신호가 유지되고, 데이터 신호의 유지는, 데이터 신호의 논리를 반전하는 제1 위상 반전 회로(phase inverter)를 통해 행해지며, 데이터 신호의 출력은 유지된 데이터 신호의 논리를 반전하는 제2 위상 반전 회로를 통해 행해지고, 제1 트랜지스터의 게이트와 전원 전위를 공급하는 배선 사이에는, 제1 트랜지스터의 게이트에 인가하는 전압을 높게 하기 위한 승압 회로가 형성되어 있는 신호 처리 장치의 기억 회로다.

- [0014] 본 발명의 한 형태에 있어서, 제1 위상 반전 회로 및 제2 위상 반전 회로는, p 채널형 트랜지스터 및 n 채널형 트랜지스터를 갖는 신호 처리 장치의 기억 회로여도 좋다.
- [0015] 본 발명의 한 형태에 있어서, 제2 트랜지스터는, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터인 신호 처리 장치의 기억 회로여도 좋다.
- [0016] 본 발명의 한 형태에 있어서, 제2 트랜지스터는, 제1 트랜지스터와 적층해서 형성되는 신호 처리 장치의 기억 회로여도 좋다.
- [0017] 본 발명의 한 형태에 있어서, 승압 회로는 게이트와 소스 및 드레인의 한쪽이 전기적으로 접속된 승압용 트랜지스터를 갖고, 승압용 트랜지스터와 제4 트랜지스터에 의해 제1 트랜지스터의 게이트를 전기적으로 부유 상태로 해서 부트스트랩법에 의한 승압을 행하는 신호 처리 장치의 기억 회로여도 좋다.

발명의 효과

- [0018] 본 발명의 한 형태에 의해, 복잡한 제작 공정을 필요로 하지 않고, 소비 전력을 억제할 수 있는 신호 처리 장치를 제공할 수 있다. 특히 본 발명의 한 형태에 의해, 단시간의 전원 정지에 의해 소비 전력을 억제할 수 있는 신호 처리 장치를 제공할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 기억 회로의 회로도.
- 도 2는 불휘발성 기억부의 회로도.
- 도 3은 불휘발성 기억부의 회로도.
- 도 4는 기억 회로의 동작을 나타내는 타이밍 차트.
- 도 5는 불휘발성 기억부의 동작을 설명하는 회로도.
- 도 6은 불휘발성 기억부의 동작을 설명하는 회로도.
- 도 7은 불휘발성 기억부의 동작을 설명하는 회로도.
- 도 8은 불휘발성 기억부의 동작을 설명하는 회로도.
- 도 9는 기억 회로의 구성을 도시하는 도면.
- 도 10은 신호 처리 장치의 블록도.
- 도 11은 기억 회로를 사용한 CPU의 블록도.
- 도 12는 기억 회로의 제작 공정을 도시하는 도면.
- 도 13은 기억 회로의 제작 공정을 도시하는 도면.
- 도 14는 기억 회로의 제작 공정을 도시하는 도면.
- 도 15는 기억 회로의 구성을 도시하는 단면도.
- 도 16은 산화물 반도체층에 채널이 형성되는 트랜지스터의 구성을 도시하는 단면도.
- 도 17은 기억 회로의 구성을 도시하는 단면도.
- 도 18은 기억 회로의 구성을 도시하는 단면도.
- 도 19는 휴대용 전자 기기의 블록도.

- 도 20은 기억 회로의 블록도.
- 도 21은 전자 서적의 블록도.
- 도 22는 산화물 반도체의 일례.
- 도 23은 산화물 반도체의 일례.
- 도 24는 산화물 반도체의 일례.
- 도 25는 게이트 전압과 전계 효과 이동도의 관계.
- 도 26은 게이트 전압과 드레인 전류의 관계.
- 도 27은 게이트 전압과 드레인 전류의 관계.
- 도 28은 게이트 전압과 드레인 전류의 관계.
- 도 29는 트랜지스터의 특성.
- 도 30은 트랜지스터의 특성.
- 도 31은 트랜지스터의 특성.
- 도 32는 트랜지스터의 오프 전류의 온도 의존성.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시 형태 및 실시예에 대해서 도면을 참조하면서 설명한다. 단, 본 발명의 구성은 많은 상이한 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그의 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서 본 실시 형태 및 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 사이에서 공통으로 한다.
- [0021] 또한, 각 실시 형태의 도면 등에서 나타내는 각 구성의 크기, 층의 두께, 신호 파형, 또는 영역은, 명료화를 위해서 과장되어 표기하고 있는 경우가 있다. 따라서, 반드시 그의 스케일에 한정되지 않는다.
- [0022] 또한, A와 B가 접속되어 있다고 명시적으로 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다.
- [0023] 또한 본 명세서에서 사용하는 제1, 제2, 제3 내지 제N(N은 자연수)이라는 용어는, 구성 요소의 혼동을 피하기 위해서 부여한 것으로, 수적으로 한정하는 것은 아님을 부기한다.
- [0024] (실시 형태 1)
- [0025] 신호 처리 장치는 기억 회로를 갖는다. 기억 회로는 단수 또는 복수 형성되는 기억 회로에 의해 1비트 또는 복수 비트의 데이터 신호를 기억할 수 있다. 본 실시 형태에서는, 신호 처리 장치에 있어서의 기억 회로의 구성에 대해서 설명한다.
- [0026] 또한, CPU, 마이크로프로세서, 화상 처리 회로, DSP(Digital Signal Processor), FPGA(Field Programmable Gate Array) 등의 LSI(Large Scale Integrated Circuit) 등이 신호 처리 장치의 범주에 포함된다.
- [0027] 도 1의 (a)에 기억 회로의 블록도의 일례를 나타낸다. 도 1의 (a)에 나타내는 기억 회로(100)는, 크게 나누어 휘발성 기억부(101) 및 불휘발성 기억부(102)를 갖는다. 또한 휘발성 기억부(101)에 있어서의 입력 단자측에는, 셀렉터 회로(103)를 갖는다.
- [0028] 휘발성 기억부(101)는, 일례로서, 클록 동기형의 리셋 플립플롭 회로를 갖는다. 또한, 휘발성 기억부(101)가 갖는 플립플롭 회로는, 다른 종류의 플립플롭 회로여도 좋다. 휘발성 기억부(101)는 전원이 공급되어 있는 기간만 데이터 신호를 유지한다.
- [0029] 도 1의 (a)에서는, 휘발성 기억부(101)에 입력되는 신호를 나타내고 있다. 도 1의 (a)에서는, 일례로서, 주로 고전원 전위 VDD를 공급하는 전원 전위 Vx, 제1 데이터 신호 D1 또는 제2 데이터 신호 D2에 의한 데이터 신호 D, 클록 신호 CLK, 휘발성 기억부(101)의 기억 상태를 초기화하기 위한 리셋 신호 RESET을 나타내고 있다.

- [0030] 도 1의 (a)에서는, 휘발성 기억부(101)로부터 출력되는 신호를 나타내고 있다. 도 1의 (a)에서는, 일례로서, 출력 신호 Q를 나타내고 있다.
- [0031] 또한 도 1의 (a)에서는, 특별히 도시하고 있지 않으나 휘발성 기억부(101)에는, 고전원 전위 VDD를 공급하는 전원 전위 Vx에 대응하여, 저전원 전위 VSS가 되는 접지 전위 GND가 공급된다.
- [0032] 불휘발성 기억부(102)는, 채널이 산화물 반도체층에 형성되는 트랜지스터를 갖는다. 불휘발성 기억부(102)는, 당해 트랜지스터를 사용해서 전하의 유지를 실현함으로써, 전원의 공급이 없어도 데이터 신호의 유지를 가능하게 하는 것이다. 따라서 불휘발성 기억부(102)는, 휘발성 기억부(101)와 달리, 전원의 공급이 없어도 데이터 신호를 유지할 수 있다.
- [0033] 도 1의 (a)에서는, 불휘발성 기억부(102)에 입력되는 신호를 나타내고 있다. 도 1의 (a)에서는, 일례로서, 주로 고전원 전위 VDD를 공급하는 전원 전위 Vx, 휘발성 기억부(101)의 출력 신호 Q와 동일한 신호가 되는 입력 신호 IN, 불휘발성 기억부(102) 내에서의 데이터 신호의 전송의 제어를 하는 제1 제어 신호 EN, 전원의 공급 또는 정지 상태에 따른 제어를 하는 제2 제어 신호 RD를 나타내고 있다.
- [0034] 도 1의 (a)에서는, 불휘발성 기억부(102)로부터 출력되는 신호를 나타내고 있다. 도 1의 (a)에서는, 일례로서, 출력 신호 OUT을 나타내고 있다.
- [0035] 또한 도 1의 (a)에서는, 특별히 도시하고 있지 않으나 불휘발성 기억부(102)에는, 고전원 전위가 되는 전원 전위 Vx에 대응하여, 저전원 전위 VSS가 되는 접지 전위 GND가 공급된다.
- [0036] 셀렉터 회로(103)는, 제2 제어 신호 RD에 따라, 제1 데이터 신호 D1 또는 제2 데이터 신호 D2를 선택하여, 휘발성 기억부(101)에 공급시키는 것이다. 또한 제2 제어 신호 RD는, 전원의 공급이 있을 때, 제1 데이터 신호 D1을 선택하여, 휘발성 기억부(101)에 공급시키는 신호다. 또한 제2 제어 신호 RD는, 전원의 공급이 정지 상태에서부터 복귀할 때, 제2 데이터 신호 D2를 선택하여, 휘발성 기억부(101)에 공급시키는 신호다.
- [0037] 도 1의 (b)에, 일례로서, 불휘발성 기억부(102)의 회로도도를 나타낸다. 불휘발성 기억부(102)는, 기억 회로(111), 승압 회로(112)(부트스트랩 회로라고도 함), 제1 스위치 회로(113), 제2 스위치 회로(114), 제1 위상 반전 회로(115) 및 제2 위상 반전 회로(116)를 갖는다. 도 2에서는, 도 1의 (b)의 각 회로에 대해서 상세하게 설명한다.
- [0038] 도 1의 (b)에 나타내는 기억 회로(111)는, 도 2에 있어서의 제1 트랜지스터(121), 제2 트랜지스터(122) 및 제1 용량 소자(123)를 갖는다. 제1 트랜지스터(121)의 소스 및 드레인의 한쪽 전극은, 제2 트랜지스터(122)의 게이트에 접속되어 있다. 제1 트랜지스터(121)의 소스 및 드레인의 한쪽 전극은, 제1 용량 소자(123)의 한쪽 전극에 접속되어 있다. 또한 제1 트랜지스터(121), 제2 트랜지스터(122) 및 제1 용량 소자(123)가 접속된 노드는, 이하의 설명에 있어서, 도 2에 도시한 바와 같이 "HOLD"라 칭한다.
- [0039] 제1 트랜지스터(121)는, 산화물 반도체층에 채널이 형성되는 트랜지스터다. 또한 도면에 있어서, 제1 트랜지스터(121)는 산화물 반도체층에 채널이 형성되는 트랜지스터인 것을 나타내기 위해, OS의 부호를 부여하고 있다.
- [0040] 도 2에 도시하는 제2 트랜지스터(122)는, 스위치로서 기능하는 소자다. 도 2에서는, 일도전형(예를 들어, n 채널형)의 트랜지스터를 사용해서 구성된 예를 나타낸다. 여기서 말하는 스위치란, 스위치의 한쪽 단자가 트랜지스터의 소스 및 드레인의 한쪽에 대응하고, 스위치의 다른쪽 단자가 트랜지스터의 소스 및 드레인의 다른쪽에 대응한다. 또한 스위치의 도통 또는 비도통은, 트랜지스터의 게이트에 인가되는 제어 신호에 의해 선택된다. n 채널형의 트랜지스터인 제2 트랜지스터(122)가 스위치로서 기능하는 경우, 고전원 전위(VDD, H 신호, H로 표현됨)에 의해 도통 상태, 저전원 전위(VSS, L 신호, L로 표현됨)에 의해 비도통 상태가 선택된다. 또한 스위치는, n 채널형 트랜지스터와 p 채널형 트랜지스터를 조합해서 사용해도 좋다. 이 경우 스위치는 아날로그 스위치로 할 수 있다.
- [0041] 또한, 제1 용량 소자(123)는, 제2 트랜지스터(122)의 게이트와 제1 트랜지스터(121)의 소스 및 드레인의 다른쪽 전극으로 형성되는 용량 등을 적극적으로 이용함으로써, 생략하는 것도 가능하다.
- [0042] 도 1의 (b)에 나타내는 승압 회로(112)는, 도 2에 있어서의 제1 트랜지스터(121)와, 다이오드 접속된 승압용 트랜지스터(124)와, 제2 용량 소자(125)를 갖는 회로다. 승압용 트랜지스터(124)의 게이트 및 소스 및 드레인의 한쪽 전극은, 전원 전위 Vx를 공급하기 위한 배선에 접속되어 있다. 또한 승압용 트랜지스터(124)의 소스 및 드레인의 다른쪽 전극은, 제2 용량 소자(125)의 한쪽 전극에 접속되어 있다. 또한 승압용 트랜지스터(124)의 소스 및 드레인의 다른쪽 전극은, 제1 트랜지스터(121)의 게이트에 접속되어 있다. 또한 제1 트랜지스터(121),

승압용 트랜지스터(124) 및 제2 용량 소자(125)가 접속된 노드는, 이하의 설명에 있어서, 도 2에 도시한 바와 같이 "SE"라 칭한다.

- [0043] 승압용 트랜지스터(124)는, 게이트와 드레인이 되는 전극이 단락시킨 다이오드 접속의 트랜지스터이면 좋다. 또한 본 실시 형태에서 설명하는 바와 같이, 승압용 트랜지스터(124)가 n 채널형의 트랜지스터인 경우, 승압용 트랜지스터(124)를 통해 공급되는 전위는, 승압용 트랜지스터(124)의 임계값 전압만큼 작은 전위가 된다. 또한 승압용 트랜지스터(124)는, 노드 SE에의 전류 공급 능력을 높이기 위해, 제2 스위치 회로(114)가 갖는 트랜지스터보다도 채널 폭이 커지도록 미리 설정해 두는 것이 바람직하다.
- [0044] 또한, 제2 용량 소자(125)는, 제1 트랜지스터(121)의 게이트 용량 등을 적극적으로 이용함으로써 생략하는 것도 가능하다.
- [0045] 또한 노드 SE는, 제1 트랜지스터(121)의 게이트와 전원 전위 V_x 를 공급하기 위한 배선 사이에 승압 회로를 설치함으로써, 전원 전위 V_x 를 공급하기 위한 배선보다 공급되는 전위를 승압할 수 있다. 구체적으로는 노드 SE를 부유 상태로 하고, 제2 용량 소자(125)의 다른쪽 전극의 전위를 상승시키는 부트스트랩법을 행한다. 그 결과, 제2 용량 소자(125)가 용량 결합하여, 노드 SE의 전위는 승압된다.
- [0046] 도 1의 (b)의 구성은, 승압 회로에 의해, 불휘발성 기억부(102)를 복수의 전위의 전원선에 의한 동작으로 하지 않고, 노드 SE를 승압할 수 있다. 이 때문에 제1 트랜지스터(121)는, 선형 영역에서의 동작으로 할 수 있다. 그로 인해, 기억 회로(111)의 노드 HOLD로 유지하는 전위는, 확실하게 제2 트랜지스터(122)의 도통 또는 비도통을 제어할 수 있을 만큼의 높은 전위로 할 수 있다.
- [0047] 도 1의 (b)에 나타내는 제1 스위치 회로(113)는, 도 2에 있어서의 제3 트랜지스터(126)를 갖는 회로다. 제3 트랜지스터(126)의 소스 및 드레인의 한쪽 전극은, 제1 트랜지스터(121)의 소스 및 드레인의 다른쪽 전극에 접속되어 있다. 제3 트랜지스터(126)의 게이트는, 제1 제어 신호 EN을 공급하기 위한 배선에 접속되어 있다.
- [0048] 도 1의 (b)에 나타내는 제2 스위치 회로(114)는, 도 2에 있어서의 제4 트랜지스터(127) 및 제5 트랜지스터(128)를 갖는 회로다. 제4 트랜지스터(127)의 소스 및 드레인의 한쪽 전극은, 제5 트랜지스터(128)의 소스 및 드레인의 한쪽 전극에 접속되어 있다. 제4 트랜지스터(127)의 소스 및 드레인의 다른쪽 전극은, 접지 전위가 공급되는 배선에 접속되어 있다. 제4 트랜지스터(127)의 게이트는, 입력 신호 IN을 공급하기 위한 배선에 접속되어 있다. 제5 트랜지스터(128)의 소스 및 드레인의 다른쪽 전극은, 승압용 트랜지스터(124)의 소스 및 드레인의 다른쪽 전극에 접속되어 있다. 제5 트랜지스터(128)의 게이트는, 제1 제어 신호 EN을 공급하기 위한 배선에 접속되어 있다.
- [0049] 도 1의 (b)에 나타내는 제1 위상 반전 회로(115)는, 도 2에 있어서의 제6 트랜지스터(129) 및 제7 트랜지스터(130)를 갖는 회로다. 제6 트랜지스터(129)의 소스 및 드레인의 한쪽 전극은, 전원 전위 V_x 를 공급하기 위한 배선에 접속되어 있다. 제6 트랜지스터(129)의 게이트는, 입력 신호 IN을 공급하기 위한 배선에 접속되어 있다. 제6 트랜지스터(129)의 소스 및 드레인의 다른쪽 전극은, 제7 트랜지스터(130)의 소스 및 드레인의 한쪽 전극에 접속되어 있다. 또한 제7 트랜지스터(130)의 게이트는, 입력 신호 IN을 공급하기 위한 배선에 접속되어 있다. 제7 트랜지스터(130)의 소스 및 드레인의 다른쪽 전극은, 접지 전위가 공급되는 배선에 접속되어 있다. 또한 제6 트랜지스터(129) 및 제7 트랜지스터(130)가 접속된 노드는, 이하의 설명에 있어서, 도 2에 도시한 바와 같이 "INV"라 칭한다.
- [0050] 도 2에 도시하는 제6 트랜지스터(129)는, 스위치로서 기능하는 소자다. 제6 트랜지스터(129)는, 일례로서, 일도전형(예를 들어, p 채널형)의 트랜지스터를 사용해서 구성된다. 또한 도 2에 도시하는 제7 트랜지스터(130)는, 스위치로서 기능하는 소자다. 제7 트랜지스터(130)는, 일례로서, 일도전형(예를 들어, n 채널형)의 트랜지스터를 사용해서 구성된다. 또한 제6 트랜지스터(129) 및 제7 트랜지스터(130)는, 교대로 도통 또는 비도통이 제어되도록, 상이한 도전형의 트랜지스터로 한다. 즉 제1 위상 반전 회로(115)는, 입력 신호 IN의 논리 상태를 반전해서 노드 INV에 출력하기 위한 회로가 된다.
- [0051] 도 1의 (b)에 나타내는 제2 위상 반전 회로(116)는, 도 2에 있어서의 제8 트랜지스터(131) 및 제9 트랜지스터(132)를 갖는 회로다. 제8 트랜지스터(131)의 소스 및 드레인의 한쪽 전극은, 전원 전위 V_x 를 공급하기 위한 배선에 접속되어 있다. 제8 트랜지스터(131)의 게이트는, 제2 제어 신호 RD를 공급하기 위한 배선에 접속되어 있다. 제8 트랜지스터(131)의 소스 및 드레인의 다른쪽 전극은, 제9 트랜지스터(132)의 소스 및 드레인의 한쪽 전극에 접속되어 있다. 또한 제9 트랜지스터(132)의 게이트는, 제2 제어 신호 RD를 공급하기 위한 배선에 접속되어 있다. 제9 트랜지스터(132)의 소스 및 드레인의 다른쪽 전극은, 제2 트랜지스터(122)의 소스 및 드레인의

한쪽 전극에 접속되어 있다. 또한 제2 트랜지스터(122)의 소스 및 드레인의 다른쪽 전극은, 접지 전위가 공급되는 배선에 접속되어 있다. 또한 제8 트랜지스터(131) 및 제9 트랜지스터(132)가 접속된 노드로부터는, 불휘발성 기억부(102)의 출력 신호 OUT이 출력된다.

[0052] 도 2에 도시하는 제8 트랜지스터(131)는, 스위치로서 기능하는 소자다. 제8 트랜지스터(131)는, 일례로서, 일도전형(예를 들어, p 채널형)의 트랜지스터를 사용해서 구성된다. 또한 도 2에 도시하는 제9 트랜지스터(132)는, 스위치로서 기능하는 소자다. 제9 트랜지스터(132)는, 일례로서, 일도전형(예를 들어, n 채널형)의 트랜지스터를 사용해서 구성된다. 또한 제8 트랜지스터(131) 및 제9 트랜지스터(132)는, 교대로 도통 또는 비도통이 제어되도록, 상이한 도전형의 트랜지스터로 한다. 즉 제2 위상 반전 회로(116)는, 제2 제어 신호 RD의 논리 상태에 따라, 노드 HOLD의 논리 상태를 반전해서 출력 신호 OUT으로서 출력하기 위한 회로다. 구체적으로는, 제2 제어 신호 RD의 논리 상태가 L일 때, 노드 HOLD의 논리 상태가 H 또는 L을 유지하고 있는 상태에 관계없이, H 신호를 출력 신호 OUT으로서 출력한다. 또한 제2 제어 신호 RD의 논리 상태가 H일 때, 노드 HOLD의 논리 상태가 H를 유지하고 있는 경우, L 신호를 출력 신호 OUT으로서 출력한다. 또한 제2 제어 신호 RD의 논리 상태가 L일 때, 노드 HOLD의 논리 상태가 L을 유지하고 있는 경우, 앞의 상태를 유지하는 것에 의한 H 신호를 출력 신호 OUT으로서 출력한다.

[0053] 또한, 불휘발성 기억부(102)는, 제1 용량 소자(123)에 의해 유지된 신호의 전위가, 제2 트랜지스터(122)의 게이트에 인가되는 구성으로 하고 있다. 이 때문에 제1 용량 소자(123)에 의해 유지된 신호는, 기억 회로(100)에의 전원의 공급이 재개된 후, 제9 트랜지스터(132)의 도통 상태로 변환하여, 불휘발성 기억부(102)로부터 관독할 수 있다. 그로 인해, 제1 용량 소자(123)에 유지된 신호에 대응하는 전위가 다소 변동하고 있어도, 원래의 신호를 정확하게 관독하는 것이 가능하다.

[0054] 상술한 도 1의 (b)에 나타내는 제1 위상 반전 회로(115) 및 제2 위상 반전 회로(116)는, 전원 전위 Vx에 고전원 전위 VDD가 공급되어 있는 기간만, 입력된 신호에 대응한 위상 반전 신호를 출력할 수 있다.

[0055] 도 2에 있어서, 불휘발성 기억부(102)에 사용되는 트랜지스터 중, 제1 트랜지스터(121) 이외의 트랜지스터는, 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 불휘발성 기억부(102)는, 제1 트랜지스터(121) 이외에도, 채널이 산화물 반도체층에 형성되는 트랜지스터를 포함하고 있어도 좋고, 나머지의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0056] 산화물 반도체층으로는, 적어도 In, Ga, Sn 및 Zn으로부터 선택된 1종 이상의 원소를 함유한다. 예를 들어, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속의 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-Ga-O계의 재료, 일원계 금속의 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 In과 Ga과 Sn과 Zn 이외의 원소, 예를 들어 SiO₂를 포함시켜도 좋다.

[0057] 예를 들어, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체라는 의미이며, 그의 조성비는 관계없다.

[0058] 또한, 산화물 반도체층은, 화학식 InMO₃(ZnO)_m(m>0)으로 표기되는 박막을 사용할 수 있다. 여기서, M은 Zn, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서, Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등이 있다.

[0059] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성비는, 원자수비로 In:Zn=50:1 내지 1:2(몰수비로 환산하면 In₂O₃:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In₂O₃:ZnO=10:1 내지 1:2), 더욱 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 In₂O₃:ZnO=3:4 내지 15:2)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타깃은, 원자수비가 In:Zn:O=X:Y:Z일 때, Z>1.5X+Y로 한다.

[0060] 산화물 반도체층 내의 수소를 절체하게 배제함으로써 고순도화된 산화물 반도체층에 채널이 형성되는 트랜지스

터는, 그의 오프 전류 밀도를 $100\text{zA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{zA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1\text{zA}/\mu\text{m}$ 이하로 할 수 있다. 따라서, 이 오프 전류가, 결정성을 갖는 실리콘을 사용한 트랜지스터의 오프 전류와 비교하여 현저히 낮다. 그 결과, 제1 트랜지스터(121)가 오프 상태일 때, 노드 HOLD의 전위, 즉 제2 트랜지스터(122)의 게이트의 전위를 장기간에 걸쳐 유지할 수 있다.

[0061] 또한 본 명세서에서 설명하는 오프 전류란, 박막 트랜지스터가 오프 상태(비도통 상태라고도 함)일 때에, 소스와 드레인 사이에 흘러드는 전류를 말한다. n 채널형의 박막 트랜지스터(예를 들어, 임계값 전압이 0 내지 2V 정도)에서는, 게이트와 소스 사이에 인가되는 전압이 음의 전압인 경우에, 소스와 드레인 사이를 흐르는 전류를 말한다.

[0062] 또한, 상기에 있어서, 산화물 반도체 재료 대신에 산화물 반도체 재료와 동등한 오프 전류 특성을 실현할 수 있는 재료, 예를 들어 탄화실리콘을 비롯한 와이드 밴드 갭 재료(보다 구체적으로는, 예를 들어 에너지 갭 E_g 가 3eV보다 큰 반도체 재료) 등을 적용해도 좋다.

[0063] 또한 도 2에 도시하는 제2 스위치 회로(114)를 구성하는 제5 트랜지스터(128)는, 전원 전위 V_x 를 공급하기 위한 배선과 접지 전위가 공급되는 배선 사이를 전류가 흐름으로써 증가해버리는 소비 전력을 저감시키기 위해 형성되어 있다. 그로 인해, 도 2에 도시하는 불휘발성 기억부(102)의 회로 구성에 있어서, 제5 트랜지스터(128)를 생략한 회로 구성으로 하는 것도 가능하다. 도 3에는, 제5 트랜지스터(128)를 생략한, 불휘발성 기억부(102)의 회로 구성을 나타내고 있다.

[0064] 이상이 기억 회로(100)의 구성의 설명이다.

[0065] 계속해서, 소비 전력의 저감을 목적으로, 데이터 신호의 유지시에 전원의 공급을 정지하고 다시 전원을 공급하는 경우, 기억 회로(100)의 구동 방법에 대해서 설명한다. 도 4에는 타이밍 차트도를 나타내고, 당해 타이밍 차트도를 참조하여 설명한다. 도 4의 타이밍 차트도에 있어서, V_x , GND, RESET, CLK, D1, IN(Q), D2(OUT), EN 및 RD는, 도 1의 (a), (b)에 나타낸 입출력 신호에 대응한다. 또한 도 4에 도시하는 타이밍 차트도에서는, 기억 회로(100)가 취할 수 있는 복수의 상태에 대해서 설명하기 위해, 기간(1) 내지 기간(6)의 복수의 기간으로 나누어서 나타내고 있다. 도 5 내지 도 8에서는, 도 4에 있어서의 기간(1) 내지 기간(6)에서의 각 트랜지스터의 도통 또는 비도통의 상태 및 입출력 신호의 전위에 관한 모식도를 나타낸다. 이하에서는, 도 4에 있어서의 기간(1) 내지 기간(6)의 설명을, 도 5 내지 도 8에 맞춰 설명하기로 한다.

[0066] 또한 도 5 내지 도 8에서는, 각 트랜지스터의 비도통의 상태를 "×" 표시로, 트랜지스터의 도통에 수반하는 전류의 흐름을 점선 화살표로 각각 가시화해서 나타내고 있다. 또한 도 5 내지 도 8에서는, 상술한 노드 INV, 노드 SE 및 노드 HOLD의 각 전위에 대해서, 도면 중에서 나타내고 있다.

[0067] 또한, 이하에 나타내는 구동 방법에서는, 각 트랜지스터의 도전형을 도 2에 도시한 구성으로서 설명한다. 또한 본 발명의 구동 방법은 이것으로 한정되지 않으며, 각 트랜지스터의 도통 상태가 동일하게 동작이 되면, 적절히 각 트랜지스터의 도전성 및 각 제어 신호의 전위를 설정할 수 있다.

[0068] 또한 각 입출력 신호는 고전원 전위(VDD, H 신호, H로 표현됨) 및 저전원 전위(VSS, L 신호, L로 표현됨)로 표현할 수 있다. VSS는 예를 들어 접지 전위로 할 수 있다.

[0069] 우선 도 4 중 기간(1)의 동작에 대해서 설명한다. 기간(1)에서는, V_x 를 H 신호로 하고, V_x 로부터의 고전원 전위에 의해 전원이 기억 회로(100)에 공급되어 있다. 기억 회로(100)에서는, 제2 제어 신호 RD를 L 신호로 함으로써, 휘발성 기억부(101)가 제1 데이터 신호 D1의 유지를 한다. 도 4의 기간(1)에서는, 데이터 신호로서 L 신호를 유지하고 있고, 클럭 신호 CLK의 하강과 동기해서 데이터 A의 유지에 재기입하고, 클럭 신호 CLK의 상승에 동기해서 유지한 데이터 A를 출력하는 모습을 나타내고 있다. 또한 클럭 신호 CLK의 하강이란, H 신호로부터 L 신호로 전환되는 타이밍을 표현한다. 또한 클럭 신호 CLK의 상승이란, L 신호로부터 H 신호로 전환되는 타이밍을 표현한다. 또한 본 실시 형태에 있어서의 설명에서는, 동작의 일례를 설명하기 위해서 데이터 A를 L 신호로서 설명한다.

[0070] 기간(1)에서의 불휘발성 기억부(102)에서는, V_x 를 H 신호로 하고, 제1 제어 신호 EN 및 제2 제어 신호 RD를 L 신호로 하고, L 신호인 데이터 A가 입력된다. 그리고 불휘발성 기억부(102)에서는, 도 5에 도시한 바와 같이, 제3 트랜지스터(126), 제4 트랜지스터(127), 제5 트랜지스터(128), 제7 트랜지스터(130) 및 제9 트랜지스터(132)가 비도통 상태가 된다. 한편, 도 5에 도시한 바와 같이 승압용 트랜지스터(124), 제6 트랜지스터(129) 및 제8 트랜지스터(131)가 도통 상태가 된다. 승압용 트랜지스터(124)가 도통 상태가 됨으로써, 노드 SE의 전위는 상승한다. 그리고 노드 SE의 전위는, H 신호의 전위 H로부터 승압용 트랜지스터(124)의 임계값 전압만큼

작은 (H-Vth)가 된다. 또한 노드 SE의 전위가 (H-Vth)가 된 후, 승압용 트랜지스터(124)는 비도통 상태가 된다. 그 결과 제1 트랜지스터(121)는 도통 상태가 된다. 또한, 제6 트랜지스터(129)가 도통 상태가 됨으로써 노드 INV의 전위가 상승하고, 전위 H가 된다. 또한 노드 HOLD에는, 앞의 상태에 따라 상이한 논리 신호가 유지되고 있지만 본 실시 형태의 설명에서는 L 신호가 유지되는 것으로서 설명하고, 이 경우 제2 트랜지스터(122)는 비도통 상태가 된다. 또한, 제8 트랜지스터(131)가 도통 상태가 됨으로써 D2의 전위가 전위 H가 된다.

[0071] 이상 설명한 바와 같이 기간(1)에서는, 기억 회로(100)에 있어서의 휘발성 기억부(101)가 데이터 신호의 유지를 행하고, 불휘발성 기억부(102)는 기억 회로(100)에 있어서의 데이터 신호의 기억에 관여하지 않는 기간이 된다. 기간(1)의 동작을 통상 동작이라 칭한다.

[0072] 계속해서 도 4 중 기간(2)의 동작에 대해서 설명한다. 기간(2)에서는, Vx를 H 신호로 하고, Vx로부터의 고전원 전위에 의해 전원이 기억 회로(100)에 공급되어 있다. 기간(2)에서 제2 제어 신호 RD는 L 신호로 한다. 도 4의 기간(2)에서는, 데이터 신호로서 데이터 A의 다음에 새로운 데이터 신호가 공급되지 않는 모습을 나타내고 있다. 또한 클럭 신호 CLK는, 새로운 데이터 신호의 유지 및 출력을 행하지 않기 때문에, H 신호로 유지하고 있다.

[0073] 기간(2)에서의 불휘발성 기억부(102)에서는, Vx를 H 신호로 하고, 제1 제어 신호 EN을 H 신호로 하고, 제2 제어 신호 RD를 L 신호로 하고, L 신호인 데이터 A가 입력된다. 그리고 불휘발성 기억부(102)에서는, 도 6의 (a)에 도시한 바와 같이, 승압용 트랜지스터(124), 제4 트랜지스터(127), 제7 트랜지스터(130) 및 제9 트랜지스터(132)가 비도통 상태가 된다. 한편, 도 6의 (a)에 도시한 바와 같이 제3 트랜지스터(126), 제5 트랜지스터(128), 제6 트랜지스터(129) 및 제8 트랜지스터(131)가 도통 상태가 된다. 제3 트랜지스터(126)가 도통 상태가 됨으로써, 노드 INV의 전위가 제2 용량 소자(125)의 다른쪽 전극의 전위를 상승시킨다. 또한 제2 용량 소자(125)의 다른쪽 전극의 전위는, 제3 트랜지스터(126)의 임계값 전압만큼만, 노드 INV의 전위보다 작아진다. 그러나 제3 트랜지스터(126)의 임계값 전압은, 채널이 산화물 반도체층에 형성되는 제1 트랜지스터(121)의 임계값 전압보다도 작다. 따라서 제2 용량 소자(125)의 다른쪽 전극의 전위는, 노드 INV의 전위와 비교해서 그다지 변화가 없는 것으로 할 수 있다.

[0074] 제2 용량 소자(125)의 다른쪽 전극의 전위가 상승할 때, 노드 SE에서는 승압용 트랜지스터(124) 및 제4 트랜지스터(127)가 비도통 상태가 됨으로써, 부유 상태(플로팅 상태)이다. 그 결과, 제2 용량 소자(125)에 있어서, 승압 회로에 있어서의 부트스트랩법을 이용한 용량 결합에 의해 노드 SE의 전위(H-Vth)가 상승하여, 대략 (2H-Vth)가 된다. 그로 인해, 제1 트랜지스터(121)의 게이트의 전위를 높게 할 수 있으며, 그 결과로서 제1 트랜지스터(121)의 동작을 선형 영역에 의한 동작으로 할 수 있다. 그리고, 복수의 전위의 전원선에 의한 동작으로 하지 않고, 노드 HOLD로 유지하는 전위를 높은 전위의 상태로 유지할 수 있다.

[0075] 채널이 산화물 반도체층에 형성되는 제1 트랜지스터(121)의 임계값 전압은, 예를 들어 채널이 실리콘에 형성되는 다른 트랜지스터의 임계값 전압과 비교해서 크다. 따라서 제1 트랜지스터(121)의 게이트에 인가되는 전위가 작은 경우, 노드 HOLD로 유지하는 전위가 임계값 전압만큼 작아지는 것에 의한 영향이 크다고 할 수 있다. 이 때문에 제1 트랜지스터(121)의 동작을 선형 영역에 의한 동작으로 하는 것은, 제2 트랜지스터(122)의 게이트의 전위를 크게 할 수 있다는 효과를, 다른 트랜지스터와 비교해서 크게 어렵잡을 수 있다. 그 결과, 불휘발성 기억부(102)로 유지하는 데이터 신호의 논리상태를, 제2 트랜지스터(122)의 도통 상태 또는 비도통 상태로 할 때에 오동작이 없는 범위에서 확정시킬 수 있다. 또한 도 6의 (a)에서는, 노드 HOLD에 H 신호가 유지되고, 제2 트랜지스터(122)는 도통 상태가 된다. 제8 트랜지스터(131)는 도통 상태가 됨으로써, D2의 전위가 전위 H가 된다.

[0076] 또한 기간(2)에서는 승압 회로에 있어서의 부트스트랩법을 이용한 전원 전위의 승압보다 노드 SE의 전위를 상승시켜, 노드 HOLD에 H 신호를 유지시킨다. 이때, 노드 SE의 부유 상태를 유지하기 위한 승압용 트랜지스터(124) 및 제4 트랜지스터(127)의 오프 전류는, 산화물 반도체층을 갖는 제1 트랜지스터(121)의 오프 전류보다 크다. 그로 인해, 정상 상태에서는 노드 SE의 전위가 저하되고 있어, 결과적으로 노드 SE의 전위는 (H-Vth)가 된다. 그리고 도 6 (b)에 도시한 바와 같이 제1 트랜지스터(121)가, 노드 HOLD에 H 신호를 유지한 상태에서 비도통 상태가 된다.

[0077] 이상 설명한 바와 같이 기간(2)은, 기억 회로(100)에 있어서의 휘발성 기억부(101)의 데이터 신호를, 불휘발성 기억부(102)의 노드 HOLD에 유지시키는 기간이 된다. 기간(2)의 동작을 전원 공급 정지 전의 동작이라 칭한다.

[0078] 계속해서 도 4 중 기간(3)의 동작에 대해서 설명한다. 기간(3)에서는, Vx를 L 신호로 하고, 전원이 기억 회로

(100)에 공급되지 않도록 하고 있다. 도 4의 기간(3)에서는, 휘발성 기억부(101)에 전원이 공급되지 않아, 입력되는 제1 데이터 신호 D1, 제2 데이터 신호 D2가 소거된다(도 4 중, "X"로 표기). 또한 클럭 신호 CLK의 공급은, L 신호로 고정함으로써 휘발성 기억부(101)가 동작하지 않도록 하고 있다.

[0079] 기간(3)에서의 불휘발성 기억부(102)에서는, V_x 를 L 신호로 하고, 제1 제어 신호 EN 및 제2 제어 신호 RD를 L 신호로 하고, 입력 신호 IN인 데이터 A가 소거된다. 그리고 불휘발성 기억부(102)는, 도 7(A)에 도시한 바와 같이, 게이트에 H 신호를 유지하는 제2 트랜지스터(122)가 도통 상태, 다른 트랜지스터가 비도통 상태가 된다. 기억 회로(100)에의 전원의 공급이 정지한 후에도, 휘발성 기억부(101)에 유지되어 있었던 데이터 신호(여기서는 H 신호)가 노드 HOLD로 유지된다. 여기서 제1 트랜지스터(121)에는, 채널이 산화물 반도체층에 형성되는 트랜지스터를 사용하고 있다. 제1 트랜지스터(121)는 오프 전류가 매우 작기 때문에, 제1 용량 소자(123)에 의해 유지된 전위(노드 HOLD의 H 신호)를 장기간 유지할 수 있다. 이와 같이 해서, 기억 회로(100)는 전원의 공급이 정지한 후에도, 데이터 신호를 유지한다. 기간(3)은, 기억 회로(100)에의 전원의 공급이 정지하고 있는 기간에 대응한다.

[0080] 계속해서 도 4 중 기간(4)의 동작에 대해서 설명한다. 기간(4)에서는, V_x 를 H 신호로 하고, V_x 로부터의 고전원 전위에 의해 전원이 기억 회로(100)에 공급되어 있다. 기간(4)에서 제2 제어 신호 RD는 L 신호로 한다. 도 4의 기간(4)에서 클럭 신호 CLK는, 새로운 데이터 신호의 유지 및 출력을 행하지 않기 때문에, H 신호로 유지하고 있다. 따라서 데이터 신호가 공급되어도 휘발성 기억부(101)에 있어서의 데이터 신호의 유지 및 출력은 행해지지 않는다.

[0081] 기간(4)에서의 불휘발성 기억부(102)에서는, V_x 를 H 신호로 하고, 제1 제어 신호 EN 및 제2 제어 신호 RD를 L 신호로 하고, 입력 단자 IN보다 L 신호가 입력된다. 그리고 불휘발성 기억부(102)는, 도 7의 (b)에 도시한 바와 같이, 제3 트랜지스터(126), 제4 트랜지스터(127), 제5 트랜지스터(128), 제7 트랜지스터(130) 및 제9 트랜지스터(132)가 비도통 상태가 된다. 한편, 도 7의 (b)에 도시한 바와 같이 승압용 트랜지스터(124), 제6 트랜지스터(129) 및 제8 트랜지스터(131)가 도통 상태가 된다. 승압용 트랜지스터(124)가 도통 상태가 됨으로써 노드 SE의 전위는 상승한다. 노드 SE의 전위는, H 신호의 전위 H로부터 승압용 트랜지스터(124)의 임계값 전압만큼 작은 ($H-V_{th}$)가 된다. 또한 노드 SE의 전위가 ($H-V_{th}$)가 된 후, 승압용 트랜지스터(124)는 비도통 상태가 된다. 이때 노드 HOLD로 유지하는 데이터 신호가 H 신호인 경우, 제1 트랜지스터(121)는 비도통 상태가 된다. 또한, 제6 트랜지스터(129)가 도통 상태가 됨으로써 노드 INV의 전위는 상승하고, 곧 전위 H가 된다. 또한 도 7의 (b)에서는, 노드 HOLD로 H 신호가 유지되어, 제2 트랜지스터(122)는 도통 상태가 된다. 제8 트랜지스터(131)가 도통 상태가 됨으로써, D2의 전위가 전위 H가 된다.

[0082] 또한 기간(4)에서는 기억 회로(100)에의 전원의 공급을 재개한 후에도, 휘발성 기억부(101)에 유지되어 있었던 데이터 신호(여기서는 H 신호)가 노드 HOLD로 유지된다. 제1 트랜지스터(121)에는, 채널이 산화물 반도체층에 형성되는 트랜지스터를 사용하고 있다. 제1 트랜지스터(121)는 오프 전류가 매우 작기 때문에, 제1 용량 소자(123)에 의해 유지된 전위(노드 HOLD의 H 신호)를 장기간 유지할 수 있다. 기간(4)은, 전원 전압의 프리차지 기간에 대응한다. 상기 프리차지 동작을 행함으로써, 일단 전원 공급 재개 후에, 휘발성 기억부(101)가 원래의 데이터 신호를 다시 유지할 때까지의 시간을 짧게 할 수 있다.

[0083] 계속해서 도 4 중 기간(5)의 동작에 대해서 설명한다. 기간(5)에서는, V_x 를 H 신호로 하고, V_x 로부터의 고전원 전위에 의해 전원이 기억 회로(100)에 공급되어 있다. 기간(5)에서 제2 제어 신호 RD는 H 신호로 한다. 즉, 휘발성 기억부(101)에서 기억하는 데이터 신호에, 불휘발성 기억부(102)로부터의 출력 신호 OUT을 사용하도록, 셀렉터 회로(103)를 전환하는 동작을 하는 것이다. 도 4의 기간(5)에서 클럭 신호 CLK는, 새로운 데이터 신호의 유지 및 출력을 행하지 않기 때문에, H 신호로 유지하고 있다. 따라서 데이터 신호가 공급되어도 휘발성 기억부(101)에 있어서의 데이터 신호의 유지 및 출력은 행해지지 않는다.

[0084] 기간(5)에서의 불휘발성 기억부(102)에서는, V_x 를 H 신호로 하고, 제1 제어 신호 EN을 L 신호로 하고, 제2 제어 신호 RD를 H 신호로 하고, 입력 단자 IN보다 L 신호가 입력됨으로써, 도 8의 (a)에 도시한 바와 같이 승압용 트랜지스터(124), 제3 트랜지스터(126), 제4 트랜지스터(127), 제5 트랜지스터(128), 제7 트랜지스터(130), 제8 트랜지스터(131)가 비도통 상태가 된다. 한편, 도 8의 (a)에 도시한 바와 같이 제6 트랜지스터(129) 및 제9 트랜지스터(132)가 도통 상태가 된다. 또한 도 8의 (a)에서는, 노드 HOLD로 H 신호가 유지되고, 제2 트랜지스터(122)는 도통 상태가 된다. 그리고 제9 트랜지스터(132)와 맞춰 도통 상태가 됨으로써, D2의 전위가 기간(2)에서 유지한 데이터 신호의 논리 상태와 동일한 전위 L을 출력한다.

[0085] 이상 설명한 바와 같이 기간(5)에서는, 불휘발성 기억부(102)의 노드 HOLD로 유지한 데이터 신호를 휘발성 기억

부(101)의 데이터 신호로서 휘발성 기억부(101)에 리커버리시키는 기간이 된다. 기간(5)의 동작을 데이터 신호 리커버리의 동작이라 칭한다.

- [0086] 계속해서 도 4 중 기간(6)의 동작에 대해서 설명한다. 기간(6)에서는, 기간(1)과 동일한 통상 동작이며, V_x 를 H 신호로 하고, V_x 로부터의 고전원 전위에 의해 전원이 기억 회로(100)에 공급되어 있다. 기억 회로(100)에서는, 제2 제어 신호 RD를 L 신호로 함으로써, 휘발성 기억부(101)가 제1 데이터 신호 D1의 유지를 한다. 도 4의 기간(6)에서는, 데이터 신호로서 L 신호를 유지하고 있고, 클록 신호 CLK의 하강에 동기해서 데이터 A의 유지에 재가입하고, 클록 신호 CLK의 상승에 동기해서 유지한 데이터 A를 출력하는 모습을 나타내고 있다.
- [0087] 이상 설명한 바와 같이 기간(6)에서는, 기간(1)과 마찬가지로, 기억 회로(100)에 있어서의 휘발성 기억부(101)가 데이터 신호의 유지를 행하고, 불휘발성 기억부(102)는 기억 회로(100)에 있어서의 데이터 신호의 기억에 관여하지 않는 기간이 된다. 기간(6)의 동작은 기간(1)과 마찬가지로, 통상 동작이라 칭한다.
- [0088] 이상이 기억 회로의 구동 방법의 설명이다.
- [0089] 본 발명의 기억 회로에서는, 기억 회로(100)에 전원이 공급되지 않는 사이에는, 휘발성의 메모리에 상당하는 휘발성 기억부(101)에 기억되어 있던 데이터 신호를, 불휘발성 기억부(102)에 설치된 제1 용량 소자(123)에 의해 유지할 수 있다.
- [0090] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는, 오프 전류가 매우 작다. 예를 들어, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는, 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류와 비교하여 현저히 낮다. 그로 인해, 산화물 반도체층에 채널이 형성되는 트랜지스터를 제1 트랜지스터(121)로서 사용함으로써, 기억 회로(100)에 전원이 공급되지 않는 사이에도 제1 용량 소자(123)에 유지된 신호는 장기간에 걸쳐 유지된다. 이와 같이 해서, 기억 회로(100)는 전원의 공급이 정지한 사이에도 기억 내용(데이터 신호)을 유지하는 것이 가능하다.
- [0091] 이러한 기억 회로(100)를, 신호 처리 장치가 갖는 레지스터나 캐시 메모리 등의 기억 회로에 사용함으로써, 전원의 공급 정지에 의한 기억 회로 내의 데이터 신호의 소실을 방지할 수 있다. 또한, 전원의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 신호 처리 장치 전체, 혹은 신호 처리 장치를 구성하는 하나 또는 복수의 논리 회로에 있어서, 짧은 시간에도 전원 정지를 행할 수 있다. 그로 인해, 소비 전력을 억제할 수 있는 신호 처리 장치, 소비 전력을 억제할 수 있는 당해 신호 처리 장치의 구동 방법을 제공할 수 있다.
- [0092] 특히 본 실시 형태의 구성에 있어서는, 제1 트랜지스터를 도통 상태로 하기 위한 전위를, 승압 회로에 있어서의 부트스트랩법을 이용하여 승압할 수 있다. 이 때문에 복수의 전위의 전원선에 의한 동작으로 하지 않고, 제1 트랜지스터의 동작을 선형 영역에 의한 동작으로 할 수 있다. 그 결과, 제1 용량 소자(123)에 의해 유지된 신호의 전위를 높은 상태로 제1 용량 소자(123)에 유지하는 것이 가능해진다.
- [0093] 본 실시 형태는, 다른 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0094] (실시 형태 2)
- [0095] 본 실시 형태에서는, 실시 형태 1에서 나타난 기억 회로를 복수 사용하는 구성에 대해서 설명한다.
- [0096] 도 9의 (a)에, 본 실시 형태에 있어서의 기억 회로의 구성을 일례로서 나타낸다. 도 9의 (a)에 나타내는 기억 회로는, 고전원 전위 VDD 및 저전원 전위 VSS가 공급되는 위상 반전 회로(401)와, 기억 회로(402)를 복수 갖는 기억 회로군(403)을 갖고 있다. 구체적으로, 각 기억 회로(402)에는, 실시 형태 1에 기재되어 있는 구성을 갖는 기억 회로(100)를 사용할 수 있다. 기억 회로군(403)이 갖는 각 기억 회로(402)에는, 위상 반전 회로(401)를 통해 고전원 전위 VDD 또는 저전원 전위 VSS가 공급되어 있다. 또한, 기억 회로군(403)이 갖는 각 기억 회로(402)에는, 신호 IN의 전위와, 저전원 전위 VSS가 부여되어 있다.
- [0097] 도 9의 (a)에서 위상 반전 회로(401)는, 제어 신호 SigA에 의해 고전원 전위 VDD 또는 저전원 전위 VSS의 출력의 전환이 제어된다.
- [0098] 또한, 도 9의 (a)에서는, 위상 반전 회로(401)에 의해, 기억 회로군(403)이 갖는 각 기억 회로(402)의 고전원 전위 VDD측에서, 고전원 전위 VDD 또는 저전원 전위 VSS의 공급이 제어되어 있지만, 위상 반전 회로(401)에 의해, 저전원 전위 VSS측에서, 고전원 전위 VDD 또는 저전원 전위 VSS의 공급이 제어될 수도 있다. 도 9의 (b)에, 기억 회로군(403)이 갖는 각 기억 회로(402)에, 위상 반전 회로(401)를 통해 고전원 전위 VDD 또는 저전

원 전위 VSS가 공급되어 있는 기억 회로의 일례를 나타낸다. 위상 반전 회로(401)에 의해, 기억 회로군(403)이 갖는 각 기억 회로(402)의 저전원 전위 VSS측에서, 고전원 전위 VDD 또는 저전원 전위 VSS의 공급을 제어할 수 있다.

- [0099] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0100] (실시 형태 3)
- [0101] 본 실시 형태에서는, 실시 형태 1 및 실시 형태 2에서 나타난 기억 회로를 사용한 신호 처리 장치의 구성에 대해서 설명한다.
- [0102] 도 10에, 본 발명의 한 형태에 관한 신호 처리 장치의 일례를 나타낸다. 신호 처리 장치는 하나 또는 복수의 연산 장치와, 하나 또는 복수의 기억 회로를 적어도 갖는다. 구체적으로, 도 10에 도시하는 신호 처리 장치(150)는, 연산 장치(151), 연산 장치(152), 기억 회로(153), 기억 회로(154), 기억 회로(155), 제어 장치(156), 전원 제어 회로(157)를 갖는다.
- [0103] 연산 장치(151), 연산 장치(152)는 단순한 논리 연산을 행하는 논리 회로를 비롯해, 가산기, 승산기, 나아가 각종 연산 장치 등을 포함한다. 그리고, 기억 회로(153)는, 연산 장치(151)에 있어서의 연산 처리시에, 데이터 신호를 일시적으로 유지하는 레지스터로서 기능한다. 기억 회로(154)는, 연산 장치(152)에 있어서의 연산 처리시에, 데이터 신호를 일시적으로 유지하는 레지스터로서 기능한다.
- [0104] 또한, 기억 회로(155)는 메인 메모리로서 사용할 수 있으며, 제어 장치(156)가 실행하는 프로그램을 데이터 신호로서 기억하거나, 혹은 연산 장치(151), 연산 장치(152)로부터의 데이터 신호를 기억할 수 있다.
- [0105] 제어 장치(156)는, 신호 처리 장치(150)가 갖는 연산 장치(151), 연산 장치(152), 기억 회로(153), 기억 회로(154), 기억 회로(155)의 동작을 통괄적으로 제어하는 회로다. 또한, 도 10에서는, 제어 장치(156)가 신호 처리 장치(150)의 일부인 구성을 나타내고 있지만, 제어 장치(156)는 신호 처리 장치(150)의 외부에 설치되어 있어도 좋다.
- [0106] 실시 형태 1 또는 실시 형태 2에서 나타난 기억 회로를 기억 회로(153), 기억 회로(154), 기억 회로(155)에 사용함으로써, 기억 회로(153), 기억 회로(154), 기억 회로(155)에의 전원의 공급을 정지해도 데이터 신호를 유지할 수 있다. 따라서, 신호 처리 장치(150) 전체에의 전원의 공급을 정지하고, 소비 전력을 억제할 수 있다. 혹은, 기억 회로(153), 기억 회로(154) 또는 기억 회로(155) 중 어느 하나 또는 복수개의 전원의 공급을 정지하고, 신호 처리 장치(150)의 소비 전력을 억제할 수 있다. 또한, 전원의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀시킬 수 있다.
- [0107] 또한, 기억 회로에의 전원의 공급이 정지되는 것에 맞춰, 당해 기억 회로와 데이터 신호의 교환을 행하는 연산 장치 또는 제어 회로에의 전원의 공급을 정지하도록 해도 좋다. 예를 들어, 연산 장치(151)와 기억 회로(153)에 있어서, 동작이 행해지지 않는 경우, 연산 장치(151) 및 기억 회로(153)에의 전원의 공급을 정지하도록 해도 좋다.
- [0108] 또한, 전원 제어 회로(157)는, 신호 처리 장치(150)가 갖는 연산 장치(151), 연산 장치(152), 기억 회로(153), 기억 회로(154), 기억 회로(155), 제어 장치(156)에 공급하는 전원 전압의 크기를 제어한다. 그리고, 전원의 공급을 정지할 경우, 전원의 공급 정지는, 전원 제어 회로(157)에서 행해지는 구성일 수도 있고, 연산 장치(151), 연산 장치(152), 기억 회로(153), 기억 회로(154), 기억 회로(155), 제어 장치(156) 각각으로 행해지는 구성일 수도 있다.
- [0109] 또한, 메인 메모리인 기억 회로(155)와, 연산 장치(151), 연산 장치(152), 제어 장치(156) 사이에, 캐시 메모리로서 기능하는 기억 회로를 설치해도 좋다. 캐시 메모리를 설치함으로써, 저속한 메인 메모리에의 액세스를 저감시켜서 연산 처리 등의 신호 처리를 고속화시킬 수 있다. 캐시 메모리로서 기능하는 기억 회로에도, 상술한 기억 회로를 사용함으로써 신호 처리 장치(150)의 소비 전력을 억제할 수 있다. 또한, 전원의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다.
- [0110] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0111] (실시 형태 4)
- [0112] 본 실시 형태에서는, 본 발명의 한 형태에 관한 신호 처리 장치 중 하나인, CPU의 구성에 대해서 설명한다.

- [0113] 도 11에, 본 실시 형태의 CPU의 구성을 나타낸다. 도 11에 도시하는 CPU는, 기관(9900) 위에 ALU(9901), ALU?컨트롤러(9902), 인스트럭션?디코더(9903), 인터럽트?컨트롤러(9904), 타이밍?컨트롤러(9905), 레지스터(9906), 레지스터?컨트롤러(9907), 버스?I/F(9908), 재기입 가능한 ROM(9909), ROM?I/F(9920)을 주로 갖고 있다. 또한, ALU는 Arithmetic logic unit이며, 버스?I/F는 Bus Interface이고, ROM?I/F는 ROM Interface다. ROM(9909) 및 ROM?I/F(9920)는, 별도 칩에 설치해도 좋다. 물론, 도 11에 도시하는 CPU는, 그의 구성을 간략화해서 나타낸 일례에 지나지 않으며, 실제 CPU는 그 용도에 따라 다종다양한 구성을 갖고 있다.
- [0114] 버스?I/F(9908)를 통해 CPU에 입력된 명령은, 인스트럭션?디코더(9903)에 입력되어, 디코드된 후, ALU?컨트롤러(9902), 인터럽트?컨트롤러(9904), 레지스터?컨트롤러(9907), 타이밍?컨트롤러(9905)에 입력된다.
- [0115] ALU?컨트롤러(9902), 인터럽트?컨트롤러(9904), 레지스터?컨트롤러(9907), 타이밍?컨트롤러(9905)는, 디코드된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU?컨트롤러(9902)는, ALU(9901)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트?컨트롤러(9904)는, CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그의 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터?컨트롤러(9907)는, 레지스터(9906)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(9906)의 판독이나 기입을 행한다.
- [0116] 또한 타이밍?컨트롤러(9905)는, ALU(9901), ALU?컨트롤러(9902), 인스트럭션?디코더(9903), 인터럽트?컨트롤러(9904), 레지스터?컨트롤러(9907) 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍?컨트롤러(9905)는, 기준 클럭 신호 CLK1을 바탕으로, 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 구비하고 있고, 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0117] 본 실시 형태의 CPU에서는, 레지스터(9906)에, 상기 실시 형태에서 나타낸 구성을 갖는 기억 회로가 설치되어 있다. 레지스터?컨트롤러(9907)는, ALU(9901)로부터의 지시에 따라, 레지스터(9906)가 갖는 기억 회로에 있어서, 휘발성 기억부(101)에 의한 데이터 신호의 유지를 행할 것인지, 불휘발성 기억부(102)에 의한 데이터 신호의 유지를 행할 것인지를 선택한다. 휘발성 기억부(101)에 의한 데이터 신호의 유지가 선택되어 있는 경우, 레지스터(9906) 내의 기억 회로에의 전원의 공급이 행해진다. 불휘발성 기억부(102)에 있어서의 데이터 신호의 유지가 선택되어 있는 경우, 레지스터(9906) 내의 기억 회로에의 전원의 공급을 정지할 수 있다.
- [0118] 이와 같이 하여, 일시적으로 CPU의 동작을 정지하고, 전원의 공급을 정지한 경우에도 데이터 신호를 유지하는 것이 가능하여, 소비 전력의 저감을 행할 수 있다. 구체적으로는, 예를 들어 개인용 컴퓨터의 유저가, 키보드 등의 입력 장치에의 정보의 입력을 정지하고 있는 사이에도 CPU를 정지할 수 있으며, 그에 따라 소비 전력을 저감시킬 수 있다.
- [0119] 본 실시 형태에서는, CPU를 예로 들어 설명하였지만, 본 발명의 신호 처리 장치는 CPU로 한정되지 않으며, 마이크로프로세서, 화상 처리 회로, DSP, FPGA 등의 LSI에도 응용 가능하다.
- [0120] 본 실시 형태는, 상기 실시 형태와 조합해서 실시하는 것이 가능하다.
- [0121] (실시 형태 5)
- [0122] 도 2에 도시한 불휘발성 기억부(102)에 있어서, 채널이 실리콘에 형성되는 경우의 제2 트랜지스터(122)와, 채널이 산화물 반도체층에 형성되는 제1 트랜지스터(121)와, 제1 용량 소자(123)를 예로 들어 기억 회로(100)의 제작 방법에 대해서 설명한다.
- [0123] 도 12의 (a)에 도시한 바와 같이, 기관(700) 위에 절연막(701)과, 단결정의 반도체 기관으로부터 분리된 반도체막(702)을 형성한다.
- [0124] 기관(700)으로서 사용할 수 있는 소재에 큰 제한은 없지만, 적어도 후속 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있는 것이 필요해진다. 예를 들어, 기관(700)에는, 퓨전법이나 플로팅법으로 제작되는 유리 기관, 석영 기관, 반도체 기관, 세라믹 기관 등을 사용할 수 있다. 유리 기관으로는, 후속 가열 처리의 온도가 높은 경우에는, 왜곡점이 730℃ 이상인 것을 사용하면 좋다.
- [0125] 또한, 본 실시 형태에서는, 반도체막(702)이 단결정의 실리콘일 경우를 예로 들어, 이하 제2 트랜지스터(122)의 제작 방법에 대해서 설명한다. 또한, 구체적인 단결정의 반도체막(702)의 제작 방법의 일례에 대해서 간단하게 설명한다. 우선, 단결정의 반도체 기관인 본드 기관에, 전계에서 가속된 이온으로 이루어지는 이온 빔을 주입하고, 본드 기관의 표면으로부터 일정 깊이의 영역에, 결정 구조가 흐트러짐으로써 국소적으로 취약화된 취화층을 형성한다. 취화층이 형성되는 영역의 깊이는, 이온 빔의 가속 에너지와 이온 빔의 입사각에 의해 조절할 수

있다. 그리고, 본드 기판과, 절연막(701)이 형성된 기판(700) 사이에 당해 절연막(701)이 끼워지도록 접합한다. 접합은, 본드 기판과 기판(700)을 증착한 후, 본드 기판과 기판(700)의 일부에, $1\text{N}/\text{cm}^2$ 이상 $500\text{N}/\text{cm}^2$ 이하, 바람직하게는 $11\text{N}/\text{cm}^2$ 이상 $20\text{N}/\text{cm}^2$ 이하 정도의 압력을 가한다. 압력을 가하면, 그 부분으로부터 본드 기판과 절연막(701)이 접합을 개시하고, 최종적으로는 밀착한 면 전체에 접합이 영향을 미친다. 계속해서, 가열 처리를 행함으로써, 취화층에 존재하는 미소 공극끼리 결합하여, 미소 공극의 부피가 증대한다. 그 결과, 취화층에서 본드 기판의 일부인 단결정 반도체막이 본드 기판으로부터 분리된다. 상기 가열 처리의 온도는, 기판(700)의 왜곡점을 초과하지 않는 온도로 한다. 그리고, 상기 단결정 반도체막을 에칭 등에 의해 원하는 형상으로 가공함으로써, 반도체막(702)을 형성할 수 있다.

[0126] 반도체막(702)에는, 임계값 전압을 제어하기 위해서, 붕소, 알루미늄, 갈륨 등의 p형의 도전성을 부여하는 불순물 원소, 혹은 인, 비소 등의 n형의 도전성을 부여하는 불순물 원소를 첨가하여도 된다. 임계값 전압을 제어하기 위한 불순물 원소의 첨가는, 패터닝하기 전의 반도체막에 대해 행해도 좋고, 패터닝 후에 형성된 반도체막(702)에 대해 행해도 좋다. 또한, 임계값 전압을 제어하기 위한 불순물 원소의 첨가를, 본드 기판에 대해 행해도 좋다. 혹은, 불순물 원소의 첨가를, 임계값 전압을 대략 조정하기 위해서 본드 기판에 대해 행한 뒤에, 임계값 전압을 미세 조정하기 위해, 패터닝 전의 반도체막에 대하여, 또는 패터닝에 의해 형성된 반도체막(702)에 대하여 행해도 좋다.

[0127] 또한, 본 실시 형태에서는, 단결정의 반도체막을 사용하는 예에 대해서 설명하고 있지만, 본 발명이 이 구성으로 한정되지 않는다. 예를 들어, 절연막(701) 위에 기상 성장법을 이용해서 형성된 다결정, 미결정, 비정질의 반도체막을 사용해도 좋고, 상기 반도체막을 공지된 기술에 의해 결정화해도 좋다. 공지된 결정화 방법으로는, 레이저광을 이용한 레이저 결정화법, 촉매 원소를 이용하는 결정화법이 있다. 혹은, 촉매 원소를 이용하는 결정화법과 레이저 결정화법을 조합해서 사용할 수도 있다. 또한, 석영과 같은 내열성이 우수한 기판을 이용하는 경우, 전열로를 이용하는 열 결정화 방법, 적외광을 이용하는 램프 어닐 결정화법, 촉매 원소를 이용하는 결정화법, 950°C 정도의 고온 어닐법을 조합한 결정화법을 이용해도 좋다.

[0128] 이어서, 도 12의 (b)에 도시한 바와 같이, 반도체막(702)을 사용해서 반도체층(704)을 형성한다. 그리고, 반도체층(704) 위에 게이트 절연막(703)을 형성한다.

[0129] 게이트 절연막(703)은, 일례로는, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화규소, 질화산화규소, 산화질화규소, 질화규소, 산화하프늄, 산화알루미늄 또는 산화탄탈, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y(x>0, y>0)$) 등을 포함하는 막을 단층으로 또는 적층시킴으로써, 형성할 수 있다.

[0130] 또한, 본 명세서에 있어서 산화질화물이란, 그의 조성으로서, 질소보다도 산소의 함유량이 많은 물질이며, 질화산화물이란, 그의 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 의미한다.

[0131] 게이트 절연막(703)의 두께는, 예를 들어 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다. 본 실시 형태에서는, 플라즈마 CVD법을 이용하여, 산화규소를 포함하는 단층의 절연막을 게이트 절연막(703)으로서 사용한다.

[0132] 계속해서, 도 12(C)에 도시한 바와 같이, 게이트 전극(707)을 형성한다.

[0133] 게이트 전극(707)은 도전막을 형성한 후, 상기 도전막을 소정의 형상으로 가공(패터닝)함으로써, 형성할 수 있다. 상기 도전막의 형성에는 CVD법, 스퍼터링법, 증착법, 스핀 코팅법 등을 사용할 수 있다. 또한, 도전막은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등을 사용할 수 있다. 상기 금속을 주성분으로 하는 합금을 사용해도 좋고, 상기 금속을 포함하는 화합물을 사용해도 좋다. 또는, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한, 다결정 규소 등의 반도체를 사용해서 형성해도 좋다.

[0134] 또한, 본 실시 형태에서는 게이트 전극(707)을 단층의 도전막으로 형성하고 있지만, 본 실시 형태는 이 구성에 한정되지 않는다. 게이트 전극(707)은 적층된 복수의 도전막으로 형성되어 있어도 좋다.

[0135] 2개의 도전막의 조합으로서, 1층째에 질화 탄탈 또는 탄탈을, 2층째에 텅스텐을 사용할 수 있다. 상기 예 이외에, 질화텅스텐과 텅스텐, 질화몰리브덴과 몰리브덴, 알루미늄과 탄탈, 알루미늄과 티타늄 등을 들 수 있다. 텅스텐이나 질화 탄탈은, 내열성이 높기 때문에, 2층의 도전막을 형성한 후의 공정에서, 열 활성화를 목적으로

한 가열 처리를 행할 수 있다. 또한, 2층의 도전막의 조합으로서, 예를 들어 n형의 도전성을 부여하는 불순물 원소가 도핑된 규소와 니켈 실리사이드, n형의 도전성을 부여하는 불순물 원소가 도핑된 규소와 텅스텐 실리사이드 등도 사용할 수 있다.

- [0136] 3개 이상의 도전막을 적층하는 적층 구조의 경우에는, 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다.
- [0137] 또한, 게이트 전극(707)에 산화인듐, 산화인듐산화주석 합금, 산화인듐산화아연 합금, 산화아연, 산화아연알루미늄, 산질화아연알루미늄, 또는 산화아연갈륨 등의 투광성을 갖는 산화물 도전막을 사용할 수도 있다.
- [0138] 또한, 마스크를 사용하지 않고, 액적 토출법을 이용해서 선택적으로 게이트 전극(707)을 형성해도 좋다. 액적 토출법이란, 소정의 조성물을 포함하는 액적을 세공으로부터 토출 또는 분출함으로써 소정의 패턴을 형성하는 방법을 의미하며, 잉크젯법 등이 그의 범주에 포함된다.
- [0139] 또한, 게이트 전극(707)은 도전막을 형성한 후, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용하여, 에칭 조건(코일형의 전극층에 인가되는 전력량, 기관축의 전극층에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절함으로써, 원하는 테이퍼 형상을 갖도록 에칭할 수 있다. 또한, 테이퍼 형상은 마스크의 형상에 의해서도 각도 등을 제어할 수 있다. 또한, 에칭용 가스로는 염소, 염화붕소, 염화규소 혹은 사염화탄소 등의 염소계 가스, 사불화탄소, 불화황 혹은 불화질소 등의 불소계 가스 또는 산소를 적절히 사용할 수 있다.
- [0140] 이어서, 도 12의 (d)에 도시한 바와 같이, 게이트 전극(707)을 마스크로 해서 일도전성을 부여하는 불순물 원소를 반도체막(702)에 첨가함으로써, 게이트 전극(707)과 중첩되는 채널 형성 영역(710)과, 채널 형성 영역(710)을 사이에 끼우는 한 쌍의 불순물 영역(709)이 반도체막(702)에 형성된다.
- [0141] 본 실시 형태에서는, 반도체막(702)에 p형을 부여하는 불순물 원소(예를 들어 붕소)를 첨가하는 경우를 예로 든다.
- [0142] 계속해서, 도 13의 (a)에 도시한 바와 같이, 게이트 절연막(703), 게이트 전극(707)을 덮도록 절연막(712), 절연막(713)을 형성한다. 구체적으로, 절연막(712), 절연막(713)은 산화규소, 질화규소, 질화산화규소, 산화질화규소, 질화알루미늄, 질화산화알루미늄 등의 무기의 절연막을 사용할 수 있다. 특히, 절연막(712), 절연막(713)에 유전율이 낮은(low-k) 재료를 사용함으로써, 각종 전극이나 배선의 중첩에 기인하는 용량을 충분히 저감시키는 것이 가능해지기 때문에 바람직하다. 또한, 절연막(712), 절연막(713)에 상기 재료를 사용한 다공성의 절연막을 적용해도 좋다. 다공성의 절연막에서는, 밀도가 높은 절연막과 비교해서 유전율이 저하되기 때문에, 전극이나 배선에 기인하는 기생 용량을 더욱 저감시키는 것이 가능하다.
- [0143] 본 실시 형태에서는, 절연막(712)으로서 산화질화규소, 절연막(713)으로서 질화산화규소를 사용하는 경우를 예로 든다. 또한, 본 실시 형태에서는, 게이트 전극(707) 위에 절연막(712), 절연막(713)을 형성하고 있는 경우를 예시하고 있지만, 본 발명은 게이트 전극(707) 위에 절연막을 1층만 형성하고 있어도 좋고, 3층 이상의 복수의 절연막을 적층하도록 형성하고 있어도 좋다.
- [0144] 계속해서, 도 13의 (b)에 도시한 바와 같이, 절연막(713)에 CMP(화학적 기계 연마) 처리나 에칭 처리를 행함으로써, 절연막(713)이 노출된 상면을 평탄화시킨다. 또한, 나중에 형성되는 제1 트랜지스터(121)의 특성을 향상시키기 위해, 절연막(712), 절연막(713)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다.
- [0145] 이상의 공정에 의해, 제2 트랜지스터(122)를 형성할 수 있다.
- [0146] 계속해서, 제1 트랜지스터(121)의 제작 방법에 대해서 설명한다. 우선, 도 13의 (c)에 도시한 바와 같이, 절연막(713) 위에 산화물 반도체층(716)을 형성한다.
- [0147] 산화물 반도체층(716)은, 절연막(713) 위에 형성한 산화물 반도체막을 원하는 형상으로 가공함으로써, 형성할 수 있다. 상기 산화물 반도체막의 막 두께는 2nm 이상 200nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 한다. 산화물 반도체막은, 산화물 반도체를 타깃으로서 사용하여, 스퍼터법에 의해 성막한다. 또한, 산화물 반도체막은 회가스(예를 들어 아르곤) 분위기하에서, 산소 분위기하에서, 또는 회가스(예를 들어 아르곤) 및 산소 혼합 분위기하에서 스퍼터법에 의해 형성할 수 있다.
- [0148] 또한, 산화물 반도체막을 스퍼터법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하고, 절연막(713)의 표면에 부착되어 있는 진애를 제거하는 것이 바람직하다. 역스퍼터란, 타깃측에

전압을 인가하지 않고, 아르곤 분위기하에서 기관측에 RF 전원을 사용해서 전압을 인가해서 기관 근방에 플라즈마를 형성해서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 좋다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 첨가한 분위기로 행해도 좋다. 또한, 아르곤 분위기에 염소, 사불화탄소 등을 첨가한 분위기로 행해도 좋다.

[0149] 산화물 반도체막에는, 상술한 바와 같은 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다.

[0150] 본 실시 형태에서는, In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타깃을 사용한 스퍼터법에 의해 얻어지는 막 두께 30nm의 In-Ga-Zn-O계 산화물 반도체의 박막을, 산화물 반도체막으로서 사용한다. 상기 타깃으로서, 예를 들어 각 금속의 조성비가 In:Ga:Zn=1:1:0.5, In:Ga:Zn=1:1:1, 또는 In:Ga:Zn=1:1:2인 타깃을 사용할 수 있다. 또한, In, Ga 및 Zn을 포함하는 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충전율이 높은 타깃을 사용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.

[0151] 본 실시 형태에서는, 감압 상태로 유지된 처리실 내에 기관을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 사용해서 산화물 반도체막을 성막한다. 성막시에, 기관 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 해도 좋다. 기관을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄사브리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 가한 것이어도 좋다. 크라이오 펌프를 이용해서 처리실을 배기하면, 예를 들어 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 당해 처리실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감시킬 수 있다.

[0152] 성막 조건의 일례로는, 기관과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 전력 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 사용하면, 성막시에 발생하는 진애를 경감시킬 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다.

[0153] 또한, 스퍼터링 장치의 처리실의 누설률을 1×10^{-10} Pa \cdot m³/초 이하로 함으로써, 스퍼터링법에 의한 성막 도중에 있어서의 산화물 반도체막에의 알칼리 금속, 수소화물 등의 불순물의 혼입을 저감시킬 수 있다. 또한, 배기계로서 상술한 흡착형의 진공 펌프를 사용함으로써, 배기계에서의 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기 또는 수소화물 등의 불순물의 역류를 저감시킬 수 있다.

[0154] 또한, 타깃의 순도를 99.99% 이상으로 함으로써, 산화물 반도체막에 혼입되는 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기 또는 수소화물 등을 저감시킬 수 있다. 또한, 당해 타깃을 사용함으로써, 산화물 반도체막에 있어서 리튬, 나트륨, 칼륨 등의 알칼리 금속의 농도를 저감시킬 수 있다.

[0155] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 성막 전처리로서, 스퍼터링 장치의 예비 가열실에서 절연막(712) 및 절연막(713)까지가 형성된 기관(700)을 예비 가열하고, 기관(700)에 흡착한 수분 또는 수소 등의 불순물을 탈리해 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 형성되는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다. 또한, 이 예비 가열은, 나중에 행해지는 게이트 절연막(721)의 성막 전에 도전막(719), 도전막(720)까지 형성한 기관(700)에도 마찬가지로 행해도 좋다.

[0156] 또한, 산화물 반도체층(716)을 형성하기 위한 에칭은, 건식 에칭이어도 좋고 습식 에칭이어도 좋고, 둘 다 사용해도 좋다. 건식 에칭에 사용하는 에칭 가스로는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl₂), 삼염화붕소(BCl₃), 사염화규소(SiCl₄), 사염화탄소(CCl₄) 등)가 바람직하다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화탄소(CF₄), 육불화황(SF₆), 삼불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수

소(HBr), 산소(O₂), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.

- [0157] 건식 에칭법으로는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0158] 습식 에칭에 사용하는 에칭액으로서, 인산과 아세트산과 질산을 섞은 용액, 시트르산이나 옥살산 등의 유기산을 사용할 수 있다. 본 실시 형태에서는, ITO-07N(간토 가가꾸사(KANTO CHEMICAL CO., INC)제)을 사용한다.
- [0159] 산화물 반도체층(716)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다.
- [0160] 또한, 다음 공정의 도전막을 형성하기 전에 역스퍼터를 행하여, 산화물 반도체층(716) 및 절연막(712) 및 절연막(713)의 표면에 부착되어 있는 레지스트 잔사 등을 제거하는 것이 바람직하다.
- [0161] 또한, 스퍼터 등으로 성막된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 포함되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 따라서, 본 발명의 한 형태에서는, 산화물 반도체막 중 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)시키기 위해, 산화물 반도체층(716)에 대하여, 감압 분위기하 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 조건조 에어(CRDS(캐비티 링 다운 레이저 분광법; cavity ring down laser spectroscopy) 방식의 노점계를 이용하여 측정하였을 경우 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 산화물 반도체층(716)에 가열 처리를 실시한다.
- [0162] 산화물 반도체층(716)에 가열 처리를 실시함으로써, 산화물 반도체층(716) 중 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 왜곡점 미만의 온도에서 가열 처리를 행하면 좋다. 예를 들어, 500℃, 3분간 이상 6분간 이하 정도로 행하면 된다. 가열 처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기관의 왜곡점을 초과하는 온도에서도 처리할 수 있다.
- [0163] 본 실시 형태에서는, 가열 처리 장치 중 하나인 전기로를 사용한다.
- [0164] 또한, 가열 처리 장치는 전기로에 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치다. GRTA 장치는, 고온의 가스를 사용해서 가열 처리를 행하는 장치다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0165] 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0166] 또한, 산화물 반도체는 불순물에 대하여 둔감해서, 막 중에는 상당한 금속 불순물이 포함되어 있어도 문제가 없으며, 나트륨과 같은 알칼리 금속이 다량으로 포함되는 염가의 소다석회 유리도 쓸 수 있다고 지적되어 있다(가미야, 노무라, 호소노, "아몰퍼스 산화물 반도체의 물성과 디바이스 개발의 현 상황", 고체 물리, 2009년 9월호, Vol.44, pp.621-633.). 그러나, 이와 같은 지적은 적절하지 않다. 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에 불순물이다. 알칼리토류 금속도, 산화물 반도체를 구성하는 원소가 아닐 경우에 불순물이 된다. 특히, 알칼리 금속 중 Na는, 산화물 반도체층에 접하는 절연막이 산화물일 경우, 당해 절연막 중에 확산되어 Na⁺가 된다. 또한, Na는 산화물 반도체층 내에서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 혹은 그 결합 중에 끼어든다. 그 결과, 예를 들어 임계값 전압이 마이너스 방향으로 시프트하는 것에 의한 노멀리온화, 이동도의 저하 등의 트랜지스터 특성의 열화가 일어나고, 나아가 특성의 편차도 발생한다. 이 불순물에 의해 초래되는 트랜지스터 특성의 열화와, 특성의 편차는, 산화물 반도체층 중 수소 농도가 충분히 낮은 경우에 현저히 나타난다. 따라서, 산화물 반도체층 중 수소 농도가 1×10^{18} atoms/cm³ 이하, 보

다 바람직하게는 1×10^{17} atoms/cm³ 이하인 경우에는, 상기 불순물의 농도를 저감시키는 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정값은 5×10^{16} atoms/cm³ 이하, 바람직하게는 1×10^{16} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{15} atoms/cm³ 이하로 하면 좋다. 마찬가지로, Li 농도의 측정값은 5×10^{15} atoms/cm³ 이하, 바람직하게는 1×10^{15} atoms/cm³ 이하로 하면 좋다. 마찬가지로, K 농도의 측정값은 5×10^{15} atoms/cm³ 이하, 바람직하게는 1×10^{15} atoms/cm³ 이하로 하면 좋다.

- [0167] 이상의 공정에 의해, 산화물 반도체층(716) 중 수소의 농도를 저감시켜 고순도화할 수 있다. 이에 따라 산화물 반도체층의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리에서, 캐리어 밀도가 극단적으로 적고, 밴드 갭이 넓은 산화물 반도체층을 형성할 수 있다. 이로 인해, 대면적 기판을 사용해서 트랜지스터를 제작할 수 있어, 양산성을 높일 수 있다. 또한, 당해 수소 농도가 저감되어 고순도화된 산화물 반도체층을 사용함으로써, 내압성이 높고, 오프 전류가 현저히 낮은 트랜지스터를 제작할 수 있다. 상기 가열 처리는, 산화물 반도체층의 성막 이후이면 언제나 행할 수 있다.
- [0168] 또한, 산화물 반도체층은 비정질이어도 좋지만, 결정성을 갖고 있어도 좋다. 결정성을 갖는 산화물 반도체층으로는, c축 배향을 갖는 결정성 산화물 반도체(C Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS라고도 함)여도, 트랜지스터의 신뢰성을 높인다는 효과를 얻을 수 있으므로 바람직하다.
- [0169] 구체적으로 CAAC-OS는 비단결정이며, 그의 ab면에 수직인 방향으로부터 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖는다. 게다가, CAAC-OS는, c축 방향에 금속 원자가 층 형상으로 배열한 상 또는 금속 원자와 산소 원자가 층 형상으로 배열한 상을 포함한다.
- [0170] CAAC-OS는, 비정질의 산화물 반도체와 비교하여, 금속과 산소의 결합이 질서화되어 있다. 즉, 산화물 반도체가 비정질인 경우에는, 개개의 금속 원자에 의해 배위수가 상이한 것도 있을 수 있지만, CAAC-OS에서는 금속 원자의 배위수는 거의 일정해진다. 그로 인해, 미시적인 산소의 결손이 감소하여, 수소 원자(수소 이온을 포함함)나 알칼리 금속 원자의 탈착에 의한 전하의 이동이나 불안정성을 감소시키는 효과가 있다.
- [0171] 따라서, CAAC-OS로 구성된 산화물 반도체막을 사용해서 트랜지스터를 제작함으로써, 트랜지스터에의 광조사 또는 바이어스-열 스트레스(BT)의 부가를 행한 후에 발생하는, 트랜지스터의 임계값 전압의 변화량을 저감시킬 수 있다. 따라서, 안정된 전기적 특성을 갖는 트랜지스터를 제작할 수 있다.
- [0172] CAAC-OS로 구성된 산화물 반도체막은, 스퍼터법에 의해서도 제작할 수 있다. 스퍼터법에 의해 CAAC-OS를 얻기 위해서는 산화물 반도체막의 퇴적 초기 단계에서 육방정의 결정이 형성되도록 하는 것과, 당해 결정을 바탕으로 결정이 성장되도록 하는 것이 긴요하다. 이를 위해서는, 타겟과 기관의 거리를 넓게 취해(예를 들어, 150mm 내지 200mm 정도), 기관 가열 온도를 100℃ 내지 500℃, 적합하게는 200℃ 내지 400℃, 더욱 적합하게는 250℃ 내지 300℃로 하면 바람직하다.
- [0173] 또한, CAAC-OS로 구성된 산화물 반도체막을 스퍼터법을 이용해서 성막하는 경우에는, 분위기 중 산소 가스비가 높은 것이 바람직하다. 예를 들어, 아르곤 및 산소의 혼합 가스 분위기 중에서 스퍼터법을 행하는 경우에는, 산소 가스비를 30% 이상으로 하는 것이 바람직하고, 40% 이상으로 하는 것이 보다 바람직하다. 분위기 중으로부터의 산소의 보충에 의해, CAAC-OS의 결정화가 촉진되기 때문이다.
- [0174] 또한, 스퍼터법을 이용해서 CAAC-OS로 구성된 산화물 반도체막을 성막하는 경우에는, CAAC-OS로 구성된 산화물 반도체막이 성막되는 기관을 150℃ 이상으로 가열해 두는 것이 바람직하고, 170℃ 이상으로 가열해 두는 것이 보다 바람직하다. 기관 온도의 상승에 수반하여, CAAC-OS의 결정화가 촉진되기 때문이다.
- [0175] 또한, CAAC-OS로 구성된 산화물 반도체막에 대하여, 질소 분위기 중 또는 진공 중에서 열처리를 행한 후에는, 산소 분위기 중 또는 산소와 다른 가스와의 혼합 분위기 중에서 열처리를 행하는 것이 바람직하다. 앞서 열처리에서 발생하는 산소 결손을 후속 열처리에 있어서의 분위기 중으로부터의 산소 공급에 의해 복원할 수 있기 때문이다.
- [0176] 또한, CAAC-OS로 구성된 산화물 반도체막이 성막되는 막 표면(피성막면)은 평탄한 것이 바람직하다. CAAC-OS로 구성된 산화물 반도체막은, 당해 피성막면에 개략 수직이 되는 c축을 갖기 때문에, 당해 피성막면에 존재하는 요철은, CAAC-OS로 구성된 산화물 반도체막에 있어서의 결정립계의 발생을 유발하게 되기 때문이다. 따라서, CAAC-OS로 구성된 산화물 반도체막이 성막되기 전에 당해 피성막 표면에 대하여 화학 기계 연마(Chemical Mechanical Polishing: CMP) 등의 평탄화 처리를 행하는 것이 바람직하다. 또한, 당해 피성막면의 평균 조도는

0.5nm 이하인 것이 바람직하고, 0.3nm 이하인 것이 보다 바람직하다.

- [0177] 계속해서, 도 14의 (a)에 도시한 바와 같이, 게이트 전극(707)과 접하고, 또한 산화물 반도체층(716)과도 접하는 도전막(719)과, 산화물 반도체층(716)과도 접하는 도전막(720)을 형성한다. 도전막(719) 및 도전막(720)은 소스 전극 또는 드레인 전극으로서 기능한다.
- [0178] 구체적으로, 도전막(719) 및 도전막(720)은, 게이트 전극(707) 및 절연막(713) 위를 덮도록 스퍼터법이나 진공 증착법으로 도전막을 형성한 후, 상기 도전막을 소정의 형상으로 가공(패터닝)함으로써 형성할 수 있다.
- [0179] 도전막(719) 및 도전막(720)이 되는 도전막은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 알루미늄, 구리 등의 금속막의 하층 혹은 상층에 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 등의 고용점 금속막을 적층시킨 구성으로 하여도 좋다. 또한, 알루미늄 또는 구리는 내열성이나 부식성의 문제를 피하기 위해, 고용점 금속 재료와 조합해서 사용하면 좋다. 고용점 금속 재료로는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 이트륨 등을 사용할 수 있다.
- [0180] 또한, 도전막(719) 및 도전막(720)이 되는 도전막은, 단층 구조로 해도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 티타늄막과, 그의 티타늄막 위에 중첩하여 알루미늄막을 적층하고, 추가로 그 위에 티타늄막을 성막하는 3층 구조 등을 들 수 있다. 또한, Cu-Mg-Al 합금, Mo-Ti 합금, Ti, Mo는 산화막과의 밀착성이 높다. 따라서, 하층에 Cu-Mg-Al 합금, Mo-Ti 합금, Ti 혹은 Mo로 구성되는 도전막, 상층에 Cu로 구성되는 도전막을 적층하고, 상기 적층된 도전막을 도전막(719) 및 도전막(720)에 사용함으로써, 산화막인 절연막과, 도전막(719) 및 도전막(720)과의 밀착성을 높일 수 있다.
- [0181] 또한, 도전막(719) 및 도전막(720)이 되는 도전막으로는, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로는 산화인듐, 산화주석, 산화아연, 산화인듐산화주석 합금, 산화인듐산화아연 합금 또는 상기 금속 산화물 재료에 실리콘 혹은 산화실리콘을 포함시킨 것을 사용할 수 있다.
- [0182] 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다.
- [0183] 또한, 도전막의 에칭시에, 산화물 반도체층(716)이 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 산화물 반도체층(716)이 노출된 부분이 일부 에칭됨으로써, 홈부(요부)가 형성되는 경우도 있다.
- [0184] 본 실시 형태에서는, 도전막에 티타늄막을 사용한다. 그로 인해, 암모니아와 과산화수소수를 포함하는 용액(암모니아 과수)을 사용하여, 선택적으로 도전막을 습식 에칭할 수 있다. 구체적으로는, 31중량%의 과산화수소수와, 28중량%의 암모니아수와 물을 부피비 5:2:2로 혼합한 암모니아과수를 사용한다. 혹은, 염소(Cl₂), 염화붕소(BCl₃) 등을 포함하는 가스를 사용하여 도전막을 건식 에칭해도 좋다.
- [0185] 또한, 포토리소그래피 공정에서 사용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과한 광에 다단계의 강도를 가지게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 사용해서 에칭 공정을 행해도 좋다. 다계조 마스크를 사용해서 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 형상을 더욱 변형시킬 수 있기 때문에, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1매의 다계조 마스크에 의해, 적어도 2종 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능해진다.
- [0186] 또한, 산화물 반도체층(716)과, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(719) 및 도전막(720) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 형성하도록 해도 좋다. 산화물 도전막의 재료로는, 산화아연을 성분으로서 포함하는 것이 바람직하고, 산화인듐을 포함하지 않는 것이 바람직하다. 그러한 산화물 도전막으로서, 산화아연, 산화아연알루미늄, 산화아연알루미늄, 산화아연갈륨 등을 적용할 수 있다.
- [0187] 예를 들어, 산화물 도전막을 형성하는 경우, 산화물 도전막을 형성하기 위한 패턴링과, 도전막(719) 및 도전막(720)을 형성하기 위한 패턴링을 일괄적으로 행하도록 해도 좋다.
- [0188] 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 설치함으로써, 산화물 반도체층(716)과 도전막(719)

및 도전막(720) 사이의 저항을 낮출 수 있으므로, 트랜지스터의 고속 동작을 실현시킬 수 있다. 또한, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전막을 설치함으로써, 트랜지스터의 내압을 높일 수 있다.

[0189] 계속해서, N_2O , N_2 또는 Ar 등의 가스를 사용한 플라즈마 처리를 행하도록 해도 좋다. 이 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층의 표면에 부착된 물 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 사용해서 플라즈마 처리를 행해도 좋다.

[0190] 또한, 플라즈마 처리를 행한 후, 도 14의 (b)에 도시한 바와 같이, 도전막(719) 및 도전막(720)과, 산화물 반도체층(716)을 덮도록 게이트 절연막(721)을 형성한다. 그리고, 게이트 절연막(721) 위에서 산화물 반도체층(716)과 중첩되는 위치에 게이트 전극(722)을 형성하고, 도전막(719)과 중첩되는 위치에 도전막(723)을 형성한다.

[0191] 게이트 절연막(721)은, 게이트 절연막(703)과 마찬가지로의 재료, 마찬가지로의 적층 구조를 사용해서 형성하는 것이 가능하다. 또한, 게이트 절연막(721)은 수분이나, 수소 등의 불순물을 최대한 포함하지 않는 것이 바람직하며, 단층의 절연막이어도 좋고, 적층된 복수의 절연막으로 구성되어 있어도 좋다. 게이트 절연막(721)에 수소가 포함되면, 그의 수소가 산화물 반도체층(716)에 침입하거나, 또는 수소가 산화물 반도체층(716) 중 산소를 인발하여, 산화물 반도체층(716)이 저저항화(n형화)되어, 기생 채널이 형성될 우려가 있다. 따라서, 게이트 절연막(721)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 사용하지 않는 것이 중요하다. 상기 게이트 절연막(721)에는, 배리어성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서, 질화규소막, 질화산화규소막, 질화알루미늄막, 또는 질화산화알루미늄막 등을 사용할 수 있다. 복수의 적층된 절연막을 사용하는 경우, 질소의 함유 비율이 낮은 산화규소막, 산화질화규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다도 산화물 반도체층(716)에 가까운 측에 형성한다. 그리고, 질소의 함유 비율이 낮은 절연막을 사이에 끼우고, 도전막(719) 및 도전막(720) 및 산화물 반도체층(716)과 겹치도록, 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 사용함으로써 산화물 반도체층(716) 내, 게이트 절연막(721) 내, 혹은 산화물 반도체층(716)과 다른 절연막의 계면과 그의 근방에 수분 또는 수소 등의 불순물이 침투하는 것을 방지할 수 있다. 또한, 산화물 반도체층(716)에 접하도록 질소의 비율이 낮은 산화규소막, 산화질화규소막 등의 절연막을 형성함으로써, 배리어성이 높은 재료를 사용한 절연막이 직접 산화물 반도체층(716)에 접하는 것을 방지할 수 있다.

[0192] 본 실시 형태에서는, 스퍼터법으로 형성된 막 두께 200nm의 산화규소막 위에, 스퍼터법으로 형성된 막 두께 100nm의 질화규소막을 적층시킨 구조를 갖는 게이트 절연막(721)을 형성한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하로 하면 좋고, 본 실시 형태에서는 100℃로 한다.

[0193] 또한, 게이트 절연막(721)을 형성한 후에, 가열 처리를 실시해도 된다. 가열 처리는 질소, 조건조 공기, 또는 회가스(아르곤, 헬륨 등)의 분위기하에서, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하로 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하인 것이 바람직하다. 본 실시 형태에서는, 예를 들어 질소 분위기하에서 250℃, 1시간의 가열 처리를 행한다. 혹은, 도전막(719) 및 도전막(720)을 형성하기 전에, 수분 또는 수소를 저감시키기 위한 산화물 반도체층에 대해 행한 전번의 가열 처리와 마찬가지로, 고온 단시간의 RTA 처리를 행해도 좋다. 산소를 포함하는 게이트 절연막(721)이 형성된 후에 가열 처리가 실시됨으로써, 산화물 반도체층(716)에 대해 행한 전번의 가열 처리에 의해, 산화물 반도체층(716)에 산소 결손이 발생하였다고 해도, 게이트 절연막(721)으로부터 산화물 반도체층(716)에 산소가 제공된다. 그리고, 산화물 반도체층(716)에 산소가 공여됨으로써, 산화물 반도체층(716)에 있어서, 도너가 되는 산소 결손을 저감시켜, 화학양론적 조성비를 만족하는 것이 가능하다. 그 결과, 산화물 반도체층(716)을 i형에 접근시킬 수 있어, 산소 결손에 의한 트랜지스터의 전기 특성의 편차를 경감시키고, 전기 특성의 향상을 실현할 수 있다. 이 가열 처리를 행하는 시점은, 게이트 절연막(721)의 형성 후이면 특별히 한정되지 않고, 다른 공정, 예를 들어 수지막 형성시의 가열 처리나, 투명 도전막을 저저항화시키기 위한 가열 처리와 겸함으로써, 공정수를 증가시키지 않고, 산화물 반도체층(716)을 i형에 접근시킬 수 있다.

[0194] 또한, 산소 분위기하에서 산화물 반도체층(716)에 가열 처리를 실시함으로써, 산화물 반도체에 산소를 첨가하고, 산화물 반도체층(716) 중에서 도너가 되는 산소 결손을 저감시켜도 좋다. 가열 처리의 온도는, 예를 들어 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만으로 행한다. 상기 산소 분위기하의 가열 처리에 사용되는 산소 가스에는, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 산소 중 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

- [0195] 혹은, 이온 주입법 또는 이온 도핑법 등을 이용하여 산화물 반도체층(716)에 산소를 첨가함으로써, 도너가 되는 산소 결손을 저감시켜도 좋다. 예를 들어, 2.45GHz의 마이크로파로 플라즈마화한 산소를 산화물 반도체층(716)에 첨가하면 좋다.
- [0196] 또한, 게이트 전극(722) 및 도전막(723)은, 게이트 절연막(721) 위에 도전막을 형성한 후, 상기 도전막을 패터닝함으로써 형성할 수 있다. 게이트 전극(722) 및 도전막(723)은 게이트 전극(707), 혹은 도전막(719) 및 도전막(720)과 마찬가지로 재료를 사용해서 형성하는 것이 가능하다.
- [0197] 게이트 전극(722) 및 도전막(723)의 막 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm로 한다. 본 실시 형태에서는, 텅스텐 타깃을 사용한 스퍼터법에 의해 150nm의 게이트 전극용 도전막을 형성한 후, 상기 도전막을 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 게이트 전극(722) 및 도전막(723)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다.
- [0198] 이상의 공정에 의해, 제1 트랜지스터(121)가 형성된다.
- [0199] 또한, 게이트 절연막(721)을 사이에 끼우고 도전막(719)과 도전막(723)이 중첩되는 부분이 제1 용량 소자(123)에 상당한다.
- [0200] 또한, 제1 트랜지스터(121)는 싱글 게이트 구조의 트랜지스터를 사용해서 설명하였지만, 필요에 따라 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 채널 형성 영역을 복수개 갖는 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.
- [0201] 또한, 산화물 반도체층(716)에 접하는 절연막(본 실시 형태에 있어서는, 게이트 절연막(721)이 해당함)은, 제13족 원소 및 산소를 포함하는 절연 재료를 사용하도록 해도 좋다. 산화물 반도체 재료에는 제13족 원소를 포함하는 경우가 많고, 제13족 원소를 포함하는 절연 재료는 산화물 반도체와의 상성이 좋으며, 이를 산화물 반도체층에 접하는 절연막에 사용함으로써, 산화물 반도체층과의 계면의 상태를 양호하게 유지할 수 있다.
- [0202] 제13족 원소를 포함하는 절연 재료란, 절연 재료에 하나 또는 복수의 제13족 원소를 포함하는 것을 의미한다. 제13족 원소를 포함하는 절연 재료로는, 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등이 있다. 여기서 산화알루미늄갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다.
- [0203] 예를 들어, 갈륨을 함유하는 산화물 반도체층에 접해서 절연막을 형성하는 경우에, 절연막에 산화갈륨을 포함하는 재료를 사용함으로써 산화물 반도체층과 절연막의 계면 특성을 양호하게 유지할 수 있다. 예를 들어, 산화물 반도체층과 산화갈륨을 포함하는 절연막을 접해서 설치함으로써, 산화물 반도체층과 절연막의 계면에 있어서의 수소의 파일 업을 저감시킬 수 있다. 또한, 절연막에 산화물 반도체의 성분 원소와 동일한 족의 원소를 이용하는 경우에는, 마찬가지로 효과를 얻는 것이 가능하다. 예를 들어, 산화알루미늄을 포함하는 재료를 사용해서 절연막을 형성하는 것도 유효하다. 또한, 산화알루미늄은 물을 투과시키기 어려운 특성을 갖고 있기 때문에, 당해 재료를 사용하는 것은, 산화물 반도체층에의 물의 침입 방지라는 점에서도 바람직하다.
- [0204] 또한, 산화물 반도체층(716)에 접하는 절연막은, 산소 분위기하에 의한 열처리나, 산소 도핑 등에 의해, 절연 재료를 화학양론적 조성비보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도핑이란, 산소를 벌크에 첨가하는 것을 말한다. 또한, 당해 벌크의 용어는, 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확히 하는 취지로 사용하고 있다. 또한, 산소 도핑에는, 플라즈마화한 산소를 벌크에 첨가하는 산소 플라즈마 도핑이 포함된다. 또한, 산소 도핑은 이온 주입법 또는 이온 도핑법을 이용해서 행해도 좋다.
- [0205] 예를 들어, 산화물 반도체층(716)에 접하는 절연막으로서 산화갈륨을 사용한 경우, 산소 분위기하에 의한 열처리나, 산소 도핑을 행함으로써, 산화갈륨의 조성을 $Ga_2O_x(X=3+a, 0<a<1)$ 로 할 수 있다.
- [0206] 또한, 산화물 반도체층(716)에 접하는 절연막으로서 산화알루미늄을 사용한 경우, 산소 분위기하에 의한 열처리나, 산소 도핑을 행함으로써, 산화알루미늄의 조성을 $Al_2O_x(X=3+a, 0<a<1)$ 로 할 수 있다.
- [0207] 또한, 산화물 반도체층(716)에 접하는 절연막으로서 산화갈륨알루미늄(산화알루미늄갈륨)을 사용한 경우, 산소 분위기하에 의한 열처리나, 산소 도핑을 행함으로써, 산화갈륨알루미늄(산화알루미늄갈륨)의 조성을 $Ga_xAl_{2-x}O_{3+a}$ ($0<x<2, 0<a<1$)로 할 수 있다.

- [0208] 산소 도핑 처리를 행함으로써, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막을 형성할 수 있다. 이러한 영역을 구비하는 절연막과 산화물 반도체층이 접함으로써, 절연막 중 과잉한 산소가 산화물 반도체층에 공급되고, 산화물 반도체층 중 또는 산화물 반도체층과 절연막의 계면에 있어서의 산소 결함을 저감시켜, 산화물 반도체층을 i형화 또는 i형으로 한없이 가깝게 할 수 있다.
- [0209] 또한, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막은, 산화물 반도체층(716)에 접하는 절연막 중, 상층에 위치하는 절연막 또는 하층에 위치하는 절연막 중, 어느 한쪽에만 사용해도 좋지만, 양쪽 절연막에 모두 사용하는 것이 바람직하다. 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막을, 산화물 반도체층(716)에 접하는 절연막의 상층 및 하층에 위치하는 절연막에 사용하고, 산화물 반도체층(716)을 끼우는 구성으로 함으로써, 상기 효과를 보다 높일 수 있다.
- [0210] 또한, 산화물 반도체층(716)의 상층 또는 하층에 사용하는 절연막은, 상층과 하층에서 동일한 구성 원소를 갖는 절연막으로 해도 좋고, 상이한 구성 원소를 갖는 절연막으로 해도 좋다. 예를 들어, 상층과 하층 모두 조성이 $Ga_2O_x(X=3+a, 0 < a < 1)$ 인 산화갈륨으로 해도 좋고, 상층과 하층 중 한쪽을 조성이 $Ga_2O_x(X=3+a, 0 < a < 1)$ 인 산화갈륨으로 해도 좋고, 다른쪽을 조성이 $Al_2O_x(X=3+a, 0 < a < 1)$ 인 산화알루미늄으로 해도 좋다.
- [0211] 또한, 산화물 반도체층(716)에 접하는 절연막은, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 좋다. 예를 들어, 산화물 반도체층(716)의 상층에 조성이 $Ga_2O_x(X=3+a, 0 < a < 1)$ 인 산화갈륨을 형성하고, 그 위에 조성이 $Ga_xAl_{2-x}O_{3+a} (0 < x < 2, 0 < a < 1)$ 인 산화갈륨 알루미늄(산화알루미늄갈륨)을 형성해도 좋다. 또한, 산화물 반도체층(716)의 하층을, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 좋고, 산화물 반도체층(716)의 상층 및 하층을 둘 다 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 좋다.
- [0212] 이어서, 도 14의 (c)에 도시한 바와 같이, 게이트 절연막(721), 게이트 전극(722)을 덮도록 절연막(724)을 형성한다. 절연막(724)은, PVD법이나 CVD법 등을 이용해서 형성할 수 있다. 또한, 산화규소, 산화질화규소, 질화규소, 산화하프늄, 산화갈륨, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용해서 형성할 수 있다. 또한, 절연막(724)에는 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 사용하는 것이 바람직하다. 절연막(724)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 발생하는 기생 용량을 저감시켜, 동작의 고속화를 도모할 수 있기 때문이다. 또한, 본 실시 형태에서는, 절연막(724)을 단층 구조로 하고 있지만, 본 발명의 한 형태는 이것으로 한정되지 않으며, 2층 이상의 적층 구조로 해도 좋다.
- [0213] 이어서, 게이트 절연막(721), 절연막(724)에 개구부(725)를 형성하고, 도전막(720)의 일부를 노출시킨다. 그 후, 절연막(724) 위에 상기 개구부(725)에 있어서 도전막(720)과 접하는 배선(726)을 형성한다.
- [0214] 배선(726)은 PVD법이나, CVD법을 이용해서 도전막을 형성한 후, 당해 도전막을 패터닝함으로써 형성된다. 또한, 도전막의 재료로는 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나 또는 이들을 복수 조합한 재료를 사용해도 좋다.
- [0215] 보다 구체적으로는, 예를 들어 절연막(724)의 개구를 포함하는 영역에 PVD법에 의해 티타늄막을 얇게(5nm 정도) 형성한 후에, 개구부(725)에 매립하도록 알루미늄막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티타늄막은, 피형성면의 산화막(자연산화막 등)을 환원하여, 하부 전극 등(여기서는 도전막(720))과의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 알루미늄막의 힐록을 방지할 수 있다. 또한, 티타늄이나 질화 티타늄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.
- [0216] 여기서 도전막(720)과 배선(726)을 접촉시키는 경우에 대해서 설명한다. 이 경우, 도전막(720)을 형성한 후, 게이트 절연막(721) 및 절연막(724)에 있어서 개구부를 형성하고, 배선(726)을 형성하게 된다.
- [0217] 이어서, 배선(726)을 덮도록 절연막(727)을 형성한다. 상술한 일련의 공정에 의해, 기억 회로를 제작할 수 있다.
- [0218] 또한, 상기 제작 방법에서는, 소스 전극 및 드레인 전극으로서 기능하는 도전막(719) 및 도전막(720)이 산화물 반도체층(716)의 나중층에 형성되어 있다. 따라서, 도 14의 (b)에 도시한 바와 같이, 상기 제작 방법에 의해 얻어지는 제1 트랜지스터(121)는, 도전막(719) 및 도전막(720)이 산화물 반도체층(716) 위에 형성되어 있다. 그러나, 제1 트랜지스터(121)는, 소스 전극 및 드레인 전극으로서 기능하는 도전막이, 산화물 반도체층(716)

아래, 즉 산화물 반도체층(716)과 절연막(712) 및 절연막(713) 사이에 설치되어 있어도 좋다.

- [0219] 도 15에, 소스 전극 및 드레인 전극으로서 기능하는 도전막(719) 및 도전막(720)이, 산화물 반도체층(716)과 절연막(712) 및 절연막(713) 사이에 설치되어 있는 경우, 제1 트랜지스터(121)의 단면도를 도시한다. 도 15에 도시하는 제1 트랜지스터(121)는, 절연막(713)을 형성한 후에 도전막(719) 및 도전막(720)의 형성을 행하고, 이어서 산화물 반도체층(716)의 형성을 행함으로써 얻을 수 있다.
- [0220] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0221] (실시 형태 6)
- [0222] 본 실시 형태에서는, 실시 형태 5와는 다른 구조를 갖는, 산화물 반도체층을 사용한 트랜지스터에 대해서 설명한다.
- [0223] 도 16의 (a)에 나타내는 트랜지스터(901)는, 절연막(902) 위에 형성된 활성층으로서 기능하는 산화물 반도체층(903)과, 산화물 반도체층(903) 위에 형성된 소스 전극(904) 및 드레인 전극(905)과, 산화물 반도체층(903), 소스 전극(904) 및 드레인 전극(905) 위의 게이트 절연막(906)과, 게이트 절연막(906) 위에서 산화물 반도체층(903)과 중첩되는 위치에 설치된 게이트 전극(907)을 갖는다.
- [0224] 도 16의 (a)에 나타내는 트랜지스터(901)는, 게이트 전극(907)이 산화물 반도체층(903) 위에 형성되어 있는 톱 게이트형이며, 게다가 소스 전극(904) 및 드레인 전극(905)이 산화물 반도체층(903) 위에 형성되어 있는 톱 콘택트형이다. 그리고, 트랜지스터(901)는, 소스 전극(904) 및 드레인 전극(905)과, 게이트 전극(907)이 중첩되어 있지 않다. 즉, 소스 전극(904) 및 드레인 전극(905)과 게이트 전극(907) 사이에는, 게이트 절연막(906)의 막 두께보다도 큰 간격이 형성되어 있다. 따라서, 트랜지스터(901)는, 소스 전극(904) 및 드레인 전극(905)과 게이트 전극(907) 사이에 형성되는 기생 용량을 작게 억제할 수 있으므로, 고속 동작을 실현할 수 있다.
- [0225] 또한, 산화물 반도체층(903)은, 게이트 전극(907)이 형성된 후에 산화물 반도체층(903)에 n형의 도전성을 부여하는 도펀트를 첨가함으로써 얻어지는, 한 쌍의 고농도 영역(908)을 갖는다. 또한, 산화물 반도체층(903) 중, 게이트 절연막(906)을 사이에 끼우고 게이트 전극(907)과 중첩되는 영역이 채널 형성 영역(909)이다. 산화물 반도체층(903)에서는, 한 쌍의 고농도 영역(908) 사이에 채널 형성 영역(909)이 형성되어 있다. 고농도 영역(908)을 형성하기 위한 도펀트의 첨가는, 이온 주입법을 이용할 수 있다. 도펀트는, 예를 들어 헬륨, 아르곤, 크세논 등의 희가스나, 질소, 인, 비소, 안티몬 등의 15족 원자 등을 사용할 수 있다.
- [0226] 예를 들어, 질소를 도펀트로서 사용한 경우, 고농도 영역(908) 중 질소 원자의 농도는 $5 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다.
- [0227] n형의 도전성을 부여하는 도펀트가 첨가되어 있는 고농도 영역(908)은, 산화물 반도체층(903) 중 다른 영역에 비하여 도전성이 높아진다. 따라서, 고농도 영역(908)을 산화물 반도체층(903)으로 설치함으로써, 소스 전극(904)과 드레인 전극(905) 사이의 저항을 낮출 수 있다.
- [0228] 또한, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(903)에 사용한 경우, 질소를 첨가한 후, 300℃ 이상 600℃ 이하에서 1시간 정도 가열 처리를 실시함으로써, 고농도 영역(908) 중 산화물 반도체는 우르트 광형의 결정 구조를 갖게 된다. 고농도 영역(908) 중 산화물 반도체가 우르트 광형의 결정 구조를 가짐으로써, 고농도 영역(908)의 도전성을 더욱 높이고, 소스 전극(904)과 드레인 전극(905) 사이의 저항을 낮출 수 있다. 또한, 우르트 광형의 결정 구조를 갖는 산화물 반도체를 형성하여, 소스 전극(904)과 드레인 전극(905) 사이의 저항을 효과적으로 낮추기 위해서는, 질소를 도펀트로서 사용한 경우, 고농도 영역(908) 중 질소 원자의 농도를 $1 \times 10^{20} / \text{cm}^3$ 이상 7원자% 이하로 하는 것이 바람직하다. 그러나, 질소 원자가 상기 범위보다도 낮은 농도여도, 우르트 광형의 결정 구조를 갖는 산화물 반도체가 얻어지는 경우도 있다.
- [0229] 또한, 산화물 반도체층(903)은, CAAC-OS로 구성되어 있어도 좋다. 산화물 반도체층(903)이 CAAC-OS로 구성되어 있는 경우, 비정질의 경우에 비하여 산화물 반도체층(903)의 도전율을 높일 수 있으므로, 소스 전극(904)과 드레인 전극(905) 사이의 저항을 낮출 수 있다.
- [0230] 그리고, 소스 전극(904)과 드레인 전극(905) 사이의 저항을 저하시킴으로써, 트랜지스터(901)의 미세화를 진척시켜도 높은 온 전류와, 고속 동작을 확보할 수 있다. 또한, 트랜지스터(901)의 미세화에 의해, 당해 트랜지스터를 사용한 기억 회로가 차지하는 면적을 축소화하고, 단위 면적당 기억 용량을 높일 수 있다.

- [0231] 도 16의 (b)에 나타내는 트랜지스터(911)는, 절연막(912) 위에 형성된 소스 전극(914) 및 드레인 전극(915)과, 소스 전극(914) 및 드레인 전극(915) 위에 형성된 활성층으로서 기능하는 산화물 반도체층(913)과, 산화물 반도체층(913), 소스 전극(914) 및 드레인 전극(915) 위의 게이트 절연막(916)과, 게이트 절연막(916) 위에서 산화물 반도체층(913)과 중첩되는 위치에 설치된 게이트 전극(917)을 갖는다.
- [0232] 도 16의 (b)에 나타내는 트랜지스터(911)는, 게이트 전극(917)이 산화물 반도체층(913) 위에 형성되어 있는 탑 게이트형이며, 게다가 소스 전극(914) 및 드레인 전극(915)이 산화물 반도체층(913)의 아래에 형성되어 있는 보텀 콘택트형이다. 그리고, 트랜지스터(911)는 트랜지스터(901)와 마찬가지로, 소스 전극(914) 및 드레인 전극(915)과, 게이트 전극(917)이 중첩되어 있지 않으므로, 소스 전극(914) 및 드레인 전극(915)과 게이트 전극(917) 사이에 형성되는 기생 용량을 작게 억제할 수 있어, 고속 동작을 실현할 수 있다.
- [0233] 또한, 산화물 반도체층(913)은, 게이트 전극(917)이 형성된 후에 산화물 반도체층(913)에 n형의 도전성을 부여하는 도펀트를 첨가함으로써 얻어지는, 한 쌍의 고농도 영역(918)을 갖는다. 또한, 산화물 반도체층(913) 중, 게이트 절연막(916)을 사이에 끼우고 게이트 전극(917)과 중첩되는 영역이 채널 형성 영역(919)이다. 산화물 반도체층(913)에서는, 한 쌍의 고농도 영역(918) 사이에 채널 형성 영역(919)이 설치되어 있다.
- [0234] 고농도 영역(918)은, 상술한 트랜지스터(901)가 갖는 고농도 영역(908)의 경우와 마찬가지로, 이온 주입법을 이용해서 형성할 수 있다. 그리고, 고농도 영역(918)을 형성하기 위한 도펀트의 종류에 대해서는, 고농도 영역(908)의 경우를 참조할 수 있다.
- [0235] 예를 들어, 질소를 도펀트로서 사용한 경우, 고농도 영역(918) 중 질소 원자의 농도는, $5 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다.
- [0236] n형의 도전성을 부여하는 도펀트가 첨가되어 있는 고농도 영역(918)은, 산화물 반도체층(913) 중 다른 영역에 비하여 도전성이 높아진다. 따라서, 고농도 영역(918)을 산화물 반도체층(913)으로 설치함으로써, 소스 전극(914)과 드레인 전극(915) 사이의 저항을 낮출 수 있다.
- [0237] 또한, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(913)에 사용한 경우, 질소를 첨가한 후, 300℃ 이상 600℃ 이하 정도로 가열 처리를 실시함으로써, 고농도 영역(918) 중 산화물 반도체는 우르트 광형의 결정 구조를 갖게 된다. 고농도 영역(918) 중 산화물 반도체가 우르트 광형의 결정 구조를 가짐으로써, 고농도 영역(918)의 도전성을 더욱 높이고, 소스 전극(914)과 드레인 전극(915) 사이의 저항을 낮출 수 있다. 또한, 우르트 광형의 결정 구조를 갖는 산화물 반도체를 형성하여, 소스 전극(914)과 드레인 전극(915) 사이의 저항을 효과적으로 낮추기 위해서는, 질소를 도펀트로서 사용한 경우, 고농도 영역(918) 중 질소 원자의 농도를 $1 \times 10^{20} / \text{cm}^3$ 이상 7원자% 이하로 하는 것이 바람직하다. 그러나, 질소 원자가 상기 범위보다도 낮은 농도여도, 우르트 광형의 결정 구조를 갖는 산화물 반도체가 얻어지는 경우도 있다.
- [0238] 또한, 산화물 반도체층(913)은 CAAC-OS로 구성되어 있어도 좋다. 산화물 반도체층(913)이 CAAC-OS로 구성되어 있는 경우, 비정질의 경우에 비하여 산화물 반도체층(913)의 도전율을 높일 수 있으므로, 소스 전극(914)과 드레인 전극(915) 사이의 저항을 낮출 수 있다.
- [0239] 그리고, 소스 전극(914)과 드레인 전극(915) 사이의 저항을 저하시킴으로써, 트랜지스터(911)의 미세화를 진척시켜도, 높은 온 전류와, 고속 동작을 확보할 수 있다. 또한, 트랜지스터(911)의 미세화에 의해, 당해 트랜지스터를 사용한 기억 회로가 차지하는 면적을 축소화하고, 단위 면적당 기억 용량을 높일 수 있다.
- [0240] 도 16의 (c)에 나타내는 트랜지스터(921)는, 절연막(922) 위에 형성된 활성층으로서 기능하는 산화물 반도체층(923)과, 산화물 반도체층(923) 위에 형성된 소스 전극(924) 및 드레인 전극(925)과, 산화물 반도체층(923), 소스 전극(924) 및 드레인 전극(925) 위의 게이트 절연막(926)과, 게이트 절연막(926) 위에서 산화물 반도체층(923)과 중첩되는 위치에 설치된 게이트 전극(927)을 갖는다. 또한, 트랜지스터(921)는, 게이트 전극(927)의 측부에 설치된 절연막으로 형성된 사이드 월(sidewall)(930)을 갖는다.
- [0241] 도 16의 (c)에 나타내는 트랜지스터(921)는, 게이트 전극(927)이 산화물 반도체층(923) 위에 형성되어 있는 탑 게이트형이며, 게다가 소스 전극(924) 및 드레인 전극(925)이 산화물 반도체층(923) 위에 형성되어 있는 탑 콘택트형이다. 그리고, 트랜지스터(921)는 트랜지스터(901)와 마찬가지로, 소스 전극(924) 및 드레인 전극(925)과, 게이트 전극(927)이 중첩되어 있지 않으므로, 소스 전극(924) 및 드레인 전극(925)과 게이트 전극(927) 사이에 형성되는 기생 용량을 작게 억제할 수 있어, 고속 동작을 실현할 수 있다.

- [0242] 또한, 산화물 반도체층(923)은, 게이트 전극(927)이 형성된 후에 산화물 반도체층(923)에 n형의 도전성을 부여하는 도펀트를 첨가함으로써 얻어지는, 한 쌍의 고농도 영역(928)과, 한 쌍의 저농도 영역(929)을 갖는다. 또한, 산화물 반도체층(923) 중, 게이트 절연막(926)을 사이에 끼우고 게이트 전극(927)과 중첩되는 영역이 채널 형성 영역(931)이다. 산화물 반도체층(923)에서는, 한 쌍의 고농도 영역(928) 사이에 한 쌍의 저농도 영역(929)이 설치되고, 한 쌍의 저농도 영역(929) 사이에 채널 형성 영역(931)이 설치되어 있다. 그리고, 한 쌍의 저농도 영역(929)은, 산화물 반도체층(923) 중 게이트 절연막(926)을 사이에 끼우고 사이드 월(930)과 중첩되는 영역에 설치되어 있다.
- [0243] 고농도 영역(928) 및 저농도 영역(929)은, 상술한 트랜지스터(901)가 갖는 고농도 영역(908)의 경우와 마찬가지로, 이온 주입법을 이용해서 형성할 수 있다. 그리고, 고농도 영역(928)을 형성하기 위한 도펀트의 종류에 대해서는, 고농도 영역(908)의 경우를 참조할 수 있다.
- [0244] 예를 들어, 질소를 도펀트로서 사용한 경우, 고농도 영역(928) 중 질소 원자의 농도는 $5 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다. 또한, 예를 들어 질소를 도펀트로서 사용한 경우, 저농도 영역(929) 중 질소 원자의 농도는, $5 \times 10^{18} / \text{cm}^3$ 이상 $5 \times 10^{19} / \text{cm}^3$ 미만인 것이 바람직하다.
- [0245] n형의 도전성을 부여하는 도펀트가 첨가되어 있는 고농도 영역(928)은, 산화물 반도체층(923) 중 다른 영역에 비하여 도전성이 높아진다. 따라서, 고농도 영역(928)을 산화물 반도체층(923)으로 설치함으로써, 소스 전극(924)과 드레인 전극(925) 사이의 저항을 낮출 수 있다. 또한, 저농도 영역(929)을 채널 형성 영역(931)과 고농도 영역(928) 사이에 설치함으로써, 단채널 효과에 의한 임계값 전압의 마이너스 시프트를 경감시킬 수 있다.
- [0246] 또한, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(923)에 사용한 경우, 질소를 첨가한 후, 300℃ 이상 600℃ 이하 정도로 가열 처리를 실시함으로써, 고농도 영역(928) 중 산화물 반도체는 우르트 광형의 결정 구조를 갖게 된다. 또한, 저농도 영역(929)도 질소의 농도에 따라서는, 상기 가열 처리에 의해 우르트 광형의 결정 구조를 갖는 경우도 있다. 고농도 영역(928) 중 산화물 반도체가 우르트 광형의 결정 구조를 가짐으로써, 고농도 영역(928)의 도전성을 더욱 높이고, 소스 전극(924)과 드레인 전극(925) 사이의 저항을 낮출 수 있다. 또한, 우르트 광형의 결정 구조를 갖는 산화물 반도체를 형성하여, 소스 전극(924)과 드레인 전극(925) 사이의 저항을 효과적으로 낮추기 위해서는, 질소를 도펀트로서 사용한 경우, 고농도 영역(928) 중 질소 원자의 농도를, $1 \times 10^{20} / \text{cm}^3$ 이상 7원자% 이하로 하는 것이 바람직하다. 그러나, 질소 원자가 상기 범위보다도 낮은 농도여도, 우르트 광형의 결정 구조를 갖는 산화물 반도체가 얻어지는 경우도 있다.
- [0247] 또한, 산화물 반도체층(923)은 CAAC-OS로 구성되어 있어도 좋다. 산화물 반도체층(923)이 CAAC-OS로 구성되어 있는 경우, 비정질의 경우에 비하여 산화물 반도체층(923)의 도전율을 높일 수 있으므로, 소스 전극(924)과 드레인 전극(925) 사이의 저항을 낮출 수 있다.
- [0248] 그리고, 소스 전극(924)과 드레인 전극(925) 사이의 저항을 저하시킴으로써, 트랜지스터(921)의 미세화를 진척시켜도, 높은 온 전류와, 고속 동작을 확보할 수 있다. 또한, 트랜지스터(921)의 미세화에 의해, 당해 트랜지스터를 사용한 기억 회로가 차지하는 면적을 축소화하고, 단위 면적당 기억 용량을 높일 수 있다.
- [0249] 도 16의 (d)에 나타내는 트랜지스터(941)는, 절연막(942) 위에 형성된 소스 전극(944) 및 드레인 전극(945)과, 소스 전극(944) 및 드레인 전극(945) 위에 형성된 활성층으로서 기능하는 산화물 반도체층(943)과, 산화물 반도체층(943), 소스 전극(944) 및 드레인 전극(945) 위의 게이트 절연막(946)과, 게이트 절연막(946) 위에서 산화물 반도체층(943)과 중첩되는 위치에 설치된 게이트 전극(947)을 갖는다. 또한, 트랜지스터(941)는, 게이트 전극(947)의 측부에 설치된 절연막으로 형성된 사이드 월(950)을 갖는다.
- [0250] 도 16의 (d)에 나타내는 트랜지스터(941)는, 게이트 전극(947)이 산화물 반도체층(943) 위에 형성되어 있는 탑 게이트형이며, 게다가 소스 전극(944) 및 드레인 전극(945)이 산화물 반도체층(943)의 아래에 형성되어 있는 보텀 콘택트형이다. 그리고, 트랜지스터(941)는 트랜지스터(901)와 마찬가지로, 소스 전극(944) 및 드레인 전극(945)과, 게이트 전극(947)이 중첩되어 있지 않으므로, 소스 전극(944) 및 드레인 전극(945)과 게이트 전극(947) 사이에 형성되는 기생 용량을 작게 억제할 수 있어, 고속 동작을 실현할 수 있다.
- [0251] 또한, 산화물 반도체층(943)은, 게이트 전극(947)이 형성된 후에 산화물 반도체층(943)에 n형의 도전성을 부여하는 도펀트를 첨가함으로써 얻어지는, 한 쌍의 고농도 영역(948)과 한 쌍의 저농도 영역(949)을 갖는다. 또한, 산화물 반도체층(943) 중, 게이트 절연막(946)을 사이에 끼우고 게이트 전극(947)과 중첩되는 영역이 채널 형성 영역(931)이다. 산화물 반도체층(943)에서는, 한 쌍의 고농도 영역(948) 사이에 한 쌍의 저농도 영역(949)이 설치되고, 한 쌍의 저농도 영역(949) 사이에 채널 형성 영역(931)이 설치되어 있다. 그리고, 한 쌍의 저농도 영역(949)은, 산화물 반도체층(943) 중 게이트 절연막(946)을 사이에 끼우고 사이드 월(930)과 중첩되는 영역에 설치되어 있다.

널 형성 영역(951)이다. 산화물 반도체층(943)에서는, 한 쌍의 고농도 영역(948) 사이에 한 쌍의 저농도 영역(949)이 설치되고, 한 쌍의 저농도 영역(949) 사이에 채널 형성 영역(951)이 설치되어 있다. 그리고, 한 쌍의 저농도 영역(949)은, 산화물 반도체층(943) 중, 게이트 절연막(946)을 사이에 끼우고 사이드 월(950)과 중첩되는 영역에 설치되어 있다.

[0252] 고농도 영역(948) 및 저농도 영역(949)은, 상술한 트랜지스터(901)가 갖는 고농도 영역(908)의 경우와 마찬가지로, 이온 주입법을 이용해서 형성할 수 있다. 그리고, 고농도 영역(948)을 형성하기 위한 도펀트의 종류에 대해서는, 고농도 영역(908)의 경우를 참조할 수 있다.

[0253] 예를 들어, 질소를 도펀트로서 사용한 경우, 고농도 영역(948) 중 질소 원자의 농도는 $5 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다. 또한, 예를 들어 질소를 도펀트로서 사용한 경우, 저농도 영역(949) 중 질소 원자의 농도는 $5 \times 10^{18} / \text{cm}^3$ 이상 $5 \times 10^{19} / \text{cm}^3$ 미만인 것이 바람직하다.

[0254] n형의 도전성을 부여하는 도펀트가 첨가되어 있는 고농도 영역(948)은, 산화물 반도체층(943) 중 다른 영역에 비하여 도전성이 높아진다. 따라서, 고농도 영역(948)을 산화물 반도체층(943)으로 설치함으로써, 소스 전극(944)과 드레인 전극(945) 사이의 저항을 낮출 수 있다. 또한, 저농도 영역(949)을 채널 형성 영역(951)과 고농도 영역(948) 사이에 설치함으로써, 단채널 효과에 의한 임계값 전압의 마이너스 시프트를 경감시킬 수 있다.

[0255] 또한, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(943)에 사용한 경우, 질소를 첨가한 후, 300℃ 이상 600℃ 이하 정도로 가열 처리를 실시함으로써, 고농도 영역(948) 중 산화물 반도체는 우르트 광형의 결정 구조를 갖게 된다. 또한, 저농도 영역(949)도 질소의 농도에 따라서는, 상기 가열 처리에 의해 우르트 광형의 결정 구조를 갖는 경우도 있다. 고농도 영역(948) 중 산화물 반도체가 우르트 광형의 결정 구조를 가짐으로써, 고농도 영역(948)의 도전성을 더욱 높이고, 소스 전극(944)과 드레인 전극(945) 사이의 저항을 낮출 수 있다. 또한, 우르트 광형의 결정 구조를 갖는 산화물 반도체를 형성하여, 소스 전극(944)과 드레인 전극(945) 사이의 저항을 효과적으로 낮추기 위해서는, 질소를 도펀트로서 사용한 경우, 고농도 영역(948) 중 질소 원자의 농도를 $1 \times 10^{20} / \text{cm}^3$ 이상 7원자% 이하로 하는 것이 바람직하다. 그러나, 질소 원자가 상기 범위보다도 낮은 농도여도, 우르트 광형의 결정 구조를 갖는 산화물 반도체가 얻어지는 경우도 있다.

[0256] 또한, 산화물 반도체층(943)은, CAAC-OS로 구성되어 있어도 좋다. 산화물 반도체층(943)이 CAAC-OS로 구성되어 있는 경우, 비정질의 경우에 비하여 산화물 반도체층(943)의 도전율을 높일 수 있으므로, 소스 전극(944)과 드레인 전극(945) 사이의 저항을 낮출 수 있다.

[0257] 그리고, 소스 전극(944)과 드레인 전극(945) 사이의 저항을 저하시킴으로써, 트랜지스터(941)의 미세화를 진척시켜도, 높은 온 전류와, 고속 동작을 확보할 수 있다. 또한, 트랜지스터(941)의 미세화에 의해, 당해 트랜지스터를 사용한 기억 회로가 차지하는 면적을 축소화하고, 단위 면적당 기억 용량을 높일 수 있다.

[0258] 또한, 산화물 반도체를 사용한 트랜지스터에 있어서, 소스 영역 또는 드레인 영역으로서 기능하는 고농도 영역을 셀프 얼라인 프로세스로 제작하는 방법 중 하나로서, 산화물 반도체층의 표면을 노출시켜 아르곤 플라즈마 처리를 행하고, 산화물 반도체층의 플라즈마에 노출된 영역의 저항률을 저하시키는 방법이 개시되어 있다(S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., p.504-507, 2010.).

[0259] 그러나 상기 제작 방법에서는, 게이트 절연막을 형성한 후에, 소스 영역 또는 드레인 영역이 되어야 할 부분을 노출시키기 위해, 게이트 절연막을 부분적으로 제거할 필요가 있다. 따라서, 게이트 절연막이 제거될 때에, 하층의 산화물 반도체층도 부분적으로 오버 에칭되어, 소스 영역 또는 드레인 영역이 되어야 할 부분의 막 두께가 작아진다. 그 결과, 소스 영역 또는 드레인 영역의 저항이 증가하며, 오버 에칭에 의한 트랜지스터의 특성 불량도 일어나기 쉬워진다.

[0260] 트랜지스터의 미세화를 진척시키기 위해서는, 가공 정밀도가 높은 건식 에칭법을 채용할 필요가 있다. 그러나, 상기 오버 에칭은 산화물 반도체층과 게이트 절연막의 선택비를 충분히 확보할 수 없는 건식 에칭법을 채용하는 경우에 현저히 발생하기 쉽다.

[0261] 예를 들어, 산화물 반도체층이 충분한 두께이면 오버 에칭도 문제되지 않지만, 채널 길이를 200nm 이하로 하는 경우에는, 단채널 효과를 방지하는 데에, 채널 형성 영역이 되는 부분의 산화물 반도체층의 두께는 20nm 이하, 바람직하게는 10nm 이하인 것이 구해진다. 그러한 얇은 산화물 반도체층을 취급하는 경우에는, 산화물 반도체

층의 오버 에칭은, 상술한 바와 같은 소스 영역 또는 드레인 영역의 저항이 증가, 트랜지스터의 특성 불량을 발생시키기 때문에 바람직하지 않다.

- [0262] 그러나, 본 발명의 한 형태와 같이, 산화물 반도체층에의 도펀트의 첨가를, 산화물 반도체층을 노출시키지 않고 게이트 절연막을 남긴 상태에서 행함으로써, 산화물 반도체층의 오버 에칭을 방지하고, 산화물 반도체층에의 과잉한 데미지를 경감시킬 수 있다. 또한, 추가로 산화물 반도체층과 게이트 절연막의 계면도 청정하게 유지된다. 따라서, 트랜지스터의 특성 및 신뢰성을 높일 수 있다.
- [0263] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0264] (실시 형태 7)
- [0265] 산화물 반도체로는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다.
- [0266] 또한, 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스테빌라이저로서, 이들에 추가로 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 란타노이드로부터 선택된 1종 또는 복수종을 갖는 것이 바람직하다.
- [0267] 란타노이드로서, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)이 있다.
- [0268] 예를 들어, 일원계 금속의 산화물 반도체로서, 산화인듐, 산화주석, 산화아연 등을 사용할 수 있다.
- [0269] 또한, 예를 들어 2원계 금속의 산화물 반도체로서, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물 등을 사용할 수 있다.
- [0270] 또한, 예를 들어 3원계 금속의 산화물 반도체로서, In-Ga-Zn계 산화물(IGZO라고도 함), In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물 등을 사용할 수 있다.
- [0271] 또한, 예를 들어 4원계 금속의 산화물 반도체로서, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등을 사용할 수 있다.
- [0272] 또한, 여기서 예를 들어 In-Ga-Zn계 산화물이란, In과 Ga과 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga과 Zn의 비율은 관계없다. 또한, In과 Ga과 Zn 이외의 금속 원소를 함유시켜도 좋다.
- [0273] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 혹은 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다.
- [0274] 혹은, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 혹은 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자비의 In-Sn-Zn계 산화물이나 그의 조성의 근방의 산화물을 사용해도 좋다.
- [0275] 그러나 이들로 한정되지 않으며, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 된다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0276] 산화물 반도체는 단결정이어도 좋고, 비단결정이어도 좋다.
- [0277] 비단결정의 경우, 비정질이어도 좋고, 다결정이어도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조여도 좋다. 또한, 아몰퍼스는 결함이 많기 때문에, 비아몰퍼스가 바람직하다.
- [0278] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0279] (실시 형태 8)
- [0280] 결정성 부분과 비결정성 부분을 갖고, 결정성 부분의 배향이 c축 배향으로 정렬되어 있는 산화물 반도체인 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)에 대해서 설명한다.
- [0281] CAAC-OS는 신규한 산화물 반도체다.

- [0282] CAAC-OS는 c축 배향하며, ab면, 표면 또는 계면의 방향으로부터 볼 때 삼각형상 또는 육각형상의 원자 배열을 갖는다.
- [0283] 그리고, CAAC-OS는, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다.
- [0284] 또한, CAAC-OS는, 상이한 결정성 부분 사이에서 각각 a축 또는 b축의 방향이 상이해도 좋다.
- [0285] CAAC-OS란, 광의로는 비단결정이다.
- [0286] 그리고 CAAC-OS는, ab면에 수직인 방향으로부터 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖는다.
- [0287] 또한, CAAC-OS는, c축 방향에 수직인 방향으로부터 볼 때, 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열한 산화물이다.
- [0288] CAAC-OS는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다.
- [0289] 또한, CAAC-OS는 결정화한 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0290] CAAC-OS를 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0291] 또한, CAAC-OS를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC-OS를 지지하는 기판면, CAAC-OS의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다.
- [0292] 혹은, CAAC-OS를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, CAAC-OS를 지지하는 기판면, CAAC-OS의 표면 등에 수직인 방향)을 향하고 있어도 좋다.
- [0293] CAAC-OS는, 그의 조성 등에 따라 도체이거나, 반도체이거나, 절연체이다. 또한, 그의 조성 등에 따라 가시광에 대하여 투명하거나 불투명하다.
- [0294] 예를 들어, 막 형상으로 형성된 CAAC-OS를, 막 표면 또는 지지하는 기판면에 수직인 방향으로부터 전자 현미경으로 관찰하면 삼각형 또는 육각형의 원자 배열이 인정된다.
- [0295] 또한, 전자 현미경으로 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 인정된다.
- [0296] 도 22 내지 도 24를 이용하여, CAAC-OS에 포함되는 결정 구조의 일례에 대해서 설명한다.
- [0297] 또한, 도 22 내지 도 24에 있어서, 상측 방향이 c축 방향이고, c축 방향과 직교하는 면이 ab면이다.
- [0298] 본 실시 형태에 있어서 상반부, 하반부란, ab면을 경계로 하였을 경우의 상반부, 하반부를 말한다.
- [0299] 도 22의 (a)에, 1개의 6배위인 In과, In에 근접하는 6개의 4배위인 산소 원자(이하 4배위의 O)를 갖는 구조 A를 나타낸다.
- [0300] 여기서는 금속 원자가 1개에 대하여, 근접한 산소 원자만 나타낸 구조를 소그룹이라 칭한다.
- [0301] 구조 A는 팔면체 구조를 취하지만, 간단화를 위하여 평면 구조로 나타내고 있다.
- [0302] 또한, 구조 A는 상반부 및 하반부에는 각각 3개씩 4배위의 O가 있다. 구조 A에 나타내는 소그룹은 전하가 0이다.
- [0303] 도 22의 (b)에, 1개의 5배위인 Ga과, Ga에 근접한 3개의 3배위인 산소 원자(이하 3배위의 O)와, 근접한 2개의 4배위인 O를 갖는 구조 B를 나타낸다.
- [0304] 3배위의 O는 모두 ab면에 존재한다. 구조 B의 상반부 및 하반부에는 각각 1개씩 4배위의 O가 있다.
- [0305] 또한, In도 5배위를 취하기 위해서, 구조 B를 취할 수 있다. 구조 B의 소그룹은 전하가 0이다.
- [0306] 도 22의 (c)에 1개의 4배위인 Zn과, Zn에 근접한 4개의 4배위인 O를 갖는 구조 C를 나타낸다.
- [0307] 구조 C의 상반부에는 1개의 4배위인 O가 있고, 하반부에는 3개의 4배위인 O가 있다. 구조 C의 소그룹은 전하가 0이다.

- [0308] 도 22의 (d)에, 1개의 6배위인 Sn과, Sn에 근접한 6개의 4배위인 O를 갖는 구조 D를 나타낸다.
- [0309] 구조 D의 상반부에는 3개의 4배위인 O가 있고, 하반부에는 3개의 4배위인 O가 있다.
- [0310] 구조 D의 소그룹은 전하가 +1이 된다.
- [0311] 도 22의 (e)에, 2개의 Zn을 갖는 구조 E를 나타낸다.
- [0312] 구조 E의 상반부에는 1개의 4배위인 O가 있고, 하반부에는 1개의 4배위인 O가 있다. 구조 E의 소그룹은 전하가 -1이 된다.
- [0313] 본 실시 형태에서는 복수의 소그룹의 집합체를 중그룹이라 칭하고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 함)이라 칭한다.
- [0314] 여기서, 이들의 소그룹끼리 결합하는 규칙에 대해서 설명한다.
- [0315] In의 상반부의 3개의 O는 하측 방향에 3개의 근접 In을 갖고, 하반부의 3개의 O는 상측 방향에 3개의 근접 In을 갖는다.
- [0316] Ga의 상반부의 1개의 O는 하측 방향에 1개의 근접 Ga을 갖고, 하반부의 1개의 O는 상측 방향에 1개의 근접 Ga을 갖는다.
- [0317] Zn의 상반부의 1개의 O는 하측 방향에 1개의 근접 Zn을 갖고, 하반부의 3개의 O는 상측 방향에 3개의 근접 Zn을 갖는다.
- [0318] 이와 같이, 금속 원자의 상측 방향의 4배위인 O의 수와, 그의 O의 하측 방향에 있는 근접 금속 원자의 수는 동등하게, 마찬가지로 금속 원자의 하측 방향의 4배위인 O의 수와, 그의 O의 상측 방향에 있는 근접 금속 원자의 수는 동등하다.
- [0319] O는 4배위이므로, 하측 방향에 있는 근접 금속 원자의 수와, 상측 방향에 있는 근접 금속 원자의 수의 합은 4가 된다.
- [0320] 따라서, 금속 원자의 상측 방향에 있는 4배위의 O의 수와, 다른 금속 원자의 하측 방향에 있는 4배위의 O의 수와의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다.
- [0321] 그 이유를 이하에 나타낸다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 상반부의 4배위인 O를 통해 결합할 경우, 4배위의 O가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In)의 상반부의 4배위인 O, 5배위의 금속 원자(Ga 또는 In)의 하반부의 4배위인 O 또는 4배위의 금속 원자(Zn)의 상반부의 4배위인 O 중 어느 하나와 결합하게 된다.
- [0322] 이들의 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 O를 통해 결합한다.
- [0323] 또한, 그 밖에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합해서 중그룹을 구성한다.
- [0324] 도 23의 (a)에, In-Sn-Zn계의 층 구조를 구성하는 중그룹 A의 모델도를 나타낸다.
- [0325] 도 23의 (b)에, 3개의 중그룹으로 구성되는 대그룹 B를 나타낸다.
- [0326] 또한, 도 23의 (c)는, 도 23의 (b)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타낸다.
- [0327] 중그룹 A에서는, 3배위의 O는 생략하고, 4배위의 O는 개수뿐이다.
- [0328] 예를 들어, Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 O가 있는 것을 등근 프레임의 3으로서 나타내고 있다.
- [0329] 마찬가지로, 중그룹 A에 있어서, In의 상반부 및 하반부에는 각각 1개씩 4배위의 O가 있고, 등근 프레임의 1로서 나타내고 있다.
- [0330] 또한, 중그룹 A에 있어서, 하반부에는 1개의 4배위인 O가 있고, 상반부에는 3개의 4배위인 O가 있는 Zn과, 상반부에는 1개의 4배위인 O가 있고, 하반부에는 3개의 4배위인 O가 있는 Zn을 나타내고 있다.
- [0331] 중그룹 A에 있어서, In-Sn-Zn계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 O가 1개씩 상반부 및 하반부에 있는 In과 결합한다.

- [0332] 그 In이, 상반부에 3개의 4배위인 O가 있는 Zn과 결합한다.
- [0333] 그의 Zn의 하반부 중 1개의 4배위인 O를 통해 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합한다.
- [0334] 그 In이, 상반부에 1개의 4배위인 O가 있는 Zn 2개를 포함하는 소그룹과 결합한다.
- [0335] 이 소그룹의 하반부 중 1개의 4배위인 O를 통해 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구성이다.
- [0336] 이 중그룹이 복수 결합해서 대그룹을 구성한다.
- [0337] 여기서, 3배위인 O 및 4배위인 O의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라 생각할 수 있다.
- [0338] 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다.
- [0339] 그로 인해, Sn을 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다.
- [0340] 전하 -1을 취하는 구조로서, 구조 E에 도시한 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다.
- [0341] 예를 들어, Sn을 포함하는 소그룹이 1개에 대하여, 2개의 Zn을 포함하는 소그룹이 1개 있으면 전하가 상쇄되기 때문에, 층 구조의 합계의 전하를 0으로 할 수 있다.
- [0342] 구체적으로는, 대그룹 B가 반복됨으로써, In-Sn-Zn계의 결정(In₂SnZn₃O₈)을 얻을 수 있다.
- [0343] 얻어지는 In-Sn-Zn계의 층 구조는, In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있다.
- [0344] In-Sn-Zn계의 결정은, m의 수가 크면 결정성이 향상되기 때문에 바람직하다.
- [0345] In-Sn-Zn계 이외의 산화물 반도체를 사용한 경우도 마찬가지이다.
- [0346] 예를 들어, 도 24의 (a)에 In-Ga-Zn계의 층 구조를 구성하는 중그룹 L의 모델도를 나타낸다.
- [0347] 중그룹 L에 있어서, In-Ga-Zn계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 O가 3개씩 상반부 및 하반부에 있는 In이, 4배위의 O가 1개 상반부에 있는 Zn과 결합한다.
- [0348] 그 Zn의 하반부 중 3개의 4배위인 O를 통해, 4배위의 O가 1개씩 상반부 및 하반부에 있는 Ga과 결합한다.
- [0349] 그 Ga의 하반부 중 1개의 4배위인 O를 통해, 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합한다.
- [0350] 이 중그룹이 복수 결합해서 대그룹을 구성한다.
- [0351] 도 24의 (b)에 3개의 중그룹으로 구성되는 대그룹 M을 나타낸다.
- [0352] 또한, 도 24의 (c)는, 도 24의 (b)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타내고 있다.
- [0353] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다.
- [0354] 그로 인해, 이들의 소그룹의 조합이면 중그룹의 합계의 전하는 항상 0이 된다.
- [0355] 또한, In-Ga-Zn계의 층 구조를 구성하는 중그룹은, 중그룹 L에 한정되지 않으며, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.
- [0356] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0357] (실시 형태 9)
- [0358] 산화물 반도체에 한정되지 않으며, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 다양한 이유에 의해 본래의 이동도보다도 낮아진다.
- [0359] 이동도를 저하시키는 요인으로는 반도체 내부의 결함이나 반도체와 절연막과의 계면의 결함이 있지만, 레빈슨(Levinson) 모델을 사용하면, 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.
- [0360] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 로 하고, 반도체 중에 어떠한 포텐셜 장벽(입계

등)이 존재한다고 가정하면, 수학적 식 1로 표현된다.

수학적 식 1

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0361]

[0362] E는 포텐셜 장벽의 높이이고, k는 볼트먼 상수, T는 절대 온도다.

[0363] 또한, 포텐셜 장벽이 결함에서 유래한다고 가정하면, 레빈슨 모델은 수학적 식 2로 표현된다.

수학적 식 2

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0364]

[0365] e는 전기 소량, N은 채널 내의 단위 면적당 평균 결함 밀도, ϵ 은 반도체의 유전율, n은 단위 면적당 채널에 포함되는 캐리어수, C_{ox} 는 단위 면적당 용량, V_g 는 게이트 전압, t는 채널의 두께다.

[0366] 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하게 해도 관계없다.

[0367] 선형 영역에서의 드레인 전류 I_d 는, 수학적 식 3으로 표현된다.

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0368]

[0369] 여기서, L은 채널 길이, W는 채널 폭이며, 여기서 L=W=10 μ m이다.

[0370] 또한, V_d 는 드레인 전압이다.

[0371] 수학적 식 3의 양변을 V_g 로 나누고, 또한 양변의 대수를 취하면, 수학적 식 4로 표현된다.

수학적 식 4

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0372]

[0373] 수학적 식 3의 우변은 V_g 의 함수다.

[0374] 상기 수학적 식으로부터 알 수 있는 바와 같이, 종축을 $\ln(I_d/V_g)$, 횡축을 $1/V_g$ 로 하는 직선의 기울기로부터 평균 결함 밀도 N이 구해진다.

[0375] 즉, 트랜지스터의 I_d-V_g 특성으로부터, 평균 결함 밀도를 평가할 수 있다.

[0376] 산화물 반도체로는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In:Sn:Zn=1:1:1인 경우에는 결함 밀도 N은 $1 \times 10^{12}/\text{cm}^2$ 정도다.

[0377] 이와 같이 하여 구한 평균 결함 밀도 등을 바탕으로 $\mu_0=120\text{cm}^2/Vs$ 가 도출된다.

- [0378] 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 $35\text{cm}^2/\text{Vs}$ 정도다.
- [0379] 그러나, 반도체 내부 및 반도체와 절연막과의 계면의 결함이 없는 산화물 반도체의 이동도 μ_0 은 $120\text{cm}^2/\text{Vs}$ 가 된다고 예상할 수 있다.
- [0380] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연막과의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 게이트 절연막 계면으로부터 x 만큼 이격된 장소에서의 이동도 μ_1 은, 수학식 5로 표현된다.

수학식 5

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

- [0381]
- [0382] D 는 게이트 방향의 전계, B , G 는 상수다. B 및 G 는, 실제 측정 결과로부터 구할 수 있으며, 상기의 측정 결과로부터는 $B=4.75 \times 10^7 \text{cm/s}$, $G=10\text{nm}$ (계면 산란이 도달하는 깊이)이다.
- [0383] D 가 증가하면(즉, 게이트 전압이 높아지면) 수학식 5의 제2항이 증가하기 때문에, 이동도 μ_1 은 저하되는 것을 알 수 있다.
- [0384] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도 μ_2 의 계산 결과 E 를 도 25에 나타낸다.
- [0385] 또한, 계산에는 시놉시스사제의 소프트웨어인 Sentaurus Device를 사용하였다.
- [0386] 계산에 있어서, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전율, 두께를 각각 2.8 전자 볼트, 4.7 전자 볼트, 15, 15nm로 하였다.
- [0387] 이들 값은, 스퍼터링법에 의해 형성된 박막을 측정해서 얻어진 것이다.
- [0388] 또한, 게이트, 소스, 드레인의 일함수를 각각 5.5 전자 볼트, 4.6 전자 볼트, 4.6 전자 볼트로 하였다.
- [0389] 또한, 게이트 절연막의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 모두 $10\mu\text{m}$, 드레인 전압 V_d 는 0.1V이다.
- [0390] 계산 결과 E 로 나타낸 바와 같이, 게이트 전압 1V 강으로 이동도 $100\text{cm}^2/\text{Vs}$ 이상의 피크를 가지지만, 게이트 전압이 더욱 높아지면, 계면 산란이 커져, 이동도가 저하된다.
- [0391] 또한, 계면 산란을 저감시키기 위해서는, 반도체층 표면을 원자 수준으로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.
- [0392] 이러한 이동도를 갖는 산화물 반도체를 사용해서 미세한 트랜지스터를 제작하였을 경우의 특성을 계산하였다.
- [0393] 또한, 계산에 사용한 트랜지스터는 산화물 반도체층에 한 쌍의 n형 반도체 영역에 채널 형성 영역이 끼워져 있었던 것을 사용하였다.
- [0394] 한 쌍의 n형 반도체 영역의 저항률은 $2 \times 10^{-3} \Omega\text{cm}$ 로서 계산하였다.
- [0395] 또한, 채널 길이를 33nm, 채널 폭을 40nm로서 계산하였다.
- [0396] 또한, 게이트 전극의 측벽에 사이드 월을 갖는다.
- [0397] 사이드 월과 중첩되는 반도체 영역을 오프셋 영역으로서 계산하였다.
- [0398] 계산에는 시놉시스사제의 소프트웨어, Sentaurus Device를 사용하였다.
- [0399] 도 26은, 트랜지스터의 드레인 전류(I_d , 실선) 및 이동도(μ , 점선)의 게이트 전압(V_g , 게이트와 소스의 전위차)

의존성의 계산 결과다.

- [0400] 드레인 전류 I_d 는, 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로서 계산한 것이다.
- [0401] 도 26의 (a)는 게이트 절연막의 두께를 15nm로서 계산한 것이다.
- [0402] 도 26의 (b)는 게이트 절연막의 두께를 10nm로 계산한 것이다.
- [0403] 도 26의 (c)는 게이트 절연막의 두께를 5nm로 계산한 것이다.
- [0404] 게이트 절연막이 얇아질수록, 특히 오프 상태에서의 드레인 전류 I_d (오프 전류)가 현저히 저하된다.
- [0405] 한편, 이동도 μ 의 피크값이나 온 상태에서의 드레인 전류 I_d (온 전류)에는 두드러진 변화가 없다.
- [0406] 도 27은, 오프셋 길이(사이드 월 길이) L_{off} 를 5nm로 하였지만 드레인 전류 I_d (실선) 및 이동도 μ (점선)의 게이트 전압 V_g 의존성을 나타낸다.
- [0407] 드레인 전류 I_d 는 드레인 전압을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로서 계산한 것이다.
- [0408] 도 27의 (a)는 게이트 절연막의 두께를 15nm로서 계산한 것이다.
- [0409] 도 27의 (b)는 게이트 절연막의 두께를 10nm로 계산한 것이다.
- [0410] 도 27의 (c)는 게이트 절연막의 두께를 5nm로 계산한 것이다.
- [0411] 도 28은, 오프셋 길이(사이드 월 길이) L_{off} 를 15nm로 하였지만 드레인 전류 I_d (실선) 및 이동도 μ (점선)의 게이트 전압 의존성을 나타낸다.
- [0412] 드레인 전류 I_d 는 드레인 전압을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로서 계산한 것이다.
- [0413] 도 28의 (a)는 게이트 절연막의 두께를 15nm로서 계산한 것이다.
- [0414] 도 28의 (b)는 게이트 절연막의 두께를 10nm로 계산한 것이다.
- [0415] 도 28의 (c)는 게이트 절연막의 두께를 5nm로 계산한 것이다.
- [0416] 모두 게이트 절연막이 얇아질수록, 오프 전류가 현저히 저하되는 한편, 이동도 μ 의 피크값이나 온 전류에는 두드러진 변화가 없다.
- [0417] 또한, 이동도 μ 의 피크는, 도 26에서는 $80\text{cm}^2/\text{Vs}$ 정도이지만, 도 27에서는 $60\text{cm}^2/\text{Vs}$ 정도, 도 28에서는 $40\text{cm}^2/\text{Vs}$ 로, 오프셋 길이 L_{off} 가 증가할수록 저하된다.
- [0418] 또한, 오프 전류도 마찬가지로의 경향이 있다.
- [0419] 한편, 온 전류에는 오프셋 길이 L_{off} 의 증가에 따라 감소하지만, 오프 전류의 저하와 비교하면 훨씬 완만하다.
- [0420] 또한, 모두 게이트 전압 1V 전후이고, 드레인 전류는 메모리 소자 등에서 필요해지는 $10\mu\text{A}$ 를 초과하는 것이 나타났다.
- [0421] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0422] (실시 형태 10)
- [0423] In, Sn, Zn을 함유하는 산화물 반도체를 사용한 트랜지스터는, 산화물 반도체를 형성할 때에 기판을 가열해서 성막하는 것, 혹은 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다.
- [0424] 또한, In, Sn, Zn은 조성비로 각각 5원자% 이상 포함되어 있으면 바람직하다.
- [0425] In, Sn, Zn을 함유하는 산화물 반도체막의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다.
- [0426] 또한, n 채널형의 트랜지스터의 임계값 전압을 플러스 시프트시킬 수 있다.

- [0427] n 채널형의 트랜지스터의 임계값 전압을 플러스 시프트시킴으로써, n 채널형의 트랜지스터의 오프 상태를 유지하기 위한 전압의 절대값을 낮게 할 수 있어, 저소비 전력화가 가능해진다.
- [0428] 또한, n 채널형의 트랜지스터의 임계값 전압을 플러스 시프트시켜, 임계값 전압을 0V 이상으로 하면, 노멀리 오프형의 트랜지스터를 형성하는 것이 가능해진다.
- [0429] 이하 In, Sn, Zn을 함유하는 산화물 반도체를 사용한 트랜지스터의 특성을 나타낸다.
- [0430] (샘플 A 내지 C 공통 조건)
- [0431] 조성비로서 In:Sn:Zn=1:1:1의 타겟을 사용하여, 가스 유량비를 Ar/O₂=6/9sccm, 성막 압력을 0.4Pa, 성막 전력 100W로서, 15nm의 두께가 되도록 기판 위에 산화물 반도체층을 성막하였다.
- [0432] 이어서, 산화물 반도체층을 섬 형상이 되도록 에칭 가공하였다.
- [0433] 그리고, 산화물 반도체층 위에 50nm의 두께가 되도록 텅스텐층을 성막하고, 이를 에칭 가공해서 소스 전극 및 드레인 전극을 형성하였다.
- [0434] 이어서, 플라즈마 CVD법을 이용하여, 실란 가스(SiH₄)와 일산화이질소(N₂O)를 사용해서 100nm의 두께가 되도록 산화질화규소막(SiON)을 형성해서 게이트 절연막으로 하였다.
- [0435] 이어서, 15nm의 두께가 되도록 질화 탄탈을 형성하고, 135nm의 두께가 되도록 텅스텐을 형성하고, 이들을 에칭 가공해서 게이트 전극을 형성하였다.
- [0436] 또한, 플라즈마 CVD법을 이용하여, 300nm의 두께가 되도록 산화질화규소막(SiON)을 형성하고, 1.5 μ m의 두께가 되도록 폴리이미드막을 형성해 층간 절연막으로 하였다.
- [0437] 이어서, 층간 절연막에 콘택트 홀을 형성하고, 50nm의 두께가 되도록 제1 티타늄막을 형성하고, 100nm의 두께가 되도록 알루미늄막을 형성하고, 50nm의 두께가 되도록 제2 티타늄막을 형성하고, 이들을 에칭 가공해서 측정용 패드를 형성하였다.
- [0438] 이상과 같이 해서 트랜지스터를 갖는 반도체 장치를 형성하였다.
- [0439] (샘플 A)
- [0440] 샘플 A는 산화물 반도체층의 성막 중에 기판에 의도적인 가열을 실시하지 않았다.
- [0441] 또한, 샘플 A는 산화물 반도체층의 성막 후이며, 산화물 반도체층의 에칭 가공 전에 가열 처리를 실시하지 않았다.
- [0442] (샘플 B)
- [0443] 샘플 B는 기판을 200℃가 되도록 가열한 상태에서 산화물 반도체층의 성막을 행하였다.
- [0444] 또한, 샘플 B는 산화물 반도체층의 성막 후이며, 산화물 반도체층의 에칭 가공 전에 가열 처리를 실시하지 않았다.
- [0445] 기판을 가열한 상태에서 성막을 행한 이유는, 산화물 반도체층 중에서 도너가 되는 수소를 추출하기 위함이다.
- [0446] (샘플 C)
- [0447] 샘플 C는 기판을 200℃가 되도록 가열한 상태에서 산화물 반도체층의 성막을 행하였다.
- [0448] 또한, 샘플 C는 산화물 반도체층의 성막 후이며, 산화물 반도체층의 에칭 가공 전에 질소 분위기로 650℃ 1시간의 가열 처리를 실시한 후, 산소 분위기에서 650℃ 1시간의 가열 처리를 실시하였다.
- [0449] 질소 분위기로 650℃ 1시간의 가열 처리를 실시한 이유는, 산화물 반도체층 중에서 도너가 되는 수소를 추출하기 위함이다.
- [0450] 여기서, 산화물 반도체층 중에서 도너가 되는 수소를 추출하기 위한 가열 처리로 산소도 이탈하고, 산화물 반도체층 중에서 캐리어가 되는 산소 결손도 발생해버린다.
- [0451] 따라서, 산소 분위기에서 650℃ 1시간의 가열 처리를 실시함으로써, 산소 결손을 저감하는 효과를 겨냥하였다.

- [0452] (샘플 A 내지 C의 트랜지스터의 특성)
- [0453] 도 29의 (a)에 샘플 A의 트랜지스터의 초기 특성을 나타낸다.
- [0454] 도 29의 (b)에 샘플 B의 트랜지스터의 초기 특성을 나타낸다.
- [0455] 도 29의 (c)에 샘플 C의 트랜지스터의 초기 특성을 나타낸다.
- [0456] 샘플 A의 트랜지스터의 전계 효과 이동도는 $18.8 \text{ cm}^2/\text{Vsec}$ 였다.
- [0457] 샘플 B의 트랜지스터의 전계 효과 이동도는 $32.2 \text{ cm}^2/\text{Vsec}$ 였다.
- [0458] 샘플 C의 트랜지스터의 전계 효과 이동도는 $34.5 \text{ cm}^2/\text{Vsec}$ 였다.
- [0459] 여기서, 샘플 A 내지 C와 같은 성막 방법으로 형성한 산화물 반도체층의 단면을 투과형 현미경(TEM)으로 관찰한 바, 성막시에 기관 가열을 행한 샘플 B 및 샘플 C와 같은 성막 방법으로 형성한 샘플에는 결정성이 확인되었다.
- [0460] 그리고, 놀랍게도 성막시에 기관 가열을 행한 샘플은, 결정성 부분과 비결정성 부분을 갖고, 결정성 부분의 배향이 c축 방향으로 정렬되어 있는 결정성이었다.
- [0461] 통상의 다결정에서는 결정성 부분의 배향이 정렬되어 있지 않고, 뿔뿔이 흩어진 방향을 향하고 있기 때문에, 성막시에 기관 가열을 행한 샘플은 새로운 구조를 갖고 있다.
- [0462] 또한, 도 29의 (a) 내지 (c)를 비교하면, 성막시에 기관 가열을 행하는 것, 또는 성막 후에 가열 처리를 행함으로써, 도너가 되는 수소 원소를 추출할 수 있기 때문에, n 채널형 트랜지스터의 임계값 전압을 플러스 시프트할 수 있는 것을 이해할 수 있다.
- [0463] 즉, 성막시에 기관 가열을 행한 샘플 B의 임계값 전압은, 성막시에 기관 가열을 행하지 않은 샘플 A의 임계값 전압보다도 플러스 시프트하고 있다.
- [0464] 또한, 성막시에 기관 가열을 행한 샘플 B 및 샘플 C를 비교한 경우, 성막 후에 가열 처리를 행한 샘플 C가, 성막 후에 가열 처리를 행하지 않은 샘플 B보다도 플러스 시프트하고 있는 것을 알 수 있다.
- [0465] 또한, 수소와 같은 경 원소는 가열 처리의 온도가 높을수록 이탈하기 쉽기 때문에, 가열 처리의 온도가 높을수록 수소가 이탈하기 쉽다.
- [0466] 따라서, 성막시 또는 성막 후 가열 처리의 온도를 더욱 높이면 보다 플러스 시프트가 가능하다고 고찰하였다.
- [0467] (샘플 B와 샘플 C의 게이트 BT 스트레스 시험 결과)
- [0468] 샘플 B(성막 후 가열 처리 없음) 및 샘플 C(성막 후 가열 처리 있음)에 대하여 게이트 BT 스트레스 시험을 행하였다.
- [0469] 우선, 기관 온도를 25°C 로 하고, V_{ds} 를 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성의 측정을 행하여, 가열 및 플러스의 고전압 인가를 행하기 전의 트랜지스터의 특성을 측정하였다.
- [0470] 이어서, 기관 온도를 150°C 로 하고, V_{ds} 를 0.1V로 하였다.
- [0471] 이어서, 게이트 절연막에 인가되는 V_{gs} 에 20V를 인가하고, 그대로 1시간 동안 유지하였다.
- [0472] 이어서, V_{gs} 를 0V로 하였다.
- [0473] 이어서, 기관 온도 25°C 로 하고, V_{ds} 를 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 측정을 행하여, 가열 및 플러스의 고전압 인가를 행한 후의 트랜지스터의 특성을 측정하였다.
- [0474] 이상과 같이 하여, 가열 및 플러스의 고전압 인가를 행하는 전후의 트랜지스터의 특성을 비교하는 것을 플러스 BT 시험이라 칭한다.
- [0475] 한편, 우선 기관 온도를 25°C 로 하고, V_{ds} 를 10V로 하고, 트랜지스터의 $V_{gs}-I_{ds}$ 특성의 측정을 행하여, 가열 및 마이너스의 고전압 인가를 행하기 전의 트랜지스터의 특성을 측정하였다.

- [0476] 이어서, 기판 온도를 150℃로 하고, V_{ds} 를 0.1V로 하였다.
- [0477] 이어서, 게이트 절연막에 V_{gs} 에 -20V를 인가하고, 그대로 1시간 동안 유지하였다.
- [0478] 이어서, V_{gs} 를 0V로 하였다.
- [0479] 이어서, 기판 온도 25℃로 하고, V_{ds} 를 10V로 하고, 트랜지스터의 V_{gs} - I_{ds} 측정을 행하여, 가열 및 마이너스의 고전압 인가를 행한 후의 트랜지스터의 특성을 측정하였다.
- [0480] 이상과 같이 하여, 가열 및 마이너스의 고전압 인가를 행하는 전후의 트랜지스터의 특성을 비교하는 것을 마이너스 BT 시험이라 칭한다.
- [0481] 도 30의 (a)는 샘플 B의 플러스 BT 시험 결과이며, 도 30의 (b)는 샘플 B의 마이너스 BT 시험 결과다.
- [0482] 도 31의 (a)는 샘플 C의 플러스 BT 시험 결과이며, 도 31의 (b)는 샘플 C의 마이너스 BT 시험 결과다.
- [0483] 플러스 BT 시험 및 마이너스 BT 시험은 트랜지스터의 열화 상태를 판별하는 시험이지만, 도 30의 (a) 및 도 31의 (a)를 참조하면 적어도 플러스 BT 시험의 처리를 행함으로써, 임계값 전압을 플러스 시프트시킬 수 있는 것을 알 수 있었다.
- [0484] 특히, 도 30의 (a)에서는 플러스 BT 시험의 처리를 행함으로써, 트랜지스터가 노멀리 오프형이 된 것을 알 수 있었다.
- [0485] 따라서, 트랜지스터의 제작시 가열 처리 이외에, 플러스 BT 시험의 처리를 행함으로써, 임계값 전압의 플러스 시프트화를 촉진시킬 수 있어, 노멀리 오프형 트랜지스터를 형성할 수 있다는 것을 알 수 있었다.
- [0486] 도 32는 샘플 A의 트랜지스터의 오프 전류와 측정시 기판 온도(절대 온도)의 역수와의 관계를 나타낸다.
- [0487] 여기서는, 측정시 기판 온도의 역수에 1000을 곱한 수치(1000/T)를 횡축으로 하고 있다.
- [0488] 또한, 도 32에서는 채널 폭 1 μ m인 경우의 전류량을 도시하고 있다.
- [0489] 기판 온도가 125℃(1000/T가 약 2.51)일 때 1×10^{-19} A 이하로 되어 있었다.
- [0490] 기판 온도가 85℃(1000/T가 약 2.79)일 때 1×10^{-20} A 이하로 되어 있었다.
- [0491] 즉, 실리콘 반도체를 사용한 트랜지스터와 비교해서 매우 낮은 오프 전류인 것을 알 수 있었다.
- [0492] 또한, 온도가 낮을수록 오프 전류가 저하되기 때문에, 상온이면 보다 낮은 오프 전류인 것은 명확하다.
- [0493] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0494] (실시 형태 11)
- [0495] 본 실시 형태에서는, 기억 회로의 구조 중 한 형태에 대해서 설명한다.
- [0496] 도 17 및 도 18은 기억 회로의 단면도다. 도 17 및 도 18에 나타내는 기억 회로는 상부에 다층으로 형성된 복수의 기억 소자를 갖고, 하부에 논리 회로(3004)를 갖는다. 복수의 기억 소자 중, 기억 소자(3170a)와, 기억 소자(3170b)를 대표로 나타낸다. 기억 소자(3170a) 및 기억 소자(3170b)로는, 예를 들어 상기에 실시 형태에서 설명한 휘발성 기억부(101) 또는 불휘발성 기억부(102)와 마찬가지로의 구성으로 할 수도 있다.
- [0497] 또한, 기억 소자(3170a)에 포함되는 트랜지스터(3171a)를 대표로 나타낸다. 기억 소자(3170b)에 포함되는 트랜지스터(3171b)를 대표로 나타낸다. 트랜지스터(3171a) 및 트랜지스터(3171b)는, 산화물 반도체층에 채널 형성 영역을 갖는다. 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터의 구성에 대해서는, 그 밖의 실시 형태에서 설명한 구성과 마찬가지로이기 때문에, 설명은 생략한다.
- [0498] 트랜지스터(3171a)의 소스 전극 및 드레인 전극과 동일한 층에 형성된 전극(3501a)은, 전극(3502a)에 의해 전극(3003a)과 전기적으로 접속되어 있다. 트랜지스터(3171b)의 소스 전극 및 드레인 전극과 동일한 층에 형성된 전극(3501c)은, 전극(3502c)에 의해 전극(3003c)과 전기적으로 접속되어 있다.
- [0499] 또한, 논리 회로(3004)는, 산화물 반도체 이외의 반도체 재료를 채널 형성 영역으로서 사용한 트랜지스터(3001)를 갖는다. 트랜지스터(3001)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(3000)에 소자 분리 절

연막(3106)을 형성하고, 소자 분리 절연막(3106)에 둘러싸인 영역에 채널 형성 영역이 되는 영역을 형성함으로써 얻어지는 트랜지스터로 할 수 있다. 또한, 트랜지스터(3001)는, 절연 표면 위에 형성된 실리콘막 등의 반도체막이나, SOI 기판의 실리콘막에 채널 형성 영역이 형성되는 트랜지스터여도 좋다. 트랜지스터(3001)의 구성에 대해서는, 공지된 구성을 사용하는 것이 가능하기 때문에 설명은 생략한다.

- [0500] 트랜지스터(3171a)가 형성된 층과, 트랜지스터(3001)가 형성된 층 사이에는, 배선(3100a) 및 배선(3100b)이 형성되어 있다. 배선(3100a)과 트랜지스터(3001)가 형성된 층 사이에는 절연막(3140a)이 설치되고, 배선(3100a)과 배선(3100b) 사이에는 절연막(3141a)이 설치되고, 배선(3100b)과 트랜지스터(3171a)가 형성된 층 사이에는 절연막(3142a)이 설치되어 있다.
- [0501] 마찬가지로, 트랜지스터(3171b)가 형성된 층과, 트랜지스터(3171a)가 형성된 층 사이에는, 배선(3100c) 및 배선(3100d)이 형성되어 있다. 배선(3100c)과 트랜지스터(3171a)가 형성된 층 사이에는 절연막(3140b)이 설치되고, 배선(3100c)과 배선(3100d) 사이에는 절연막(3141b)이 설치되고, 배선(3100d)과 트랜지스터(3171b)가 형성된 층 사이에는 절연막(3142b)이 설치되어 있다.
- [0502] 절연막(3140a), 절연막(3141a), 절연막(3142a), 절연막(3140b), 절연막(3141b), 절연막(3142b)은 층간 절연막으로서 기능하며, 그의 표면은 평탄화된 구성으로 할 수 있다.
- [0503] 배선(3100a), 배선(3100b), 배선(3100c), 배선(3100d)에 의해, 기억 소자간의 전기적 접속이나, 논리 회로(3004)와 기억 소자와의 전기적 접속 등을 행할 수 있다.
- [0504] 논리 회로(3004)에 포함되는 전극(3303)은, 상부에 설치된 회로와 전기적으로 접속할 수 있다.
- [0505] 예를 들어, 도 17에 도시한 바와 같이, 전극(3505)에 의해 전극(3303)은 배선(3100a)과 전기적으로 접속할 수 있다. 배선(3100a)은, 전극(3503a)에 의해 전극(3501b)과 전기적으로 접속할 수 있다. 이와 같이 해서, 배선(3100a) 및 전극(3303)을 트랜지스터(3171a)의 소스 또는 드레인과 전기적으로 접속할 수 있다. 또한, 전극(3501b)은, 전극(3502b)에 의해 전극(3003b)과 전기적으로 접속할 수 있다. 전극(3003b)은, 전극(3503b)에 의해 배선(3100c)과 전기적으로 접속할 수 있다.
- [0506] 도 17에서는, 전극(3303)과 트랜지스터(3171a)와의 전기적 접속은, 배선(3100a)을 통해 행해지는 예를 나타냈지만 이것으로 한정되지 않는다. 전극(3303)과 트랜지스터(3171a)와의 전기적 접속은, 배선(3100b)을 통해 행해져도 좋고, 배선(3100a)과 배선(3100b)의 양쪽을 통해 행해져도 좋다. 또한, 도 18에 도시한 바와 같이, 전극(3303)과 트랜지스터(3171a)와의 전기적 접속은, 배선(3100a)도 배선(3100b)도 통하지 않고 행해져도 좋다. 도 18에서는, 전극(3303)은, 전극(3503)에 의해 전극(3003b)과 전기적으로 접속되어 있다. 전극(3003b)은, 트랜지스터(3171a)의 소스 또는 드레인과 전기적으로 접속된다. 이와 같이 해서 전극(3303)과 트랜지스터(3171a)와의 전기적 접속을 취할 수 있다.
- [0507] 또한, 도 17 및 도 18에서는, 2개의 기억 소자(기억 소자(3170a)와, 기억 소자(3170b))가 적층된 구성을 예로서 나타냈지만, 적층하는 기억 소자의 수는 이것으로 한정되지 않는다.
- [0508] 또한, 도 17 및 도 18에서는, 트랜지스터(3171a)가 형성된 층과, 트랜지스터(3001)가 형성된 층 사이에는, 배선(3100a)이 형성된 배선층과, 배선(3100b)이 형성된 배선층과의, 2개의 배선층이 설치된 구성을 나타냈지만 이것으로 한정되지 않는다. 트랜지스터(3171a)가 형성된 층과, 트랜지스터(3001)가 형성된 층 사이에 1개의 배선층이 설치되어 있어도 좋고, 3개 이상의 배선층이 설치되어 있어도 좋다.
- [0509] 또한, 도 17 및 도 18에서는, 트랜지스터(3171b)가 형성된 층과, 트랜지스터(3171a)가 형성된 층 사이에는, 배선(3100c)이 형성된 배선층과, 배선(3100d)이 형성된 배선층과의, 2개의 배선층이 설치된 구성을 나타냈지만 이것으로 한정되지 않는다. 트랜지스터(3171b)가 형성된 층과, 트랜지스터(3171a)가 형성된 층 사이에 1개의 배선층이 설치되어 있어도 좋고, 3개 이상의 배선층이 설치되어 있어도 좋다.
- [0510] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.
- [0511] [실시예 1]
- [0512] 본 발명의 한 형태에 관한 신호 처리 장치를 사용함으로써, 소비 전력이 낮은 전자 기기를 제공하는 것이 가능하다. 특히 전력의 공급을 항상 받는 것이 곤란한 휴대용 전자 기기의 경우, 본 발명의 한 형태에 관한 소비 전력이 낮은 신호 처리 장치를 그의 구성 요소에 추가함으로써, 연속 사용 시간이 길어진다는 장점이 얻어진다. 또한, 오프 전류가 낮은 트랜지스터를 사용함으로써, 오프 전류의 높이를 커버하기 위한 장황한 회로 설계가 불

필요해지기 때문에, 신호 처리 장치의 집적도를 높일 수 있고, 신호 처리 장치를 고기능화시킬 수 있다.

- [0513] 본 발명의 한 형태에 관한 신호 처리 장치는, 표시 장치, 개인용 컴퓨터, 기록 매체를 구비한 화상 재생 장치 (대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그의 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 밖에, 본 발명의 한 형태에 관한 신호 처리 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동판매기 등을 들 수 있다.
- [0514] 본 발명의 한 형태에 관한 신호 처리 장치를 휴대 전화, 스마트폰, 전자 서적 등의 휴대용 전자 기기에 응용하였을 경우에 대해서 설명한다.
- [0515] 도 19는 휴대용 전자 기기의 블록도다. 도 19에 나타내는 휴대용 전자 기기는 RF 회로(421), 아날로그 기저 대역 회로(422), 디지털 기저 대역 회로(423), 배터리(424), 전원 회로(425), 어플리케이션 프로세서(426), 플래시 메모리(430), 디스플레이 컨트롤러(431), 기억 회로(432), 디스플레이(433), 터치 센서(439), 음성 회로(437), 키보드(438) 등으로 구성되어 있다. 디스플레이(433)는 표시부(434), 소스 드라이버(435), 게이트 드라이버(436)에 의해 구성되어 있다. 어플리케이션 프로세서(426)는 CPU(427), DSP(428), 인터페이스(429)를 갖고 있다. CPU(427)에 상기 실시 형태로 나타난 신호 처리 장치를 채용함으로써, 소비 전력을 저감시킬 수 있다. 또한, 일반적으로 기억 회로(432)는 SRAM 또는 DRAM으로 구성되어 있지만, 기억 회로(432)에 상기 실시 형태로 나타난 기억 회로를 채용함으로써, 소비 전력을 저감시키는 것이 가능해진다.
- [0516] 도 20에 기억 회로(432)의 구성을 블록도로 나타낸다. 기억 회로(432)는, 기억 회로(442), 기억 회로(443), 스위치(444), 스위치(445) 및 메모리 컨트롤러(441)를 갖고 있다.
- [0517] 우선, 특정 화상 데이터가 휴대용 전자 기기에서 수신되거나 또는 어플리케이션 프로세서(426)에 의해 형성된다. 이 화상 데이터는, 스위치(444)를 통해 기억 회로(442)에 기억된다. 그리고, 스위치(445)를 통해 출력된 화상 데이터는, 디스플레이 컨트롤러(431)를 통해 디스플레이(433)에 보내진다. 디스플레이(433)가 화상 데이터를 사용해서 화상의 표시를 행한다.
- [0518] 정지 화상과 같이, 표시되는 화상에 변경이 없으면, 통상 30Hz 내지 60Hz 정도의 주기로, 기억 회로(442)로부터 판독된 화상 데이터가, 스위치(445)를 통해 디스플레이 컨트롤러(431)에 계속해서 보내진다. 유저가 화면에 표시되어 있는 화상을 재기입하는 조작을 행하였을 때, 어플리케이션 프로세서(426)는, 새로운 화상 데이터를 형성하고, 그의 화상 데이터는 스위치(444)를 통해 기억 회로(443)에 기억된다. 이 새로운 화상 데이터의 기억 회로(443)에의 기억이 행해지고 있는 사이에도, 기억 회로(442)로부터 스위치(445)를 통해 정기적으로 화상 데이터가 판독된다.
- [0519] 기억 회로(443)에의 새로운 화상 데이터의 기억이 완료되면, 다음 프레임 기간보다, 기억 회로(443)에 기억된 새로운 화상 데이터가 판독되어, 스위치(445), 디스플레이 컨트롤러(431)를 통해, 디스플레이(433)에 상기 화상 데이터가 보내진다. 디스플레이(433)에서는, 보내져 온 새로운 화상 데이터를 사용하여 화상의 표시를 행한다.
- [0520] 이 화상 데이터의 판독은, 추가로 다음 새로운 화상 데이터가 기억 회로(442)에 기억될 때까지 계속된다. 이와 같이, 기억 회로(442), 기억 회로(443)가 교대로 화상 데이터의 기입과 판독을 행하고, 디스플레이(433)는 화상의 표시를 행한다.
- [0521] 기억 회로(442), 기억 회로(443)는 각각 별도의 기억 회로에는 한정되지 않으며, 하나의 기억 회로가 갖는 메모리 영역을 분할해서 사용해도 좋다. 이들의 기억 회로에 상기 실시 형태로 나타난 기억 회로를 채용함으로써, 소비 전력을 저감시키는 것이 가능해진다.
- [0522] 도 21은 전자 서적의 블록도다. 전자 서적은 배터리(451), 전원 회로(452), 마이크로프로세서(453), 플래시 메모리(454), 음성 회로(455), 키보드(456), 기억 회로(457), 터치 패널(458), 디스플레이(459), 디스플레이 컨트롤러(460)에 의해 구성된다. 상기 실시 형태로 나타난 신호 처리 장치를 마이크로프로세서(453)에 채용함으로써, 소비 전력을 저감시키는 것이 가능해진다. 또한, 상기 실시 형태에서 나타난 기억 회로를 기억 회로(457)에 채용함으로써, 소비 전력을 저감시키는 것이 가능해진다.
- [0523] 예를 들어, 유저가 서적 데이터 중 특정한 개소에서 표시의 색을 바꾸거나, 언더라인을 그리거나, 문자를 굵게 하거나, 문자의 서체를 바꾸는 등에 의해, 당해 개소와 그 이외의 개소와의 차이를 명확히 하는 하이라이트 기

능을 이용하는 경우, 서적 데이터 중 유저가 지정한 개소의 서적 데이터를 기억할 필요가 있다. 기억 회로(457)는, 상기 서적 데이터를 일시적으로 기억하는 기능을 갖는다. 또한, 상기 데이터를 장기간에 걸쳐 보존하는 경우에는, 플래시 메모리(454)에 상기 서적 데이터를 카피해 두어도 좋다.

[0524] 본 실시예는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

부호의 설명

- [0525] 100 기억 회로
- 101 휘발성 기억부
- 102 불휘발성 기억부
- 103 셀렉터 회로
- 111 기억 회로
- 112 승압 회로
- 113 스위치 회로
- 114 스위치 회로
- 115 제1 위상 반전 회로
- 116 제2 위상 반전 회로
- 121 제1 트랜지스터
- 122 제2 트랜지스터
- 123 제1 용량 소자
- 124 승압용 트랜지스터
- 125 제2 용량 소자
- 126 제3 트랜지스터
- 127 제4 트랜지스터
- 128 제5 트랜지스터
- 129 제6 트랜지스터
- 130 제7 트랜지스터
- 131 제8 트랜지스터
- 132 제9 트랜지스터
- 150 신호 처리 장치
- 151 연산 장치
- 152 연산 장치
- 153 기억 회로
- 154 기억 회로
- 155 기억 회로
- 156 제어 장치
- 157 전원 제어 회로
- 401 위상 반전 회로

- 402 기억 회로
- 403 기억 회로군
- 421 RF 회로
- 422 아날로그 기저 대역 회로
- 423 디지털 기저 대역 회로
- 424 배터리
- 425 전원 회로
- 426 어플리케이션 프로세서
- 427 CPU
- 428 DSP
- 429 인터페이스
- 430 플래시 메모리
- 431 디스플레이 컨트롤러
- 432 기억 회로
- 433 디스플레이
- 434 표시부
- 435 소스 드라이버
- 436 게이트 드라이버
- 437 음성 회로
- 438 키보드
- 439 터치 센서
- 441 메모리 컨트롤러
- 442 기억 회로
- 443 기억 회로
- 444 스위치
- 445 스위치
- 451 배터리
- 452 전원 회로
- 453 마이크로프로세서
- 454 플래시 메모리
- 455 음성 회로
- 456 키보드
- 457 기억 회로
- 458 터치 패널
- 459 디스플레이
- 460 디스플레이 컨트롤러

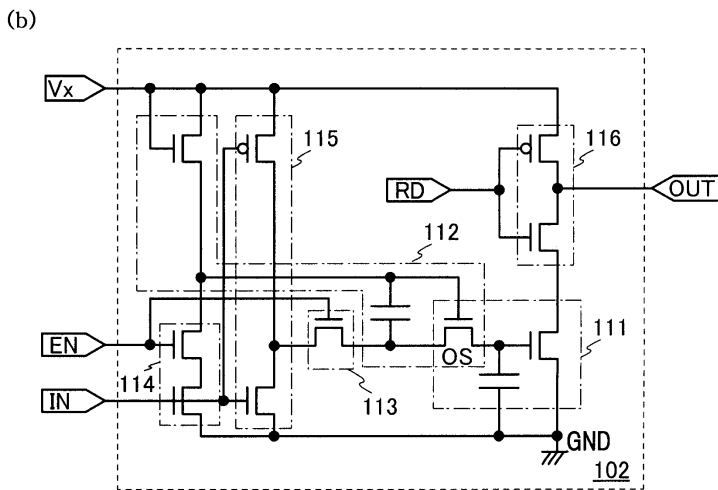
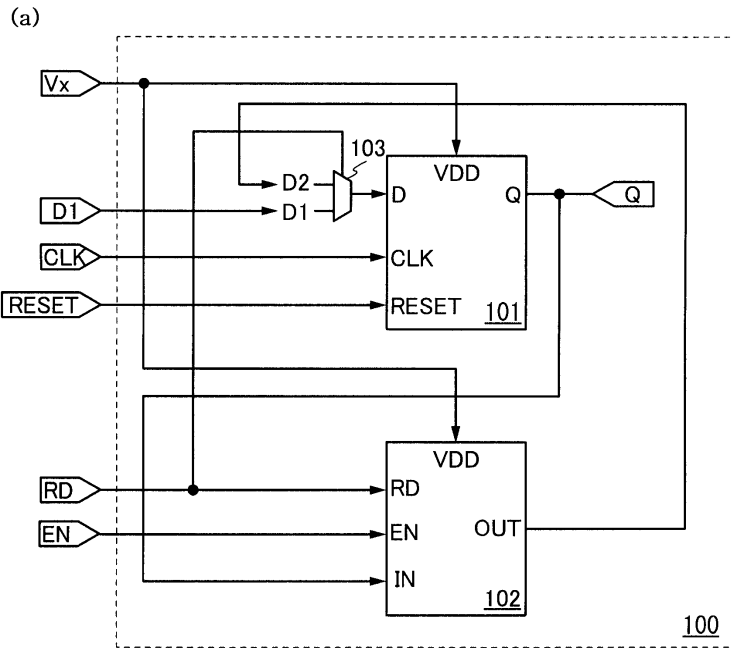
- 700 기관
- 701 절연막
- 702 반도체막
- 703 게이트 절연막
- 704 반도체층
- 707 게이트 전극
- 709 불순물 영역
- 710 채널 형성 영역
- 712 절연막
- 713 절연막
- 716 산화물 반도체층
- 719 도전막
- 720 도전막
- 721 게이트 절연막
- 722 게이트 전극
- 723 도전막
- 724 절연막
- 725 개구부
- 726 배선
- 727 절연막
- 901 트랜지스터
- 902 절연막
- 903 산화물 반도체층
- 904 소스 전극
- 905 드레인 전극
- 906 게이트 절연막
- 907 게이트 전극
- 908 고농도 영역
- 909 채널 형성 영역
- 911 트랜지스터
- 912 절연막
- 913 산화물 반도체층
- 914 소스 전극
- 915 드레인 전극
- 916 게이트 절연막
- 917 게이트 전극

- 918 고농도 영역
- 919 채널 형성 영역
- 921 트랜지스터
- 922 절연막
- 923 산화물 반도체층
- 924 소스 전극
- 925 드레인 전극
- 926 게이트 절연막
- 927 게이트 전극
- 928 고농도 영역
- 929 저농도 영역
- 930 사이드 월
- 931 채널 형성 영역
- 941 트랜지스터
- 942 절연막
- 943 산화물 반도체층
- 944 소스 전극
- 945 드레인 전극
- 946 게이트 절연막
- 947 게이트 전극
- 948 고농도 영역
- 949 저농도 영역
- 950 사이드 월
- 951 채널 형성 영역
- 3000 기관
- 3001 트랜지스터
- 3004 논리 회로
- 3106 소자 분리 절연막
- 3303 전극
- 3503 전극
- 3505 전극
- 3003a 전극
- 3003b 전극
- 3003c 전극
- 3100a 배선
- 3100b 배선

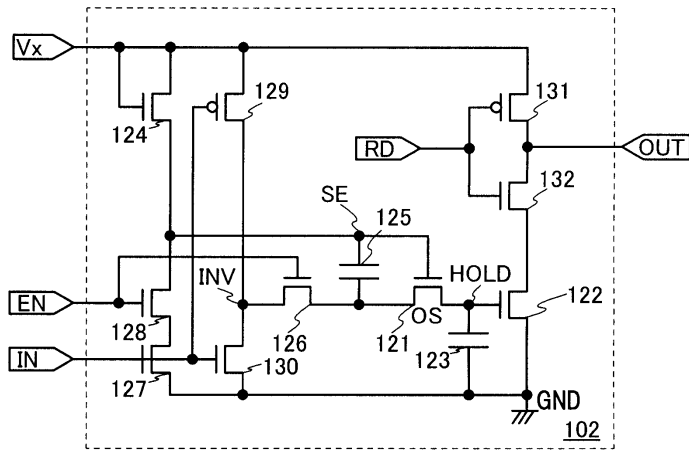
3100c 배선
3100d 배선
3140a 절연막
3140b 절연막
3141a 절연막
3141b 절연막
3142a 절연막
3142b 절연막
3170a 기억 소자
3170b 기억 소자
3171a 트랜지스터
3171b 트랜지스터
3501a 전극
3501b 전극
3501c 전극
3502a 전극
3502b 전극
3502c 전극
3503a 전극
3503b 전극
9900 기관
9901 ALU
9902 ALU?컨트롤러
9903 인스트럭션?디코더
9904 인터럽트?컨트롤러
9905 타이밍?컨트롤러
9906 레지스터
9907 레지스터?컨트롤러
9908 버스?I/F
9909 ROM
9920 ROM?I/F

도면

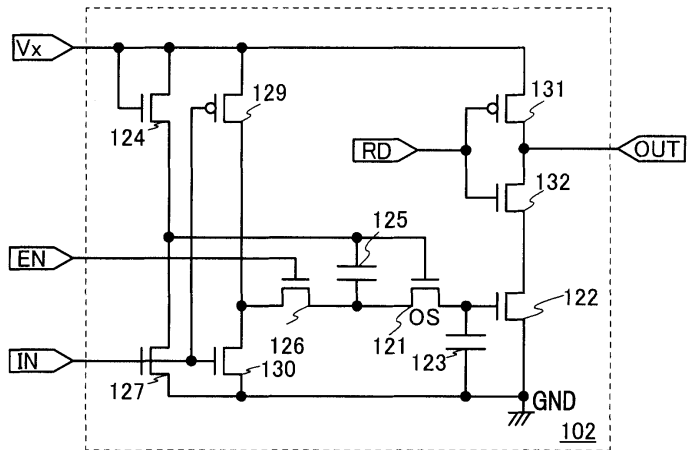
도면1



도면2



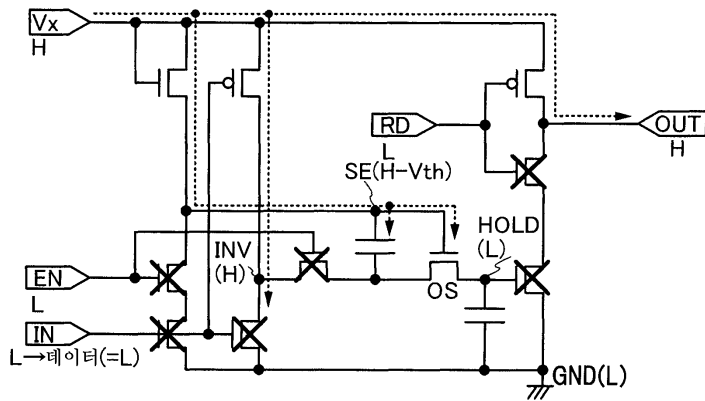
도면3



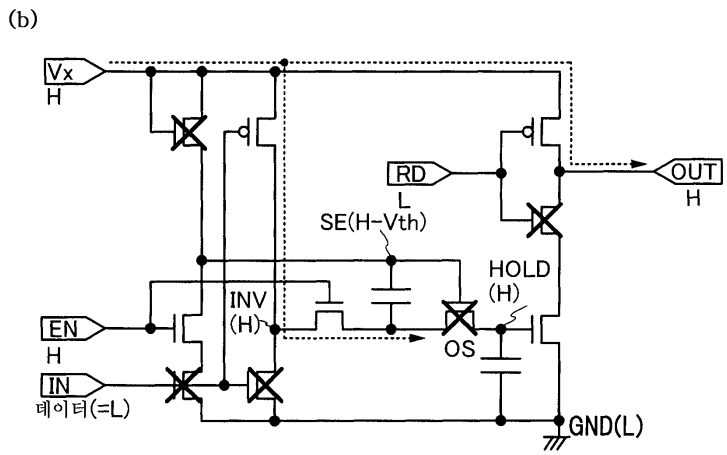
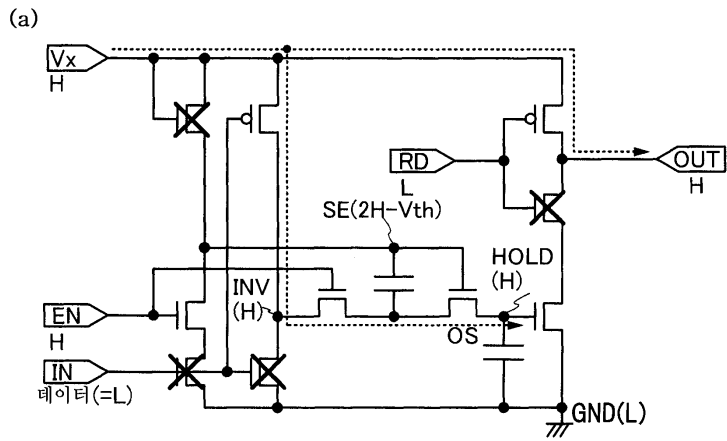
도면4

		기간 1	기간 2	기간 3	기간 4	기간 5	기간 6
Vx	VDD						
	VSS						
GND	VDD						
	VSS						
RE SET	VDD						
	VSS						
CLK	VDD						
	VSS						
D1	VDD	L	X	데이터A	X	X	L
	VSS						
IN (Q)	VDD	L	X	데이터A	X	X	L
	VSS						
D2(OUT)	VDD		H	X	X	H	X
	VSS						
EN	VDD						
	VSS						
RD	VDD						
	VSS						

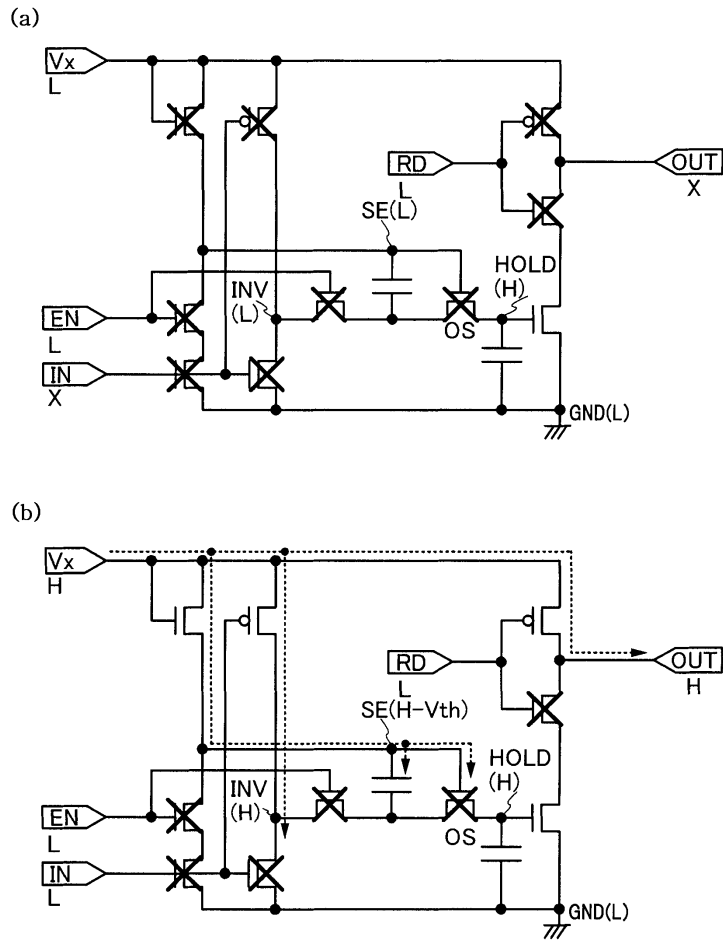
도면5



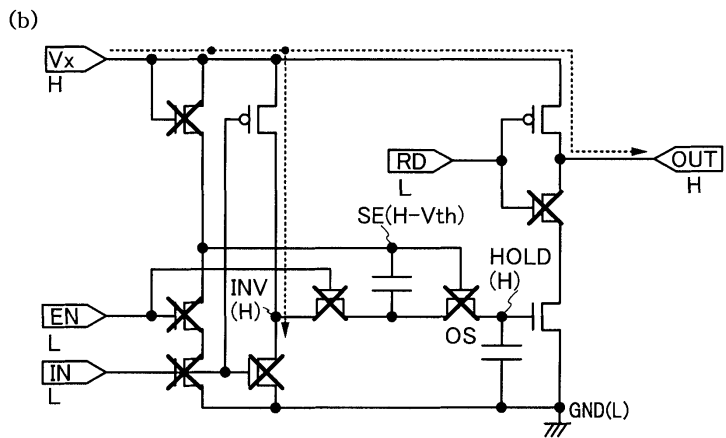
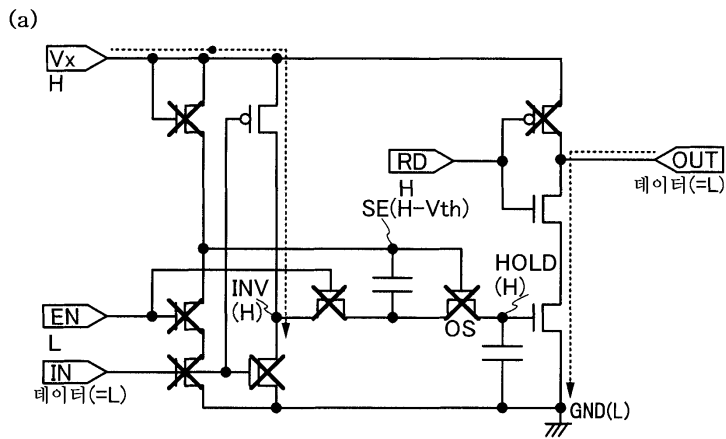
도면6



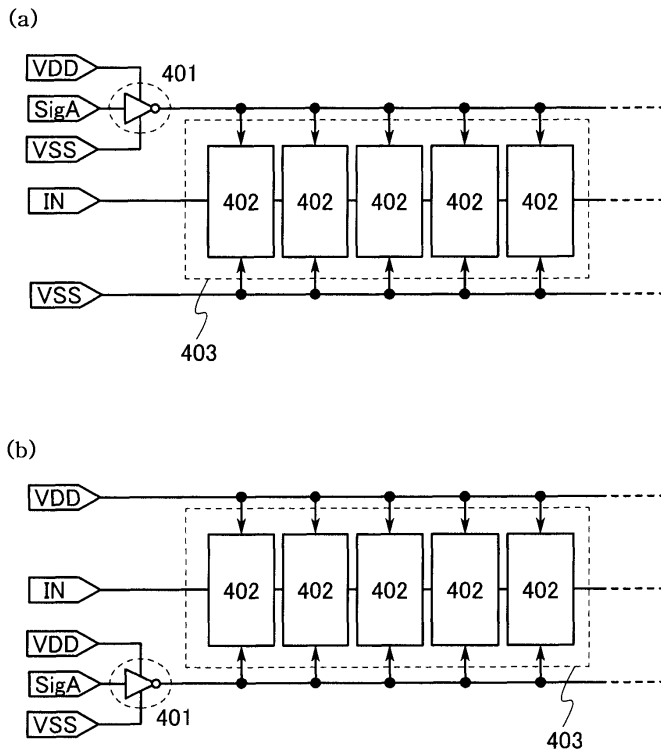
도면7



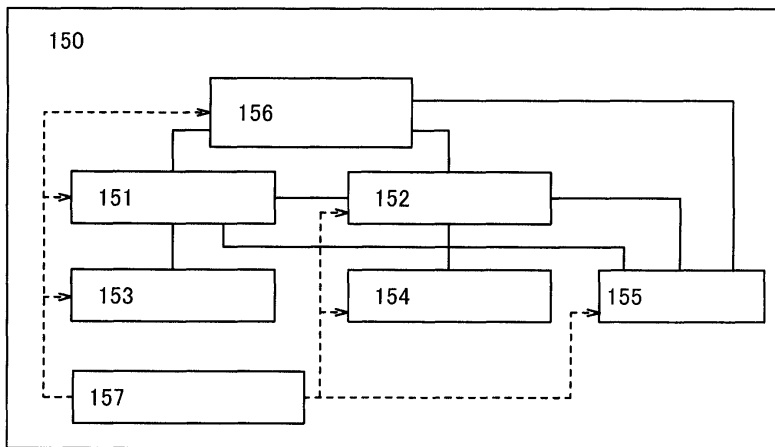
도면8



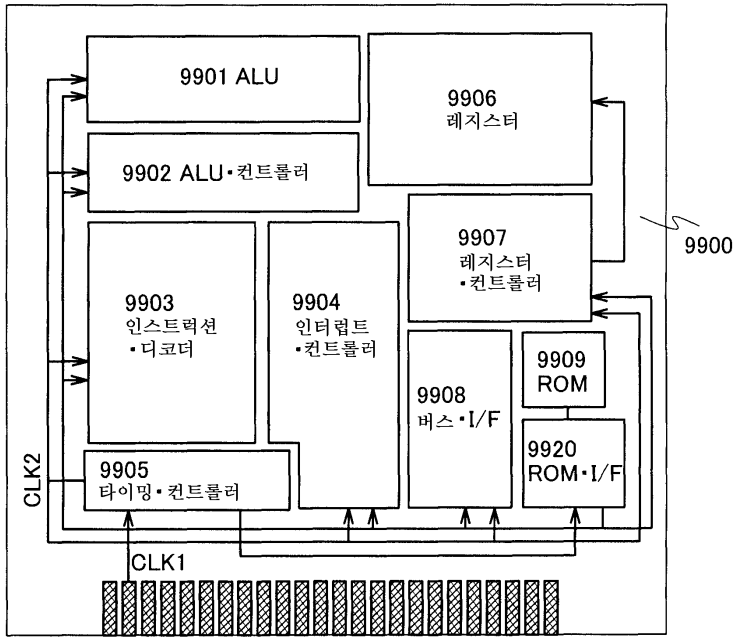
도면9



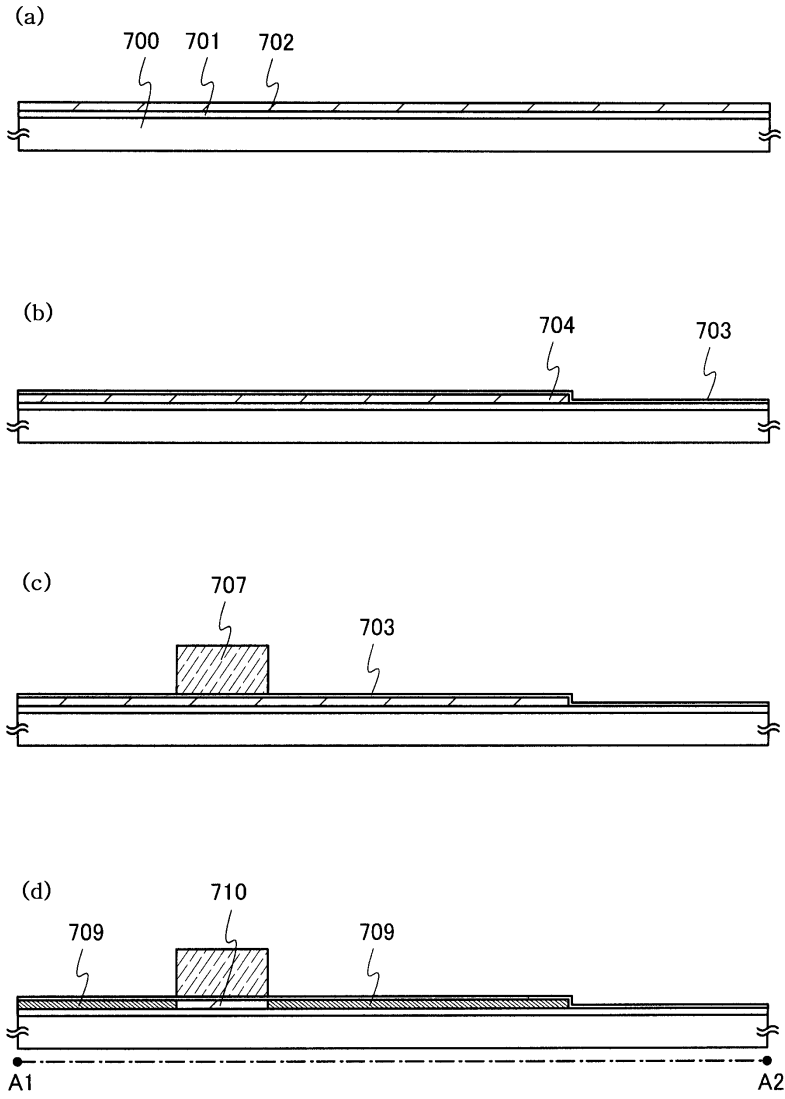
도면10



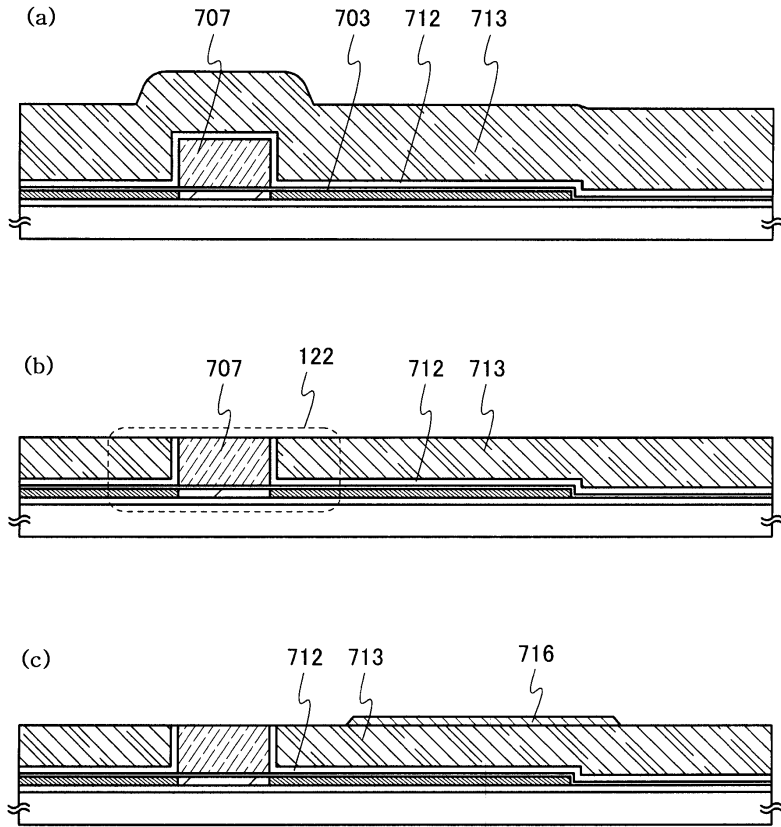
도면11



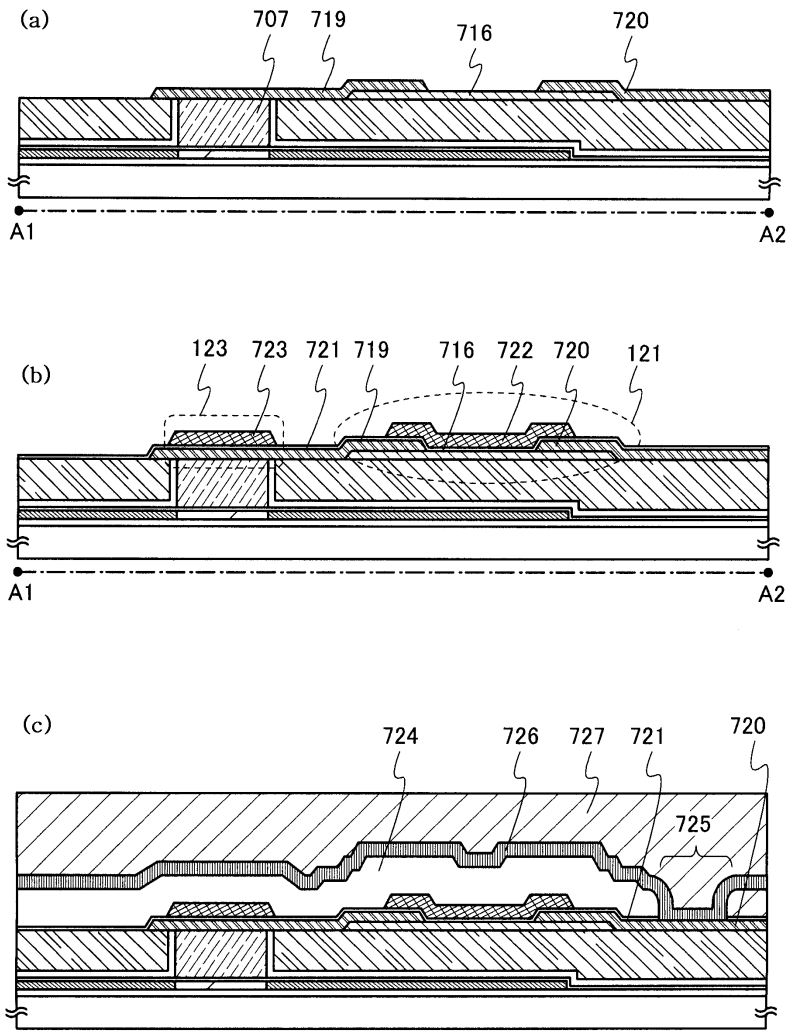
도면12



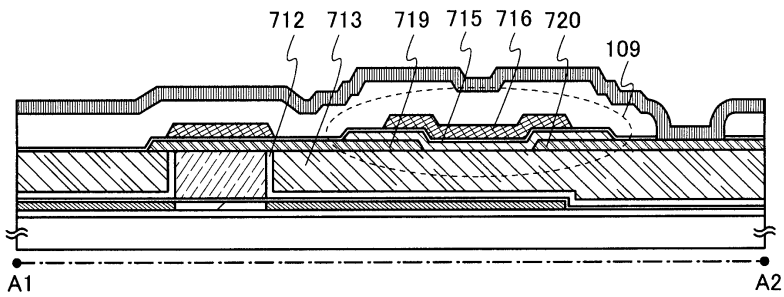
도면13



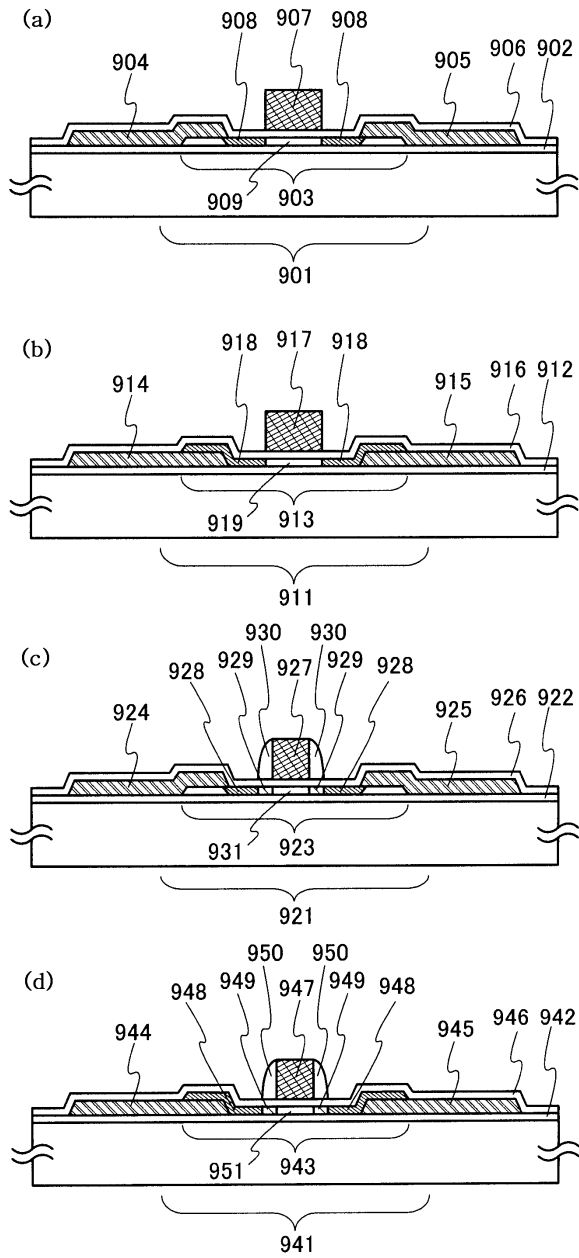
도면14



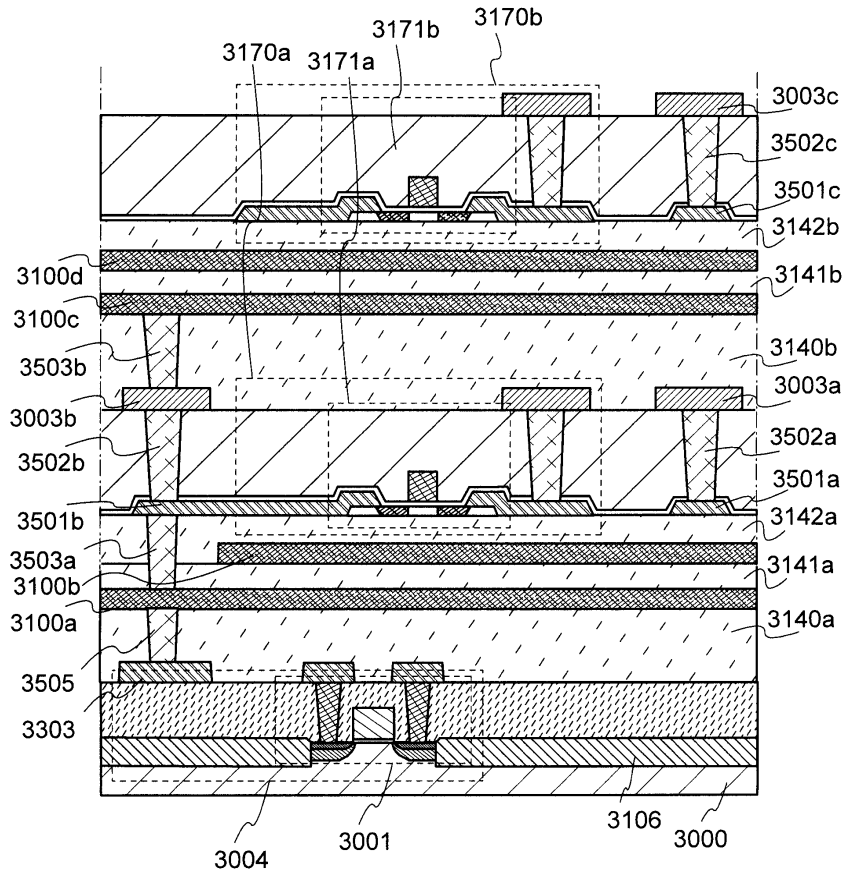
도면15



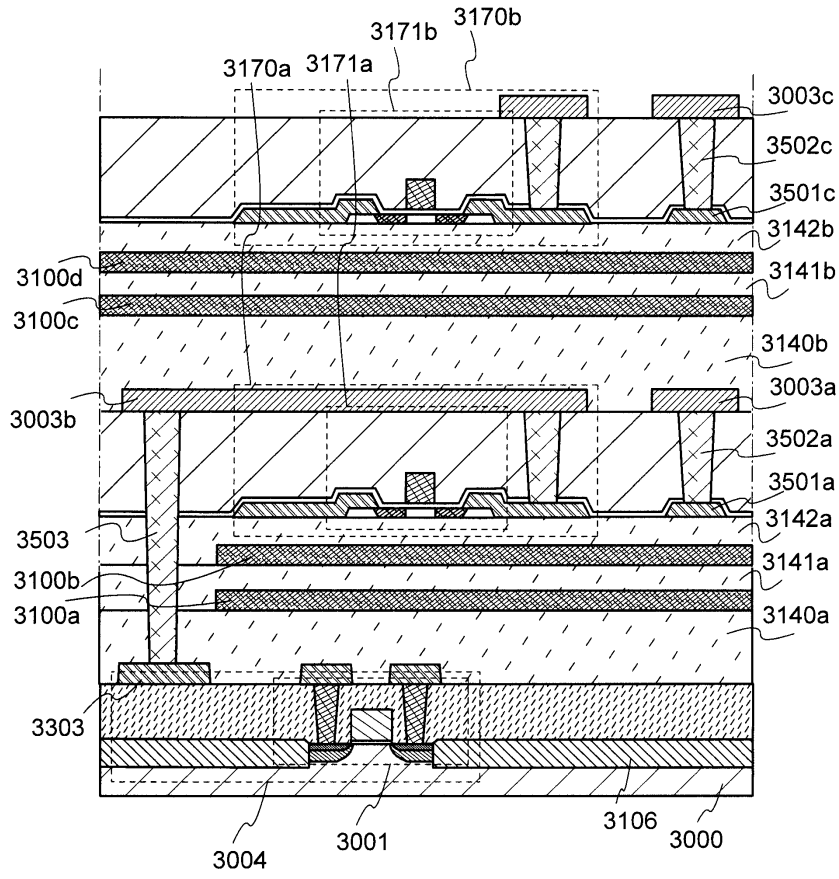
도면16



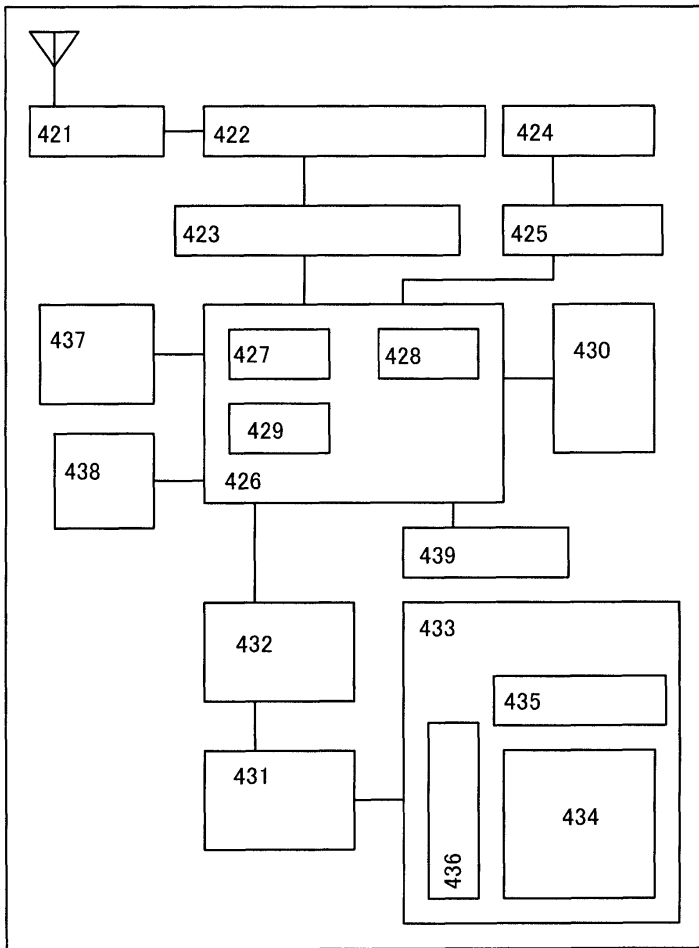
도면17



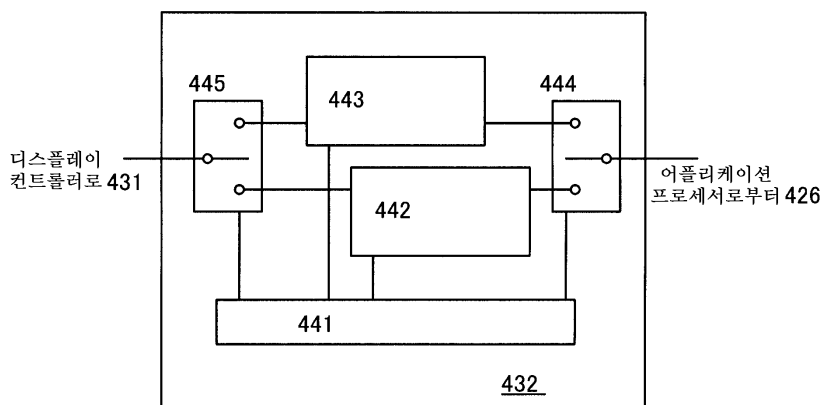
도면18



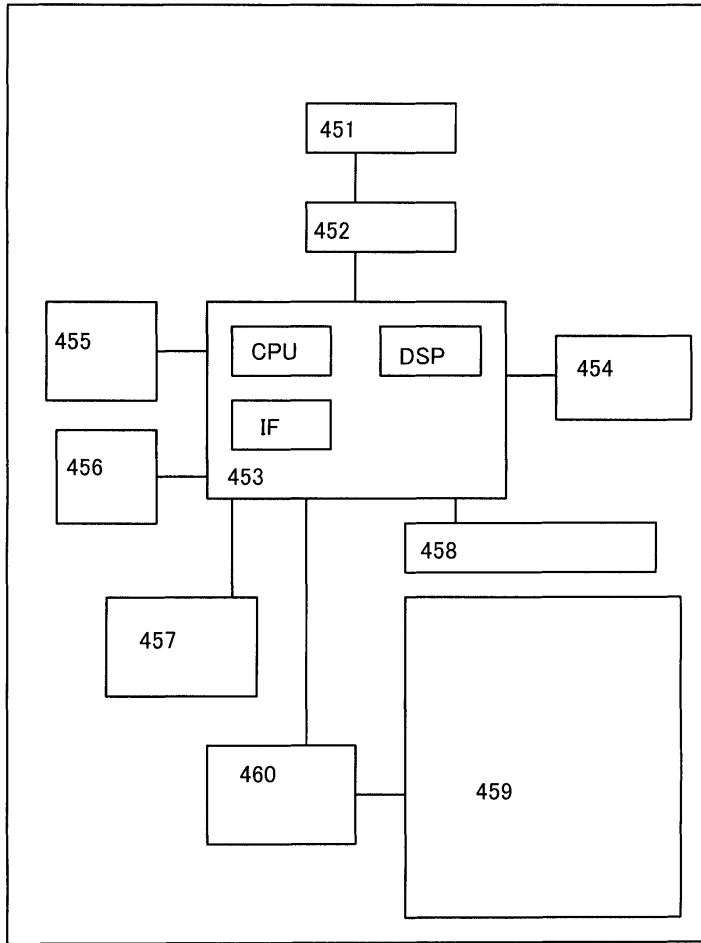
도면19



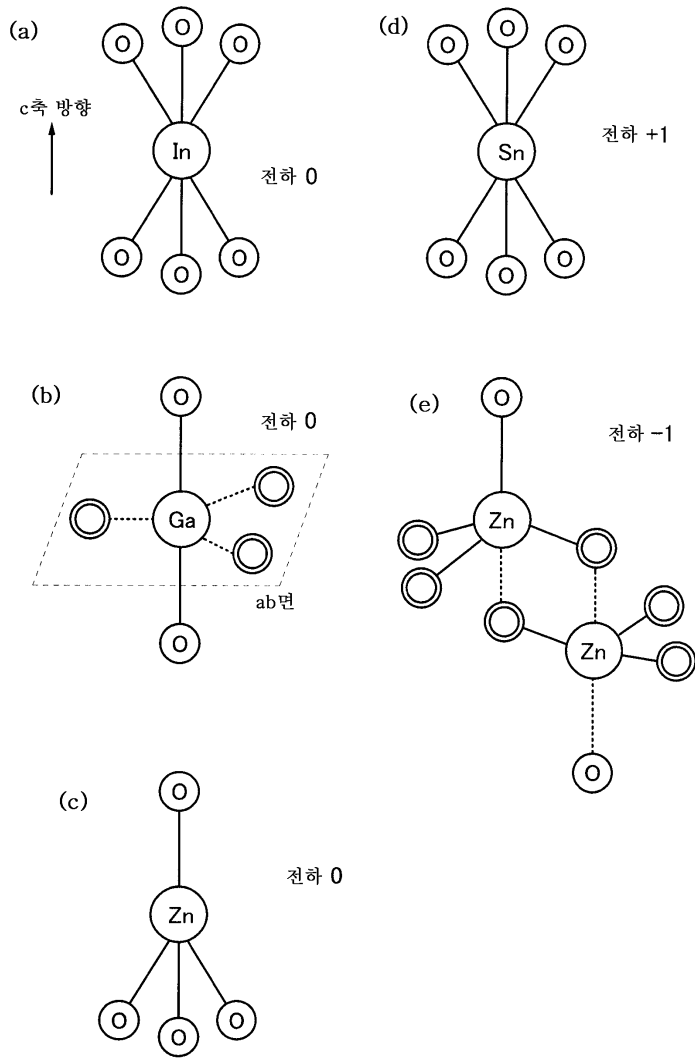
도면20



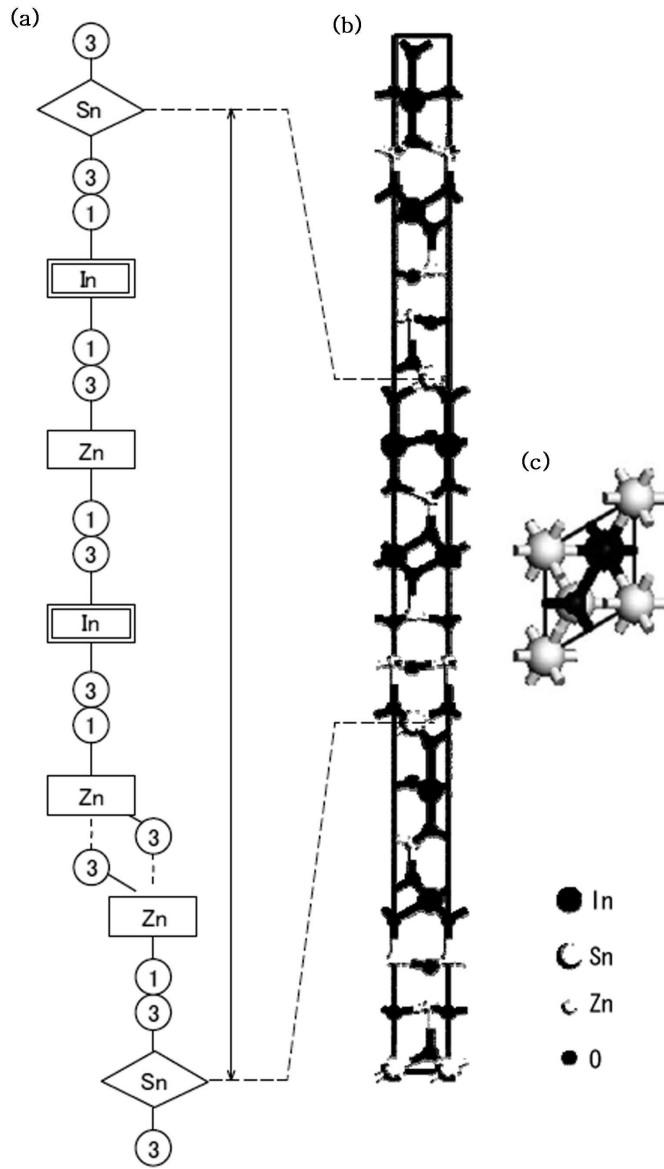
도면21



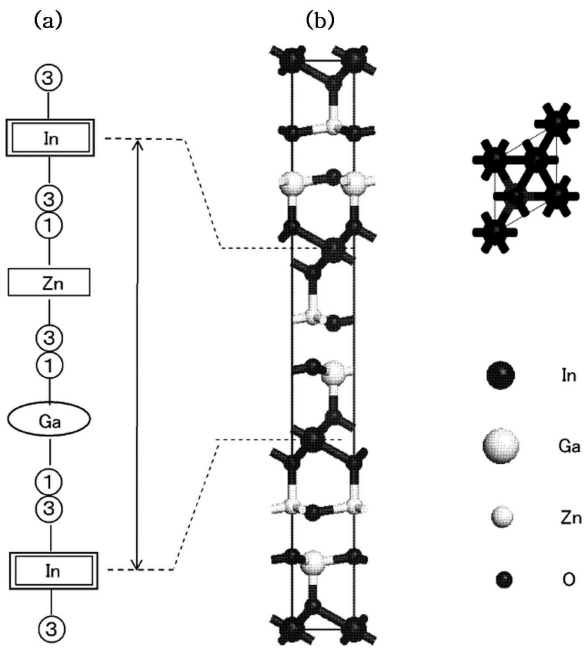
도면22



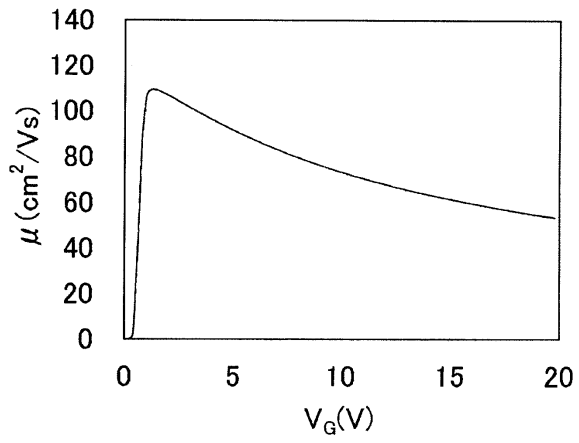
도면23



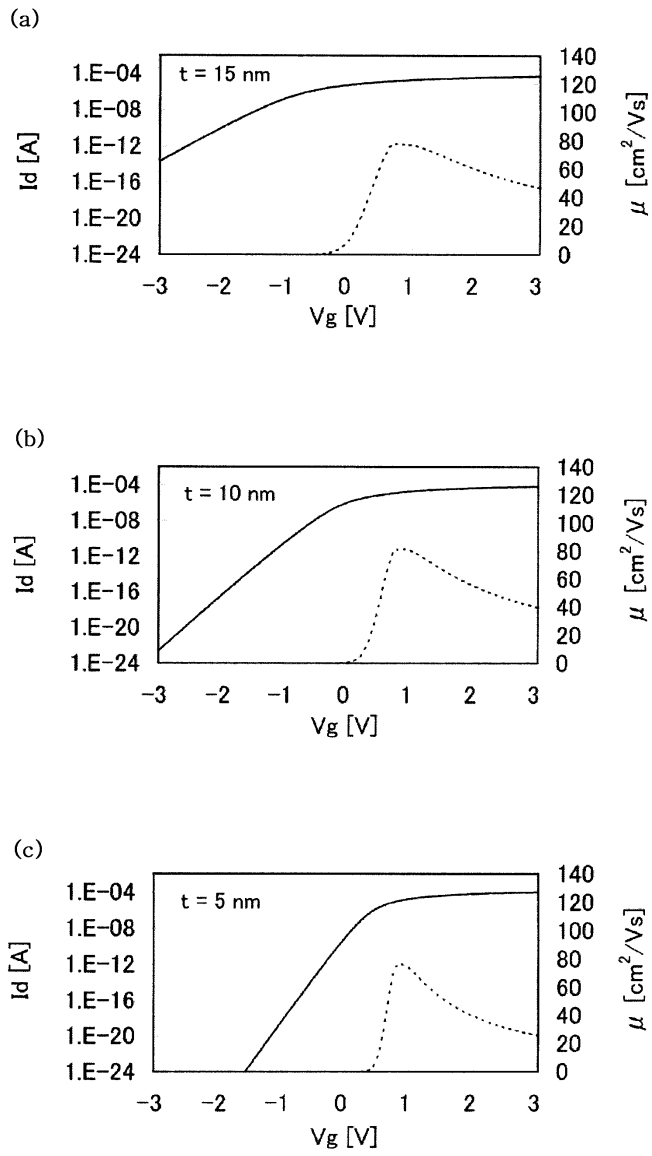
도면24



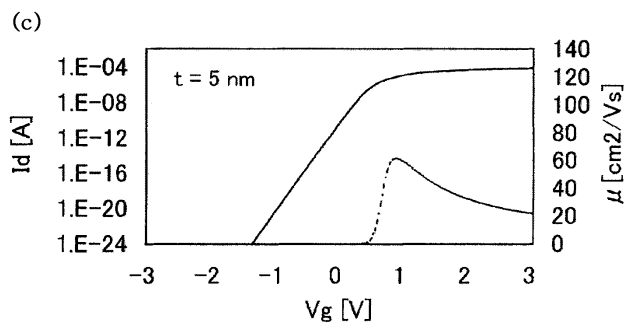
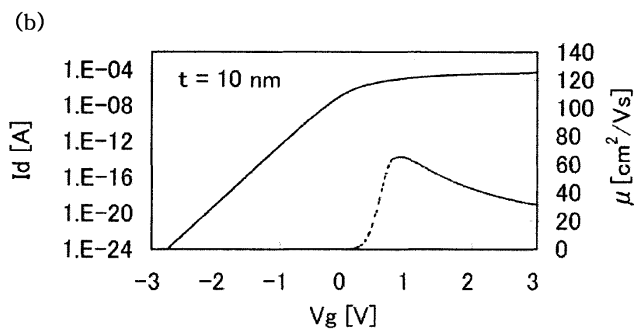
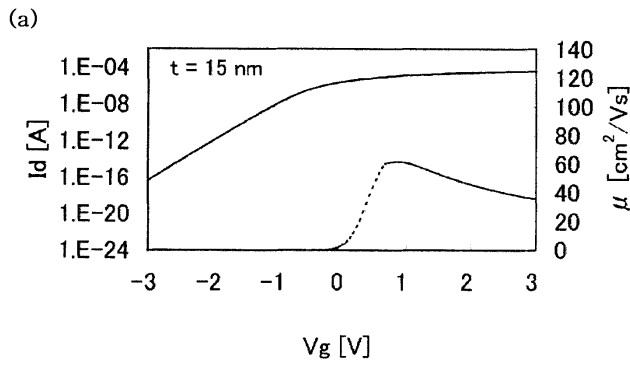
도면25



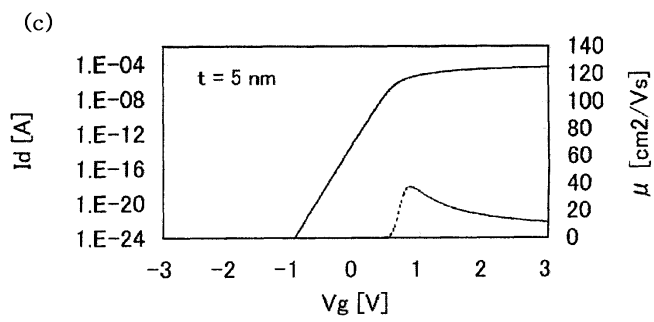
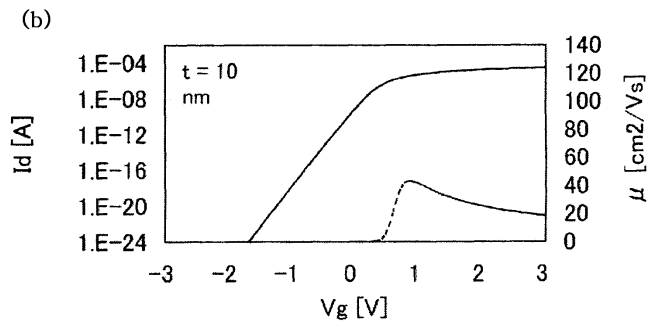
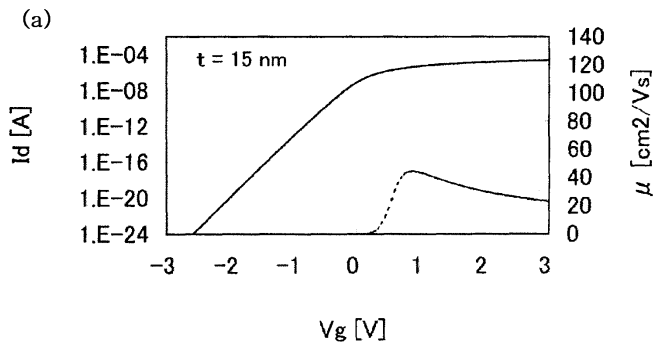
도면26



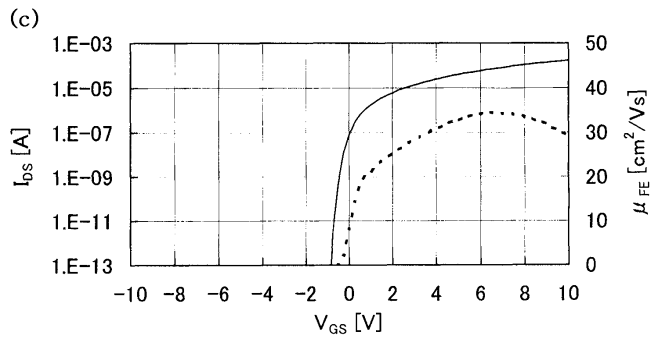
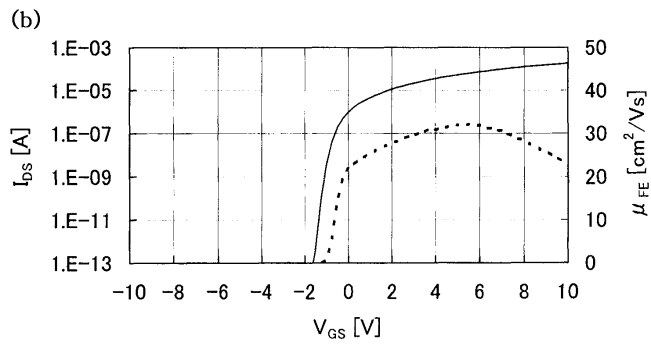
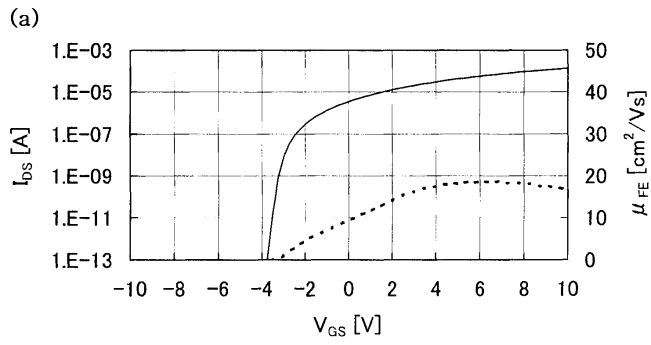
도면27



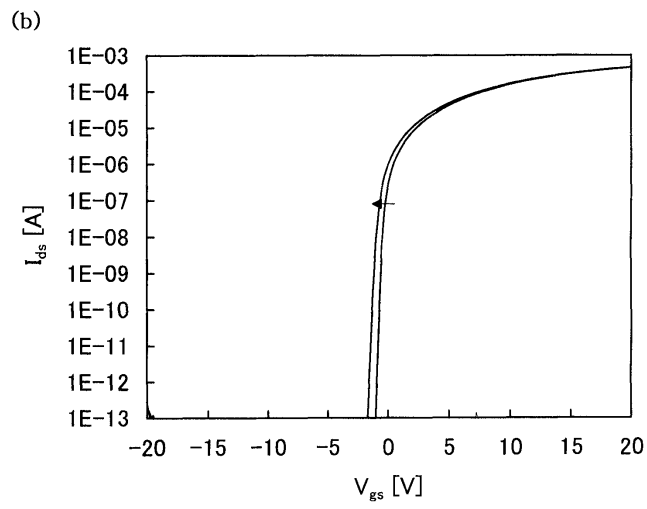
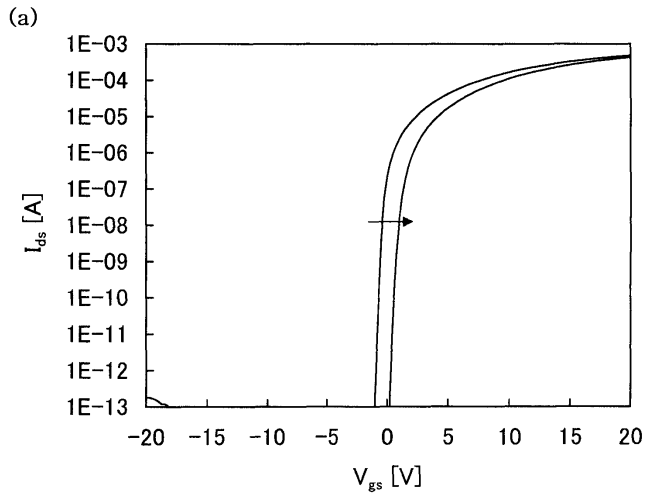
도면28



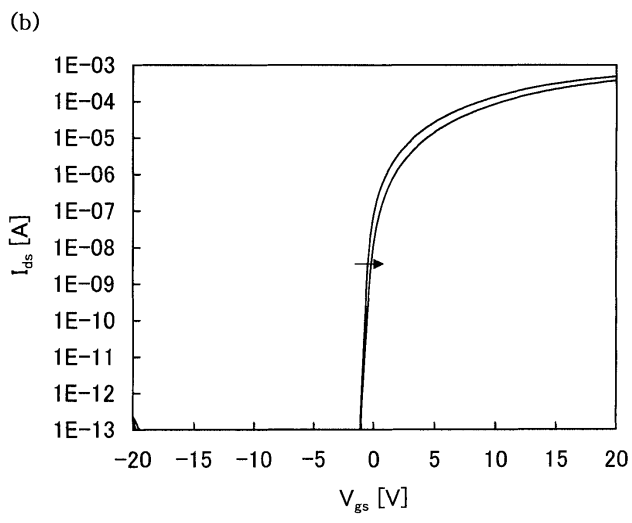
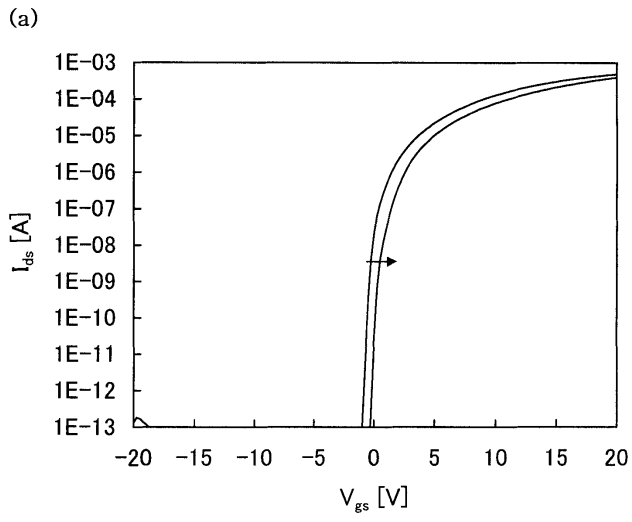
도면29



도면30



도면31



도면32

