

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4957710号
(P4957710)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 624B
H01L 51/50 (2006.01)	G09G 3/20 611H
	G09G 3/20 641D
	G09G 3/20 641P
請求項の数 19 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2008-305716 (P2008-305716)	(73) 特許権者	000001443
(22) 出願日	平成20年11月28日 (2008. 11. 28)		カシオ計算機株式会社
(65) 公開番号	特開2010-128399 (P2010-128399A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成22年6月10日 (2010. 6. 10)	(74) 代理人	100095407
審査請求日	平成21年10月6日 (2009. 10. 6)		弁理士 木村 満
		(72) 発明者	小倉 潤
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子技術センタ
			一内
		(72) 発明者	武居 学
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子技術センタ
			一内
最終頁に続く			

(54) 【発明の名称】 画素駆動装置及び発光装置

(57) 【特許請求の範囲】

【請求項1】

電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子を有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して駆動制御する画素駆動装置であって、

前記画素の電氣的特性に係わる特性パラメータが記憶された記憶部と、

デジタル信号からなる画像データが入力され、予め設定された変換特性に応じて前記画像データを変換して、デジタル信号からなる原階調信号を生成する画像データ変換部と、

前記原階調信号が入力され、該原階調信号に、前記記憶部に記憶された前記特性パラメータの値に基づいて設定される補正量を加算して、デジタル信号からなる補正階調信号を生成する信号補正部と、

前記補正階調信号が入力され、該補正階調信号の値に応じたアナログ信号からなる駆動信号に変換する階調信号変換部と、

を備え、

前記画像データ変換部において、生成する前記原階調信号の最大値が、前記階調信号変換部の入力範囲における最大値から前記補正量を減じた値に等しいか、それより小さい値に設定されていることを特徴とする画素駆動装置。

【請求項2】

前記画像データ変換部における前記変換特性は、前記発光素子の発光色に応じて異なる値に設定されていることを特徴とする請求項1に記載の画素駆動装置。

【請求項 3】

前記画像データ変換部は、前記画像データのとり得る値に対する、前記変換特性に応じて前記画像データを変換した変換値が記憶された、変換テーブルを有することを特徴とする請求項 1 又は 2 に記載の画素駆動装置。

【請求項 4】

前記変換特性は、前記画像データの階調値に対する前記原階調信号の階調値が、予め設定されたガンマ特性を有する値に設定されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の画素駆動装置。

【請求項 5】

前記階調信号変換部は、デジタル信号からなる前記補正階調信号をアナログ信号からなる前記駆動信号に変換するデジタル・アナログ変換部を有し、

該デジタル・アナログ変換部の前記入力範囲は、前記画像データのビット数に対応した値を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の画素駆動装置。

【請求項 6】

前記デジタル・アナログ変換部は、前記画像データのビット数に対応した複数の階調電圧を生成する階調電圧生成部を有し、該階調電圧生成部によって生成される前記複数の階調電圧に基づいて、前記補正階調信号を前記駆動信号に変換し、

前記階調電圧生成部によって生成される前記複数の階調電圧相互の電圧差は、最低階調電圧と第 1 階調電圧間を除き、同じ値に設定されていることを特徴とする請求項 5 に記載の画素駆動装置。

【請求項 7】

前記複数の階調電圧における、前記最低階調電圧と前記第 1 階調電圧間の電圧差は、前記各表示画素の前記駆動素子が初期の特性を有しているときの、該駆動素子の閾値電圧の初期値に対応する値に設定されることを特徴とする請求項 6 に記載の画素駆動装置。

【請求項 8】

前記信号線の他端の電圧の値に基づいて前記特性パラメータを取得する特性パラメータ取得部を備え、

前記記憶部は、前記特性パラメータ取得部によって取得された前記特性パラメータを記憶することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の画素駆動装置。

【請求項 9】

前記駆動素子の閾値電圧を超える電圧値を有する基準電圧を出力する電圧印加部と、

前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

を備え、

前記特性パラメータ取得部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点から、予め設定された複数の異なる緩和時間が経過した後に前記電圧測定部により取得される、複数の前記測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率を、前記特性パラメータとして取得することを特徴とする請求項 8 に記載の画素駆動装置。

【請求項 10】

複数の画素と、該各画素に接続された複数の信号線と、を有し、前記各画素は、電流が供給されて発光する発光素子と、前記各信号線の一端に接続されて、前記発光素子に供給する電流を制御する駆動素子を有する画素駆動回路と、を備える画素アレイと、

前記各表示画素の電气的特性に係わる特性パラメータが記憶された記憶部と、デジタル信号からなる画像データが入力され、予め設定された変換特性に応じて前記画像データを変換して、デジタル信号からなる原階調信号を生成する画像データ変換部と、

前記原階調信号が入力され、該原階調信号に、前記記憶部に記憶された前記特性パラメータの値に基づいて設定される補正量を加算して、デジタル信号からなる補正階調信号を

10

20

30

40

50

生成する処理を行う信号補正部と、

前記補正階調信号が入力され、該補正階調信号の値に応じたアナログ信号からなる駆動信号に変換する階調信号変換部と、

を備え、

前記画像データ変換部によって生成される前記原階調信号の最大値が、前記階調信号変換部の入力範囲における最大値から前記補正量を減じた値に等しいか、それより小さい値に設定されていることを特徴とする発光装置。

【請求項 1 1】

前記画像データ変換部における前記変換特性は、前記発光素子の発光色に応じて異なる値に設定されていることを特徴とする請求項 1 0 に記載の発光装置。

10

【請求項 1 2】

前記各画素の前記発光素子の前記発光色は、カラー表示を行う複数の表示色の何れかに対応していることを特徴とする請求項 1 1 に記載の発光装置。

【請求項 1 3】

前記画像データ変換部は、前記画像データのとり得る値に対する、前記変換特性に応じて前記画像データを変換した変換値が記憶された、変換テーブルを有することを特徴とする請求項 1 0 乃至 1 2 のいずれか 1 項に記載の発光装置。

【請求項 1 4】

前記変換特性は、前記画像データの階調値に対する前記原階調信号の階調値が、予め設定されたガンマ特性を有する値に設定されていることを特徴とする請求項 1 0 乃至 1 3 のいずれか 1 項に記載の発光装置。

20

【請求項 1 5】

前記階調信号変換部は、デジタル信号からなる前記補正階調信号をアナログ信号からなる前記駆動信号に変換するデジタル・アナログ変換部を有し、

前記デジタル・アナログ変換部の前記入力範囲は、前記画像データのビット数に対応した値を有することを特徴とする請求項 1 0 乃至 1 4 のいずれか 1 項に記載の発光装置。

【請求項 1 6】

前記デジタル・アナログ変換部は、前記画像データのビット数に対応した複数の階調電圧を生成する階調電圧生成部を有し、該階調電圧生成部によって生成される前記複数の階調電圧に基づいて、前記補正階調信号を前記駆動信号に変換し、

30

前記階調電圧生成部によって生成される前記複数の階調電圧相互の電圧差は、最低階調電圧と第 1 階調電圧間を除き、同じ値に設定されていることを特徴とする請求項 1 5 に記載の発光装置。

【請求項 1 7】

前記複数の階調電圧における、前記最低階調電圧と前記第 1 階調電圧間の電圧差は、前記各表示画素の前記駆動素子が初期の特性を有しているときの、該駆動素子の閾値電圧の初期値に対応する値に設定されることを特徴とする請求項 1 6 に記載の発光装置。

【請求項 1 8】

前記信号線の他端の電圧の値に基づいて前記特性パラメータを取得する特性パラメータ取得部を備え、

40

前記記憶部は、前記特性パラメータ取得部によって取得された前記特性パラメータを記憶することを特徴とする請求項 1 0 乃至 1 7 のいずれか 1 項に記載の発光装置。

【請求項 1 9】

前記駆動素子の閾値電圧を超える電圧値を有する基準電圧を出力する電圧印加部と、

前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

を備え、

前記特性パラメータ取得部は、前記切換部により前記信号線の他端が前記電圧印加部と

50

の接続が遮断され状態に設定された時点から、予め設定された複数の異なる緩和時間が経過した後、前記電圧測定部により取得される、複数の前記測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率を、前記特性パラメータとして取得することを特徴とする請求項18に記載の発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素駆動装置及び発光装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置に続く次世代の表示デバイスとして、発光素子をマトリクス状に配列した表示パネル（画素アレイ）を備えた発光素子型の表示装置（発光素子型ディスプレイ、発光装置）の研究開発が盛んに行われている。

【0003】

このような発光素子としては、有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、あるいは、発光ダイオード（LED）等のような電流駆動型の発光素子がある。

【0004】

特に、アクティブマトリクス駆動方式を適用した発光素子型の表示装置においては、周知の液晶表示装置と比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能である。

【0005】

それとともに、発光素子型の表示装置は、液晶表示装置のようにバックライトや導光板を必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。そのため、今後様々な電子機器への適用が期待されている。

【0006】

このような発光素子型の表示装置として、例えば、電圧信号によって電流制御されたアクティブマトリクス駆動方式の表示装置としての有機ELディスプレイ装置がある（例えば、特許文献1参照）。

【0007】

この有機ELディスプレイ装置では、発光素子としての有機EL素子と、有機EL素子を駆動するための電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタとを有する画素駆動回路とが、各画素に設けられている。

【0008】

電流制御用薄膜トランジスタは、画像データに応じた電圧値を有する電圧信号がゲートに印加され、このゲート電圧で電流制御用薄膜トランジスタのドレイン - ソース間に流れる電流の電流値を制御し、この電流を有機EL素子に供給して発光させる。スイッチ用薄膜トランジスタは、この電流制御用薄膜トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行う。

【0009】

【特許文献1】特開2002-156923号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

各画素の電流制御用薄膜トランジスタのドレイン - ソース間に流れる電流の電流値は、印加されるゲート電圧と当該電流制御用薄膜トランジスタの閾値電圧 V_{th} や電流増幅率からなる特性パラメータの値に応じて決まるものである。

【0011】

したがって、同じゲート電圧を印加しても、この特性パラメータの値が変動したりばらついていたりすると、ドレイン - ソース間に流れる電流の電流値が変動し、その結果、有

10

20

30

40

50

機EL素子の発光輝度も変動する。

【0012】

ここで、例えば、電流制御用薄膜トランジスタがアモルファスシリコンTFTからなる場合には、その閾値電圧 V_{th} の経時的な変化が比較的大きいことが知られている。

【0013】

このため、表示画質の劣化を抑制するためには、供給された画像データに応じて各画素に供給する電圧信号の電圧値を各画素の特性パラメータの値に基づいて、特性パラメータに応じた補正量を加算する等の補正を行う必要がある。

【0014】

このとき、画像データがデジタル信号として供給され、この補正処理がこのデジタル信号に対して適用される場合、補正量が増加したときに、補正された後のデジタル信号が、当該デジタル信号のビット数に応じた階調の上限値に達してしまい、いわゆる白トビを起こしてしまうことがある。

10

【0015】

また、特性パラメータにおける閾値電圧 V_{th} は経時的に変化するものであるため、補正に用いる特性パラメータを表示装置の使用時においても、容易に取得できるようにする必要がある。

【0016】

本発明は、このような従来の問題点に鑑みてなされたもので、供給されるデジタル信号からなる画像データを、画素の特性パラメータに応じて良好に補正することが可能な画素駆動装置及び発光装置を提供することを目的とする。

20

【0017】

また、本発明は、表示画素の特性パラメータを随時取得して画質の劣化を長期的に抑制することが可能な画素駆動装置及び発光装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

この目的を達成するため、本発明の第1の観点に係る発光装置は、電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子を有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して駆動制御する画素駆動装置であって、

30

前記画素の電氣的特性に係わる特性パラメータが記憶された記憶部と、デジタル信号からなる画像データが入力され、予め設定された変換特性に応じて前記画像データを変換して、デジタル信号からなる原階調信号を生成する画像データ変換部と、前記原階調信号が入力され、該原階調信号に、前記記憶部に記憶された前記特性パラメータの値に基づいて設定される補正量を加算して、デジタル信号からなる補正階調信号を生成する信号補正部と、

前記補正階調信号が入力され、該補正階調信号の値に応じたアナログ信号からなる駆動信号に変換する階調信号変換部と、

を備え、

前記画像データ変換部において、生成する前記原階調信号の最大値が、前記階調信号変換部の入力範囲における最大値から前記補正量を減じた値に等しいか、それより小さい値に設定されていることを特徴とする。

40

【0019】

前記画像データ変換部における前記変換特性は、前記発光素子の発光色に応じて異なる値に設定されていてもよい。

【0020】

前記画像データ変換部は、前記画像データのとり得る値に対する、前記変換特性に応じて前記画像データを変換した変換値が記憶された、変換テーブルを有するものであってもよい。

【0021】

50

前記変換特性は、前記画像データの階調値に対する前記原階調信号の階調値が、予め設定されたガンマ特性を有する値に設定されていてもよい。

【0022】

前記階調信号変換部は、デジタル信号からなる前記補正階調信号をアナログ信号からなる前記駆動信号に変換するデジタル・アナログ変換部を有し、

該デジタル・アナログ変換部の前記入力範囲は、前記画像データのビット数に対応した値を有するようによい。

【0023】

前記デジタル・アナログ変換部は、前記画像データのビット数に対応した複数の階調電圧を生成する階調電圧生成部を有し、該階調電圧生成部によって生成される前記複数の階調電圧に基づいて、前記補正階調信号を前記駆動信号に変換し、

前記階調電圧生成部によって生成される前記複数の階調電圧相互の電圧差は、最低階調電圧と第1階調電圧間を除き、同じ値に設定されていてもよい。

【0024】

前記複数の階調電圧における、前記最低階調電圧と前記第1階調電圧間の電圧差は、前記各表示画素の前記駆動素子が初期の特性を有しているときの、該駆動素子の閾値電圧の初期値に対応する値に設定されていてもよい。

【0025】

前記信号線の他端の電圧の値に基づいて前記特性パラメータを取得する特性パラメータ取得部を備え、

前記記憶部は、前記特性パラメータ取得部によって取得された前記特性パラメータを記憶するようによい。

【0026】

前記駆動素子の閾値電圧を超える電圧値を有する基準電圧を出力する電圧印加部と、

前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

を備え、

前記特性パラメータ取得部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点から、予め設定された複数の異なる緩和時間が経過した後に前記電圧測定部により取得される、複数の前記測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率を、前記特性パラメータとして取得するようによい。

【0027】

本発明の第2の観点に係る発光装置は、

複数の画素と、該各画素に接続された複数の信号線と、を有し、前記各画素は、電流が供給されて発光する発光素子と、前記各信号線の一端に接続されて、前記発光素子に供給する電流を制御する駆動素子を有する画素駆動回路と、を備える画素アレイと、

前記各表示画素の電気的特性に係わる特性パラメータが記憶された記憶部と、デジタル信号からなる画像データが入力され、予め設定された変換特性に応じて前記画像データを変換して、デジタル信号からなる原階調信号を生成する画像データ変換部と、

前記原階調信号が入力され、該原階調信号に、前記記憶部に記憶された前記特性パラメータの値に基づいて設定される補正量を加算して、デジタル信号からなる補正階調信号を生成する処理を行う信号補正部と、

前記補正階調信号が入力され、該補正階調信号の値に応じたアナログ信号からなる駆動信号に変換する階調信号変換部と、

を備え、

前記画像データ変換部によって生成される前記原階調信号の最大値が、前記階調信号変換部の入力範囲における最大値から前記補正量を減じた値に等しいか、それより小さい値

10

20

30

40

50

に設定されていることを特徴とする。

【0028】

前記画像データ変換部における前記変換特性は、前記発光素子の発光色に応じて異なる値に設定されていてもよい。

【0029】

前記各画素の前記発光素子の前記発光色は、カラー表示を行う複数の表示色の何れかに対応しているようにしてもよい。

【0030】

前記画像データ変換部は、前記画像データのとり得る値に対する、前記変換特性に応じて前記画像データを変換した変換値が記憶された、変換テーブルを有するようにしてもよい。

10

【0031】

前記変換特性は、前記画像データの階調値に対する前記原階調信号の階調値が、予め設定されたガンマ特性を有する値に設定されていてもよい。

【0032】

前記階調信号変換部は、デジタル信号からなる前記補正階調信号をアナログ信号からなる前記駆動信号に変換するデジタル・アナログ変換部を有し、

前記デジタル・アナログ変換部の前記入力範囲は、前記画像データのビット数に対応した値を有するものであってもよい。

【0033】

20

前記デジタル・アナログ変換部は、前記画像データのビット数に対応した複数の階調電圧を生成する階調電圧生成部を有し、該階調電圧生成部によって生成される前記複数の階調電圧に基づいて、前記補正階調信号を前記駆動信号に変換し、

前記階調電圧生成部によって生成される前記複数の階調電圧相互の電圧差は、最低階調電圧と第1階調電圧間を除き、同じ値に設定されていてもよい。

【0034】

前記複数の階調電圧における、前記最低階調電圧と前記第1階調電圧間の電圧差は、前記各表示画素の前記駆動素子が初期の特性を有しているときの、該駆動素子の閾値電圧の初期値に対応する値に設定されていてもよい。

【0035】

30

前記信号線の他端の電圧の値に基づいて前記特性パラメータを取得する特性パラメータ取得部を備え、

前記記憶部は、前記特性パラメータ取得部によって取得された前記特性パラメータを記憶するようにしてもよい。

【0036】

前記駆動素子の閾値電圧を超える電圧値を有する基準電圧を出力する電圧印加部と、

前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

40

を備え、

前記特性パラメータ取得部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点から、予め設定された複数の異なる緩和時間が経過した後に前記電圧測定部により取得される、複数の前記測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率を、前記特性パラメータとして取得するようにしてもよい。

【発明の効果】

【0037】

本発明によれば、供給されるデジタル信号からなる画像データを、表示画素の特性パラメータに応じて良好に補正することができる。また、画像データを補正して、画質の劣化

50

を長期的に抑制することができる。

【発明を実施するための最良の形態】

【0038】

以下、本発明の実施形態に係る発光装置を図面を参照して説明する。尚、本実施形態では、発光装置を表示装置として説明する。

本実施形態に係る表示装置の構成を図1に示す。

本実施形態に係る表示装置（発光装置）1は、パネルモジュール11と、アナログ電源（電圧印加部）14と、ロジック電源15と、制御部（パラメータ取得部、電圧信号補正部）16と、によって構成される。

【0039】

パネルモジュール11は、有機ELパネル（画素アレイ）21とデータドライバ（信号線駆動部）22とアノード回路（電源駆動部）12とセレクトドライバ（選択駆動部）13とを備える。

【0040】

有機ELパネル21は、列方向に配設される複数のデータライン（信号線） L_{di} ($i = 1 \sim m$)と、行方向に配設される複数のセレクトライン（走査線） L_{sj} ($j = 1 \sim n$)と、行方向に配設される複数のアノードライン L_a と、複数の画素21(i, j) ($i = 1 \sim m$ 、 $j = 1 \sim n$ 、 m, n ; 自然数)と、を備える。画素21(i, j)はデータライン L_{di} とセレクトライン L_{sj} との交点近傍に配列される。

【0041】

図1に示すパネルモジュール11の構成の詳細を図2に示す。各画素21(i, j)は、画像の1画素に対応するものであり、図2に示すように、有機EL素子（発光素子）101と、トランジスタ $T_1 \sim T_3$ と、ストレージ容量（保持容量） C_s とからなる画素駆動回路DCと、を備える。

【0042】

有機EL (Organic Electro-Luminescence) 素子101は、有機化合物に注入された電子と正孔との再結合によって生じた励起子によって発光する現象を利用した自発光型の表示素子であり、供給された電流の電流値に対応する輝度で発光する。

【0043】

有機EL素子101には、画素電極が形成され、この画素電極上に、正孔注入層と発光層と対向電極とが形成される（いずれも図示せず）。正孔注入層は、画素電極上に形成され、発光層に正孔を供給する機能を有する。

【0044】

画素電極は、透光性を備える導電材料、例えばITO (Indium Tin Oxide)、ZnO等から構成される。各画素電極は隣接する他の画素の画素電極と層間絶縁膜（図示せず）によって絶縁されている。

【0045】

正孔注入層は正孔（ホール）注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン（PEDOT）とドーパントであるポリスチレンスルホン酸（PSS）を水系溶媒に分散させた分散液であるPEDOT/PSS水溶液が用いられる。

【0046】

発光層は、インターレイヤ（図示せず）上に形成される。発光層は、アノード電極とカソード電極との間に所定の電圧を印加することにより光を発生する機能を有する。

【0047】

発光層は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む赤（R）、緑（G）、青（B）色の発光材料から構成される。

【0048】

10

20

30

40

50

また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解（又は分散）した溶液（分散液）をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成される。

【0049】

尚、3原色の場合、有機EL素子101のRGBの発光材料は、通常、列毎に塗布される。

【0050】

対向電極は、導電材料、例えばCa, Ba等仕事関数の低い材料からなる層と、Al等の光反射性導電層と、からなる2層構造となっている。

【0051】

電流は、画素電極から対極電極方向へと流れ、逆方向には流れず、画素電極、対極電極は、それぞれ、アノード電極、カソード電極となる。このカソード電極には、カソード電圧 V_{cath} が印加される。本実施形態では、カソード電圧 V_{cath} をGND（接地電位）とする。

【0052】

尚、有機EL素子101には、有機EL画素容量（発光素子容量） C_{el} があり、この有機EL画素容量 C_{el} は、等価的に、有機EL素子101のカソード-アノード間に接続されている。

【0053】

セレクトドライバ13は、行毎に画素21(i,j)を選択するためのものであり、各セレクトライン L_{sj} ($j = 1 \sim n$) にGate(1)~Gate(n)信号を出力する。セレクトドライバ13は、例えば、シフトレジスタを備え、図2に示すように、制御部16からスタートパルスSP1が供給されて、このスタートパルスSP1を、順次、シフトして、Gate(1)~Gate(n)信号として、Hi (High; ハイ) レベルの信号 (V_{gH})、又は、Lo (Low; ロー) レベルの信号 (V_{gL}) を出力する。

【0054】

データドライバ22は、各データライン L_{di} ($i = 1 \sim m$) の電圧を測定して、測定電圧 $V_{meas}(t)$ として取得するとともに、測定した測定電圧 $V_{meas}(t)$ に基づいて補正された、電圧値 V_{data} を有する電圧信号を各データライン L_{di} に印加する構成を有するものである。

【0055】

アノード回路12は、各アノードライン L_a を介して有機ELパネル21に電圧を印加するものである。アノード回路12は、図2に示すように、制御部16に制御されて、アノードライン L_a に印加する電圧を、電圧ELVDD又はELVSSに切り換える。

【0056】

電圧ELVDDは、各画素21(i,j)の有機EL素子101を発光させる際にアノードライン L_a に印加される正の表示用電圧である。また、電圧ELVSSは、画素駆動回路DCを後述する書き込み動作状態に設定し、後述するオートゼロ法を行う際にアノードライン L_a に印加される電圧である。電圧ELVSSは、本実施形態では、有機EL素子101のカソード電圧 V_{cath} と同じ電圧に設定される。

【0057】

各画素21(i,j)において、画素駆動回路DCのトランジスタ $T_1 \sim T_3$ は、nチャンネル型のFET (Field Effect Transistor; 電界効果トランジスタ) によって構成されたTFTであり、例えば、アモルファスシリコン又はポリシリコンTFTによって構成されている。

【0058】

トランジスタ T_3 は、ゲート-ソース間電圧 V_{gs} (以後、ゲート電圧 V_{gs} と記す。) に基づいて電流量を制御して、有機EL素子101に電流を供給する電流制御用薄膜トランジスタであり、駆動トランジスタである。トランジスタ T_3 のドレイン-ソースを電流路、ゲートを制御端として、ドレイン(端子)は、アノードライン L_a に接続され、ソース

10

20

30

40

50

(端子)は、有機EL素子101のアノードに接続される。

【0059】

トランジスタT1は、後述する書き込み動作を行う際にトランジスタT3をダイオード接続するためのスイッチトランジスタである。

【0060】

トランジスタT1のドレインは、トランジスタT3のドレインに接続され、トランジスタT1のソースはトランジスタT3のゲートに接続される。

【0061】

各画素21(1,1)~21(m,1)のトランジスタT1のゲート(端子)は、セレクトラインLs1に接続される。同様に、各画素21(1,2)~21(m,2)のトランジスタT1のゲートは、セレクトラインLs2に、・・・、各画素21(1,n)~21(m,n)のトランジスタT1のゲートは、セレクトラインLsnに、それぞれ、接続される。

10

【0062】

画素21(1,1)の場合、セレクトドライバ13からセレクトラインLs1にGate(1)信号としてHiレベルのGate(1)信号VgHが出力されると、トランジスタT1はオンする。

【0063】

セレクトドライバ13からセレクトラインLs1にGate(1)信号としてLoレベルのGate(1)信号VgLが出力されると、トランジスタT1は、オフする。

【0064】

トランジスタT2は、セレクトドライバ13によって選択されてオン、オフし、アノード回路12とデータドライバ22との間を導通、遮断するためのスイッチトランジスタである。

20

【0065】

各画素21(i,j)のトランジスタT2の電流路の一端としてのドレインは、トランジスタT3のソース及び有機EL素子101のアノード(電極)に接続される。

【0066】

各画素21(1,1)~21(m,1)のトランジスタT2のゲートは、セレクトラインLs1に接続される。同様に、各画素21(2,1)~21(m,2)のトランジスタT2のゲートは、セレクトラインLs2に、・・・、各画素21(1,n)~21(m,n)のトランジスタT2のゲートは、セレクトラインLsnに接続される。

30

【0067】

また、各画素21(1,1)~21(1,n)のトランジスタT2の電流路の他端としてのソースは、データラインLd1に接続される。同様に、各画素21(2,1)~21(2,n)のトランジスタT2のソースは、データラインLd2に、・・・、各画素21(m,1)~21(m,n)のトランジスタT2のソースは、データラインLdmに接続される。

【0068】

画素21(1,1)の場合、トランジスタT2は、セレクトドライバ13から、セレクトラインLs1にGate(1)信号としてHiレベルのGate(1)信号(VgH)が出力されるとオンして、トランジスタT3のソース及び有機EL素子101のアノードとデータラインLd1とを接続する。

40

【0069】

また、セレクトラインLs1にGate(1)信号としてLoレベルの信号(VgL)が出力されると、トランジスタT2はオフして、トランジスタT3のソース及び有機EL素子101のアノードとデータラインLd1とを遮断する。

【0070】

ストレージ容量Csは、トランジスタT3のゲート電圧Vgsを保持する容量であり、トランジスタT1のソース及びトランジスタT3のゲートと、トランジスタT3のソース及び有機EL素子101のアノードと、の間に接続される。

【0071】

トランジスタT3は、ゲート-ドレイン間にトランジスタT1のソース及びドレインが

50

接続されている。アノード回路12からアノードラインLaに電圧ELVSSが印加され、セレクトドライバ13からセレクトラインLs1にGate(1)信号としてHiレベルの信号(VgH)が印加され、データラインLd1に電圧信号が印加されたとき、トランジスタT1、トランジスタT2がオンする。

【0072】

このとき、トランジスタT3はトランジスタT1によりゲート-ドレイン間が接続されてダイオード接続状態となる。そして、このときにデータドライバ22からデータラインLd1に電圧信号が印加されると、トランジスタT2を介してトランジスタT3のソースに電圧信号が印加されて、トランジスタT3はオンし、アノード回路12からアノードラインLa、トランジスタT3、トランジスタT2を介して、データラインLd1に向けて電圧信号に対応した電流が流れる。そして、ストレージ容量Csは、このときのトランジスタT3のゲート電圧Vgsで充電され、その電荷がストレージ容量Csに蓄積される。

10

【0073】

そして、セレクトドライバ13からセレクトラインLs1にGate(1)信号としてLoレベルの信号(VgL)が印加されて、トランジスタT1及びT2がオフすると、ストレージ容量Csは、トランジスタT3のゲート電圧Vgsを保持する。

【0074】

尚、有機ELパネル21内には、配線寄生容量Cpも存在する。この配線寄生容量Cpは、主に、それぞれ、Ld1~LdmとセレクトラインLs1~Lsnとが交差する点で発生する。

20

【0075】

本実施形態に係る表示装置1は、オートゼロ(AutoZero)法を用いて、各画素21(i,j)の画素駆動回路DCの特性値としてデータラインの電圧の測定を複数回行い、画像データの補正パラメータとして、各画素21(i,j)のトランジスタT3の閾値電圧Vthと画素駆動回路DCの電流増幅率のバラツキを同時に取得する構成を備えるものである。

【0076】

図3は、画素駆動回路の書き込み動作時の電圧-電流特性を説明するための図である。図3(a)は、書き込み動作時の画素21(i,j)の各部の電圧と電流を示す図である。

【0077】

図3(a)に示すように、書き込み動作時には、セレクトドライバ13からセレクトラインLsjにHiレベルの信号(VgH)が印加される。このとき、トランジスタT1、T2がオンとなり、電流制御用薄膜トランジスタであるトランジスタT3はダイオード接続状態となっている。

30

【0078】

そして、データドライバ22からデータラインLdiに電圧値Vdataの電圧信号が印加される。また、このとき、アノード回路12からアノードラインLaに電圧ELVSSが印加される。

【0079】

このとき、トランジスタT2、T3を介して、アノード回路12から画素駆動回路DCを介してデータラインLdiに向けて、電圧信号に応じた電流Idが流れる。

40

【0080】

この電流Idの電流値は、次の式(101)によって表される。式(101)におけるは電流増幅率であり、VthはトランジスタT3の閾値電圧である。ここで、トランジスタT3のソース-ドレイン間に印加される電圧は、アノードラインLaの電圧ELVSSを0Vとしたとき、電圧値Vdataの絶対値からトランジスタT2のドレイン-ソース間電圧(接点N13と接点N12間の電圧)を減じた電圧となる。

【0081】

すなわち、式(101)は、単にトランジスタT3の電圧-電流特性を表すものではなく、画素駆動回路DCを実質的に一つの素子とみなしたときの特性を表すものであり、は画素駆動回路DCの実効的な電流増幅率である。

50

【数 1】

$$I_d = \beta (|V_{data}| - V_{th})^2$$

・・・ (1 0 1)

図 3 (b) は、この式 (1 0 1) による、電圧値 V_{data} の絶対値に対する電流 I_d の変化を示すグラフである。

【 0 0 8 2 】

トランジスタ T_3 が初期状態の特性を有して、閾値電圧 V_{th} が初期の値 V_{th0} を有し、画素駆動回路 DC の電流増幅率 β が初期の値 β_0 (標準値) を有しているときの特性は、図 3 (b) に示す電圧 - 電流特性 V_{I_0} で表される。

10

【 0 0 8 3 】

ここで、 β_0 の標準値としての β_0 は、例えば、画素駆動回路 DC の設計値もしくは典型値 (Typical 値) に設定される。

【 0 0 8 4 】

また、このトランジスタ T_3 が経時劣化して、閾値電圧 V_{th} が V_{th} だけシフト (増加) したとき、電圧 - 電流特性は、図 3 (b) に示す電圧 - 電流特性 V_{I_3} となる。

【 0 0 8 5 】

また、電流増幅率 β の値が β_0 (標準値) からばらつき、 β_0 より小さい β_1 ($= \beta_0 - \Delta\beta$) である場合の電圧 - 電流特性は電圧 - 電流特性 V_{I_1} になり、 β_0 より大きい β_2 ($= \beta_0 + \Delta\beta$) である場合の電圧 - 電流特性は電圧 - 電流特性 V_{I_2} になる。

20

【 0 0 8 6 】

このオートゼロ法について説明する。オートゼロ法は、基本的には、まず、上記の書き込み動作において、アノードライン L_a の電圧 $ELVSS$ に対する電位差の絶対値が閾値電圧 V_{th} を超える基準電圧 V_{ref} をデータライン L_{di} から画素 $2_1(i, j)$ の画素駆動回路 DC トランジスタ T_3 のゲート - ソース間に印加する。

【 0 0 8 7 】

そして、その後、データライン L_{di} をハイインピーダンス状態とする。これによってゲートデータライン L_{d1} の電圧を自然緩和 (低下) させる。そして、自然緩和が終了した後のデータライン L_{di} の電圧を測定して、測定した電圧を閾値電圧 V_{th} とする手法である。

30

【 0 0 8 8 】

しかるに、本実施形態におけるオートゼロ法を用いたデータライン L_{di} の電圧の測定は、上記の自然緩和が完全に終了するより前のタイミングで電圧の測定を行うものである。詳しくは後述する。

【 0 0 8 9 】

図 4 は、本実施形態におけるオートゼロ法を用いたデータラインの電圧の測定方法を説明するための図である。図 4 (a) は、上記基準電圧 V_{ref} を印加した後、データライン L_{di} をハイインピーダンス状態にしてからの、データライン L_{di} の電圧の時間的変化 (緩和特性) を示す図である。

【 0 0 9 0 】

データライン L_{di} の電圧はデータドライバ 2_2 によってゲート電圧 V_{gs} (測定電圧 $V_{meas}(t)$) として取得される。

40

【 0 0 9 1 】

図 4 (b) は、図 3 (b) に示した β のバラツキがあるときの、データラインの電圧 (測定電圧 $V_{meas}(t)$) に対する影響を説明するための図である。なお、図 4 (a)、図 4 (b) において、縦軸はデータライン L_{di} の電圧 (測定電圧 $V_{meas}(t)$) の絶対値を示し、横軸は時間 t を示し、基準電圧 V_{ref} を印加した後、データライン L_{di} をハイインピーダンス状態にしたときを $t = 0$ として、そこからの経過時間 (緩和時間) を示す。

【 0 0 9 2 】

オートゼロ法によるデータラインの電圧の測定について、更に詳しく説明する。書き込

50

み動作状態において、まず、トランジスタT3の閾値電圧 V_{th} を超える電圧値を有する基準電圧 V_{ref} をデータラインLdiから画素21(i,j)の画素駆動回路DCトランジスタT3のゲート-ソース間に印加すると、アノード回路12からアノードラインLa、トランジスタT3、トランジスタT2を介して、データラインLdiに向けて基準電圧 V_{ref} に対応した電流が流れる。

【0093】

そして、トランジスタT3のゲート-ソース間(図3(a)の接点N11-N12間)に接続されたストレージ容量 C_s は基準電圧 V_{ref} に基づく電圧に充電される。なお、基準電圧 V_{ref} は電源電圧ELVSSに対して負極性に設定されている。

【0094】

次いで、データラインLdiのデータ入力側(データドライバ22側)をハイインピーダンス(HZ)状態に設定する。ハイインピーダンス状態に設定した直後においては、ストレージ容量 C_s に充電された電圧は基準電圧 V_{ref} に基づく電圧に保持され、トランジスタT3のゲート-ソース間電圧はストレージ容量 C_s に充電された電圧に保持される。

【0095】

これにより、ハイインピーダンス状態に設定した直後においてはトランジスタT3はオン状態を維持して、トランジスタT3のドレイン-ソース間に電流が流れ続ける。

【0096】

これにより、トランジスタT3のソース端子側(接点N12)の電位が、時間の経過とともに、ドレイン端子側の電位に近づくように徐々に上昇していき、トランジスタT3のドレイン-ソース間に流れる電流の電流値が減少していく。

【0097】

これに伴って、ストレージ容量 C_s に蓄積された電荷の一部が放電されていく。ストレージ容量 C_s に蓄積された電荷が徐々に放電されていくと、ストレージ容量 C_s の両端間の電圧が徐々に減少していく。

【0098】

これによりトランジスタT3のゲート電圧 V_{gs} が徐々に低下していく。これに応じて、図4(a)に示すように、データラインLdiの電圧の絶対値も徐々に低下していく。

【0099】

そして、最終的に、トランジスタT3のドレイン-ソース間に電流が流れなくなると、ストレージ容量 C_s に蓄積された電荷の放電が停止する。このときのトランジスタT3のゲート電圧 V_{gs} は、このトランジスタT3の閾値電圧 V_{th} になる。

【0100】

このときは、トランジスタT2のドレイン-ソース間に電流が流れない状態であるため、トランジスタT2のドレイン-ソース間電圧はほぼゼロになる。このため、このときのデータラインLdiの電圧はトランジスタT3の閾値電圧 V_{th} にほぼ等しくなる。

【0101】

しかしながら、図4(a)に示すように、データラインLdiの電圧はこの閾値電圧 V_{th} に時間(緩和時間)とともに漸近していく。しかし、この電圧は閾値電圧 V_{th} に限りなく近づくものの、理論的には、緩和時間をいくら長くしても、閾値電圧 V_{th} に完全には等しくならないものである。

【0102】

そこで、本実施形態においては、表示装置1における制御部16は、ハイインピーダンス状態に設定してからの緩和時間 t を予め設定しておく。そして、この設定された緩和時間 t におけるデータラインLdiの電圧(測定電圧 $V_{meas}(t)$)を測定し、この測定電圧 $V_{meas}(t)$ に基づいてトランジスタT3の閾値電圧 V_{th} 及び画素駆動回路DCの電流増幅率を取得する。

【0103】

この測定電圧 $V_{meas}(t)$ は、次の式(102)によって表される。

10

20

30

40

【数2】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{\text{ref}} - V_{\text{th}}}}$$

・・・(102)

ここで、 $C = C_p + C_s + C_{el}$ である。

【0104】

そして、緩和時間 t を $(C/\beta) / t < 1$ (すなわち、 $(C/\beta) < t$) の条件を満たす値に設定すると、その設定された緩和時間 t での測定電圧 $V_{\text{meas}}(t)$ は、次の式(103)によって表される。 10

【数3】

$$V_{\text{meas}}(t) \doteq V_{\text{th}} + \frac{(C/\beta)}{t}$$

・・・(103)

【0105】

ここで、図4(b)に示す緩和時間 t_x を、 $(C/\beta) / t = 1$ の条件を満たす時間として、この緩和時間 t_x を超える時間が $(C/\beta) / t < 1$ の条件を満たす緩和時間となる。この緩和時間 t_x は、測定電圧 $V_{\text{meas}}(t)$ が基準電圧 V_{ref} の概ね30%程度になる時間であり、具体的には、概ね1ms~4ms程度の時間である。 20

【0106】

尚、次に、図4(b)に示す $V_{\text{meas}_0}(t)$ は、電流増幅率 β が初期の値 β_0 (標準値) である場合(図3(a)、(b)に示す電圧-電流特性 V_{I_0} に対応)のデータライン L_{di} の電圧の緩和特性を示す。

【0107】

また、図4(b)に示す $V_{\text{meas}_2}(t)$ 、 $V_{\text{meas}_3}(t)$ は、それぞれ、電流増幅率 β の値が β_0 より小さい β_1 ($= \beta_0 - \Delta\beta$) である場合と、 β_0 より大きい β_2 ($= \beta_0 + \Delta\beta$) である場合(図3(b)に示す電圧-電流特性 V_{I_1} 、 V_{I_2} に対応)のデータライン L_{di} の電圧の緩和特性を示す。 30

【0108】

表示装置1の出荷時等の初期段階で、上記の $(C/\beta) / t < 1$ の条件を満たす緩和時間として、緩和時間 t_x を超える2つの異なる時間 t_1 、 t_2 を設定して、上記オートゼロ法により、基準電圧 V_{ref} を印加した後の緩和時間 t_1 、 t_2 の2回のタイミングでデータライン L_{di} の電圧の測定を行う。そして、緩和時間 t_1 及び t_2 でのデータライン L_{di} の電圧値と上記の式(103)に基づいて、初期の閾値電圧 $V_{\text{th}0}$ と (C/β) とを求めることができる。

【0109】

次いで、上記の手法によって有機ELパネル21の全ての画素 $21(i, j)$ に対する閾値電圧 $V_{\text{th}0}$ と (C/β) とを求める。そして、各画素 21 の (C/β_0) の平均値 $\langle C/\beta_0 \rangle$ と、そのバラツキを計算する。 40

【0110】

そして、このバラツキが閾値電圧 V_{th} 測定の許容精度内に入り、かつ、 $(C/\beta) / (t) < 1$ を満たす最短の緩和時間 $t = t_0$ を決定する。そして、画像データが供給される実使用時に測定電圧 $V_{\text{meas}}(t_0)$ を取得すれば、実使用時の閾値電圧 V_{th} を、式(103)を変形した次の式(104)から求めることができる。

【0111】

なお、各画素 21 の (C/β_0) の平均値 $\langle C/\beta_0 \rangle$ としては、各画素 21 の (C/β_0) の加算平均値を用いることができるが、各画素 21 の (C/β_0) の値の中央値を 50

用いてもよい。

【数 4】

$$V_{th} = V_{meas}(t_0) - \frac{\langle C/\beta \rangle}{t_0}$$

・・・ (104)

【0112】

ここで、オフセット電圧を次の式(105)に示すように定義する。

【数 5】

$$\frac{\langle C/\beta \rangle}{t_0} = V_{offset}$$

10

・・・ (105)

【0113】

次に、画素 2 1 (i, j) の画素駆動回路 DC の電流増幅率が $0 \pm \frac{\Delta\beta}{\beta} = 0(1 \pm \frac{\Delta\beta}{\beta})$ にばらついていた場合について説明する。このときのデータライン L di の電圧 (測定電圧 $V_{meas}(t)$) の $\frac{\Delta\beta}{\beta}$ による変化量 $V_{meas}(t)$ は、次の式(106)によって表される。

【数 6】

$$\Delta V_{meas}(t) = - \left[\frac{\Delta\beta}{\beta} \right] \times \frac{\langle C/\beta \rangle}{t} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t} \right\}$$

20

・・・ (106)

【0114】

($\frac{\Delta\beta}{\beta}$) は、各画素 2 1 (i, j) の画素駆動回路 DC の電流特性のバラツキを示すバラツキパラメータであり、 $V_{meas}(t)$ は、データライン L di の電圧の $\frac{\Delta\beta}{\beta}$ のバラツキ依存性を表している。この場合、この式(106)に示すように、 $\frac{\Delta\beta}{\beta}$ のバラツキによってデータライン L di の電圧は $V_{meas}(t)$ だけ変動する。

【0115】

このときの緩和時間 t_3 は、図 4 (b) に示すように、緩和時間 t_x に比べて小さな値 t_3 に設定される ($(\frac{\Delta\beta}{\beta}) / t_3 \ll 1$) 。

30

【0116】

この緩和時間 t_3 では、データライン L di の電圧が急速に緩和 (低下) し、データライン L di の電圧 (測定電圧 $V_{meas}(t)$) の $\frac{\Delta\beta}{\beta}$ のバラツキ依存性が比較的大きくなっている。

【0117】

このため、 $V_{meas}(t_3)$ で示すように、この $\frac{\Delta\beta}{\beta}$ に応じた測定電圧 $V_{meas}(t)$ の変化を判別できる。従って、式(106)に示す $V_{meas}(t)$ は、 $t = t_1, t_2$ とした場合と比較して、より大きな値として取得される。

【0118】

そして、この $V_{meas}(t)$ を取得できれば、式(106)を変形した式から ($\frac{\Delta\beta}{\beta}$) を取得できる。

40

【0119】

次に、供給される画像データに基づいてデータライン L d1 に印加される電圧信号の電圧値 V_{data} に対する補正について説明する。

【0120】

まず、画像データに対応する、補正する前の電圧値を V_{data0} とし、式(106)を電圧で微分することにより、電圧値 V_{data0} を補正した電圧値 V_{data1} は次の式(107)で表される。

【数 7】

$$V_{data1} = V_{data0} \times \left\{ 1 - \frac{1}{2} \left(\frac{\Delta \beta}{\beta} \right) \right\}$$

・・・ (107)

【0121】

最後に、閾値電圧 V_{th} は、式 (105) で定義したオフセット電圧 V_{offset} を用い、緩和時間 t_0 におけるオートゼロ法により、次の式 (108) で表される。

$$V_{th} = V_{meas}(t_0) - V_{offset} \quad \dots (108)$$

【0122】

そして、補正した電圧値 (補正電圧信号) V_{data} は、次の式 (109) によって表される。この電圧値 V_{data} がデータドライバ 22 からデータライン L_{d1} に印加される電圧信号 (駆動信号) の電圧値となる。

$$V_{data} = V_{data1} + V_{th} \quad \dots (109)$$

【0123】

次に、データドライバ 22 の構成の詳細について説明する。図 5 は、図 1 に示すデータドライバ 22 の具体的な構成を示すブロック図である。データドライバ 22 は、図 5 に示すように、シフトレジスタ 111 と、データレジスタブロック 112 と、バッファ 113 (1) ~ 113 (m)、119 (1) ~ 119 (m) と、ADC 114 (1) ~ 114 (m) と、レベルシフタ (図中、「LS」と記す。) 115 (1) ~ 115 (m)、117 (1) ~ 117 (m) と、データラッチ部 (図中、「D-Latch」と記す。) 116 (1) ~ 116 (m) と、VDAC 118 (1) ~ 118 (m) と、スイッチ $Sw1(1) \sim Sw1(m)$ 、 $Sw2(1) \sim Sw2(m)$ 、 $Sw3(1) \sim Sw3(m)$ 、 $Sw4(1) \sim Sw4(m)$ 、 $Sw5(1) \sim Sw5(m)$ と、を備える。 $Sw3(1) \sim Sw3(m)$ は、切換部に相当するものである。

【0124】

シフトレジスタ 111 は、制御部 16 からスタートパルス $SP2$ が供給され、供給されたスタートパルス $SP2$ をシフトして、シフト信号を順次、データレジスタブロック 112 に供給するものである。

【0125】

データレジスタブロック 112 は、 m 個のレジスタ (図示せず) によって構成されたものである。データレジスタブロック 112 は、制御部 16 から画像データに対応するデジタルデータ $D_{in}(i)$ ($i = 1 \sim m$) が供給され、シフトレジスタ 111 から供給されたシフト信号に従って、これらのデジタルデータ $D_{in}(i)$ を、順次、シフトして各レジスタに保持する。

【0126】

バッファ 113 (i) ($i = 1 \sim m$) は、それぞれ、データライン L_{di} ($i = 1 \sim m$) の電圧をアナログデータとして ADC 114 (i) に印加するためのバッファ回路である。

【0127】

ADC 114 (i) は、アナログ - デジタル変換器であり、それぞれ、バッファ 113 (i) から印加されたアナログデータをデジタルデータの出力信号 $D_{out}(i)$ に変換する。ADC 114 (i) は、データライン L_{di} ($i = 1 \sim m$) の電圧を測定する測定器 (電圧測定部) として用いられる。

【0128】

レベルシフタ 115 (i) は、それぞれ、ADC 114 (i) が変換したデジタルデータを回路の電源電圧に合わせるようにレベルシフトするものである。

【0129】

データラッチ部 116 (i) は、それぞれ、供給されたデータ信号を保持するためのものである。データラッチ部 116 (i) は、制御部 16 から供給されたデータラッチパル

10

20

30

40

50

ス D L pulse の立ち上がりタイミングでデータ信号をラッチする。

【 0 1 3 0 】

レベルシフト 1 1 7 (i) は、それぞれ、データラッチ部 1 1 6 (i) が保持したデータを回路の電源電圧に合わせるようにレベルシフトするものである。

【 0 1 3 1 】

V D A C (D A C ; Digital Analog Converter) 1 1 8 (i) は、デジタルデータをアナログ電圧に変換するデジタル - アナログ変換器である。V D A C 1 1 8 (i) は、レベルシフト 1 1 7 (i) がレベルシフトしたデジタルデータ $D_{in}(i)$ をアナログ電圧に変換して、バッファ 1 1 9 (i) を介して各データライン L_{di} に出力するものであり、駆動信号印加部に相当する。

10

【 0 1 3 2 】

図 6 は、図 5 に示す V D A C 1 1 8 の構成と機能を説明するための図である。図 6 (a) に示すように、V D A C 1 1 8 (i) は、階調電圧生成回路 1 1 8 - 1 と、階調電圧選択回路 1 1 8 - 2 と、を有する。

【 0 1 3 3 】

階調電圧生成回路 1 1 8 - 1 は、V D A C 1 1 8 に入力されるデジタル信号のビット数に対応した数の階調電圧 (アナログ電圧) を生成するものである。入力されるデジタル信号が図 6 (a) に示す 1 0 ビット (D 0 - D 9) の場合、階調電圧生成回路 1 1 8 - 1 は、1 0 2 4 個の階調電圧 $VD_0 \sim VD_{1023}$ を生成する。

【 0 1 3 4 】

階調電圧生成回路 1 1 8 - 1 は、V D 1 設定回路 1 1 8 - 3 と、V D 1 0 2 3 設定回路 1 1 8 - 4 と、抵抗 R 2 と、ラダー抵抗部 1 1 8 - 5 と、を有する。

20

【 0 1 3 5 】

V D 1 設定回路 1 1 8 - 3 は、制御部 1 6 から制御信号 V_{L_SEL} が供給され、電圧 VD_0 が印加されて、階調電圧 VD_1 の電圧値を設定する回路である。電圧 VD_0 は、最低階調電圧であり、例えば電源電圧 $ELVSS$ と同じ電圧に設定される。

【 0 1 3 6 】

V D 1 設定回路 1 1 8 - 3 は、図 6 (b) に示すように、抵抗 R 3 と、複数の抵抗 R 4 - 1 ~ R 4 - 1 2 7 と、V D 1 選択回路 1 1 8 - 6 と、を有する。

【 0 1 3 7 】

抵抗 R 3 と抵抗 R 4 - 1 ~ R 4 - 1 2 7 とは直列接続された分圧抵抗である。抵抗 R 3 の一端には、電圧 VD_0 が印加される。抵抗 R 4 - 1 2 7 の一端は、抵抗 R 2 の一端に接続される。この抵抗 R 3 と抵抗 R 4 - 1 との接続点の電圧を電圧 V_{A0} 、 \dots 、抵抗 R 4 - 1 2 7 と抵抗 R 2 との接続点の電圧を電圧 V_{A127} とする。

30

【 0 1 3 8 】

V D 1 選択回路 1 1 8 - 6 は、制御部 1 6 から供給された制御信号 V_{L_SEL} に基づいて、電圧 $V_{A0} \sim V_{A127}$ のうちから、いずれかの電圧を選択する回路であり、選択した電圧を階調電圧 VD_1 として出力する。ここで、V D 1 設定回路 1 1 8 - 3 は、階調電圧 VD_1 を閾値電圧 V_{th0} に対応する値に設定する。

【 0 1 3 9 】

V D 1 0 2 3 設定回路 1 1 8 - 4 は、制御部 1 6 から制御信号 V_{H_SEL} が供給され、電圧 $DVSS$ が印加されて最高階調電圧 VD_{1023} の電圧値を設定する回路である。

40

【 0 1 4 0 】

V D 1 0 2 3 設定回路 1 1 8 - 4 は、図 6 (b) に示すように、複数の抵抗 R 5 - 1 ~ R 5 - 1 2 7 と、抵抗 R 6 と、V D 1 0 2 3 選択回路 1 1 8 - 7 と、を有する。

【 0 1 4 1 】

抵抗 R 5 - 1 ~ R 5 - 1 2 7 と抵抗 R 6 とは直列接続された分圧抵抗である。抵抗 R 5 - 1 の一端は、抵抗 R 2 の他端に接続され、抵抗 R 6 の一端には、電圧 $DVSS$ が印加される。この抵抗 R 2 と抵抗 R 5 - 1 との接続点の電圧を電圧 V_{B0} 、 \dots 、抵抗 R 5 - 1 2 7 と抵抗 R 6 との接続点の電圧を電圧 V_{B127} とする。

50

【0142】

VD1023 選択回路 118-7 は、制御部 16 から供給された制御信号 VH_SEL に基づいて、電圧 VB0 ~ VB127 のうちから、いずれかの電圧を選択し、選択した電圧を階調電圧 VD1023 として出力する回路である。

【0143】

ラダー抵抗部 118-5 は、直列に接続された複数（例えば、1022 個）のラダー抵抗 R1-1 ~ R1-1022 を備えたものであり、各ラダー抵抗 R1-1 ~ R1-1022 は、同じ抵抗値を有している。

【0144】

ラダー抵抗 R1-1 の一端は、VD1 設定回路 118-3 の出力端に接続されて電圧 VD1 が印加される。ラダー抵抗 R1-1022 の一端は、VD1023 設定回路 118-4 の出力端に接続されて、電圧 VD1023 が印加される。

10

【0145】

そして、ラダー抵抗 R1-1 ~ R1-1022 は、電圧 VD1 ~ VD1023 を均等に分割し、ラダー抵抗部 118-5 は、均等に分割した電圧を、等間隔の階調電圧 VD2 ~ VD1022 として階調電圧選択回路 118-2 に出力する。

【0146】

階調電圧選択回路 118-2 は、レベルシフタ 117(i) がレベルシフトしたデジタル信号をデジタル信号 D0 ~ D9 として入力され、階調電圧生成回路 118-1 から供給された各階調電圧 VD2 ~ VD1022 を、入力されたデジタル信号 D0 ~ D9 の値に応じて選択し、選択した階調電圧を VDAC118 の出力電圧 VOUT として出力するものである。

20

【0147】

このようにして、VDAC118(i) は、入力されたデジタル信号を、デジタル信号の階調値に対応したアナログ電圧に変換する。

【0148】

本実施形態においては、VDAC118 に入力されるデジタル信号の値は、画像データのビット数に応じた全階調範囲より狭い範囲に設定され、VDAC118(i) が出力する出力電圧 VOUT の電圧範囲は、階調電圧生成回路 118-1 によって生成する全階調電圧 VD0 ~ VD1023 のうちの一部の電圧範囲に設定されている。

【0149】

そして、上述のように、本実施形態においては、供給された画像データに対して、概略、閾値電圧 V_{th} の値に応じた補正を行う。すなわち、出力電圧 VOUT の電圧範囲の幅は変わらず、第 1 階調に対応する電圧範囲の開始電圧の値が閾値電圧 V_{th} の変動量 (V_{th}) に応じた値だけシフトされて、全階調電圧 VD0 ~ VD1023 のうちの電圧範囲がシフトする。

30

【0150】

しかるに、階調電圧生成回路 118-1 によって設定される各階調電圧 VD1 ~ VD1023 は等間隔の値に設定されているため、出力電圧 VOUT の電圧範囲がシフトしても、画像データの階調値に対する VDAC118(i) の出力電圧の変化特性を一定に維持することができる。

40

【0151】

なお、画像データの階調値がゼロであるとき、VDAC118(i) はゼロ階調に対応する最低階調電圧 VD0 を出力する。このときは黒表示であって有機 EL 素子 101 を発光させないため、上記の閾値電圧 V_{th} の値に応じた補正を行う必要がないため、階調電圧 VD0 は一定の電圧値に設定される。

【0152】

図 5 に示す ADC114(i) と VDAC118(i) とは、例えば同一のビット幅を有して、1 階調に対応する電圧幅が同一の値に設定されている。

【0153】

バッファ 119(i) は、それぞれ、VDAC118(i) から出力されたアナログ電

50

圧をデータライン L di に出力するためのバッファ回路である。

【 0 1 5 4 】

スイッチ S w 1 (i) は、それぞれ、データライン L di とバッファ 1 1 9 (i) の出力端との間を接続、遮断するスイッチである。

【 0 1 5 5 】

データライン L di に電圧値 V data を有する電圧信号を印加するとき、スイッチ S w 1 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 1 として On1 信号が供給されてオンし (閉じ)、バッファ 1 1 9 (i) の出力端とデータライン L di とを接続する。

【 0 1 5 6 】

データライン L di への電圧値 V data の電圧信号の印加が終了すると、スイッチ S w 1 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 1 として Off1 信号が供給されてオフし (開き)、バッファ 1 1 9 (i) の出力端とデータライン L di との間を遮断する。

【 0 1 5 7 】

スイッチ S w 2 (i) は、それぞれ、データライン L di とバッファ 1 1 3 (i) の入力端との間を接続、遮断するスイッチである。

【 0 1 5 8 】

オートゼロ法によるデータライン L di の電圧測定を行うとき、スイッチ S w 2 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 2 として On2 信号が供給されてオンし、データライン L di とバッファ 1 1 3 (i) の入力端との間を接続する。

【 0 1 5 9 】

データライン L di の電圧測定が終了すると、スイッチ S w 2 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 2 として Off2 信号が供給されてオフし、データライン L di とバッファ 1 1 3 (i) の出力端との間を遮断する。

【 0 1 6 0 】

スイッチ S w 3 (i) は、それぞれ、データライン L di とアナログ電源 1 4 の基準電圧 V ref の出力端との間を接続、遮断するスイッチである。

【 0 1 6 1 】

データライン L di に基準電圧 V ref を印加するとき、スイッチ S w 3 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 3 として On3 信号が供給されてオンし、アナログ電源 1 4 の基準電圧 V ref の出力端とデータライン L di とを接続する。

【 0 1 6 2 】

On3 信号は上記のオートゼロ法による測定を行うために、基準電圧 V ref を印加する短期間にもみ供給される。その後、スイッチ S w 3 (i) は、それぞれ、制御部 1 6 から、スイッチ制御信号 S 3 として Off3 信号が供給されて各スイッチ S w 3 (i) はオフし、アナログ電源 1 4 の基準電圧 V ref の出力端とデータライン L di との間を遮断する。

【 0 1 6 3 】

スイッチ S w 4 (1) は、データラッチ部 1 1 6 (1) の出力端と、スイッチ S w 6 の一端又はレベルシフタ 1 1 7 (1) との接続切り換えを行うスイッチであり、front 端子と DAC 側端子とを有している。front 端子は、スイッチ S w 6 の一端に接続された端子であり、DAC 側端子は、レベルシフタ 1 1 7 (1) に接続された端子である。

【 0 1 6 4 】

また、スイッチ S w 4 (i) (i = 2 ~ m) は、それぞれ、データラッチ部 1 1 6 (i) の出力端と、スイッチ S w 5 (i - 1) の入力端又はレベルシフタ 1 1 7 (i) と、の接続切り換えを行うスイッチであり、front 端子と DAC 側端子とを有している。

【 0 1 6 5 】

スイッチ S w 4 (2) ~ (m) の front 端子は、それぞれ、スイッチ S w 5 (1) ~ (m - 1) と接続するための端子であり、DAC 側端子は、それぞれ、レベルシフタ 1 1 7 (2) ~ 1 1 7 (m) に接続された端子である。

【 0 1 6 6 】

測定電圧 V meas (t) を、出力信号 D out (1) ~ D out (m) として、制御部 1 6 に出力

10

20

30

40

50

するとき、スイッチ $S w 4 (i) (i = 1 \sim m)$ は、制御部 16 から、それぞれ、スイッチ制御信号 $S 4$ として $Connect_front$ 信号が供給される。

【0167】

スイッチ $S w 4 (1)$ は、制御部 16 から $Connect_front$ 信号が供給されて、データラッチ部 116 (i) の出力端と front 端子とを接続する。

【0168】

スイッチ $S w 4 (i) (i = 2 \sim m)$ は、制御部 16 から $Connect_front$ 信号が供給されて、それぞれ、データラッチ部 116 (i) の出力端と front 端子とを接続する。

【0169】

また、各データライン $L d i$ への電圧値 $V d a t a$ の電圧信号の印加が行われるとき、スイッチ $S w 4 (i) (i = 1 \sim m)$ は、それぞれ、制御部 16 から、スイッチ制御信号 $S 4$ として $Connect_DAC$ 信号が供給されて、データラッチ部 116 (i) の出力端と DAC 側端子とを接続する。

10

【0170】

スイッチ $S w 5 (i)$ は、それぞれ、データラッチ部 116 (i) の入力端と、データレジスタブロック 112、レベルシフタ 115 (i)、及びスイッチ $S w 4 (i)$ のいずれか 1 つの front 端子と、の間の接続切換を行うスイッチである。

【0171】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、 $Connect_ADC$ 信号が供給されて、データラッチ部 116 (i) の入力端と、レベルシフタ 115 (i) の出力端とを接続する。

20

【0172】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、 $Connect_rear$ 信号が供給されて、データラッチ部 116 (i) の入力端と、スイッチ $S w 4 (i + 1)$ の front 端子とを接続する。

【0173】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、 $Connect_DRB$ 信号が供給されて、データラッチ部 116 (i) の入力端と、データレジスタブロック 112 の出力端と、を接続する。

【0174】

30

スイッチ $S w 6$ は、スイッチ $S w 4 (1)$ の front 端子と、制御部 16 との間を接続、遮断するスイッチである。

【0175】

測定電圧 $V m e a s (t)$ を、出力信号 $D o u t (1) \sim D o u t (m)$ として、制御部 16 に出力するとき、スイッチ $S w 6$ は、制御部 16 から、スイッチ制御信号 $S 6$ として、 $On6$ 信号が供給されてオンし、スイッチ $S w 4 (1)$ の front 端子と制御部 16 とを接続する。

【0176】

測定電圧 $V m e a s (t)$ をすべて出力すると、スイッチ $S w 6$ は、制御部 16 から、スイッチ制御信号 $S 6$ として、 $Off6$ 信号が供給されてオフし、スイッチ $S w 4 (1)$ の front 端子と制御部 16 との間を遮断する。

40

【0177】

図 1 に戻り、アノード回路 12 は、アノードライン $L a$ を介して有機 EL パネル 21 に電圧を印加して電流を供給するためのものである。

【0178】

アナログ電源 14 は、データドライバ 22 に基準電圧 $V r e f$ 、電圧 $D V S S$ 、 $V D 0$ を印加するための電源である。

【0179】

基準電圧 $V r e f$ は、オートゼロ法によるデータライン $L d 1$ の電圧測定の際、各画素 $21 (i, j)$ から電流を引き込むように、データドライバ 22 に印加される。基準電圧 $V r e f$ は、アノード回路 12 から印加される電源電圧 $E L V S S$ に対して負極性の電圧であり、電源電圧 E

50

LVSSに対する電位差の絶対値が各画素 2 1 (i , j) のトランジスタ T 3 の閾値電圧 V_{th} よりも絶対値で大きな値に設定される。

【 0 1 8 0 】

アナログ電圧 DVSS と V D 0 とは、バッファ 1 1 3 (i) , 1 1 9 (i) 、 A D C 1 1 4 (i) 、 V D A C 1 1 8 (i) を駆動するためのアナログ電圧である。アナログ電圧 DVSS は、アノード回路 1 2 から印加される電源電圧 ELVSS に対して負極性の電圧であり、例えば - 1 2 V 程度に設定される。

【 0 1 8 1 】

ロジック電源 1 5 は、データドライバ 2 2 に電圧 LVSS , LVDD を印加するための電源である。電圧 LVSS , LVDD は、データドライバ 2 2 のデータラッチ部 1 1 6 (i) 、データレジスタブロック、シフトレジスタを駆動するためのロジック電圧である。尚、各電圧 DVSS , V D 0 , LVSS , LVDD は、例えば、 $(DVSS - V D 0) < (LVSS - LVDD)$ に設定される。

10

【 0 1 8 2 】

制御部 1 6 は、各データを格納し、格納したデータに基づいて各部を制御するものである。なお、上述のように、本実施形態における制御部 1 6 は、供給されたデジタル信号の画像データに対して種々の補正を行ったデジタルデータ $D_{in}(i)$ をデータドライバ 2 2 に供給する構成を有する。制御部 1 6 内での演算等の処理はデジタル値に対して行われるものである。

【 0 1 8 3 】

制御部 1 6 は、例えば、表示装置 1 の出荷時等の初期段階において、各部を制御して、データドライバ 2 2 を介して、オートゼロ法によるデータライン L_{di} の電圧測定を行い、すべての画素 2 1 (i , j) に対応する測定電圧 $V_{meas}(t1)$, $V_{meas}(t2)$, $V_{meas}(t3)$ を取得する。

20

【 0 1 8 4 】

そして、制御部 1 6 は、式 (1 0 3) に従って演算を行うことにより、特性パラメータとして、各画素 2 1 (i , j) のトランジスタ T 3 の (初期) 閾値電圧 V_{th0} , 画素駆動回路 DC の C / \quad 値を取得し、さらに、平均値 $\langle C / \quad \rangle$ を取得し、式 (1 0 5) に従って演算を行うことにより、オフセット電圧 V_{offset} を取得する。

【 0 1 8 5 】

次いで、画像データが供給される実使用時において、制御部 1 6 は、各部を制御して、データドライバ 2 2 を介して、オートゼロ法によるデータライン L_{di} の電圧測定を行い、すべての画素 2 1 (i , j) に対応する測定電圧 $V_{meas}(t0)$ を取得する。

30

【 0 1 8 6 】

制御部 1 6 は、供給された画像データの電圧データに対し、RGB 毎に画像データの階調値に対するデータ値 (電圧振幅) の変換を行って電圧値 V_{data0} を取得する。

【 0 1 8 7 】

カラー表示においては、RGB 各々が最高階調であるときに白表示となるようにする必要がある。しかし、画素 2 1 (i , j) の RGB 各色の有機 EL 素子 1 0 1 は、通常、供給された電流の電流値に対する発光輝度の特性が異なる。

【 0 1 8 8 】

このため、画像データの階調値に対して RGB 各色の有機 EL 素子 1 0 1 に供給される電流の電流値を、RGB の各々が最高階調であるときに白表示となる互いに異なる値とするように、制御部 1 6 において、RGB 毎に画像データの階調値に対する電圧振幅の変換を行う。

40

【 0 1 8 9 】

制御部 1 6 は、すべての画素 2 1 (i , j) について、このような電圧振幅の変換を行って電圧値 V_{data0} を取得する。電圧値 V_{data0} を取得すると、制御部 1 6 は、式 (1 0 6) , (1 0 7) に従って演算を行うことにより、 (\quad / \quad) に基づいて補正した電圧値 V_{data1} を取得する。

【 0 1 9 0 】

50

制御部 16 は、式 (108) , (109) に従って演算を行い、最終出力電圧として、閾値電圧 V_{th} に基づく電圧値 V_{data} を取得する。具体的に、制御部 16 は、閾値電圧 V_{th} 相当分のビット加算をすることにより電圧値 V_{data1} を補正し、電圧値 V_{data} を取得する。

【 0191 】

制御部 16 は、補正後のすべての画素 $21(i, j)$ に対応する画像データ V_{data} を、デジタルデータ $D_{in}(1) \sim D_{in}(m)$ として、1行毎にデータドライバ 22 に出力する。

【 0192 】

図 7 は、図 1 に示す制御部の構成を示すブロック図であり、図 8 は、図 7 に示すメモリの各格納領域を示す図である。制御部 16 は、上記のような処理を行うため、図 7 に示すように、CPU 121 と、メモリ 122 と、LUT 123 と、を備える。

10

【 0193 】

CPU (Central Processing Unit) 121 は、実際に、アノード回路 12、セレクトドライバ 13、データドライバ 22 の制御、各種演算を行うものである。

【 0194 】

メモリ 122 は、ROM (Read Only Memory)、RAM (Random Access Memory) 等によって構成されたものであり、CPU 121 が実行する各処理プログラムを格納するとともに、処理に必要な各種データを格納する。

【 0195 】

メモリ 122 は、各種データを格納する領域として、図 8 に示すように、画素データ格納領域 122a と、 $\langle C / \rangle$ 格納領域 122b と、オフセット電圧 (V_{offset}) 格納領域 122c と、を備える。

20

【 0196 】

画素データ格納領域 122a は、画素 $21(i, j)$ 毎に、測定電圧 $V_{meas}(t1)$, $V_{meas}(t2)$, $V_{meas}(t3)$ 、 V_{meas} 、閾値電圧 V_{th0} 、 V_{th} 、 $C /$ 、 $/$ の各データを格納する領域である。

【 0197 】

$\langle C / \rangle$ 格納領域 122b は、各画素 $21(i, j)$ の $C /$ の平均値 $\langle C / \rangle$ を格納する領域である。

【 0198 】

オフセット電圧格納領域 122c は、式 (105) によって定義されたオフセット電圧 V_{offset} を格納する領域である。

30

【 0199 】

LUT (Look Up Table) 123 は、供給された画像データに対して RGB (R ; Red、G ; Green、B ; Blue) 各色毎に電圧振幅の変換を行うためのテーブルであり、予め設定されたものである。

【 0200 】

制御部 16 は、この LUT 123 を参照することにより、供給された画像データの電圧データに対し、RGB 毎にデータ値 (電圧振幅) の変換を行う。

【 0201 】

次に、図 9 は、VDAC 118 (i) を 10 ビットとしてデータ変換を行う場合の LUT 123 における画像データの変換特性を示す図であり、図 10 は、LUT 123 における画像データ変換特性を説明するための図である。

40

【 0202 】

この例では、青 (B) > 赤 (R) > 緑 (G) の順にデータ値 (電圧振幅) が異なっている。まず、図 9 の横軸は画像データの階調値であり、画像データが 10 ビットの場合を示す。

【 0203 】

図 9 の縦軸は LUT 123 によって画像データを変換した変換データの階調値を示す。この変換データに基づいて RGB の電圧振幅が設定される。なお、画像データの階調値に

50

対する変換データの階調値の変換特性はLUT123に予め設定されているものである。図9(a)は、画像データの階調値に対して変換データの階調値が直線的(リニア)な関係に設定される場合を示している。

【0204】

また、図9(b)は、画像データの階調値に対して変換データの階調値が曲線的な、ガンマ特性を有するように設定されている場合を示している。LUT123における画像データの階調値に対する変換データの階調値の関係は、必要に応じて任意に設定することができる。

【0205】

ここで、データドライバ22のVDAC118(i)は、10ビットの構成を有している場合、0~1023の入力データを受けることができるものである。しかし、LUT123によって変換した後の変換データは、最大値が600程度に設定されている。これは以下の理由によるものである。

【0206】

図10は、画像データの階調値に対する、データドライバ22へ入力されるデジタルデータDin(i)、すなわち、制御部16から出力されるデジタルデータDin(i)の階調値を示したものである。

【0207】

ここで、図10(a)は図9(a)に対応し、図10(b)は図9(b)に対応するものである。上述のように、本実施形態においては、制御部16において、供給された画像データに対して、概略、閾値電圧Vthの値に応じた補正を行う。

【0208】

この補正は、式(109)に示すように、画像データに対応し、電流増幅率のバラツキに応じた補正を行ったデータに対して、閾値電圧Vthに相当する量を加算することによって行われるものである。

【0209】

ここで、上記のように、データドライバ22のVDAC118における階調電圧VD1は閾値電圧Vthの初期値Vth0に対応する値に設定されるため、補正によって加算する量は、閾値電圧Vthの初期値Vth0からの変化量Vthに相当する量となる。

【0210】

そして、制御部16から出力されるデジタルデータDin(i)の階調値がデータドライバ22のVDAC118(i)の入力可能範囲(0~1023)内になければならない。

【0211】

このために、LUT123によって変換した後の変換データの階調値の最大値は、データドライバ22のVDAC118(i)の入力可能範囲から、補正によって加算される量を減じた値に設定されている。

【0212】

なお、補正によって加算される量は閾値電圧Vthの変化量Vthに対応したものであるから一定の量ではなく、使用時間の経過に応じて次第に増加するものである。

【0213】

よって、LUT123による変換データの階調値の最大値は、例えば、表示装置1の予想される使用時間に基づいて補正によって加算される量の最大値を予測して、決定される。

【0214】

なお、画像データの階調値がゼロで黒表示であるときは、有機EL素子101を発光させない状態であるため、上記の補正を行う必要がない。このため、黒表示の画像データがゼロ階調である場合、制御部16は、LUT123を参照することなく、そのままゼロ階調をデータドライバ22に供給する。

【0215】

次に本実施形態に係る表示装置1の動作を説明する。

10

20

30

40

50

初期段階において、オートゼロ法による各データライン L_{di} の電圧測定を行う場合、制御部 16 は、電圧 $ELVSS$ をアノードライン L_a に印加するように、アノード回路 12 を制御する。

【0216】

図 11 は、オートゼロ法による電圧測定を行う場合の各部の動作を示すタイミングチャートである。制御部 16 は、図 11 に示すように、時刻 t_{10} において、セレクトドライバ 13 に、スタートパルス SP_1 を供給する。セレクトドライバ 13 は、セレクトライン L_{s1} に、 V_{gH} レベルの $Gate(1)$ 信号を出力する。

【0217】

セレクトドライバ 13 がセレクトライン L_{s1} に V_{gH} レベルの $Gate(1)$ 信号を出力すると、第 1 行目の画素 $11(i, j)$ のトランジスタ T_1, T_2 はオンする。トランジスタ T_1 がオンすると、トランジスタ T_3 のゲート - ドレイン間が接続されてトランジスタ T_3 は、ダイオード接続状態となる。

【0218】

また、制御部 16 は、時刻 t_{10} において、データドライバ 22 に、スイッチ制御信号 $S_1 \sim S_6$ として、それぞれ、 $Off_1, Off_2, On_3, Connect_front, Connect_ADC, Off_6$ の各信号を供給する。

【0219】

スイッチ $Sw_4(1)$ は、図 12(a) に示すように、制御部 16 から $Connect_front$ 信号が供給されて、データラッチ部 116(1) の出力端と front 端子とを接続し、スイッチ $Sw_4(2) \sim Sw_4(m)$ は、それぞれ、データラッチ部 116(i) の出力端と front 端子とを接続する。

【0220】

スイッチ $Sw_5(1) \sim Sw_5(m)$ は、図 12(a) に示すように、制御部 16 から $Connect_ADC$ 信号が供給されて、それぞれ、データラッチ部 116(1) \sim 116(m) の入力端と、レベルシフタ 115(1) \sim 115(m) の出力端とを接続する。

【0221】

図 13 は、オートゼロ法による電圧測定を行う場合の各スイッチの接続関係を示す図である。スイッチ $Sw_1(1) \sim Sw_1(m), Sw_2(1) \sim Sw_2(m)$ は、それぞれ、制御部 16 から Off_1, Off_2 信号が供給されてオフする。また、スイッチ $Sw_3(1) \sim Sw_3(m)$ は、それぞれ、制御部 16 から On_3 信号が供給されてオンする。

【0222】

アナログ電源 14 の基準電圧 V_{ref} が負であるため、トランジスタ $T_1 \sim T_3$ がオンすれば、アナログ電源 14 は、第 1 行目の画素 $21(1,1) \sim 21(1,m)$ から各データライン L_{di} を介して電流 I_d を引き込む。

【0223】

このとき、第 1 行目の画素 $21(1,1) \sim 21(m,1)$ の有機 EL 素子 101 はカソード側の電位が V_{cath} であり、アノード側は V_{cath} より負電位になって逆バイアスとなっているため、電流は流れず、発光しない。

【0224】

また、スイッチ $Sw_1(1) \sim Sw_1(m), Sw_2(1) \sim Sw_2(m)$ がオフしているため、アナログ電源 14 が引き込んだ電流 I_d は、バッファ $113(1) \sim 113(m), 119(1) \sim 119(m)$ には流れ込まない。

【0225】

このため、電流 I_d は、図 13(a) に示すように、第 1 行目の画素 $21(1,j) \sim 21(m,j)$ のトランジスタ T_3, T_2 から各データライン L_{di} を経由してアナログ電源 14 へと流れる。

【0226】

電流 I_d が流れると、各画素 $21(1,j) \sim 21(m,j)$ のストレージ容量 C_s は、基準電圧 V_{ref} に基づく電圧で充電される。

10

20

30

40

50

【 0 2 2 7 】

そして、時刻 t_{11} において、これらの容量が基準電圧 V_{ref} で充電されると、制御部 16 は、データドライバ 22 に、スイッチ制御信号 S_3 として Off_3 信号を供給する。

【 0 2 2 8 】

制御部 16 から Off_3 信号が供給されると、図 13 (b) に示すように、それぞれ、スイッチ $Sw_3(i)$ はオフする。また、スイッチ $Sw_1(i)$, $Sw_2(i)$ は、それぞれ、オフしたままであり、有機 EL パネル 21 とデータドライバ 22 との間の接続が遮断される。これにより、データライン L_{di} はハイインピーダンス (HZ) 状態になる。

【 0 2 2 9 】

データライン L_{di} はハイインピーダンス状態になった直後においては、ストレージ容量 C_s に蓄積された電荷が直前の値に保持され、これによりトランジスタ T_3 がオン状態に維持される。

10

【 0 2 3 0 】

これにより、トランジスタ T_3 のドレイン - ソース間に電流が流れ続けて、トランジスタ T_3 のソース端子側の電位がドレイン端子側の電位に近づくように徐々に上昇していき、トランジスタ T_3 のドレイン - ソース間に流れる電流の電流値が減少していく。

【 0 2 3 1 】

これに伴って、ストレージ容量 C_s に蓄積された電荷の一部が徐々に放電されていき、ストレージ容量 C_s の両端間の電圧が減少していく。これによりトランジスタ T_3 のゲート電圧 V_{gs} が徐々に低下していき、これに応じて、データライン L_{di} の電圧の絶対値は基準電圧 V_{ref} から徐々に低下していく。

20

【 0 2 3 2 】

時刻 t_{11} から、予め設定された緩和時間 t が経過した時刻 t_{12} において、制御部 16 は、データドライバ 22 に、スイッチ制御信号 S_2 として On_2 信号を供給する。このときの緩和時間 t は、 $C / (t) < 1$ の条件を満たす t_1 に設定される。

【 0 2 3 3 】

図 13 (c) に示すように、スイッチ $Sw_2(i)$ は、それぞれ、制御部 16 から On_2 信号が供給されてオンし、ADC 114 (i) は、それぞれ、データライン L_{di} の電圧値を測定電圧 $V_{meas}(t_1)$ としてを取得する。

【 0 2 3 4 】

レベルシフト 115 (i) は、それぞれ、ADC 114 (i) が取得した測定電圧 $V_{meas}(t_1)$ をレベルシフトする。

30

【 0 2 3 5 】

図 12 (a) に示すように、それぞれ、データラッチ部 116 (1) ~ 116 (m) の入力端と、レベルシフト 115 (1) ~ 115 (m) の出力端とがスイッチ $Sw_5(1)$ ~ $Sw_5(m)$ を介して接続されているため、レベルシフト 115 (1) ~ 115 (m) がそれぞれレベルシフトした測定電圧 $V_{meas}(t_1)$ は、データラッチ部 116 (1) ~ 116 (m) に供給される。

【 0 2 3 6 】

データラッチ部 116 (1) ~ 116 (m) は、それぞれ、供給された測定電圧 $V_{meas}(t_1)$ を保持する。制御部 16 は、データラッチパルス DL_{pulse} をデータドライバ 22 に出力する。

40

【 0 2 3 7 】

Gate(1) 信号が立ち下がる時刻 t_{13} において、制御部 16 は、データドライバ 22 に、スイッチ制御信号 S_6 として、 On_6 信号を供給し、スイッチ Sw_6 は、図 12 (b) に示すように、オンする。

【 0 2 3 8 】

この図 12 (b) に示すように、データラッチ部 116 (i) の出力端とスイッチ $Sw_6(i)$ の一端とがスイッチ $Sw_4(1)$ の front 端子を介して接続され、それぞれ、データラッチ部 116 (2) ~ 116 (m) の出力端と、スイッチ $Sw_5(1)$ ~ Sw_5 (

50

m - 1) の入力端と、がスイッチ $S w 4 (2) \sim S w 4 (m)$ の front 端子を介して接続されている。

【 0 2 3 9 】

このため、データラッチ部 $1 1 6 (1) \sim 1 1 6 (m)$ は、制御部 1 6 から D L pulse が供給される毎に、保持した第 1 行目の画素 $2 1 (1, 1) \sim 2 1 (m, 1)$ に対応するデータライン $L d i (i = 1 \sim m)$ の測定電圧 $V_{meas}(t1)$ を、順次、転送し、データ $D o u t (1) \sim D o u t (m)$ として制御部 1 6 に出力する。

【 0 2 4 0 】

制御部 1 6 は、このデータ $D o u t (1) \sim D o u t (m)$ を取得して、図 8 に示すメモリ 1 2 2 の画素データ格納領域 1 2 2 a に格納する。このようにして、第 1 行目の画素 $2 1 (1, 1) \sim 2 1 (m, 1)$ の電圧測定が終了する。

10

【 0 2 4 1 】

時刻 $t 2 0$ において、Gate(2) 信号が立ち上がると、制御部 1 6 は、同様にして、データドライバ 2 2 に、スイッチ制御信号 $S 1 \sim S 6$ を供給し、第 2 行目の画素 $2 1 (1, 2) \sim 2 1 (m, 2)$ に対応するデータライン $L d i (i = 1 \sim m)$ の電圧測定を行う。

【 0 2 4 2 】

そして、第 n 行目の画素 $2 1 (1, n) \sim 2 1 (m, n)$ に対応したデータライン $L d i (i = 1 \sim m)$ の電圧測定を行うことにより、時間 $t 1$ におけるすべての電圧測定が終了する。

【 0 2 4 3 】

次に、制御部 1 6 は、同じように、緩和時間 t を $t 2$ に設定して各画素 $2 1 (i, j)$ に対応したデータライン $L d i$ の電圧測定を行う。制御部 1 6 は、緩和時間 $t 2$ における各画素 $2 1 (i, j)$ に対応したデータライン $L d i$ の測定電圧 $V_{meas}(t2)$ を取得し、メモリ 1 2 2 の画素データ格納領域 1 2 2 a に格納する。

20

【 0 2 4 4 】

次に、制御部 1 6 は、同じように、緩和時間 t を $t 3$ に設定して各画素 $2 1 (i, j)$ に対応したデータライン $L d i$ の電圧測定を行う。制御部 1 6 は、緩和時間 $t 3$ における各画素 $2 1 (i, j)$ に対応したデータライン $L d i$ の測定電圧 $V_{meas}(t3)$ を取得し、メモリ 1 2 2 の画素データ格納領域 1 2 2 a に格納する。

【 0 2 4 5 】

図 1 4 は、補正パラメータを取得するときに制御部が実行する駆動シーケンスを説明するための図である。制御部 1 6 は、測定電圧 $V_{meas}(t1)$, $V_{meas}(t2)$, $V_{meas}(t3)$ を取得すると、図 1 4 に示す駆動シーケンスに従って演算を行い、補正パラメータを取得する。

30

【 0 2 4 6 】

即ち、制御部 1 6 は、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a から、画素 $2 1 (1, 1)$ に対応したデータライン $L d i$ の測定電圧 $V_{meas}(t1)$, $V_{meas}(t2)$ を読み出す (ステップ S 1 1)。

【 0 2 4 7 】

そして、制御部 1 6 は、式 (1 0 3) に従って演算を行い、画素 $2 1 (1, 1)$ に対応した閾値電圧 V_{th0} 、 $C /$ を取得する (ステップ S 1 2)。

【 0 2 4 8 】

制御部 1 6 は、この処理を全画素 $2 1 (i, j)$ について行い、全画素 $2 1 (i, j)$ に対応した閾値電圧 V_{th0} と $C /$ とを取得すると、全画素 $2 1 (i, j)$ の $C /$ の平均値 $\langle C / \rangle$ を取得し (ステップ S 1 3)、緩和時間 $t = t 0$ を決定する。

40

【 0 2 4 9 】

そして、制御部 1 6 は、式 (1 0 5) によって定義されたオフセット電圧 V_{offset} を取得する (ステップ S 1 4)。

【 0 2 5 0 】

制御部 1 6 は、取得した平均値 $\langle C / \rangle$ 、オフセット電圧 V_{offset} を、それぞれ、メモリ 1 2 2 の $\langle C / \rangle$ 格納領域 1 2 2 b、オフセット電圧格納領域 1 2 2 c に格納する。

50

【 0 2 5 1 】

制御部 1 6 は、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a から、画素 2 1 (1,1) の測定電圧 $V_{meas}(t3)$ を読み出す (ステップ S 1 5)。

【 0 2 5 2 】

制御部 1 6 は、各画素 2 1 (i,j) の測定電圧 $V_{meas}(t3)$ を用い、式 (1 0 6) を変形して演算を行い、各画素 2 1 (i,j) の V_{data0} を取得する (ステップ S 1 6)。

【 0 2 5 3 】

制御部 1 6 は、取得した V_{data0} を、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a に格納する。

【 0 2 5 4 】

図 1 5 は、供給された画像データに応じた電圧信号を補正してデータドライバに出力するとき制御部が実行する駆動シーケンスを説明するための図である。実使用时、制御部 1 6 に画像データが供給される。制御部 1 6 は、図 1 5 に示す駆動シーケンスに従って、画像データに応じた電圧信号の電圧値 V_{data0} を補正する。

【 0 2 5 5 】

制御部 1 6 は、図 1 1 に示すタイミングチャートに従って各部を制御し、データドライバ 2 2 から、緩和時間 $t = t_0$ における測定電圧 $V_{meas}(t_0)$ を取得する (ステップ S 2 1) 。制御部 1 6 は、取得した測定電圧 $V_{meas}(t_0)$ をメモリ 1 2 2 の画素データ格納領域 1 2 2 a に格納する。

【 0 2 5 6 】

制御部 1 6 は、デジタル信号からなる画像データが入力され、画像データに対して LUT 1 2 3 を参照して、RGB 毎にデータ値 (電圧振幅) を変換して、原階調信号として各画素 2 1 (i,j) に対する電圧値 V_{data0} を生成する (ステップ S 2 2) 。

【 0 2 5 7 】

尚、原階調信号の最大値は、VDAC 1 1 8 (i) の入力範囲における最大値から上述の閾値電圧 V_{th} 等の特性パラメータに基づく補正量を減じた値に等しいか、それより小さい値に設定されている。

【 0 2 5 8 】

制御部 1 6 は、 V_{data0} のバラツキの補正パラメータとして、 V_{data0} を用い、式 (1 0 7) に従って乗算を行い、電圧値 V_{data1} を取得する (ステップ S 2 3) 。

【 0 2 5 9 】

制御部 1 6 は、メモリ 1 2 2 のオフセット電圧格納領域 1 2 2 c から、オフセット電圧 V_{offset} を読み出し、式 (1 0 8) に従って測定電圧 $V_{meas}(t_0)$ と負のオフセット電圧 V_{offset} とを加算し、補正量としての閾値電圧 V_{th} を取得する (ステップ S 2 4) 。

【 0 2 6 0 】

制御部 1 6 は、式 (1 0 9) に従って、電圧値 V_{data1} と閾値電圧 V_{th} とを加算して、補正階調信号としての電圧値 V_{data} を取得する (ステップ S 2 5) 。

【 0 2 6 1 】

制御部 1 6 は、このような駆動シーケンスを 1 画素毎に対応して行う。そして、制御部 1 6 は、電圧値 V_{data} をデータ $D_{in}(1) \sim D_{in}(m)$ として、行毎にデータドライバ 2 2 に出力する。

【 0 2 6 2 】

図 1 6 は、実使用時の各部の動作を示すタイミングチャートである。制御部 1 6 は、図 1 6 に示すデータ出力タイミングチャートに従って各部を制御し、データ $D_{in}(1) \sim D_{in}(m)$ をデータドライバ 2 2 に出力する。

【 0 2 6 3 】

制御部 1 6 は、時刻 t_{30} において、データドライバ 2 2 に、スイッチ制御信号 $S_1 \sim S_6$ として、それぞれ、Off1, Off2, Off3, Connect_DAC, Connect_DRB, Off6 信号を供給する。

【 0 2 6 4 】

10

20

30

40

50

図17は、電圧信号を書き込むときの各スイッチの接続関係を示す図である。図17に示すように、 $Sw2(i)$ 、 $Sw3(i)$ は、それぞれ、制御部16から、Off2, Off3信号が供給されてオフし、バッファ113(i)とデータラインLdiとの間、アナログ電源14とデータラインLsjとの間が遮断される。

【0265】

スイッチ $Sw1(i)$ は、それぞれ、制御部16から、On1信号が供給されてオンし、バッファ119(i)を介してVDAC118(i)とデータラインLsiとが接続される。

【0266】

図18は、制御部からデータドライバにデータを入力するときの各スイッチの接続関係を示す図である。図18に示すように、スイッチ $Sw5(i)$ は、それぞれ、制御部16から、Connect_DRB信号が供給されて、データラッチ部116(i)の入力端と、データレジスタブロック112の出力端と、を接続する。

【0267】

スイッチ $Sw4(i)$ ($i = 1 \sim m$)は、それぞれ、制御部16から、Connect_DAC信号が供給されて、データラッチ部116(i)の出力端とDAC側端子とを接続する。

【0268】

図5に示すスイッチ $Sw6$ は、制御部16から、Off6信号が供給されてオフし、データラッチ部116(1)と制御部16との間が遮断される。

【0269】

制御部16は、時刻 t_{31} において、スタートパルスSP2を立ち上げ、時刻 t_{32} において、スタートパルスSP2をLoレベルに立ち下げる。

【0270】

スタートパルスSP2がLoレベルに立ち下がると、データドライバ22のシフトレジスタ111は、クロック信号に従って、このスタートパルスSP2を、順次、シフトし、データレジスタブロック112にシフト信号を供給する。

【0271】

データレジスタブロック112は、このシフト信号が供給されて、順次、データDin(1) ~ Din(m)を取り込む。

【0272】

時刻 t_{33} において、Gate(1)信号がVgHレベルに立ち上がると、画素21(1,1) ~ 21(m,1)の各トランジスタT1, T2はオンする。

【0273】

制御部16は、データラッチパルスDLpulseを立ち上げ、データドライバ22のデータラッチ部116(i)は、データラッチパルスDLpulseの立ち上がりタイミングにて、データをラッチする。

【0274】

レベルシフト117(i)は、それぞれ、データラッチ部116(i)がラッチしたデータに対してレベルシフトを行い、レベルシフトしたデータをVDAC118(i)に供給する。

【0275】

VDAC118(i)は、このデジタルデータを負のアナログ電圧に変換し、バッファ119(i)を介して、変換した負のアナログ電圧をデータラインLdiに印加する。

【0276】

データラインLdiに負のアナログ電圧が印加されると、各画素21(1,1) ~ 21(m,1)の有機EL素子101は逆バイアスとなるために電流は流れず、電流は、アノード回路12から、各画素21(1,1) ~ 21(m,1)のトランジスタT3, T2、データラインLd1 ~ Ldmを介して、それぞれ、データドライバ22のVDAC118(i)に流れる。

【0277】

各画素11(1,1) ~ 21(m,1)の各トランジスタT1はオンしているため、各トランジス

10

20

30

40

50

タT 3は、ゲート - ドレイン間が接続されて、ダイオード接続される。このため、トランジスタT 3は、飽和領域内で動作し、トランジスタT 3には、ダイオード特性に応じたドレイン電流 I_d が流れる。

【0278】

トランジスタT 1がオンし、トランジスタT 3にドレイン電流 I_d が流れるため、トランジスタT 3のゲート電圧 V_{gs} は、ドレイン電流 I_d に対応した電圧に設定され、ストレージ容量 C_s は、このゲート電圧 V_{gs} で充電される。

【0279】

このようにしてデータドライバ22は、補正パラメータに基づいて補正された電流を、
図17に示すように、各画素21(1,1)~21(m,1)のトランジスタT 3から引き込んで、
ストレージ容量 C_s に、電圧値 V_{data} に基づくトランジスタT 3のゲート電圧 V_{gs} を保持
させる。

10

【0280】

このようにして第1行目の各画素21(1,1)~21(m,1)のストレージ容量 C_s へのデータの書き込みが終了する。

【0281】

制御部16は、時刻 t_{34} になると、 D_L pulseを立ち下げてスタートパルス SP_2 を立ち上げ、時刻 t_{35} においてスタートパルス SP_2 を立ち下げて、第2行目の各画素21(1,1)~21(m,1)のストレージ容量 C_s へのデータの書き込みを行う。

【0282】

20

以下、同様にして、制御部16は、順次、画素21(1,3)~21(m,3), ..., 21(1,n)~21(m,n)のストレージ容量 C_s に、電圧値 V_{data} に基づく電圧を書き込む。

【0283】

すべての画素21(i,j)のストレージ容量 C_s に電圧値 V_{data} の書き込みが行われ、Gate(n)信号が V_{gL} レベルになると、すべての画素21(i,j)のトランジスタT 1, T 2がオフする。

【0284】

すべての画素21(i,j)において、それぞれ、トランジスタT 1, T 2がオフすると、トランジスタT 3は、非選択状態となる。トランジスタT 3が非選択状態となると、トランジスタT 3のゲート電圧 V_{gs} は、ストレージ容量 C_s に書き込まれた電圧に保持される

30

【0285】

制御部16は、電圧 $ELVDD$ がアノードライン L_a に印加されるように、アノード回路12を制御する。この電圧 $ELVDD$ は、例えば、15V程度に設定される。

【0286】

このとき、トランジスタT 3のゲート電圧 V_{gs} がストレージ容量 C_s によって保持されているため、トランジスタT 3のドレイン - ソース間には、電圧値 V_{data} を書き込んだときの書き込み電流と同等の電流値のドレイン電流 I_d が流れる。

【0287】

トランジスタT 2がオフし、有機EL素子101のアノード側の電位がカソード側の電位より高い状態となっているため、このドレイン電流 I_d は、有機EL素子101に供給される。

40

【0288】

このとき、各画素21(i,j)の有機EL素子101に流れる電流 I_d は、閾値電圧 V_{th} , のバラツキに基づいて補正されており、有機EL素子101は、この補正された電流で発光する。

【0289】

以上説明したように、本実施形態によれば、表示装置1は、緩和時間 t として、 $(C /) / t < 1$ を満たす緩和時間 t_1 , t_2 を選択し、オートゼロ法により、各データライン L_{di} の電圧測定を複数回行うようにした。

50

【0290】

また、表示装置1は、緩和時間 t として、 $(C/\)/t$ を満たす時間 t_3 を選択し、オートゼロ法により、各データラインの電圧測定を行うようにして、各画素の画素駆動回路ののバラツキを示す $(\ /)$ を取得するようにした。

【0291】

従って、各画素の特性パラメータとして、閾値電圧 V_{th} と $(C/\)$ 値と、のバラツキを示す $(\ /)$ とを同時に取得することができる。

【0292】

このため、のバラツキを測定するための回路と閾値電圧 V_{th} を測定のための回路を別々に設ける必要がなくなる。そして、表示装置1の駆動システムを簡素化することができる。また、閾値電圧 V_{th} および、画素マトリクスの中のバラツキを補正するアクティブ有機EL駆動システムが可能になる。

10

【0293】

また、実使用時に供給された画像データに基づく電圧信号の電圧値 V_{data0} を、取得した $(\ /)$ に基づいて補正することができ、さらに、補正された電圧値 V_{data1} を、取得した閾値電圧 V_{th} と $(C/\)$ 値とに基づいて補正し、電圧値 V_{data} を取得することができる。

【0294】

このため、実使用時に供給された画像データに基づく電流を各画素 $21(i, j)$ の有機EL素子 101 に供給することができ、画質の劣化を抑制することができる。

20

【0295】

尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施形態に限られるものではない。

例えば、上記実施形態では、発光素子を有機EL素子として説明した。しかし、発光素子は、有機EL素子に限られるものではなく、例えば、無機EL素子又はLEDであってもよい。

【0296】

また、上記実施形態においては、本発明を有機ELパネル 21 を有する表示装置1に適用した場合について説明したが、本発明はこれに限るものではない。例えば、有機EL素子 101 による発光素子を有する複数の画素が一方向に配列された、発光素子アレイを備え、感光体ドラムに画像データに応じて発光素子アレイから出射した光を照射して露光する露光装置に適用してもよい。この場合、経時劣化や特性のバラツキによる露光状態の劣化を抑制することができる。

30

【0297】

上記実施形態では、 $(C/\)/t < 1$ を満たす緩和時間 t として t_1 、 t_2 の2つに設定するようにした。しかし、緩和時間を3つ以上に設定してもよい。

【0298】

上記実施形態では、制御部 16 が、供給された画像データに応じた電圧信号の電圧値に対して、LUT 123 を用いて、RGB毎に電圧振幅の変換を行うようにした。しかし、LUT 123 を備えずに、制御部 16 は、演算を行うことにより、このような電圧振幅の変換を行うようにしてもよい。

40

【図面の簡単な説明】

【0299】

【図1】本発明の実施形態に係る表示装置の構成を示すブロック図である。

【図2】図1に示す有機ELパネルとデータドライバの構成を示す図である。

【図3】画素駆動回路の書き込み動作時の電圧-電流特性を説明するための図である。

【図4】本実施形態におけるオートゼロ法を用いたデータラインの電圧の測定方法を説明するための図である。

【図5】図1に示すデータドライバの具体的な構成を示すブロック図である。

【図6】図5に示すVDACとADCの構成と機能を説明するための図である。

50

【図 7】図 1 に示す制御部の構成を示すブロック図である。

【図 8】図 7 に示すメモリの各格納領域を示す図である。

【図 9】図 7 に示す LUT の画像データの変換特性を示す例を示す図である。

【図 10】図 7 に示す LUT における画像データの変換特性を説明するための図である。

【図 11】オートゼロ法による電圧測定を行う場合の各部の動作を示すタイミングチャートである。

【図 12】データドライバから制御部にデータを出力する場合の各スイッチの接続関係を示す図である。

【図 13】オートゼロ法による電圧測定を行う場合の各スイッチの接続関係を示す図である。

【図 14】補正パラメータを取得するときに制御部が実行する駆動シーケンスを説明するための図である。

【図 15】供給された画像データに応じた電圧信号を補正してデータドライバに出力するときに制御部が実行する駆動シーケンスを説明するための図である。

【図 16】各部の実使用時の各部の動作を示すタイミングチャートである。

【図 17】電圧信号を書き込むときの各スイッチの接続関係を示す図である。

【図 18】制御部からデータドライバにデータを入力するときの各スイッチの接続関係を示す図である。

【符号の説明】

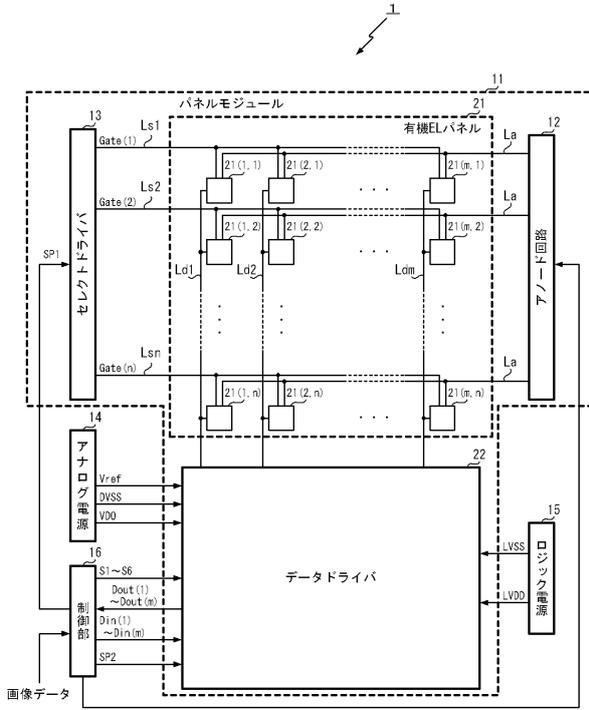
【0300】

1・・・表示装置、11・・・パネルモジュール、12・・・アノード回路、13・・・セレクトドライバ、14・・・アナログ電源、16・・・制御部、21・・・有機 EL パネル、 $21(i, j)$ ($i = 1 \sim m, j = 1 \sim n$)・・・画素、22・・・データドライバ、101・・・有機 EL 素子 (発光素子)、114(1)～114(m)・・・ADC、118(1)～118(m)・・・VDAC、 $Sw1(1) \sim Sw1(m)$ 、 $Sw2(1) \sim Sw2(m)$ 、 $Sw3(1) \sim Sw3(m)$ 、 $Sw4(1) \sim Sw4(m)$ 、 $Sw5(1) \sim Sw5(m)$ 、 $Sw6$ ・・・スイッチ、121・・・CPU、122・・・メモリ、123・・・LUT、 $T1 \sim T3$ ・・・トランジスタ、 Cs ・・・ストレージ容量、 Cel ・・・有機 EL 画素容量、 Cp ・・・配線寄生容量

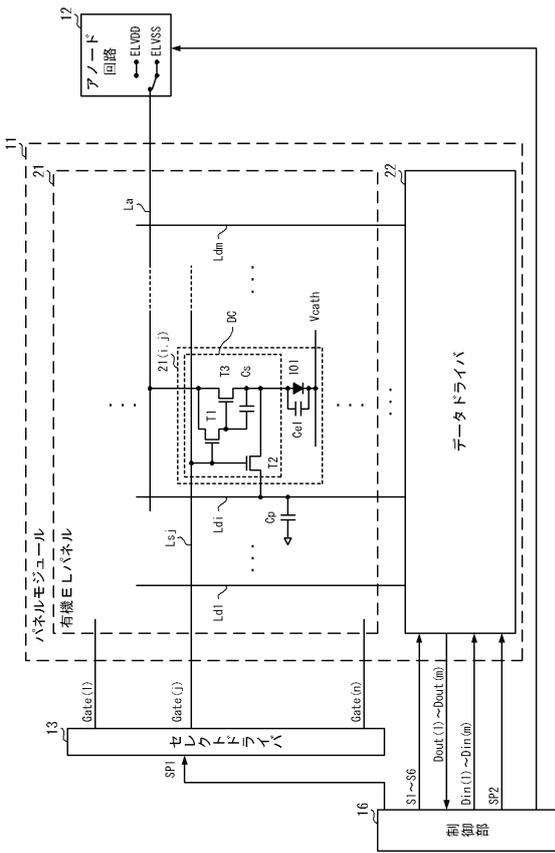
10

20

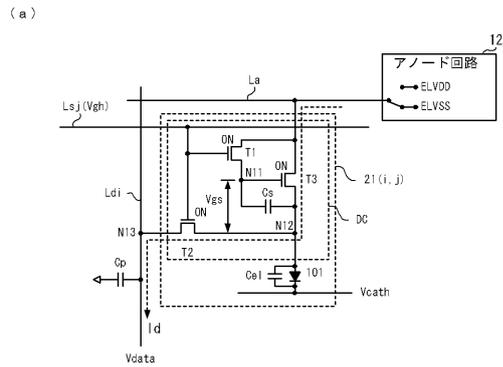
【図1】



【図2】



【図3】



(b)

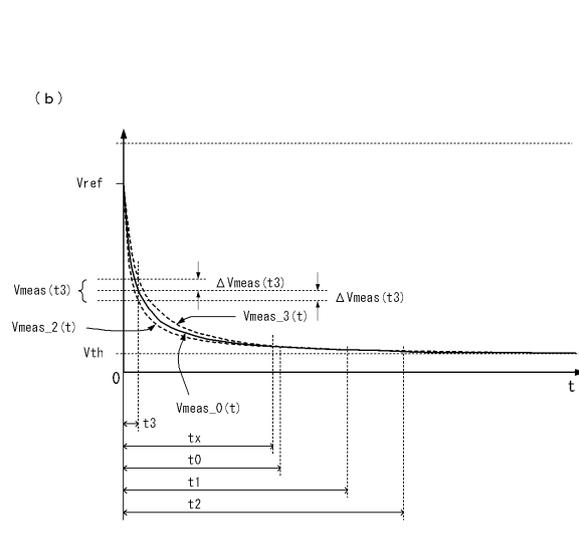
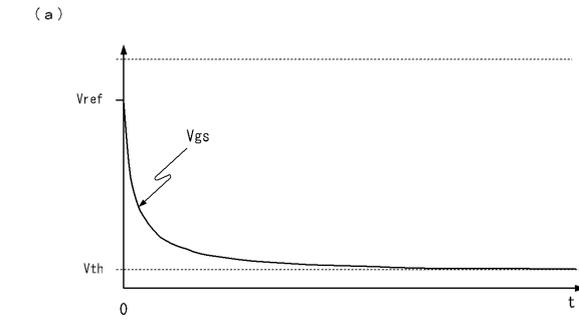
$$VI_0: Id0 = \beta_0 (Vdata - Vth0)^2$$

$$VI_1: Id1 = (\beta_0 - \Delta\beta) (Vdata - Vth0)^2$$

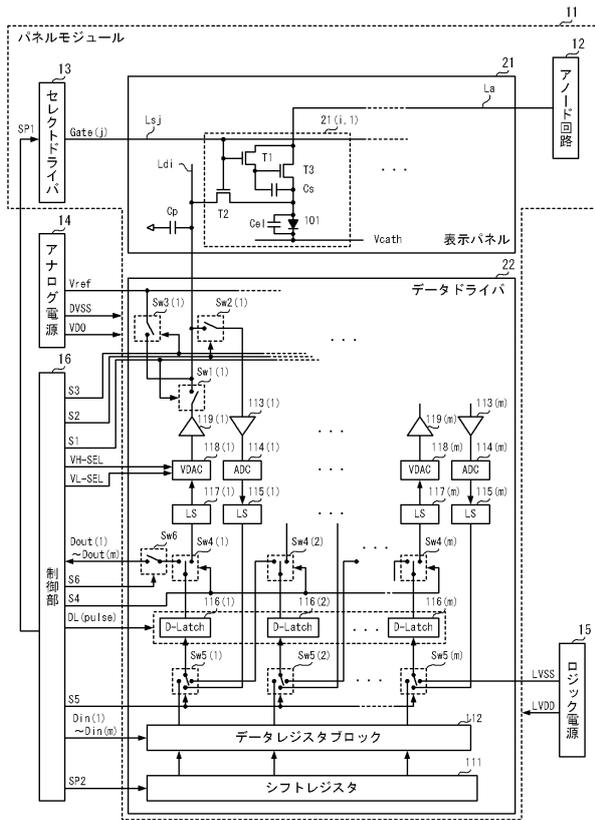
$$VI_2: Id2 = (\beta_0 + \Delta\beta) (Vdata - Vth0)^2$$

$$VI_3: Id3 = \beta_0 (Vdata - (Vth0 + \Delta Vth))^2$$

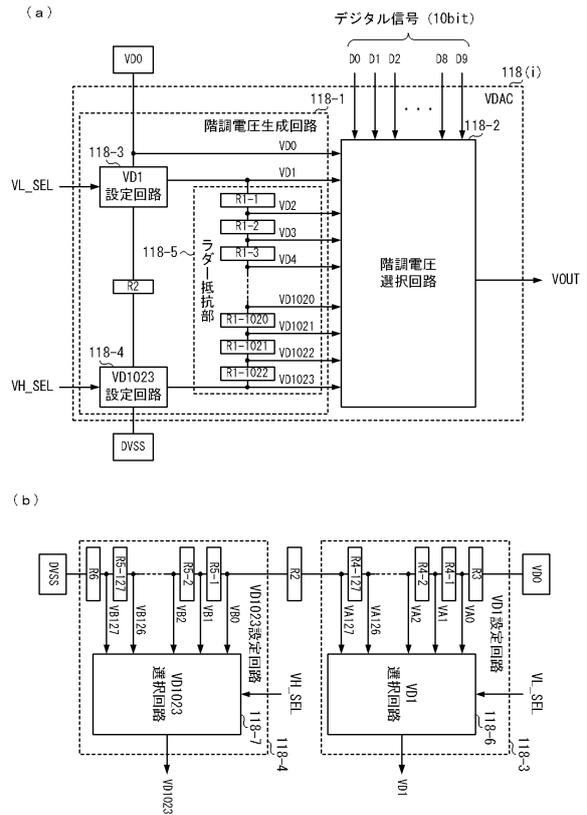
【図4】



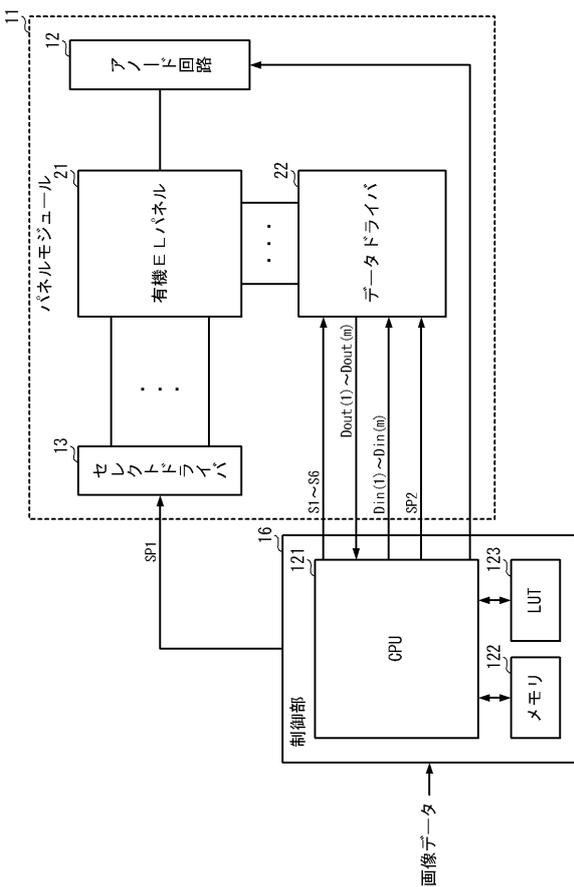
【図5】



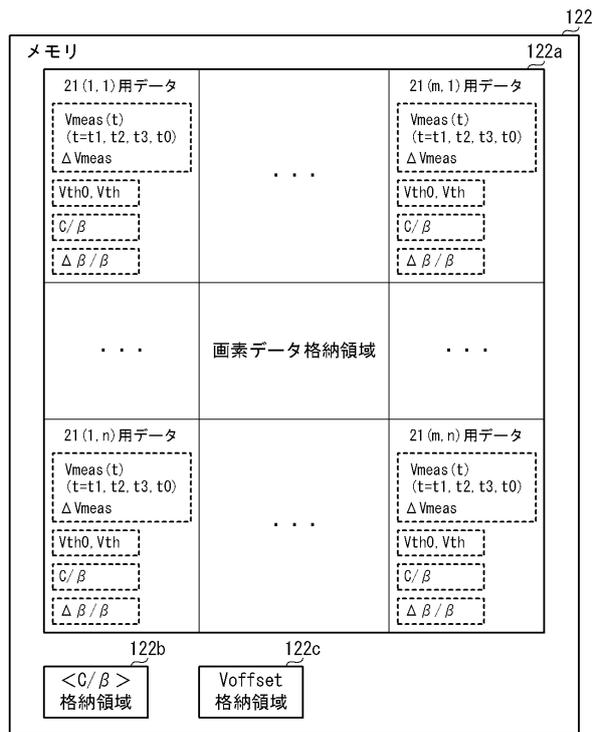
【図6】



【図7】

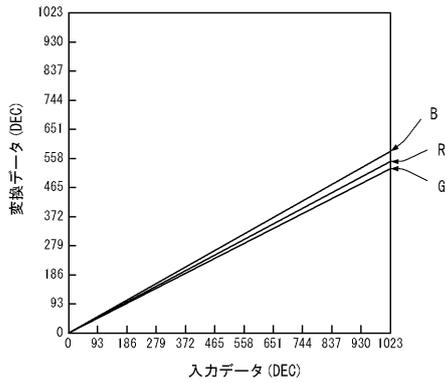


【図8】

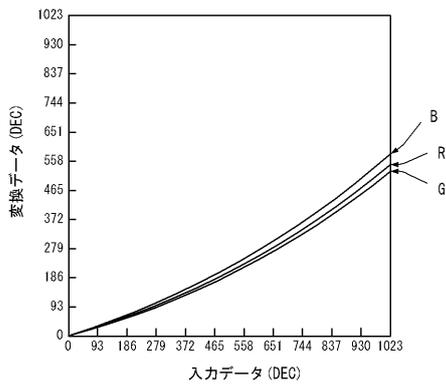


【図 9】

(a)

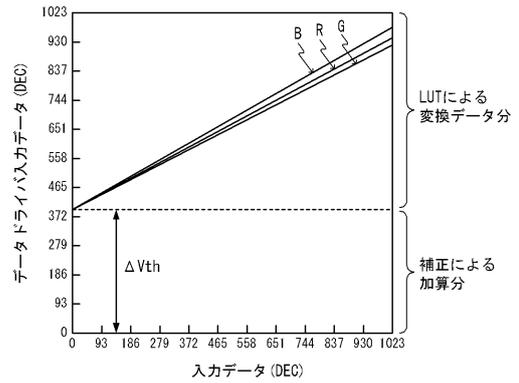


(b)

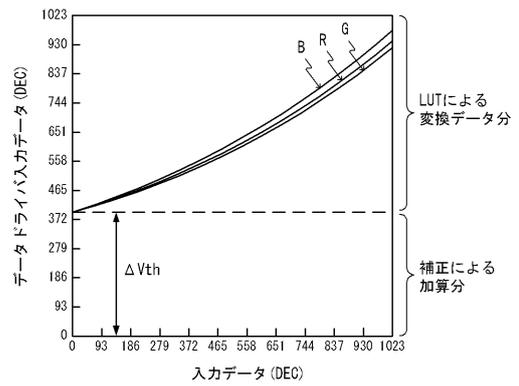


【図 10】

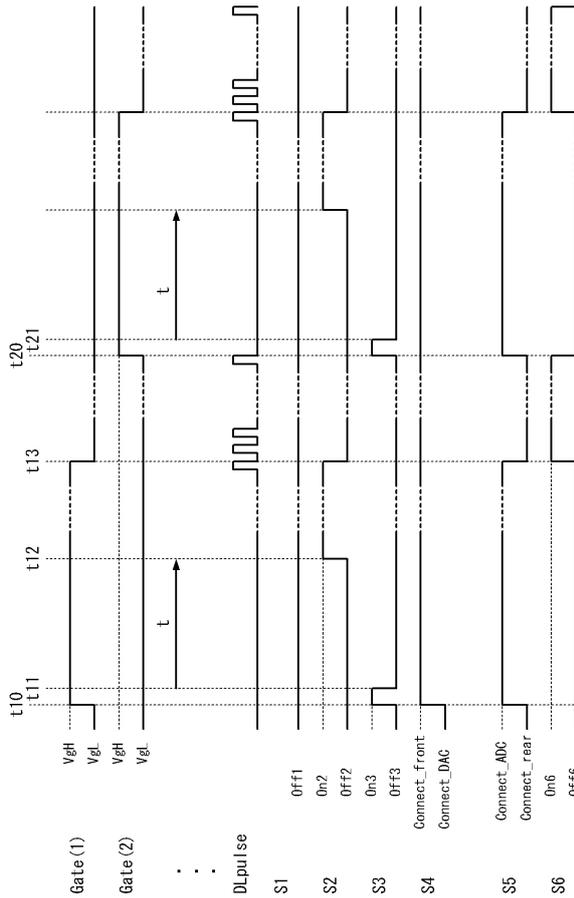
(a)



(b)

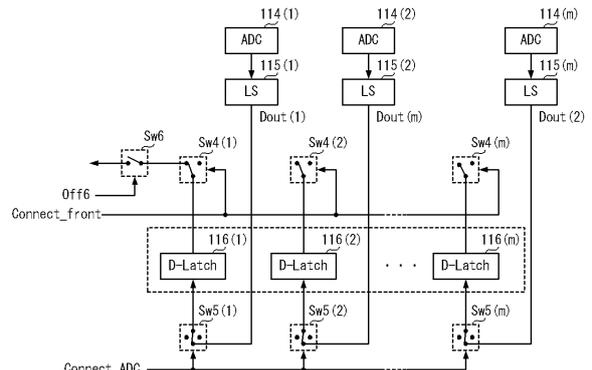


【図 11】

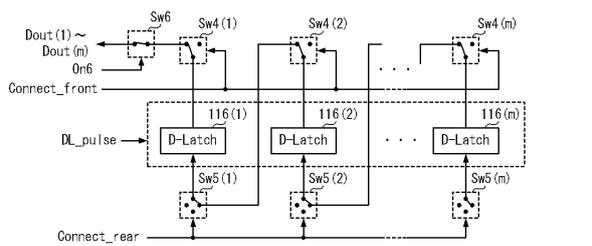


【図 12】

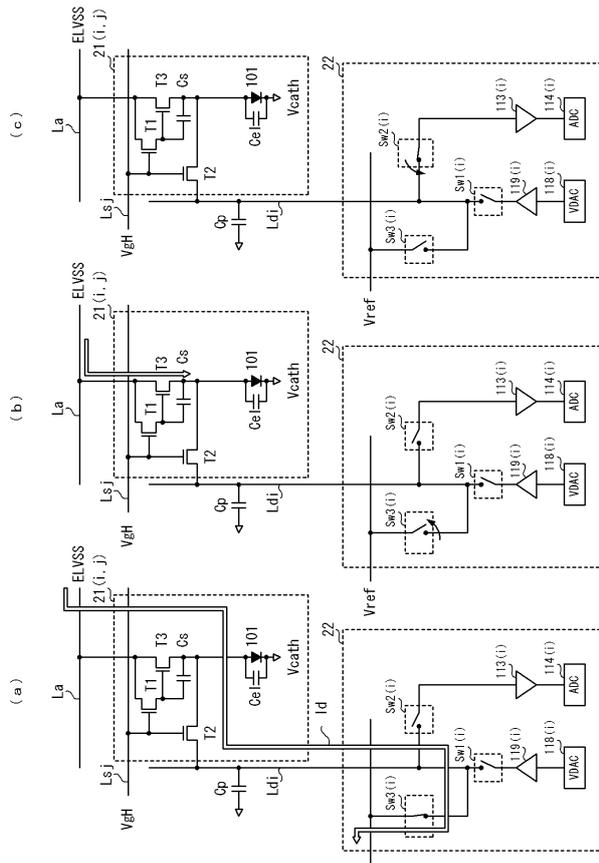
(a)



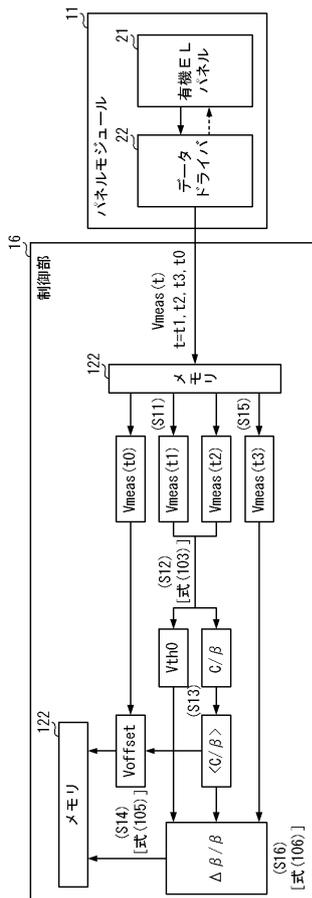
(b)



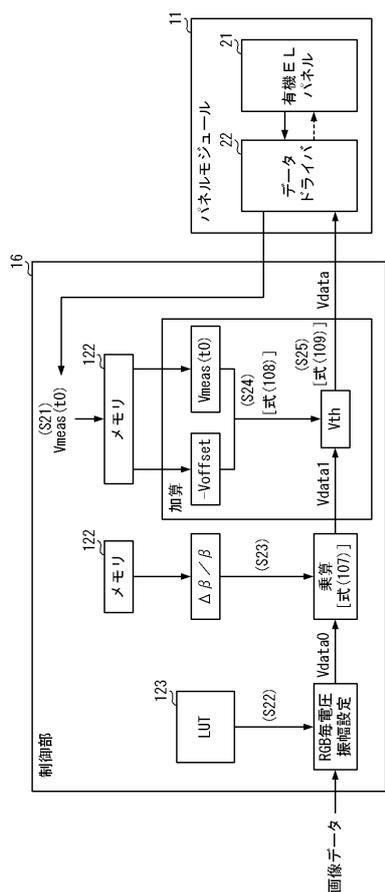
【図 13】



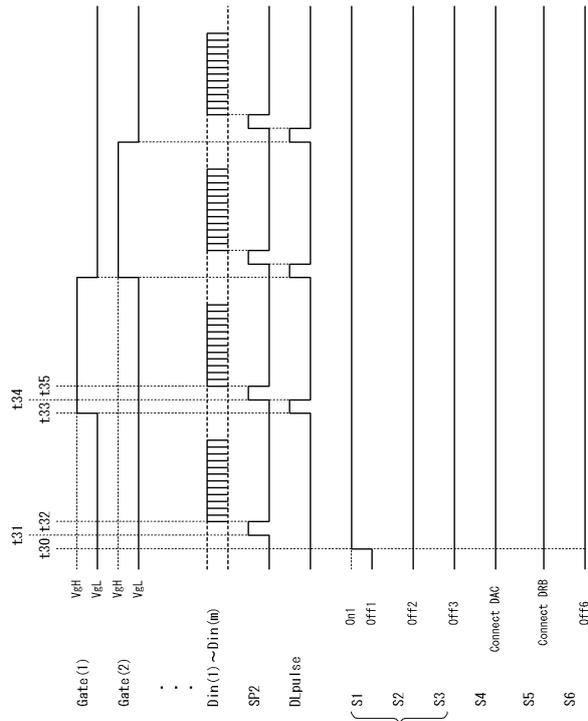
【図 14】



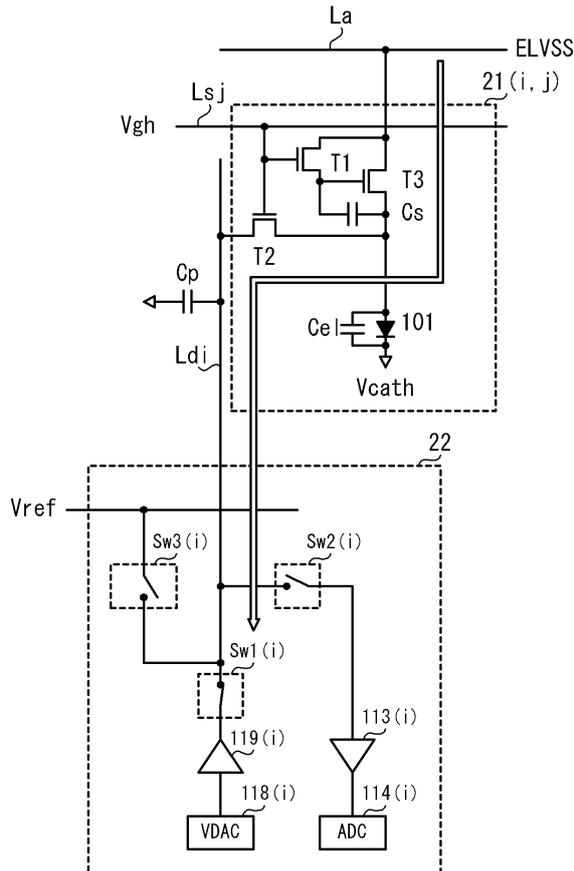
【図 15】



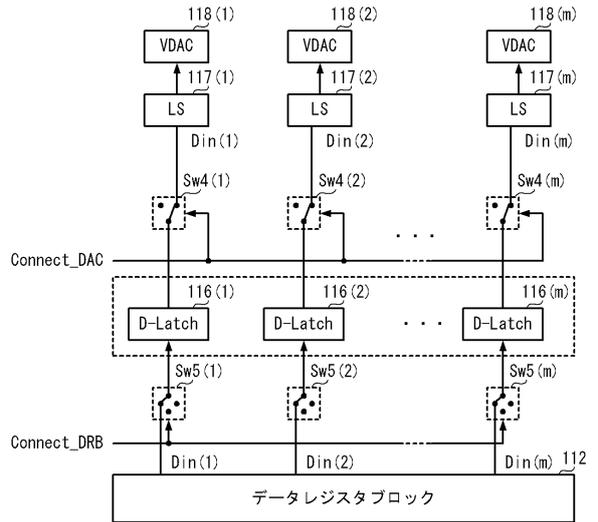
【図 16】



【 図 17 】



【 図 18 】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(72)発明者 榎山 俊二
東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子技術センター内

審査官 山崎 仁之

(56)参考文献 特開2007-274198(JP,A)
特開2006-284716(JP,A)
特開2008-122848(JP,A)
特開2008-242323(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0