

申請日期	91 年 5 月 29 日
案 號	91111486
類 別	He 1L 2/78

A4
C4

546840

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	非揮發性半導體記憶裝置
	英 文	
二、發明人 創作	姓 名	(1) 松崎望 (2) 神垣良昭 (3) 南真一
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾·愛斯·愛·系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二番一號
	代 表 人 姓 名	(1) 庄山悅彦 (2) 小切間正彦

裝 訂 線

申請日期	91 年 5 月 29 日
案 號	91111486
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 片山弘造 (5) 田中利廣 (6) 平木充
	國 籍	(4) 日本 (5) 日本 (6) 日本
	住、居所	(4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (5) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (6) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

申請日期	91 年 5 月 29 日
案 號	91111486
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(7) 品川裕
	國 籍	(7) 日本
	住、居所	(7) 日本國東京都小平市上水本町五丁目二二番一 號日立超愛爾．愛斯．愛．系統(股)內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2001年7月30日 2001-228870 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀
●
之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

技術領域

本發明是關於非揮發性半導體記憶裝置之構造以及讀出動作，特別是關於在低電源電壓下高速讀出所儲存之程式的技術。

背景技術

半導體非揮發性記憶裝置被廣泛使用在資料和程式之儲存用途。特化為記憶機能之裝置（記憶體晶片）一般不被使用在要求短存取時間之用途。在適用於與邏輯裝置之混載的非揮發性半導體記憶裝置而被廣泛使用者，可舉出分裂閘極型單元。此單元由執掌記憶之記憶體 MOS 電晶體，和選擇該記憶體部以取出資訊用之選擇 MOS 電晶體之 2 個電晶體所構成。

周知文獻有 IEEE,VLSI 技術論集（IEEE,VLSI Technology Symposium）之 1994 年預稿集 71 頁至 72 頁所記載之習知技術（A）。第 1 圖顯示該記憶體單元，簡單說明構造與動作。對浮置閘（Floating Gate）之電荷植入是利用熱電子之發生的源極側植入方式。植入是在圖中的 injection 之文字與箭頭所示之位置發生。被儲存在浮置閘之電荷由浮置閘尖端部釋出於控制閘（Control Gate）。此時，需要在控制閘施加 12 伏特之高電壓。作用為電荷釋出電極之控制閘也為讀出選擇 MOS 電晶體之閘極電極。選擇 MOS 電晶體部之閘極氧化膜為堆積氧化膜，也作用為電氣地絕緣浮置閘與選擇 MOS 電晶體閘極電極。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明(2)

此單元方式在作為記憶裝置的動作控制上簡單之故，能夠使周邊的控制電路以小規模完成。結果為：雖然混載了非揮發性記憶裝置，但是因而增加的面積變小，有助於晶片成本之降低。

分裂閘極型單元之其它的周知文獻有美國專利 USP4,659,828、USP5,408,115、日本專利特開平 5-136422 等。

關於與具有高度之邏輯演算機能的半導體裝置被混載於同一晶片上，使用在提供所儲存之程式用之非揮發性半導體記憶裝置，其讀出動作之高速性變得很重要。特別是在被混載於利用近年來之以微細而且低電壓驅動之 CMOS 電晶體的高性能邏輯裝置之非揮發性半導體記憶裝置中，讀出速度之高速性更漸被強烈要求。

在如習知技術(A)之習知的分裂閘極型單元中，其構成爲選擇 MOS 電晶體之閘極電極也作用爲抹除電極。因此，閘極絕緣膜也爲了確保絕緣耐壓，不得不使其與寫入、抹除電壓控制用之高耐壓 MOS 電晶體之閘極絕緣膜爲相同之膜厚。選擇 MOS 電晶體之 G_m 變小，成爲無法充分取得讀出電流之構造，在此情況下，不適合在低電壓下之高速動作。

另外，周知文獻之美國專利 USP4,659,828 以及 USP5,408,115 是關於寫入、抹除動作之發明，並未言及讀出動作性能之提升。進而，周知文獻之日本專利特開平 5-136422 雖揭示與本發明最爲類似之形狀，但是爲絕緣鄰接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(3)

2 個之閘極電極之方法的發明，並無關於讀出性能之揭示。需要適合高性能化之邏輯演算裝置而在習知技術並不存在之非揮發性記憶裝置。

發明之揭示

在以下列舉本發明之特徵。不一定要具備全部之特徵，在單獨或者種種組合中也有效。又，分離在寫入、抹除時，被施加高電壓之閘極電極與選擇 MOS 電晶體之閘極電極而構成之點為本發明的前提要件。

藉由使選擇 MOS 電晶體之閘極絕緣膜比處理寫入、抹除電壓之高耐壓 MOS 電晶體的閘極絕緣膜還薄，提高選擇 MOS 電晶體之 G_m 。另外，選擇 MOS 電晶體之絕緣膜在最薄之情形，設定為與擔任邏輯演算部（核心邏輯）之 MOS 電晶體或者處理與外部之信號輸入輸出之 I/O 用 MOS 電晶體之閘極氧化膜相等。以高速動作之核心邏輯用 MOS 電晶體驅動選擇 MOS 電晶體之閘極電極。

構成單元之選擇 MOS 電晶體的擴散層與具有該閘極氧化膜之核心邏輯用或者 I/O 用 MOS 電晶體之擴散層共通化，抑制短通道效果。另外，記憶保持用 MOS 電晶體之擴散層具有比選擇 MOS 電晶體之擴散層還高之接合耐壓。

決定選擇 MOS 電晶體之臨界值之通道不純物的 p 型濃度設定為該電晶體之臨界值成為正的，而且比記憶保持用 MOS 電晶體之該者濃度還高。另外，將記憶保持用 MOS 電晶體之通道不純物之濃度設定為比選擇 MOS 電晶體之該者

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明(4)

還低，以使得記憶保持用 MOS 電晶體可以在抹除時之臨界值充分低而可以取得大的讀出電流。

發明之最好實施形態

第2圖是顯示利用浮置閘之記憶體單元的本發明之第1實施形態的剖面圖。記憶體單元由：設置在矽基板上之 p 型井區域 PWEL、成爲源極區域之 n 型擴散層 MS、成爲汲極區域之 n 型擴散層 MD、浮置閘 FLG、隧道氧化膜 FTO、層間絕緣膜 INTP、在寫入、抹除時施加高電壓用之記憶體閘極電極 MG(材質爲 n 型多晶矽)、記憶體閘極電極 MG 保護用之氧化膜 CAP、選擇 MOS 電晶體之閘極氧化膜 STOX、由 n 型多晶矽形成之選擇閘極電極 SG、絕緣選擇閘極電極 SG 與記憶體閘極電極 MG 之絕緣膜 GAPOX，其特徵爲：閘極氧化膜 STOX 之膜厚製造成比絕緣膜 GAPOX 薄，比寫入、抹除用之高耐壓 MOS 電晶體之該者薄。閘極氧化膜 STOX 與絕緣膜 GAPOX 以不同層形成。層間絕緣膜 INTP 在浮置閘型中，可以爲一般所使用之矽的氧化膜／氮化膜／氧化膜之積層構造。

第3圖是顯示第2圖所揭示之單元的動作與電壓的施加方法。此處，定義對浮置閘 FLG 之電荷植入爲寫入(Program)。寫入方式是利用源極側植入之熱電子寫入，施加在汲極區域 MD 之電壓 V_d 爲5伏特，施加在記憶體閘極電極 MG 之電壓 V_{mg} 爲10伏特，施加在選擇 MOS 電晶體之閘極電極 SG 的電壓 V_{sg} 與該電晶體的臨界值電壓概略相同

五、發明說明 (5)

。熱電子之發生區域與第1圖相同，為2個閘極電極被絕緣之區域下的通道部。

成為抹除動作之由浮置閘 FLG 的電荷釋放之情形，使之產生使儲存電荷（電子）朝向 p 型井區域 PWEL 釋放之電場。例如，設電位差為 20V 之情形，設施加在記憶體閘極電極 MG 之電壓 V_{mg} 為 -20 伏特，施加在 p 型井區域 PWEL 之電壓 V_{well} 為 0 伏特。或者設施加在記憶體閘極電極 MG 之電壓 V_{mg} 為 -10 伏特，施加在 p 型井區域 PWEL 之電壓 V_{well} 為 10 伏特，施加在閘極電極 SG 之電壓 V_{sg} 為 10 伏特。對閘極電極 SG 之施加電壓 V_{sg} 是使閘極電極 SG 與 p 型井區域 PWEL 之電位差不見，閘極氧化膜 STOX 不被破壞所必要之電壓。

混載之核心邏輯的動作電壓在為 1.8 伏特之情形，如將讀出時之對源極、汲極的電壓施加為與寫入時相反方向，設施加在汲極區域 MD 之電壓 V_d 為 0 伏特，施加在汲極區域 MS 之電壓 V_s 為 1.8 伏特，施加在閘極電極 SG 之電壓 V_{sg} 為 1.8 伏特。此時，如使抹除狀態之記憶體的臨界值低於 0 很多，施加在記憶體閘極電極 MG 之電壓 V_{mg} 可以以 0 伏特讀出。在順方向讀出之情形，可以將施加在汲極區域 MD 之電壓 V_d 設為 1.8 伏特，施加在汲極區域 MS 之電壓 V_s 為 0 伏特。另外，在核心邏輯之外，混合存在之可能性高者有處理與外部之輸入輸出信號之 I/O 用 MOS 電晶體。此處理比核心邏輯還高之電壓，例如 3.3 伏特、2.5 伏特等。這些 I/O 用之 MOS 電晶體的閘極絕緣膜之膜厚比絕緣膜 GAPOX

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (6)

薄。在3.3伏特之情形，大概為8奈米，在2.5伏特之情形，為6奈米之程度。由於比需要高絕緣耐壓之絕緣膜 GAPOX 還薄之故，閘極氧化膜 STOX 之膜厚也可以加以採用。施加之讀出電壓可以為先前之1.8伏特、I/O 用之3.3伏特或者2.5伏特。

第4圖是一併顯示第2圖之第1實施形態的記憶體單元與同時混載之其它的 MOS 電晶體之剖面構造。在第2圖之剖面構造中新加上標示的有元件分離區域 SGI、核心邏輯用之 nMOS 電晶體 (Core Logic MOS) 用 p 型井 PWEL、其之閘極氧化膜 LVGOX、其之閘極電極 LVG、其之源極、汲極區域 LVSD、寫入、抹除用高耐壓 MOS 電晶體之 p 型井 HPWEL、其之閘極氧化膜 HVGX、其之閘極電極 HVG、其之源極、汲極區域 HVSD、配線層間絕緣膜 INSM1、在第1配線層內對選擇閘極電極 SG 供給核心邏輯 MOS 電晶體的低輸出電壓之配線 M1a、對記憶體閘極電極 MG 供給寫入、抹除用 MOS 電晶體的高輸出電壓之配線 M1b。實際上，存在更上層之配線，但是在本圖中，加以省略。

閘極氧化膜 STOX、LVGOX、HVGX 以及通道氧化膜 FTO 全部為矽氧化膜，如分別定義其物理膜厚為 t_s 、 t_L 、 t_H 、 t_F ，在依據本發明之非揮發性記憶裝置中，設有 $t_L \leq t_s \leq t_F \leq t_H$ 之關係。此處，雖省略 I/O 用之 MOS 電晶體剖面圖之記載，但是如設其之閘極絕緣膜之膜厚為 t_{IO} ，有 $t_L < t_{IO} < t_F$ 之關係。膜厚 f_S 即使採用與膜厚 t_{IO} 相同之膜厚，也保持 $t_L \leq t_{sS} < t_F < t_H$ 之關係，可以放入本發明之範疇。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

這些膜在不只是矽氧化膜之情形，例如，一部份使用氮化膜之情形，可以使賦予本發明特徵之膜厚關係由物理膜厚一般化為電氣膜厚。如何說呢？此由於閘極絕緣膜之構造以及膜厚為對應個別之施加電壓而設定者，與將依據此之膜厚構造適用於單元構造之本發明的特徵一致。

另外，如以 MOS 電晶體與記憶體單元之連接關係來談本發明之其它特徵，選擇閘極電極 SG 與核心邏輯用 MOS 電晶體之源極、汲極區域 LVSD 以配線層 M1a 被直接連接，以及記憶體閘極電極 MG 與寫入、抹除用 MOS 電晶體之源極、汲極區域 HVSD 以配線層 M1b 被直接連接。

第5圖是顯示對於進行離散型電荷記憶之 MONOS 型記憶體單元，適用本發明之情形的第2實施形態之剖面圖。與第2圖不同處為：電荷儲存區域成為矽之氮化膜 SIN，在其正下方為氧化膜 BOTOX、正上方為氧化膜 TOPOX 之積層構造。氮化膜 SIN 之膜厚為 50 奈米以下。如設氧化膜 TOPOX 之厚度為 t_T 、氧化膜 BOTOX 之厚度為 t_B ，在透過氧化膜 TOPOX 而拉除儲存電荷之情形，設定為 $t_B > t_T$ 之關係，在透過氧化膜 BOTOX 而拉除儲存電荷之情形，設為 $t_B < t_T$ 之關係。在任何一種之情形，第4圖說明之膜厚的關係，設為與 $t_L \leq t_s < t_F < t_H$ 相同。此處，作為電荷儲存層雖顯示以矽之氮化膜為例，但是其它之絕緣性陷入膜、例如，氧化鋁等，本發明也可以適用。

第6圖是顯示揭示在第5圖之單元的動作與電壓的施加方法。基本上與第3圖相同，在對記憶體閘極電極 MG 釋放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

電荷而進行抹除之情形，設施加在記憶體閘極電極 MG 之電壓 V_{mg} 為 12 伏特。此是氧化膜 BOTOX 之膜厚比氧化膜 TOPOX 之膜厚還厚的情形的電壓施加方法。另外，在對 p 型井區域 PWEL 釋放而進行抹除之情形，設施加在記憶體閘極電極 MG 之電壓 V_{mg} 為 -12 伏特。此是氧化膜 BOTOX 之膜厚比氧化膜 TOPOX 之膜厚還薄之情形的電壓施加方法。又，抹除電壓之絕對值 12 伏特為其中一例，非以此數值以限定本發明。

第 7 圖是關於第 5 圖之記憶體單元的源極以及汲極構造之一例。前提為動作電壓對應第 6 圖之寫入、抹除、反方向讀出。在此情形，源極之接合耐壓可以與 1.8 伏特動作之 CMOS (核心邏輯用 MOS 電晶體) 相同。因此，源極區域可以採用與核心邏輯者相同之構造。即使源極區域由低濃度區域 MSM 與高濃度區域 MS 形成之 LDD 構造，可以與核心邏輯用 MOS 電晶體之源極、汲極區域共通化。藉由此，因可以抑制選擇 MOS 電晶體之短通道效果故，可以使其閘極長度變短。此適合在低電壓下獲得大讀出電流。另一方面，在寫入時，施加高電壓之汲極區域無法採用與核心邏輯用電晶體之源極、汲極區域相同之構造，成為由高濃度區域 MD 與耐壓提升用之擴散層 MDM 所形成之雙重汲極構造。此汲極區域也可以與寫入、抹除電壓控制用之高耐壓 MOS 電晶體之源極、汲極區域共通化，因應需要，也可以為記憶體專用之構造。

第 8 圖是表示第 5 圖之記憶體單元的選擇 MOS 電晶體與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(9)

記憶體 MOS 電晶體的通道濃度之差異。爲了在低電壓取得大讀出電流，MOS 電晶體之臨界值愈低愈好。但是，選擇 MOS 電晶體之臨界值如太低，其閘極電壓即使在 0 之情形，也無法完全關閉。如此，洩漏電流會阻礙正常的讀出動作。因此，選擇 MOS 電晶體之臨界值期望在正的範圍但是低。另一方面，爲了取的大讀出電流，需要使記憶體 MOS 電晶體之臨界值相當低。爲了可以長時間儲存電荷，期望在讀出之際的記憶體閘極電極 MG 的電壓設定爲 0 伏特。因此，如以在選擇 MOS 電晶體不產生洩漏爲前提，需要使記憶體 MOS 電晶體之抹除狀態的臨界值成爲負值。

如爲習知的浮置閘型，藉由提高抹除電壓或者長時間施加抹除電壓，可以獲得相當低之臨界值。但是，如本實施形態般地，在利用陷入性膜之記憶體單元之情形，具有在一定值以下臨界值不降低之特性。因此，在降低記憶體 MOS 電晶體之臨界值上，需要調整通道濃度，將原來之臨界值設定在低值。由於此種不同之故，在選擇 MOS 電晶體之通道區域 SE 之不純物濃度與記憶體 MOS 電晶體之通道區域 ME 之不純物濃度上，必然需要設置有差異。如第 8 圖般地，在形成於 p 型井區域 PWEL 上之記憶體單元之情形，如比較通道區域 SE 之 p 型不純物濃度 N_{se} 和通道區域 ME 之 p 型不純物濃度 N_{me} ，設定各不純物濃度以使 $N_{se} > N_{me}$ 之關係成立。此濃度差是以在低電壓下獲得大讀出電流爲目的之本發明的要點之一。

又，在利用習知的浮置閘型之情形，將記憶體 MOS 電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(10)

晶體之臨界值設定為負值之情形，在放置狀態中，為了將臨界值變動量壓抑小些，需要將記憶體 MOS 電晶體之中性臨界值壓抑在低值。在讀出時設記憶體閘極電極 MG 之電壓為 0 之情形，期望其中性臨界值也設定為負值。因此，上述之要點並不拘於記憶體 MOS 電晶體之墊和儲存方法都成立。

第 9 圖是顯示對電荷儲存部位利用微細粒子之記憶體單元，適用本發明之情形之第 3 實施形態之剖面圖。在成為底層之氧化膜 BOTOX 上設置微粒子 DOTS。微粒子 DOTS 之材質可以舉多晶矽，但是也可以為其它之材質。該粒子直徑期望在 10 奈米以下。堆積層間絕緣膜 INTOX 以覆蓋微粒子 DOTS，在其正上方設置記憶體閘極電極 MG。電荷儲存部位為離散之點，可以認為與陷入性之電荷儲存膜相等。因此，可以與至目前為止說明之本發明內容之任一種之組合或者全部一併適用。

以上，說明本發明之要點之 $tL \leq t_s < t_H$ 之關係以及單元構造。以下，以第 10 圖之顯示第 4 實施形態之剖面圖來說明具體之製作方法。此處所揭示的是將藉由非等向性蝕刻所形成之側壁間隔 GAPSW 當成絕緣第 2 實施形態之選擇閘極電極 SG 與記憶體閘極電極 MG 之絕緣膜 GAPOX 使用時之剖面構造。側壁間隔 GAPSW 是以與形成在被使用於形成在通常的 MOS 電晶體所使用之擴散層的 LDD(Lightly Doped Drain: 輕摻雜汲極)構造的情形之側壁間隔的方法為相同之方法所形成。但是，剛乾蝕刻後之氧化膜由於蝕刻損傷，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (1)

使得耐壓降低。如是通常之 CMOS，施加電壓低以及沒有透過側壁間隔而鄰接之電極之故，耐壓降低不太成為問題。但是，作為絕緣選擇閘極電極 SG 與記憶體閘極電極 MG 之絕緣膜 GAPOX 使用之情形，需要確保15伏特程度之耐壓。因此，在以非等向性乾蝕刻回蝕全面堆積之矽氧化膜，形成在側壁間隔 GAPSW 後，在成為選擇閘極電極 SG 之多晶矽的堆積前，為了提升耐壓，很重要的是需要在氧氣環境中進行退火處理。在實現本實施形態之記憶體單元構造上，為不可或缺之製程。

第11圖是使第10圖之選擇 MOS 電晶體的閘極電極對於記憶體部自我對準而構成之第5實施形態的剖面圖。此構造是在全面堆積閘極電極材料（例如多晶矽），施以非等向性乾蝕刻處理而形成。以此種手法形成之選擇 MOS 電晶體的閘極電極為圖中之 SGR1、SGR2。形狀雖然與具有同一機能之第8圖之閘極電極 SG 不同，但是不同也只是此點而已。即本發明之要點之 $tL \leq t_s < tH$ 之關係等還是維持。

將實現依據以上之本發明的記憶體單元的製造製程與同時混載之其它的 MOS 電晶體之製造製程一併揭示在第12至第19圖。

首先，說明第12圖。在 p 型矽經板 PSUB 上形成元件分離氧化膜區域 SGI，形成：核心邏輯用 p 型 MOS 電晶體（pMOS）用之 n 型井 NWL、寫入、抹除用之高耐壓控制用 n 型 MOS 電晶體（nHVMOS）用之 p 型井 HPWL、高耐壓控制用 p 型 MOS 電晶體（pHVMOS）用之 n 型井 HNWL、記憶體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明(12)

區域之 n 型井 MWL。接著，將控制個別之 MOS 電晶體的臨界值用之不純物導入成爲通道表面之區域。藉由此，形成：nMOS 用不純物層 NE、pMOS 用不純物層 PE、nHVMOS 用不純物層 HNE、pHVMOS 用不純物層 HPE、記憶體 MOS 電晶體用不純物層 ME。

接著，說明第 13 圖。洗淨處理矽基板表面後，以熱氧化形成記憶體 MOS 電晶體的下部氧化膜 BOTOX(5 奈米)，在其正上方以氣相沈積法堆積矽氮化膜 SIN(15 奈米)。之後，對矽氮化膜 SIN 表面施以熱氧化處理，形成上部氧化膜 TOPOX(2 奈米)。接著，依序堆積之後成爲記憶體閘極電極之 n 型多晶矽層 NMG(100 奈米)以及記憶體閘極電極 MG 保護用之矽氧化膜 CAP(100 奈米)。

接著，說明第 14 圖。利用光蝕法技術與乾蝕刻技術，將在第 13 圖中形成於矽基板上之 5 層的積層膜 BOTOX、SIN、TOPOX、NMG、CAP 加工爲記憶體 MOS 電晶體之閘極電極 MG1、MG2 之形狀。此是在圖面的往深處方向爲長的線狀的形狀，存在數目爲與字元線相同條數，但是在圖面上只以 2 條代表。加工之際，在下部氧化膜 BOTOX 表面露出之階段便停止乾蝕刻，以氟酸去除剩餘之下部氧化膜 BOTOX。此是使不要的蝕刻損傷不進入基板表面用之手法。藉由此氟酸處理，基板表面露出。接著，形成熱氧化膜 BOX(5 奈米)，堆積矽氧化膜 HVGX(15 奈米)。之後，此 2 層之氧化膜被提供爲高電壓控制用 MOS 電晶體之閘極氧化膜。單單以堆積膜，可靠度不好之故，設爲積層構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

接著，說明第15圖。藉由光蝕法技術以進行加工，形成覆蓋形成核心邏輯用 MOS 電晶體之區域與形成高電壓控制用 MOS 電晶體之區域之光阻膜 RES1。之後，藉由對於矽氧化膜 HVGOX 之非等向性乾蝕刻，去除存在於選擇 MOS 電晶體之通道區域之氧化膜，使基板表面露出。藉由此工程，在記憶體 MOS 電晶體之選擇 MOS 電晶體側也同時形成矽氧化膜 HVGOX 被加工之側壁間隔 GAPSW。接著，在留下光阻膜 RES1下，在選擇 MOS 電晶體之通道區域形成臨界值調整用之不純物層 SE。不純物層 SE 與不純物層 ME 之不純物濃度設為滿足第6圖所揭示之關係。

接著，說明第16圖。利用光蝕法技術，加工光阻膜 RES2，使只形成核心邏輯用 MOS 電晶體之區域形成開口後，藉由氟酸處理，完全去除由熱氧化膜 BOX 與矽氧化膜 HVGOX 形成之積層構造之氧化膜。

接著，說明第17圖。去除前圖記載之光阻膜 RES2，經過洗淨工程後，在露出之矽基板表面（核心邏輯用 MOS 電晶體部與選擇 MOS 電晶體部）形成熱體化膜（4奈米）。此熱氧化膜成為核心邏輯用 MOS 電晶體之閘極氧化膜 LVGOX 以及選擇 MOS 電晶體之閘極氧化膜 STOX。為了方便，在本圖中，雖以不同圖號 LVGOX、STOX 表示核心邏輯用 MOS 電晶體與選擇 MOS 電晶體之各閘極氧化膜，但是以此製造方法而言，兩者之膜厚相同。接著，全面堆積無摻雜之多晶矽膜（150奈米）後，在多晶矽膜導入不純物以使得在形成 nMOS 以及 nHVMOS 之區域上，成為 n 型、在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(14)

形成 pMOS 以及 pHVMOS 之區域上，成爲 p 型。此不純物之濃度分別設爲 1×10^{20} 以上。接著，在全面堆積矽氧化膜（20 奈米）後，利用光蝕法技術與乾蝕刻技術，加工多晶矽膜與矽氧化膜之積層膜，形成 nMOS 之閘極電極 LVGn、pMOS 之閘極電極 LVGp、nHVMOS 之閘極電極 HVGn、pHVMOS 之閘極電極 HVGp。此時，在記憶體區域中，只加工選擇 MOS 電晶體之源極側的閘極電極端。在 0.18 微米世代之閘極長度，例如在核心邏輯用 MOS 電晶體中爲 0.15 微米，在高耐壓控制用 MOS 電晶體 HVMOS 中爲 1.0 微米，此由於處理電壓不同所造成之必然結果。接著，適當利用光蝕法技術與不純物離子之離子植入技術，形成具有 nMOS 用之淺接合的 n 型源極／汲極 LLDDn、具有 pMOS 用之淺接合之 p 型源極／汲極 LLDDp、具有 nHVMOS 用之高耐壓接合之 n 型源極／汲極 HLDDp、具有 pHVMOS 用之高耐壓接合之 p 型源極／汲極 HLDDp。這些源極／汲極是以對於使用之電壓可以確保充分之接合耐壓爲前提而設計。此處導入之源極／汲極不純物之濃度，核心邏輯用 MOS 電晶體比高耐壓控制用 MOS 電晶體 HVMOS 之該者還高。另外，在選擇 MOS 電晶體之源極雖形成 n 型擴散層 MSM，如依據此處揭示之製造方法，可以設此 n 型擴散層 MSM 與 n 型源極／汲極 LLDDn 之不純物的濃度爲相同。

接著，說明第 18 圖。此處形成記憶體 MOS 電晶體之閘極區域。藉由光蝕法技術，形成對於成爲記憶體 MOS 電晶體之汲極區域具有開口，該開口端成爲記憶體閘極電極

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (19)

MG1、MG2上之光阻膜 RES3後，以非等向性乾蝕刻加工多晶矽膜與矽氧化膜之積層膜，形成2個之選擇 MOS 電晶體的各閘極電極 SG1、SG2。接著，不去除光阻膜 RES3，進行 n 型不純物之離子植入，形成記憶體 MOS 電晶體之閘極區域 MDM。

接著，說明第19圖。在全面堆積矽氧化膜（100奈米），接著，對全面施以非等向性乾蝕刻。藉由此處理，在全部的閘極電極之側壁形成間隔 SWSPLDD。在全部之 n 型電晶體的源極／汲極以離子植入與熱處理形成高濃度之 n 型擴散層 NSD、MS、在 p 型電晶體之源極／汲極以離子植入與熱處理形成高濃度之 p 型擴散層 PSD。接著，由全部的源極、汲極 NSD、MS、PSD 以及閘極電極 LVGn、LVGp、HVGn、HVGp、SG1、SG2之表面去除氧化膜，使矽露出。在全面堆積金屬鈷（10奈米），施以70℃之熱處理，形成自我對準鈷金屬矽化物。藉由洗淨去除沒有反應之不需要的鈷，再度施以750℃之熱處理，形成低電阻的鈷金屬矽化物層 COSI。之後，在全面堆積絕緣用之氧化膜 INSM1。以後之配線工程，可以利用習知技術。

第20圖是利用本發明之記憶體單元技術所構成之記憶體陣列的一實施形態。基本構成爲 NOR 型，採用階層型位元線構造。爲了簡略化，此處以2條之總體位元線（global bit）爲代表而做顯示。在讀出放大器 SAP 連接總體位元線 BLP。在總體位元線 BLP 有往區域位元線之分歧。ZAP 爲選擇區域位元線 LBAP 用之選擇 MOS 電晶體。在區域位元線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(16)

LBAP 連接複數的記憶體單元 MPA1~4。在圖中，雖以 4 個之記憶體單元為代表而做顯示，但是所連接之記憶體單元數有 16 個、32 個、64 個之情形。被連接在區域位元線 LBAP 者為記憶體單元之選擇 MOS 電晶體側。彙整選擇 MOS 電晶體 ZAP 以及記憶體單元 MPA1~4 為區塊 BLCPA。在對於區塊 BLCPA 對稱排列之區塊 BLCQA 中，記憶體單元 MQA1~4 連接在區域位元線 LBAQ，ZAQ 為選擇那些之 MOS 電晶體。對應區塊 BLCQA 之總體位元線為 BLQ，連接在讀出放大器 SAQ。選擇 MOS 電晶體 ZAP、ZAQ 與核心邏輯用 MOS 電晶體相同，為具有閘極氧化膜後之 MOS 電晶體，對那些閘極電極傳送信號的驅動器為 ZSLA。驅動器 ZALA 也以核心邏輯用 MOS 電晶體構成。單元選擇 MOS 電晶體之閘極電極被連接在橫穿橫方向鄰接之區塊的字元線。例如，字元線 WAP1 連接屬於區塊 BLCP 之記憶體單元 MPA1 之單元選擇 MOS 電晶體之閘極電極，連接屬於區塊 BLCQ 之記憶體單元 MPA2 之單元選擇 MOS 電晶體之閘極電極。選擇字元線 WAP1 者為驅動器 WSLA1。此也利用核心邏輯用 MOS 電晶體。驅動器 WSLA2 至驅動器 WSLA4 對字元線 WAP2 至字元線 WAP4 為 1 對 1 相對應。彙整驅動器 WSLA1 至驅動器 WSLA4 以及驅動器 ZSLA，賦予名稱為驅動器群 DECA。記憶體閘極也橫穿圖之橫方向。MWAP1 為共通於記憶體單元 MPA1 以及記憶體單元 MQA1 之記憶體閘極之配線。在寫入、抹除時，施加高電壓之故，以高耐壓 MOS 電晶體構成對配線 MWAP1 供應電壓之驅動器 MGSLA1。驅動器 MGSLA2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

至驅動器 MGS LA4對配線 MWAP2至配線 MWAP4為 1 對 1 相對應。在寫入時，需要對區塊 BLC PA 與區塊 BLC QA 所共有之配線 COMSL 施加 5 伏特。此以高耐壓 MOS 電晶體所構成之驅動器 PRVS 進行。彙整以高耐壓 MOS 電晶體構成之驅動器 MSGL A1至驅動器 MSGL A4以及驅動器 PRVSA，賦予名稱為驅動器群 HVDRVA。如圖示般地，在總體位元線 BLP、BLQ 進而連接其它之區塊 BLPB、PLQB，存在對應彼等之驅動器群 DECB、HVDRVB。同樣地，存在區塊 BLPC、BLQC、驅動器群 DECC、HVDRVC。在讀出時，包含在驅動器群 DECA 至驅動器群 DECC 之個別的驅動器雖是對應位址而選擇字元線，但是這些具有與核心邏輯同等之性能之故，可以高速驅動選擇之字元線。因此，可以高速進行資訊之讀出。此是對應本發明之記憶體單元構造之記憶體陣列之構成方法。

上述記載雖就實施例而為之，但是該業界很清楚本發明在該精神與所附申請專利範圍之範圍內，可以進行種種之變更以及修正。

產業上之利用可能性

依據本發明，可以謀求半導體非揮發性記憶裝置之讀出速度改善。因此，可以將半導體非揮發性記憶裝置提供高速之程式讀出使用。如利用使用本發明之半導體積體電路裝置，可以以低成本實現高性能資訊機器。特別是在沒有組裝可以高速讀出之一次儲存記憶裝置餘裕的攜帶機器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

等，是一有效之發明。

圖面之簡單說明

第1圖是習知的分裂閘極型記憶體單元之構造／動作之說明圖。

第2圖是依據本發明之第1實施形態之記憶體單元之剖面圖。

第3圖是依據本發明之第1實施形態之記憶體單元的動作與施加電壓之說明圖。

第4圖是一併顯示依據本發明之第1實施形態之記憶體單元與混載之其它的MOS電晶體之剖面圖。

第5圖是依據本發明之第2實施形態之記憶體單元之剖面圖。

第6圖是依據本發明之第2實施形態之記憶體單元的動作與施加電壓之說明圖。

第7圖是依據本發明之第2實施形態之記憶體單元的剖面圖。

第8圖是依據本發明之第2實施形態之記憶體單元的剖面圖。

第9圖是依據本發明之第3實施形態之記憶體單元的剖面圖。

第10圖是依據本發明之第4實施形態之記憶體單元的剖面圖。

第11圖是依據本發明之第5實施形態之記憶體單元的剖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

面圖。

第12圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第13圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第14圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第15圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第16圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第17圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第18圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第19圖是製造依據本發明之記憶體單元與混載之其它之 MOS 電晶體之製程的剖面圖。

第20圖示利用本發明之記憶體單元的記憶體陣列之構成圖。

主要元件對照

PWEL	p 型井區域
MS	n 型擴散層
MD	n 型擴散層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

FLG	浮置閘
FTO	隧道氧化膜
INTP	層間絕緣膜
MG	記憶體閘極電極
STOX	閘極氧化膜
SG	選擇閘極電極
GAPOX	絕緣膜
SGL	元件分離區域
LPWEL	p 型井
HVGOX	閘極氧化膜
HVG	閘極電極
INSM1	配線層間絕緣膜
M1a、M1b	配線
SIN	氮化膜
BOTOX	氧化膜
TOPOX	氧化膜
GAPSW	側壁間隔
PSUB	p 型矽基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：

非揮發性半導體記憶裝置)

分離在寫入・抹除時被施加高壓之閘極電極與選擇 MOS 電晶體之閘極電極。藉由使選擇 MOS 電晶體之閘極絕緣膜比處理寫入・抹除電壓的高耐壓 MOS 電晶體之閘極絕緣膜還薄，以提高選擇 MOS 電晶體之 Gm。選擇 MOS 電晶體之絕緣膜在最薄之情形，設定為與擔任邏輯演算部 (核心邏輯) 之 CMOS 相等。以高速動作之核心邏輯用 MOS 電晶體驅動選擇 MOS 電晶體之閘極電極。

英文發明摘要 (發明之名稱：

)

(請先閱讀背面之注意事項再填寫
頁各欄)

裝

訂

線

六、申請專利範圍 1

1.一種非揮發性半導體記憶裝置，其特徵為：

記憶體單元由：記憶保持用之第1 MOS型電晶體與選擇該第1 MOS電晶體之第2 MOS型電晶體所構成，絕緣上述第1以及第2 MOS型電晶體之各閘極電極間之絕緣膜與上述第2 MOS型電晶體之閘極絕緣膜是以不同層構成，在鄰接之上述各閘極電極之間的下方沒有擴散層，上述閘極絕緣膜之膜厚比混合存在於同一晶片之膜厚最厚的閘極絕緣膜之膜厚還薄。

2.一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第1 MOS型電晶體與選擇該第1 MOS型電晶體之第2 MOS型電晶體所構成之記憶體單元、及進行主要邏輯演算之第3 MOS型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第4 MOS型電晶體；設上述第2 MOS型電晶體之閘極絕緣膜之物理膜厚為 t_s 、上述第3 MOS型電晶體之閘極絕緣膜之物理膜厚為 t_L 、上述第4 MOS型電晶體之閘極絕緣膜之物理膜厚為 t_H 時，具有 $t_L \leq t_s < t_H$ 之膜厚關係。

3.一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第1 MOS型電晶體與選擇該第1 MOS型電晶體之第2 MOS型電晶體所構成之記憶體單元、及進行主要邏輯演算之第3 MOS型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第4 MOS型電晶體；設上述第2 MOS型電晶體之閘極絕緣膜之電氣膜厚為 t_s 、上述第3 MOS型電晶體之閘極絕

六、申請專利範圍 2

緣膜之電氣膜厚為 t_L 、上述第 4 MOS 型電晶體之閘極絕緣膜之電氣膜厚為 t_H 時，具有 $t_L \leq t_s < t_H$ 之膜厚關係。

4. 如申請專利範圍第 2 項記載之非揮發性半導體記憶裝置，其中具有 $t_s = t_L$ 之關係。

5. 如申請專利範圍第 3 項記載之非揮發性半導體記憶裝置，其中具有 $t_s = t_L$ 之關係。

6. 一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第 1 MOS 型電晶體與選擇該第 1 MOS 型電晶體之第 2 MOS 型電晶體所構成之記憶體單元、及進行主要邏輯演算之第 3 MOS 型電晶體、及處理與外部之輸入輸出信號之第 4 MOS 型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第 5 MOS 型電晶體；設上述第 2 MOS 型電晶體之閘極絕緣膜之物理膜厚為 t_s 、上述第 3 MOS 型電晶體之閘極絕緣膜之物理膜厚為 t_L 、上述第 4 MOS 型電晶體之閘極絕緣膜之物理膜厚為 t_{IO} 、上述第 5 MOS 型電晶體之閘極絕緣膜之物理膜厚為 t_H 時，具有 $t_L \leq t_s \leq t_{IO} < t_H$ 之膜厚關係。

7. 一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第 1 MOS 型電晶體與選擇該第 1 MOS 型電晶體之第 2 MOS 型電晶體所構成之記憶體單元、及進行主要邏輯演算之第 3 MOS 型電晶體、及處理與外部之輸入輸出信號之第 4 MOS 型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第 5 MOS 型電晶體；設上述第 2 MOS 型電晶體之閘極絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

六、申請專利範圍 3

之電氣膜厚為 t_s 、上述第 3 MOS 型電晶體之閘極絕緣膜之電氣膜厚為 t_L 、上述第 4 MOS 型電晶體之閘極絕緣膜之電氣膜厚為 t_{IO} 、上述第 5 MOS 型電晶體之閘極絕緣膜之電氣膜厚為 t_H 時，具有 $t_L \leq t_s \leq t_{IO} < t_H$ 之膜厚關係。

8. 如申請專利範圍第 1 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含導電性浮置閘電極與控制閘電極。

9. 如申請專利範圍第 1 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

10. 如申請專利範圍第 1 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含記憶保持用之微粒子層與控制閘電極。

11. 如申請專利範圍第 2 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含導電性浮置閘電極與控制閘電極。

12. 如申請專利範圍第 2 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

13. 如申請專利範圍第 2 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含記憶保持用之微粒子層與控制閘電極。

14. 如申請專利範圍第 3 項記載之非揮發性半導體記憶裝置，其中在前述第 1 MOS 型電晶體之構成要素包含導電性

六、申請專利範圍 4

浮置閘電極與控制閘電極。

15. 如申請專利範圍第3項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

16. 如申請專利範圍第3項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之微粒子層與控制閘電極。

17. 如申請專利範圍第4項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含導電性浮置閘電極與控制閘電極。

18. 如申請專利範圍第4項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

19. 如申請專利範圍第4項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之微粒子層與控制閘電極。

20. 如申請專利範圍第5項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含導電性浮置閘電極與控制閘電極。

21. 如申請專利範圍第5項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

22. 如申請專利範圍第5項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 5

持用之微粒子層與控制閘電極。

23. 如申請專利範圍第6項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含導電性浮置閘電極與控制閘電極。

24. 如申請專利範圍第6項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之電荷陷入性絕緣膜與控制閘電極。

25. 如申請專利範圍第6項記載之非揮發性半導體記憶裝置，其中在前述第1MOS型電晶體之構成要素包含記憶保持用之微粒子層與控制閘電極。

26. 一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成之記憶體單元、及進行主要邏輯演算之第3MOS型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第4MOS型電晶體；上述第1MOS型電晶體之擴散層的接合耐壓比上述第2MOS型電晶體的擴散層的接合耐壓還高。

27. 一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成之記憶體單元、及進行主要邏輯演算之第3MOS型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第4MOS型電晶體；上述第2MOS型電晶體之擴散層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

六、申請專利範圍 6

與上述第3MOS型電晶體之擴散層具有共通之構造。

28. 一種非揮發性半導體記憶裝置，其特徵為：

在同一半導體基板上混合存在：由記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成之記憶體單元、及進行主要邏輯演算之第3MOS型電晶體、及處理與外部之輸入輸出信號之第4MOS型電晶體、及處理上述記憶體單元之資訊重寫用之電壓的第5MOS型電晶體；上述第2MOS型電晶體之擴散層與上述第4MOS型電晶體之擴散層具有共通之構造。

29. 一種非揮發性半導體記憶裝置，其特徵為：

記憶體單元由：記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成，上述第1MOS型電晶體之電荷中性臨界值比上述第2MOS型電晶體之臨界值低。

30. 一種非揮發性半導體記憶裝置，其特徵為：

記憶體單元由：記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成，存在於上述第1MOS型電晶體之通道的不純物的濃度比存在於上述第2MOS型電晶體之通道的不純物的濃度低。

31. 一種非揮發性半導體記憶裝置，其特徵為：

在p型井上形成記憶體單元，該記憶體單元由：記憶保持用之第1MOS型電晶體與選擇該第1MOS型電晶體之第2MOS型電晶體所構成，存在於上述第1MOS型電晶體之通道的p型不純物的濃度比存在於上述第2MOS型電晶體之通

六、申請專利範圍 7

道的 p 型不純物的濃度低。

32. 如申請專利範圍第 1 項記載之非揮發性半導體記憶裝置，其中前述絕緣膜由經過絕緣膜堆積工程與非等向性乾蝕刻工程而形成為側壁間隔之形狀所形成。

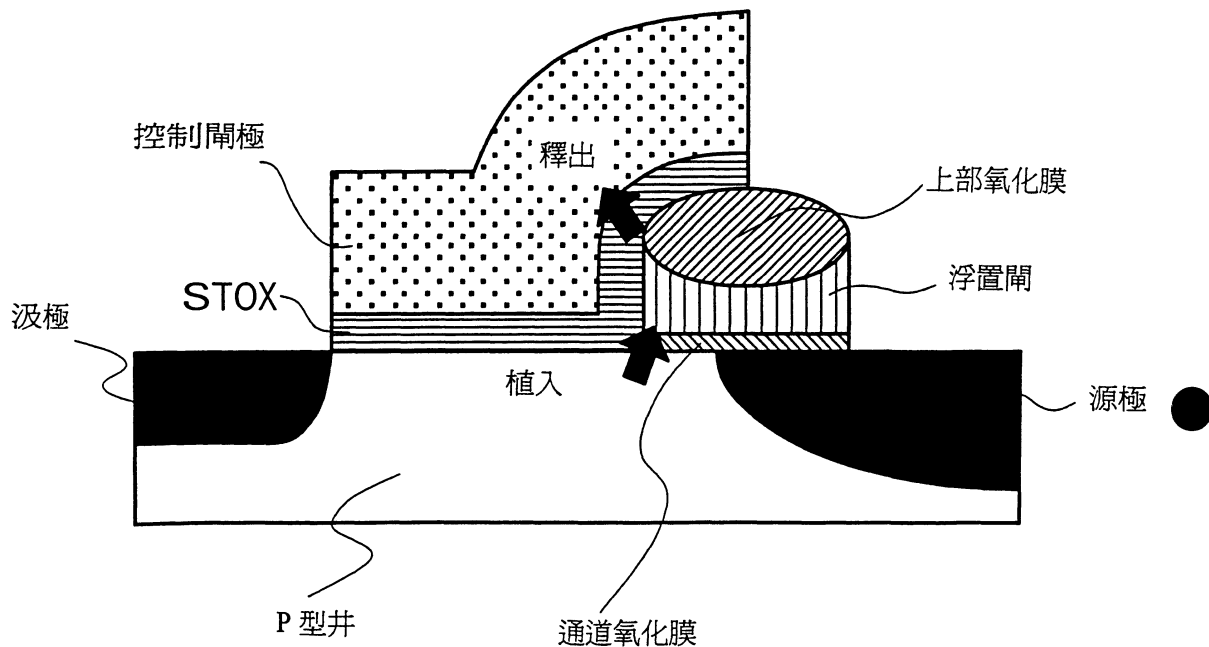
(請先閱讀背面之注意事項再填寫本頁)

裝

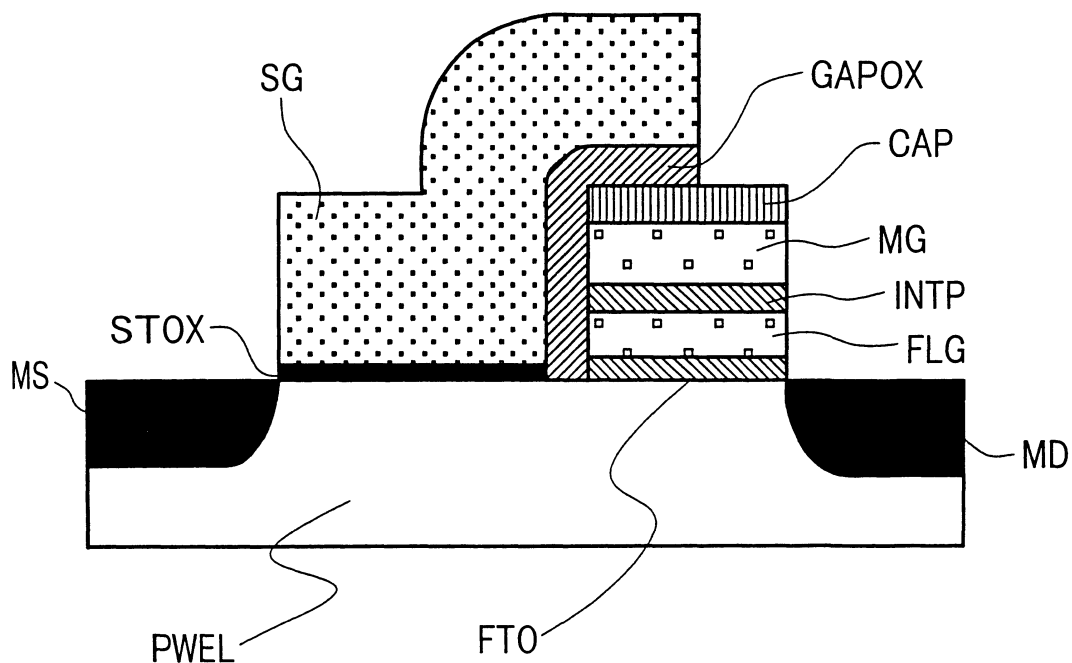
訂

錄

第 1 圖



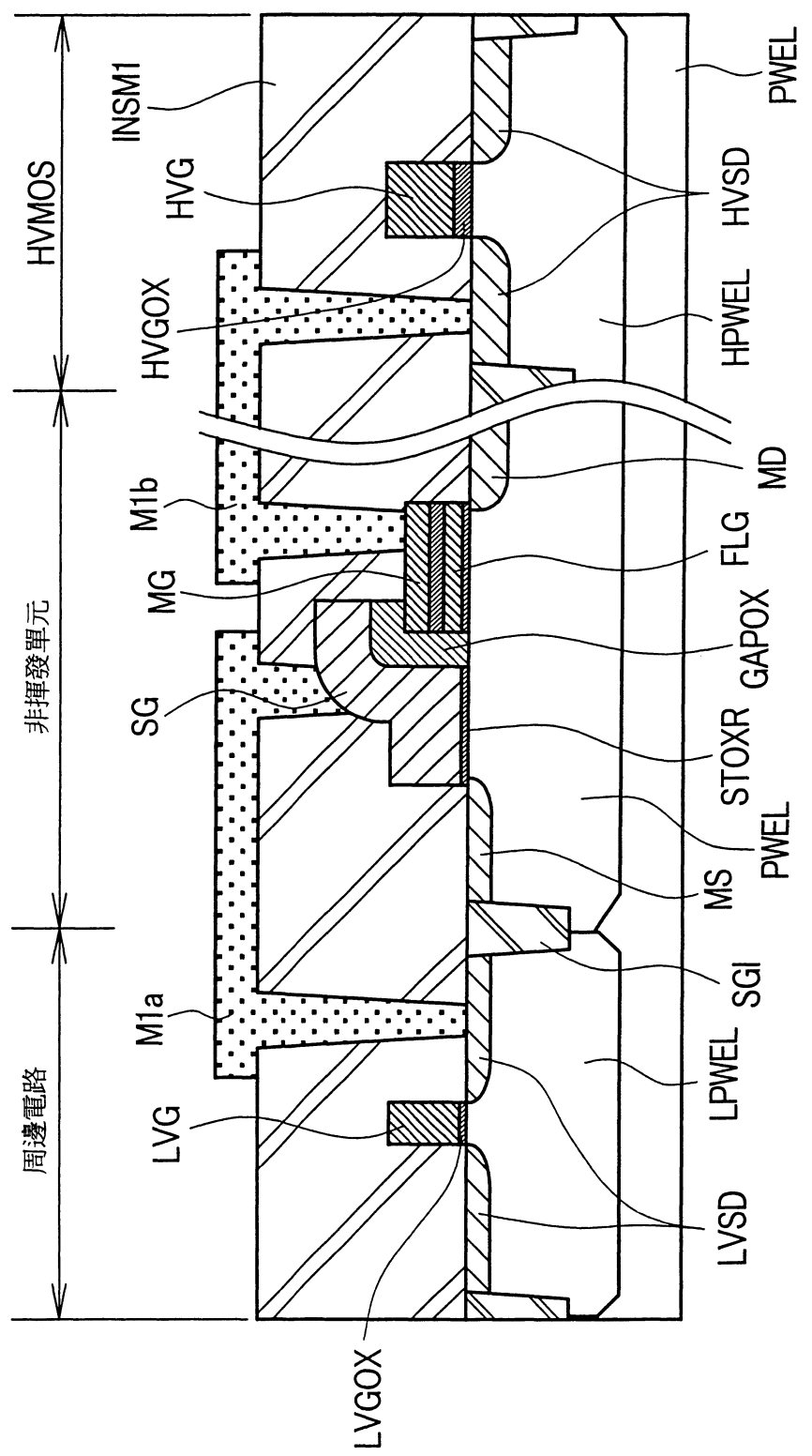
第 2 圖



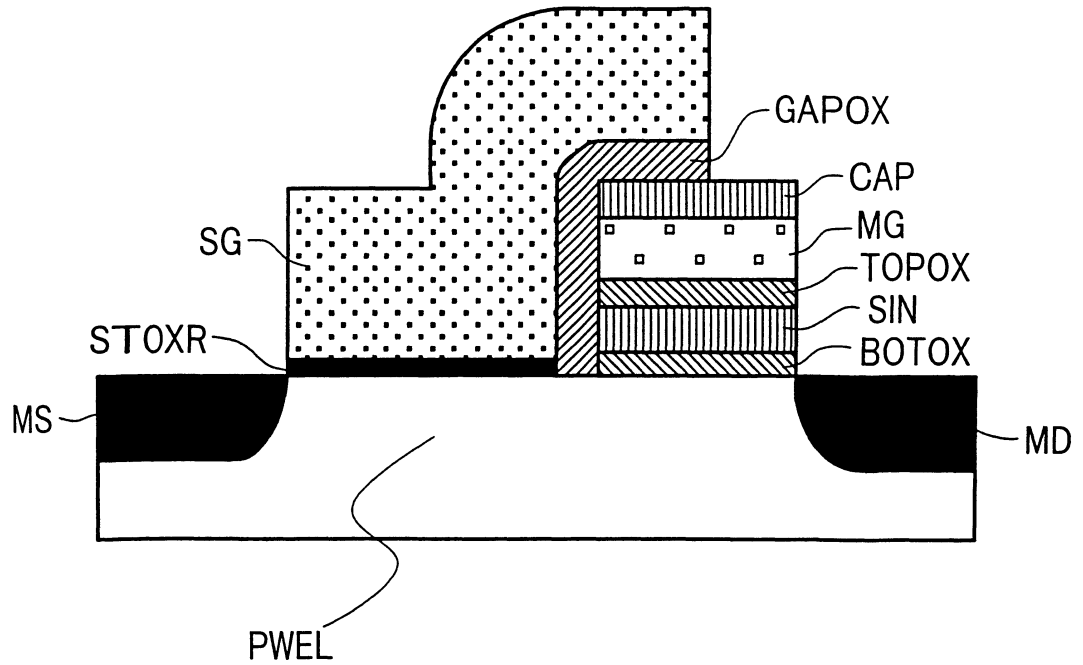
第 3 圖

	Vsg	Vmg	Vd	Vs	Vwell	方式
寫入(植入)	$\sim V_t$	10	5	0	0	源極植入
抹除(釋出)	10	-10	0	0	10	FN(福勒·諾得漢方式)(往 p 井)
	0	-20	0	0	0	
讀出	1.8	0	0	1.8	0	反方向讀出
	1.8	0	1.8	0	0	順方向讀出

第 4 圖



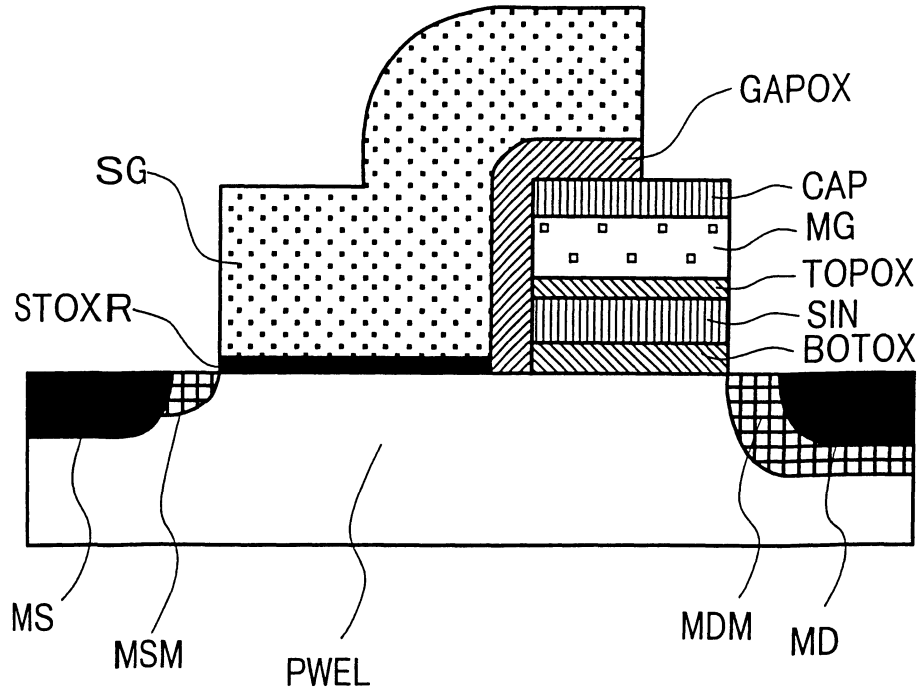
第 5 圖



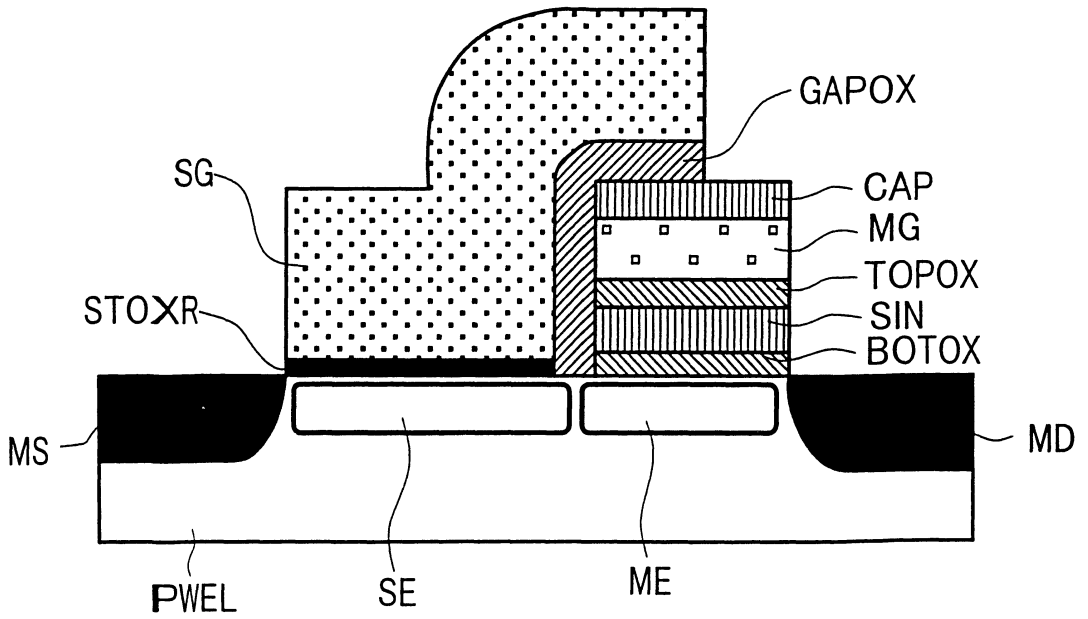
第 6 圖

	Vsg	Vmg	Vd	Vs	Vwell	方式
寫入(植入)	$\sim V_t$	10	5	0	0	源極植入
抹除(釋出)	0	12	0	0	0	FN(福勒·諾得漢方式) (往記憶體閘極)
	0	-12	0	0	0	FN(福勒·諾得漢 方式)(往 p 井)
讀出	1.8	0	0	1.8	0	反方向讀出
	1.8	0	1.8	0	0	順方向讀出

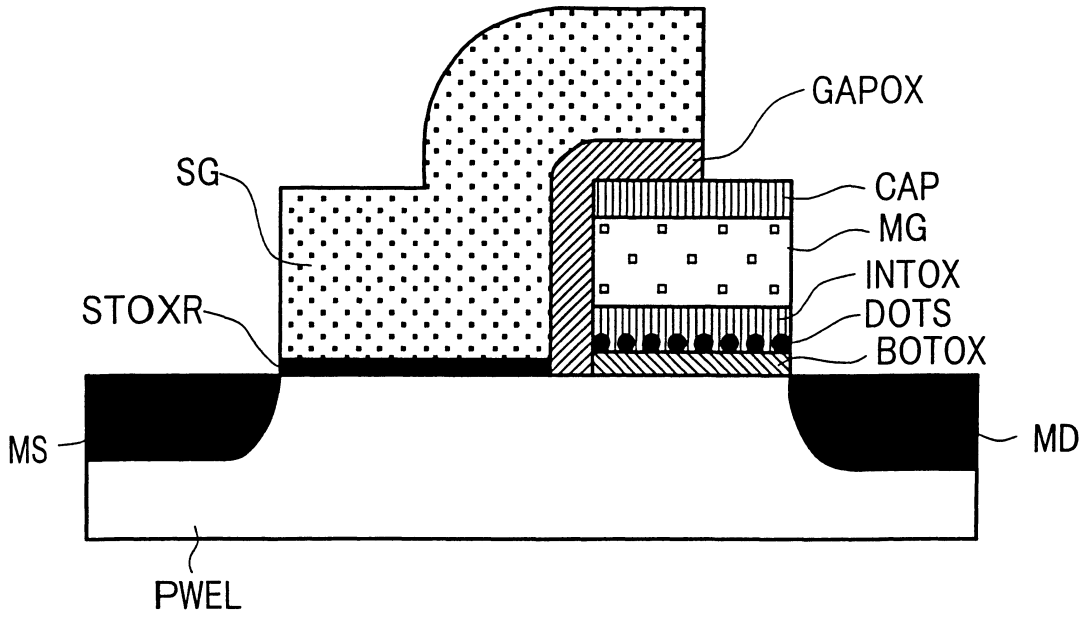
第 7 圖



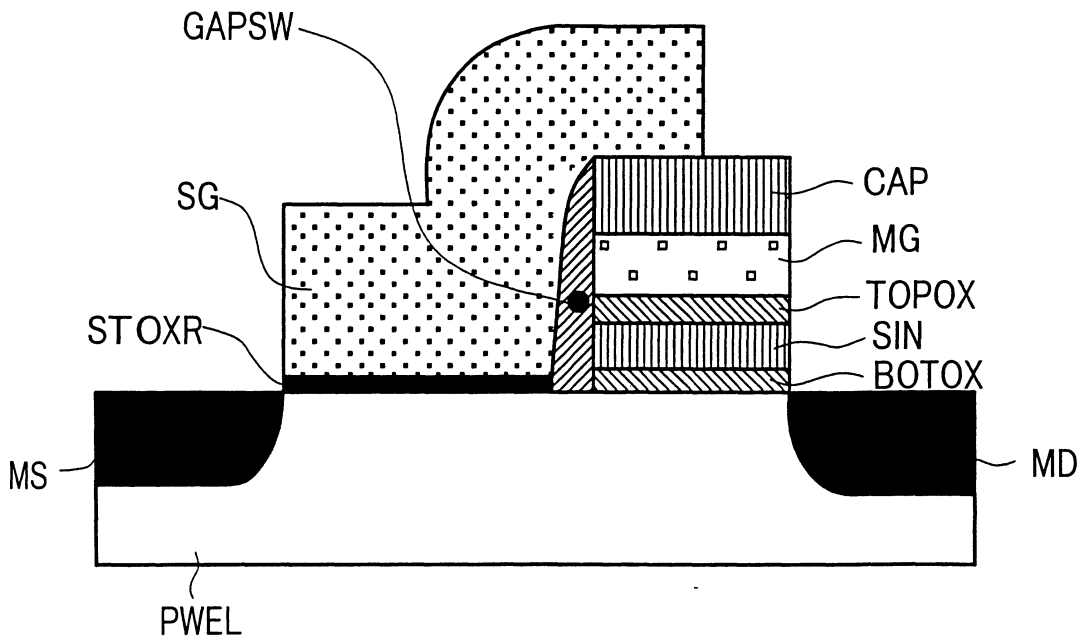
第 8 圖



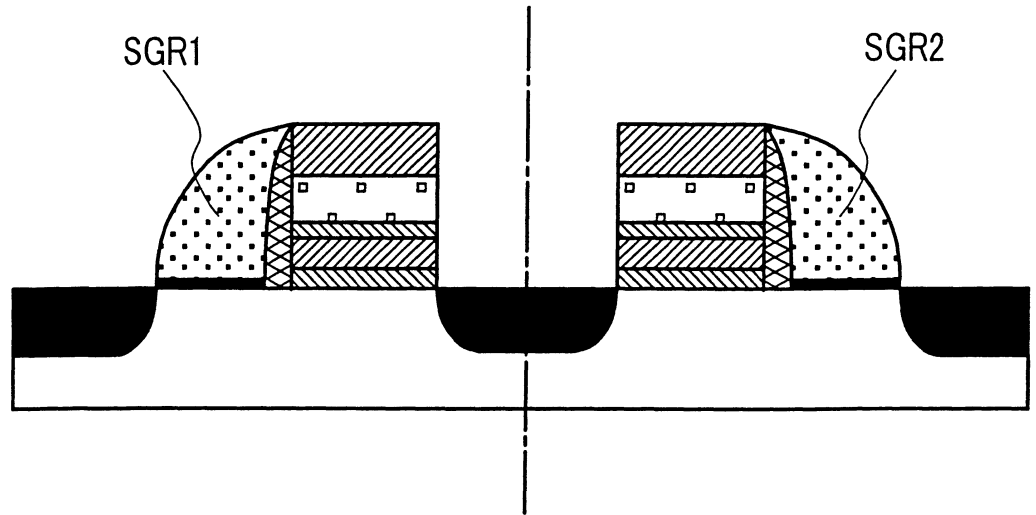
第 9 圖



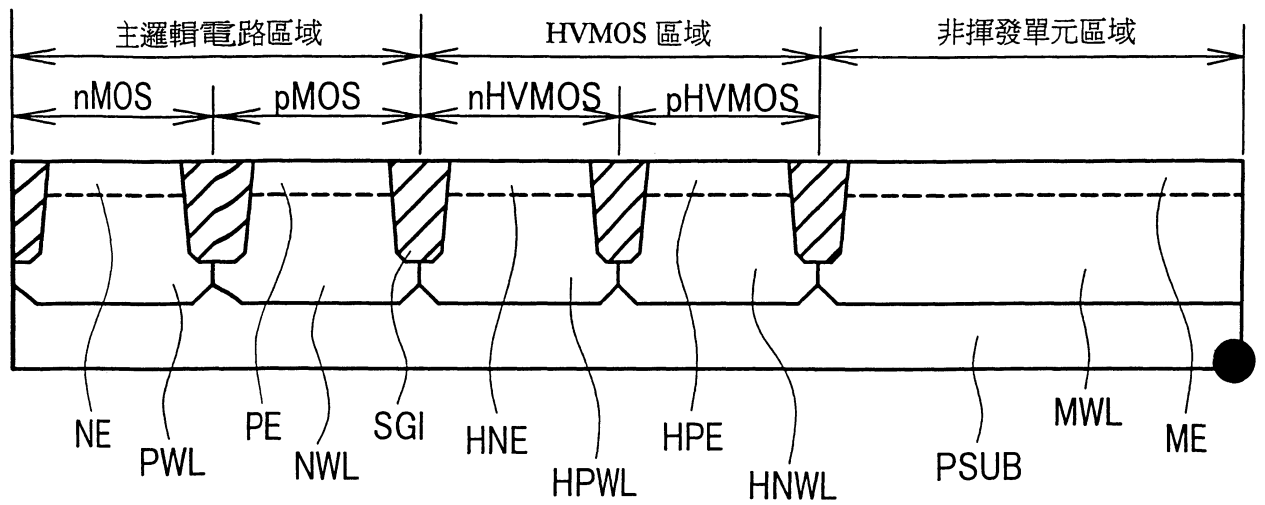
第 10 圖



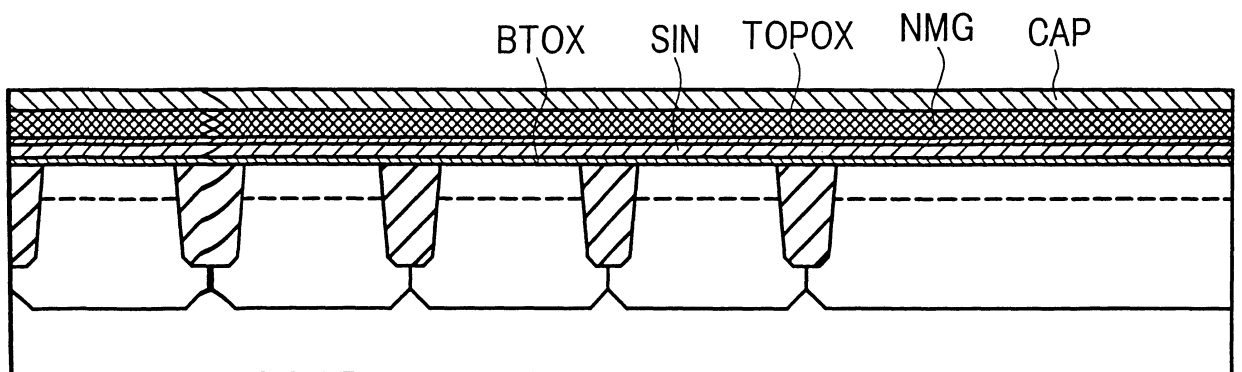
第 11 圖



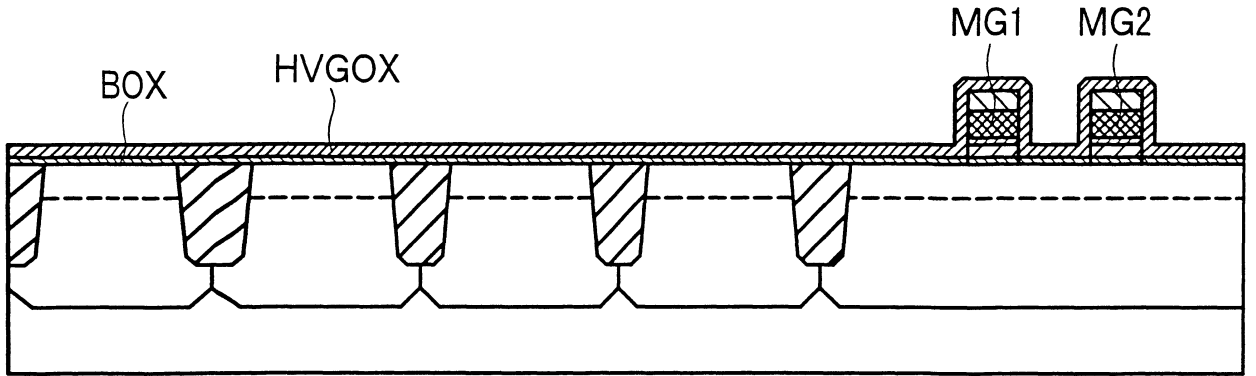
第 12 圖



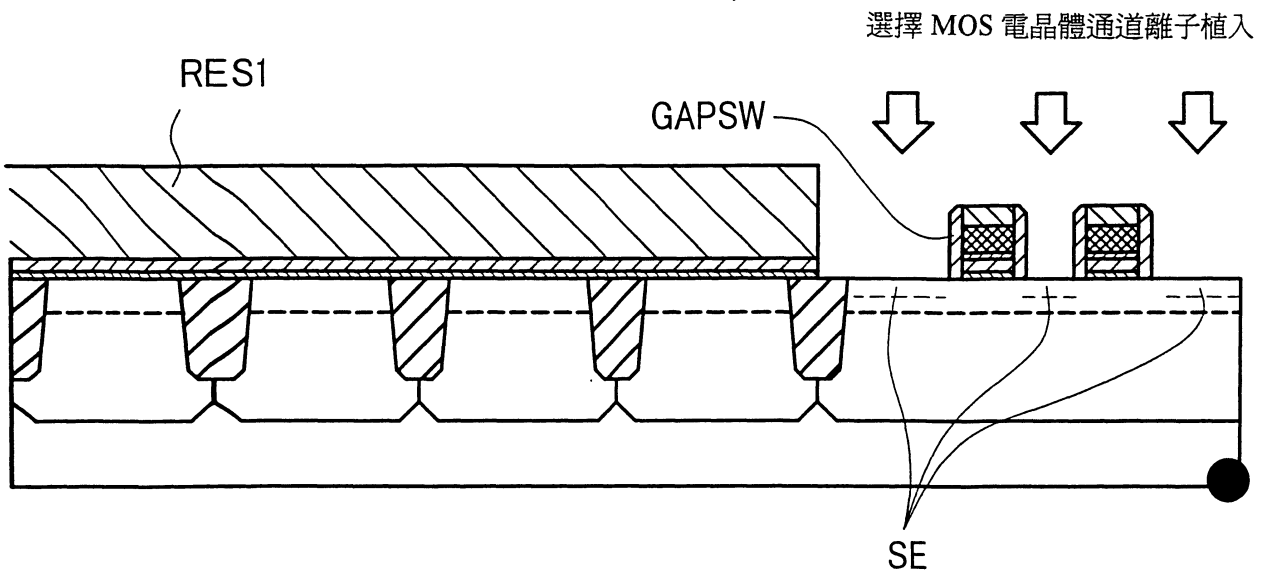
第 13 圖



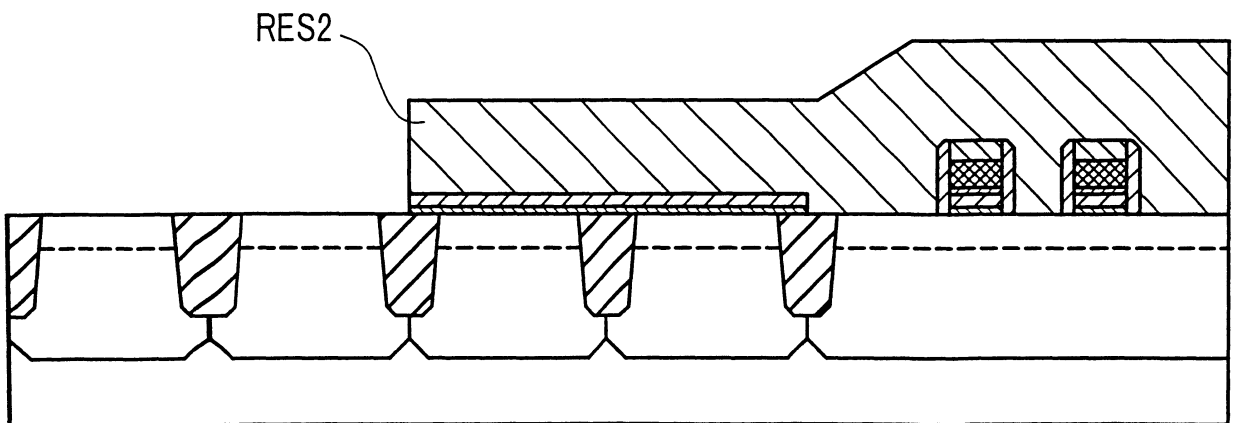
第 14 圖



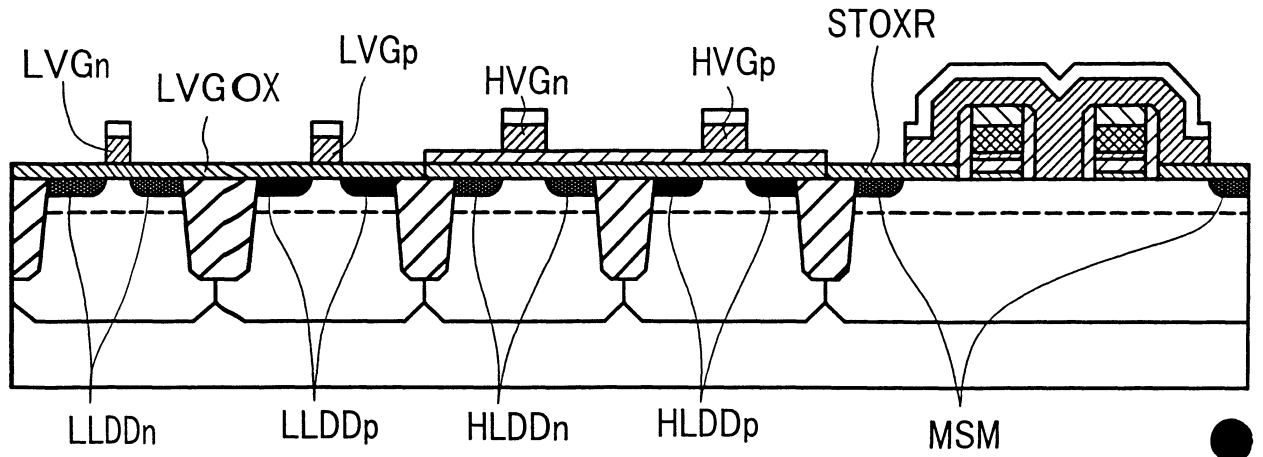
第 15 圖



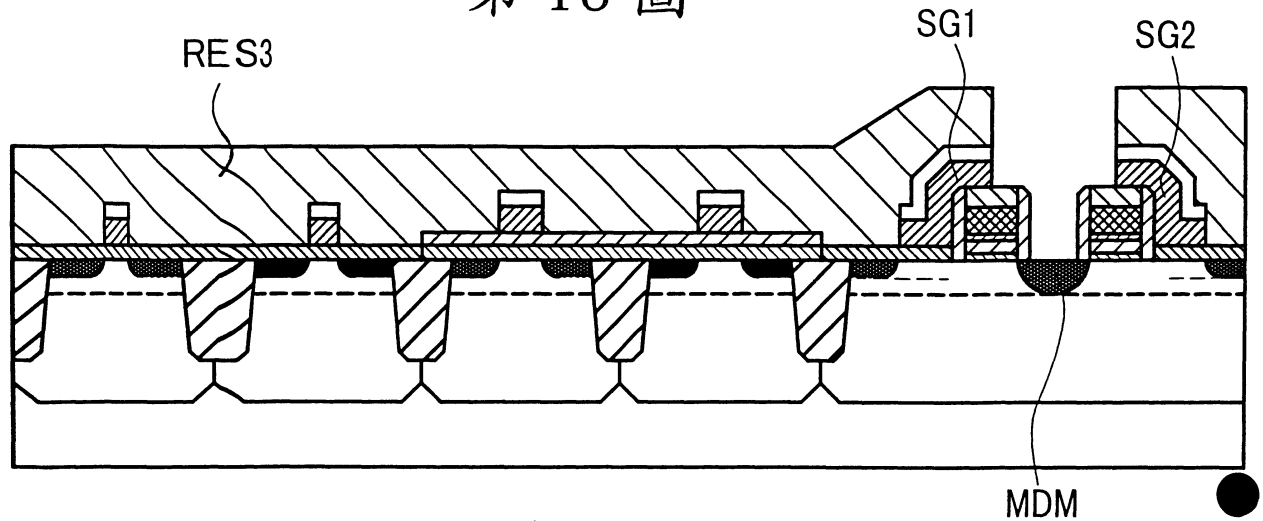
第 16 圖



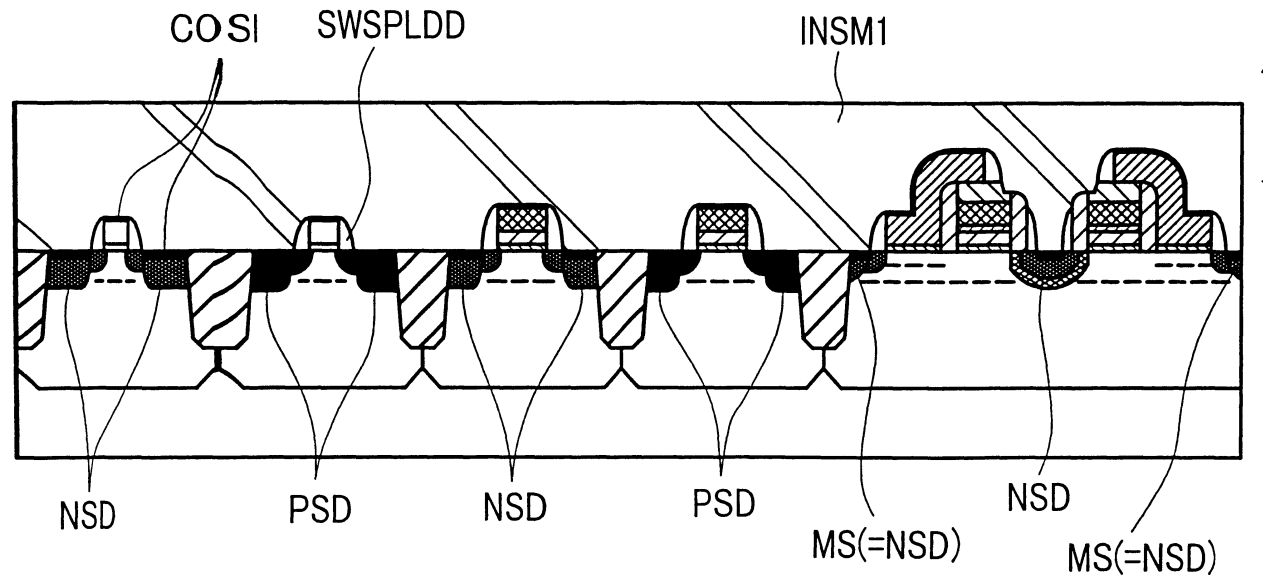
第 17 圖



第 18 圖



第 19 圖



第 20 圖

