

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-169344

(P2012-169344A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 D	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 8 Z	

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2011-27293 (P2011-27293)
 (22) 出願日 平成23年2月10日 (2011.2.10)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 横関 弥樹博
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

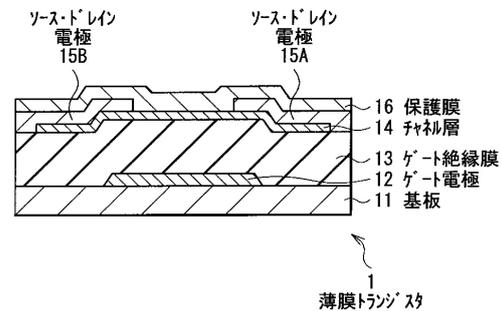
(54) 【発明の名称】 薄膜トランジスタならびに表示装置および電子機器

(57) 【要約】

【課題】多結晶酸化半導体をチャンネルとして用い、キャリアの移動度を保ちつつ、素子特性のばらつきを低減することが可能な薄膜トランジスタを提供する。

【解決手段】薄膜トランジスタ1は、ボトムゲート型のTFTであり、基板11上に、ゲート電極12、ゲート絶縁膜13、多結晶酸化半導体を主成分とするチャンネル層14およびソース・ドレイン電極15A、15Bをこの順に備えている。チャンネル層14の膜厚は、チャンネル層を構成する多結晶酸化半導体の平均結晶粒の直径よりも薄くなるように形成することにより、キャリアの走行方向が制御され素子特性が安定化する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
 一对のソース・ドレイン電極と、
 前記ゲート電極と前記一对のソース・ドレイン電極との間に設けられると共に、多結晶酸化物半導体材料を含み、前記多結晶酸化物半導体材料の平均結晶粒の直径よりも膜厚の薄いチャンネル層と
 を備えた薄膜トランジスタ。

【請求項 2】

前記多結晶酸化物半導体材料は In_2O_3 系酸化物半導体である、請求項 1 に記載の薄膜トランジスタ。 10

【請求項 3】

前記 In_2O_3 系酸化物半導体を含むチャンネル層において、(222)面または(400)面がキャリア走行方向と一致する、請求項 2 に記載の薄膜トランジスタ。

【請求項 4】

前記多結晶酸化物半導体材料の結晶構造が *Bit* 構造をとる、請求項 1 に記載の薄膜トランジスタ。

【請求項 5】

前記 *Bit* 構造をとる多結晶酸化物半導体を含むチャンネル層において、結晶粒の結晶軸が(222)もしくは(400)に軸配向している、請求項 4 に記載の薄膜トランジスタ。 20

【請求項 6】

前記チャンネル層は不純物材料を含む、請求項 1 に記載の薄膜トランジスタ。

【請求項 7】

前記不純物材料は、チタン(Ti)、アルミニウム(Al)、ガリウム(Ga)、亜鉛(Zn)、スズ(Sn)、モリブデン(Mo)およびランタノイド系元素のうち少なくとも 1 種である、請求項 6 に記載の薄膜トランジスタ。

【請求項 8】

表示素子と、前記表示素子を駆動するための薄膜トランジスタとを有し、
 前記薄膜トランジスタは、
 ゲート電極と、
 一对のソース・ドレイン電極と、
 前記ゲート電極と前記一对のソース・ドレイン電極との間に設けられると共に、多結晶酸化物半導体材料を含み、前記多結晶酸化物半導体材料の平均結晶粒の直径よりも膜厚の薄いチャンネル層と
 を備えた表示装置。 30

【請求項 9】

表示素子と、この表示素子を駆動するための薄膜トランジスタとを有する表示装置を有し、
 前記薄膜トランジスタは、
 ゲート電極と、
 一对のソース・ドレイン電極と、
 前記ゲート電極と前記一对のソース・ドレイン電極との間に設けられると共に、多結晶酸化物半導体材料を含み、前記多結晶酸化物半導体材料の平均結晶粒の直径よりも膜厚の薄いチャンネル層と
 を備えた電子機器。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多結晶酸化物半導体をチャンネル層に用いた薄膜トランジスタならびにこれを 50

用いた表示装置および電子機器に関する。

【背景技術】

【0002】

近年、ディスプレイの大型化、ハイフレームレート化が急速に進んでいる。更に、3Dディスプレイの開発によりディスプレイデバイスおよびその周辺装置の高機能化および高性能化が必要不可欠となってきた。現在、シリコン(Si)やヒ化ガリウム(GaAs)等の共有結合性半導体を用いた薄膜トランジスタ(Thin Film Transistor; TFT)よりも安定性が得られるとして水素化アモルファスシリコン(a-Si:H)が用いられている。a-Si:Hは低温での堆積が可能であるため、コストとプロセス温度の制約を満たしているが移動度が低い(電界効果移動度で $< 2 \text{ cm}^2 / \text{Vs}$)という欠点がある。このためより移動度が高く大面積化に適した次世代のTFT材料の開発が盛んに行われている。

10

【0003】

その中で、有望なTFT材料としてアモルファス酸化物半導体(Amorphous Oxide Semiconductor; AOS)が注目されている。AOSは、a-Si:Hとほぼ同じプロセス設備、即ち低温での堆積が可能で、且つ、レーザアニール工程等が不要なため安価で大面積化に適している。更に、AOSはキャリアの移動度を $10 \text{ cm}^2 / \text{Vs}$ 程度まで向上させることができる。現在、AOSを用いたTFTを備えた37インチ液晶ディスプレイ(Liquid Crystal Display; LCD)や12インチ有機エレクトロルミネセンスディスプレイ(Organic Electro Luminescence Display; OLED)が開発段階ではあるが報告されている。

20

【0004】

但し、AOSを用いたTFTを実用化するためには信頼性の向上が必要不可欠である。AOSは金属原子と酸素原子との結合(例えばIn-O)が不安定であるため酸素原子が脱離しやすい。この酸素欠損により制御できない高濃度のキャリアが導入されやすく、閾値電圧(V_{th})のシフト等の特性変動が生じやすいという問題があった。

【0005】

この問題を解決するために、成膜後にアニール処理を行うことにより不安定な金属-酸素結合を低減したり、AOSからなる層(チャネル層)上に保護層を形成することによって酸素抜けを防止するなどの手段が用いられている。しかし、特性変動を完全に抑制することは難しく、金属原子と酸素原子との不安定な結合を極力なくすることが必要不可欠であると考えられている。

30

【0006】

一方、InZnOあるいは In_2O_3 等のIII族元素およびV族元素を用いた多結晶酸化物半導体の開発が報告されている(例えば、特許文献1)。従来のIII-V族半導体では、 sp^3 混成軌道で結合が形成されているため、結晶粒界が存在するとキャリア輸送特性等のばらつきが大きくなるという問題があった。これに対して、多結晶酸化物半導体では5s軌道によりキャリアの伝導が決定するため粒界によるキャリア散乱等の影響が少ない。更に、AOSよりもキャリアの移動度が高く、結晶化すると金属原子と酸素原子との間で、例えばIn-Oの4配位結合が形成されるためAOSで問題となった酸素欠損が生じにくいという利点がある。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-311342号公報

【特許文献2】特開2009-231664号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、多結晶酸化物半導体は結晶粒界による素子特性のばらつきが大きいとい

50

う問題がある。具体的には、粒界部分ではキャリアの走行が阻害されるため、キャリアは粒界を避けて移動する。これにより、キャリアの走行経路が不安定となり、キャリア輸送特性のばらつきおよびヒステリシス現象が発生する。

【0009】

この問題を解決するために、例えば特許文献2では結晶粒界を低減する方法として成膜温度を上げて多結晶酸化物半導体を構成する結晶を単結晶に近づけることが記載されている。しかしながら、大型で、且つ、ガラス基板を用いる場合にはアニール温度は最高でも350以下にする必要があるため十分な単結晶化は行われず、素子特性のばらつきを改善することは困難であった。

【0010】

本発明はかかる問題点に鑑みてなされたもので、その目的は、キャリアの移動度が高く、且つ、素子特性のばらつきが低減された多結晶系酸化物半導体を用いた薄膜トランジスタならびにこれを用いた表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0011】

本発明の薄膜トランジスタは、ゲート電極と、一对のソース・ドレイン電極と、ゲート電極と一对のソース・ドレイン電極との間に設けられると共に、多結晶酸化物半導体材料を含み、多結晶酸化物半導体材料の平均結晶粒の直径よりも膜厚の薄いチャンネル層とからなるものである。

【0012】

本発明の表示装置は、表示素子と、上記本発明の薄膜トランジスタとを備えたものである。

【0013】

本発明の電子機器は、表示素子と、上記本発明の薄膜トランジスタとを備えたものである。

【0014】

本発明の薄膜トランジスタでは、チャンネル層の膜厚が多結晶酸化物半導体の平均結晶粒の直径よりも薄くなっているため、キャリアの走行方向が制御される。

【発明の効果】

【0015】

本発明の薄膜トランジスタによれば、ゲート電極と一对のソース・ドレイン電極との間のチャンネル層を多結晶酸化物半導体により形成し、その膜厚を多結晶酸化物半導体材料の平均結晶粒の直径よりも薄くしたので、キャリアの走行方向が制御される。これによりキャリアの走行経路が安定化し、キャリアの移動度を保ちつつ素子特性のばらつきを低減することが可能となる。よってこの多結晶酸化物半導体をチャンネル層に用いた薄膜トランジスタを備えた表示装置および電子機器の高性能化を図ることが可能となる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施の形態に係る薄膜トランジスタの断面構造を表すものである。

【図2】多結晶酸化物半導体の結晶構造を表す模式図である。

【図3】多結晶酸化物半導体の他の結晶構造を表す模式図である。

【図4】図1に示した薄膜トランジスタの製造方法を工程順に表す図である。

【図5】図2に示した多結晶酸化物半導体のXRDスペクトルである。

【図6】多結晶酸化物半導体の膜厚と移動度の関係を表す特性図である。

【図7】従来の多結晶酸化物半導体を表す模式図である。

【図8】従来例に係る薄膜トランジスタの特性図である。

【図9】図2に示した多結晶酸化物半導体を表す模式図である。

【図10】図1に示した薄膜トランジスタの特性図である。

【図11】本発明の変形例に係る薄膜トランジスタの断面構造を表すものである。

【図12】TFTを備えた表示装置の構成例を表すブロック図である。

10

20

30

40

50

【図 1 3】図 1 2 に示した画素の詳細構成例を表す回路図である。

【図 1 4】図 1 2 に示した表示装置を含むモジュールの概略構成を表す平面図である。

【図 1 5】図 1 2 に示した表示装置の適用例 1 の外観を表す斜視図である。

【図 1 6】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 1 7】適用例 3 の外観を表す斜視図である。

【図 1 8】適用例 4 の外観を表す斜視図である。

【図 1 9】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

10

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1. 実施の形態 (ボトムゲート型 T F T)
2. 変形例 (トップゲート型 T F T)
3. 適用例 (表示装置および電子機器の例)

【0018】

(実施の形態)

[薄膜トランジスタ 1 の構成]

20

図 1 は、本発明の一実施の形態に係る薄膜トランジスタ 1 の断面構造を表すものである。薄膜トランジスタ 1 は、いわゆるボトムゲート型 (逆スタガー構造) の T F T であり、チャンネル層 1 4 に多結晶酸化物半導体を用いたものである。この薄膜トランジスタ 1 では、ガラス等よりなる基板 1 1 上に、ゲート電極 1 2、ゲート絶縁膜 1 3、チャンネル層 1 4 およびソース・ドレイン電極 1 5 A , 1 5 B がこの順に形成されている。ソース・ドレイン電極 1 5 A , 1 5 B 上には、基板 1 1 の全面に渡って保護膜 1 6 が形成されている。

【0019】

ゲート電極 1 2 は、薄膜トランジスタ 1 に印加されるゲート電圧によってチャンネル層 1 4 中のキャリア密度 (ここでは、電子密度) を制御する役割を果たすものである。このゲート電極 1 2 は、例えばモリブデン (M o)、アルミニウム (A l) およびアルミニウム合金等のうちの 1 種よりなる単層膜、または 2 種以上よりなる積層膜により構成されている。なお、アルミニウム合金としては、例えばアルミニウム - ネオジム合金が挙げられる。

30

【0020】

ゲート絶縁膜 1 3 は、ゲート電極 1 2 を覆うものであり、例えばゲート電極 1 2 上を含む基板 1 1 の表面全体にわたって形成される。このゲート絶縁膜の材料は、例えばシリコンを (S i) を含む絶縁材料から構成されている。具体的にはシリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜等が挙げられる。ゲート絶縁膜 1 3 の膜厚は、例えば 2 0 0 n m ~ 3 0 0 n m である。

【0021】

40

チャンネル層 1 4 は、ゲート電圧の印加によりソース・ドレイン電極 1 5 A , 1 5 B 間にチャンネルを形成するものである。チャンネル層 1 4 の材料としては、例えば、 $I n_2 O_3$ 系酸化物半導体が挙げられる。より具体的には、 $I n_2 O_3$ および $I n_2 O_3$ に不純物を添加した酸化物半導体 $I n_2 O_3 : X$ が挙げられる。不純物 X は、例えば、チタン (T i)、アルミニウム (A l)、ガリウム (G a)、亜鉛 (Z n)、モリブデン (M o)、スズ (C n) およびランタノイド元素等が挙げられる。また、 $I n_2 O_3 : X$ と同じ結晶構造を有する B i x b y i t e 構造の材料を用いてもよい。なお、結晶構造は異なるが、Z n O 系酸化物半導体、S n O 系酸化物半導体を用いてもよい。

【0022】

上記多結晶酸化物半導体の中でも $I n_2 O_3$ 系酸化物半導体はキャリア移動度が高く、特

50

に(222)面を基板11と並行になるように成膜することでより高い移動度が得られる。図2(A)は In_2O_3 の(222)面の結晶構造を表したものであり、(222)面においてIn面が形成されていることがわかる。このように In_2O_3 系酸化物半導体の結晶構造は隣接するInの距離が近く、図2(B)に示したようにInの5s軌道が互いに重なる。 In_2O_3 系酸化物半導体の移動度の高さは、重なった5s軌道がキャリアの伝導経路となることによると考えられる。即ち、(222)面を基板11と並行に成膜することによりキャリアの走行方向にIn-In結合がつながり、最も高い移動度が得られる。図3は、 In_2O_3 系酸化物半導体の(400)面の結晶構造を表したものである。図3からわかるように(400)面においてもInが互いに隣接している。このため、(400)面を基板11と並行になるように成膜することでも(222)面と同様に高い移動度が得られる。

10

【0023】

更に、本実施の形態のチャネル層14の膜厚は、チャネル層14を構成する多結晶酸化物半導体の平均結晶粒の直径以下とすることが望ましい。多結晶酸化物半導体の結晶粒径の大きさに制限はないが、実用的には10~20nm以上であることが望ましい。このため、チャネル層14の具体的な膜厚は20nm以下、より好ましくは10nm以下であることが望ましい。チャネル層14の膜厚をチャネル層を構成する多結晶酸化物半導体の平均結晶粒の直径よりも薄くすることにより、チャネル層14を移動するキャリアの走行方向が制御され、キャリアの走行経路が安定する。なお、多結晶酸化物半導体の結晶粒径は大きいほど望ましいので上限は特にない。また、上記元素の他にガリウム(Ga)、アルミニウム(Al)、チタン(Ti)、亜鉛(Zn)、スズ(Sn)、モリブデン(Mo)およびランタノイド系の元素を含んでいてもよい。

20

【0024】

ソース・ドレイン電極15A, 15Bは、例えばモリブデン、アルミニウム、銅(Cu)、チタン、ITO(インジウム錫酸化物)および酸化チタン等のうち1種よりなる単層膜またはこれらのうちの2種以上よりなる積層膜である。例えば、モリブデン、アルミニウム、モリブデンの順に、例えば50nm、500nm、50nmの膜厚で積層した3層膜や、ITOおよび酸化チタン等の酸素を含む金属化合物のような酸素との結びつきの弱い金属または金属化合物を用いることが望ましい。これにより、多結晶酸化物半導体の電気特性を安定して保持することができる。逆に、ソース・ドレイン電極15A, 15Bを酸素との結びつきが強い金属で構成した場合には、ソース・ドレイン電極15A, 15Bは、多結晶酸化物半導体に接触して形成されるため、酸化物半導体中の酸素が引き抜かれて酸素欠陥を生じ、電気特性が悪化してしまう。

30

【0025】

保護膜16は、例えば酸化アルミニウム膜またはシリコン酸化膜等の単層膜、もしくは酸化アルミニウム膜とシリコン酸化膜との積層膜により構成されている。なお、ここで用いる酸化アルミニウム膜は、薄膜トランジスタで通常用いられる高密度な酸化アルミニウム膜である。この保護膜16の厚みは、例えば10nm~100nmであり、好ましくは50nm以下である。酸化物半導体膜は水素の混入や水分の吸着等によって、その電気特性が変化するという課題があるが、保護膜16として高密度な酸化アルミニウム膜を用いることにより、その優れたガスバリア性によって水素の混入や水分の吸着等によるチャネル層14の電気特性の変化を防止することができる。また、保護膜16として酸化アルミニウム膜を用いることにより、酸化物半導体の電気特性を劣化させることなく、保護膜形成が可能となる。

40

【0026】

[薄膜トランジスタ1の製造方法]

図4は、薄膜トランジスタ1の製造方法を説明するための図である。薄膜トランジスタ1は、例えば次のようにして製造することができる。

【0027】

まず、図4(A)に示したように、基板11上の全面にスパッタリング法や蒸着法によ

50

り金属膜、例えばMo膜100nmの厚さで形成したのち、このMo膜を、例えばフォトリソグラフィ法を用いてパターンングすることにより、ゲート電極12を形成する。

【0028】

続いて、図4(B)に示したように、基板11およびゲート電極12上を覆うように、例えばSiO₂膜を、例えばプラズマCVD法を用いて例えば300nmの厚さで成膜することにより、ゲート絶縁膜13を形成する。具体的には、原料ガスとしてシランおよび一酸化二窒素(N₂O)を含む混合ガスを用いたプラズマCVD法により、SiO₂膜よりなるゲート絶縁膜13を成膜する。

【0029】

次いで、図4(C)に示したように、チャンネル層14を、例えばパルスレーザ堆積(Pulsed Laser Deposition; PLD)法により形成する。具体的には、多結晶酸化物半導体として酸化インジウム(In₂O₃)を用いる場合には、レーザを集光してターゲット(In₂O₃)を蒸発させて基板11上に蒸着させる。この際、例えばこのPLD装置においては、真空容器内をその真空度が例えば 1×10^{-4} Pa以下になるまで排気したのち、酸素ガスを導入し、酸素圧が8Paとなるように調整してアブレーションさせる。図5は酸素圧によるIn₂O₃単膜のX線回折(X-ray diffraction; XRD)スペクトル変化を表したものである。結晶の配向を制御するために成膜条件を最適化する必要がある。多結晶酸化物半導体は成膜時の酸素圧によって結晶の配向が変化する。一般的に酸素圧が低い場合には、結晶化しやすいが配向にばらつきが生じる傾向がある。一方、酸素圧が高い場合には、結晶化は起こりにくい配向がそろいやすい。図5からわかるように、In₂O₃は成膜時の酸素圧を8Paとすることにより(222)面にInの配向がそろう。即ち、(222)面を基板11に対して並行に成膜することが可能となる。また、チャンネルのキャリア濃度は、酸素ガスの流量を調節することにより制御することができる。なお、本実施の形態の多結晶酸化物半導体を用いたチャンネル層14は上記PLD法以外にスパッタ法を用いて成膜してもよい。

【0030】

続いて、図4(D)に示したように、チャンネル層14上に、例えばMo, Al, Moの順に積層された金属膜を例えばスパッタ法により成膜する。この後、リン酸、硝酸および酢酸を含む混合液を用いたウェットエッチング法により、形成した金属膜をパターンングする。これにより、ソース・ドレイン電極15A, 15Bがそれぞれ形成される。

【0031】

次いで、ソース・ドレイン電極15A, 15B上に、保護膜16を、例えばAl₂O₃膜を例えばスパッタ法や原子層成膜(Atomic Layer Deposition; ALD)法を用いて例えば500nmの厚さで形成することにより、図1に示した薄膜トランジスタ1を完成する。

【0032】

[薄膜トランジスタ1の作用・効果]

次いで、本実施の形態の薄膜トランジスタ1の作用、効果について説明する。

【0033】

薄膜トランジスタ1では、図示しない配線層を通じてゲート電極12に所定の閾値電圧以上のゲート電圧が印加されると、チャンネル層14にチャンネルが形成され、ソース・ドレイン電極15A, 15B間に電流(ドレイン電流)が流れ、トランジスタとして機能する。

【0034】

ここで、多結晶酸化物半導体の膜厚と移動度の関係について、上記成膜条件(酸素圧8Pa, レーザパワー60mJ)で作製したIn₂O₃を用いて説明する。図6は、成膜後のアニール未処理のIn₂O₃膜およびアニール処理済みのIn₂O₃膜の膜厚による移動度の変化をHall測定したものである。膜厚が薄い(10nm)場合にはアニール処理の有無にかかわらず30cm²/Vsと高い移動度を示している。しかしながら、アニール処理を行っていないIn₂O₃膜では、膜厚が厚くなるに従い移動度は低下し、20nmです

で $10 \text{ cm}^2 / \text{Vs}$ まで低下する。 $10 \text{ cm}^2 / \text{Vs}$ とは In 系アモルファス酸化物半導体の移動度とほぼ同じである。これに対し、アニール処理をした In_2O_3 膜では、膜厚が厚くなるに従い移動度が高くなり、 $60 \text{ cm}^2 / \text{Vs}$ 程度まで向上する。その理由を以下に説明する。

【0035】

図7(A), (B)は膜厚が厚いアニール未処理(A)および処理済み(B)の In_2O_3 膜内の構造およびキャリアの走行経路を模式的に表したものである。アニール未処理の In_2O_3 膜では、結晶粒界に多くのアモルファス(図中A)が残留した状態となっている。前述のようにアモルファス部分の酸素は欠損しやすく、酸素の欠損によりキャリア濃度が高くなる。従って、キャリアは移動度の高い結晶部分(時中C)よりもキャリア濃度の高いアモルファス部分を選択的に走行するため、移動度はアモルファス酸化物半導体の移動度と同程度となる。これに対して、アニール処理済みの In_2O_3 膜では、アニール処理により結晶粒界に存在するアモルファスが減少する。更に、 In_2O_3 の結晶の配向性が改善し結晶粒界が低減されることにより、図7(B)に示したようにキャリアが移動度の高い結晶部分を選択的に走行ようになる。アニール処理済みの In_2O_3 膜では、膜厚が厚くなるに従って移動度の高い結晶部分が増加するためキャリアが結晶部分を走行しやすくなり、キャリアの移動度が向上する。

【0036】

しかしながら、図7(B)からわかるようにキャリアはアモルファス部分を避けて走行するため走行方向は非常に複雑となる。この走行方向の複雑さ(不安定さ)が素子内における特性のばらつきの原因となる。図8は多結晶酸化物半導体をチャンネル層に用いた従来のチャンネル層の膜厚が厚いTFETにおける $V_g - I_d$ 特性を示したものである。図8では V_d を 0.1 V から 10 V に上昇させた際に I_d が変動している。これは、電流の流れが電圧の変化によって結晶粒界で変化した、即ちヒステリシスが発生したためと考えられる。

【0037】

これに対して本実施の形態のTFET1では、多結晶酸化物半導体を用いたチャンネル層14の膜厚を多結晶酸化物半導体材料の平均結晶粒の直径以下とした。ここで In_2O_3 半導体の膜厚をその平均結晶粒の直径よりも薄くした場合のキャリアの走行について説明する。図9(A)は上記薄膜トランジスタ1の製造方法に沿って作製した膜厚が平均結晶粒の直径以下(例えば膜厚 10 nm)の In_2O_3 膜内の構造およびキャリアの走行経路を模式的に表したものである。図9(A)からわかるように膜厚が結晶粒径以下であるため走行方向に連なるアモルファス部分が存在しない。このためキャリアの走行経路は、上記膜厚の厚いアニール未処理の In_2O_3 膜(図7(A))とは異なり、アモルファス部分および結晶部分の両方を通ることになる。従ってアニール処理を行っていない場合でも、膜厚の厚い In_2O_3 膜とは異なり、キャリアの移動度は高く保たれる。次に、上記薄膜トランジスタ1の製造方法に従って膜厚の薄い In_2O_3 膜を形成したのち、アニール処理を行った場合の In_2O_3 膜内の構造およびキャリアの走行経路について図9(B)を用いて説明する。膜厚の薄い In_2O_3 膜では、上記膜厚の厚い In_2O_3 膜と同様に、アニール処理によってアモルファスの結晶化は進行するが、結晶粒界の低減には限界がある。特に、c軸配向が進んでも、面内の回転成分の結晶軸のずれは回復しにくいいため、キャリアはアニール未処理の In_2O_3 膜と同様に粒界のアモルファス部分と結晶部分の両方を通ることになる。このためアニール処理をした膜厚の厚い In_2O_3 膜(図7(B))のようにキャリアの移動度が向上することはないが、キャリアの走行経路の複雑化は起こらない。このため図10に示したように、本実施の形態のTFET1の $V_g - I_d$ 特性にはキャリアの走行経路の複雑化によるヒステリシスは見られない。即ち、素子内における特性のばらつきが改善される。なお、本実施の形態のTFET1では、 In_2O_3 膜の成膜後のアニール処理の有無は特に問わないが、アニール処理を行うことにより不安定な $\text{In} - \text{O}$ 結合が減少するため、温度や酸素欠損による移動度の経時的な特性変化が抑制される。

【0038】

このように、本実施の形態のTFT1では、ゲート電極12と一对のソース・ドレイン電極15A, 15Bとの間のチャンネル層14を多結晶酸化物半導体により形成し、その膜厚を多結晶酸化物半導体材料の平均結晶粒の直径よりも薄くした。これにより、チャンネル層14内を走行するキャリアは粒界により必ず散乱を受けるが、ほぼすべてのキャリアが同じ回数だけ粒界散乱をうけるために、粒界散乱による特性ばらつきがでることがない。即ち、キャリアの走行方向が安定化するため、キャリアの移動度を保ちつつ素子特性のばらつきを低減することが可能となる。

【0039】

(変形例)

図11は、本発明の変形例に係る薄膜トランジスタ2の断面構造を表すものである。薄膜トランジスタ2は、いわゆるトップゲート型(スタガー構造)のTFTであり、チャンネル層14に多結晶酸化物半導体を用いたものである。この薄膜トランジスタ2では、ガラス等よりなる基板11上に、ソース・ドレイン電極15A, 15B、チャンネル層14、ゲート絶縁膜13およびゲート電極12がこの順に形成されている。ゲート電極12上には、基板11の全面に渡って保護膜16が形成されている。なお、本変形例では、上記実施の形態で説明したボトムゲート型のTFTと各構成要素同士の配置関係は異なるものの、それぞれの機能および構成材料は同様であるため、便宜上同一の符号を付し、適宜説明を省略する。

10

【0040】

本変形例では、チャンネル層14に多結晶酸化物半導体を用い、このチャンネル層14の膜厚を多結晶酸化物半導体の平均結晶粒よりも薄くすることにより、上記実施の形態のボトムゲート型TFTと同様の効果が得られる。

20

【0041】

(適用例)

次に、上記実施の形態および変形例に係る薄膜トランジスタの表示装置および電子機器への適用例について説明する。

【0042】

[表示装置]

図12は、有機ELディスプレイとして用いられる表示装置(有機EL素子を用いた表示装置)の構成例を表すものである。この表示装置は、例えば、TFT基板(前述した基板11)上に、表示素子としての有機EL素子(有機電界発光素子)を含む複数の画素PXLがマトリクス状に配置されてなる表示領域30を有している。この表示領域30の周辺には、信号線駆動回路としての水平セクタ(HSEL)31と、走査線駆動回路としてのライトスキャナ(WSCN)32と、電源線駆動回路としての電源スキャナ(DSCN)33とが設けられている。

30

【0043】

表示領域30において、列方向には複数(整数n個)の信号線DTL1~DTLnが配置され、行方向には、複数(整数m個)の走査線WSL1~WSLmおよび電源線DSL1~DSLmがそれぞれ配置されている。また、各信号線DTLと各走査線WSLとの交差点に、各画素PXL(赤色(R)、緑色(G)および青色(B)に対応する画素のいずれか1つ)が設けられている。各信号線DTLは水平セクタ31に接続され、この水平セクタ31から各信号線DTLへ映像信号が供給されるようになっている。各走査線WSLはライトスキャナ32に接続され、このライトスキャナ32から各走査線WSLへ走査信号(選択パルス)が供給されるようになっている。各電源線DSLは電源スキャナ33に接続され、この電源スキャナ33から各電源線DSLへ電源信号(制御パルス)が供給されるようになっている。

40

【0044】

図13は、画素PXLにおける回路構成例を表したものである。各画素PXLは、有機EL素子3Dを含む画素回路40を有している。この画素回路40は、サンプリング用トランジスタ3Aおよび駆動用トランジスタ3Bと、保持容量素子3Cと、有機EL素

50

子 3 D とを有するアクティブ型の駆動回路である。これらのトランジスタ 3 A , 3 B が、上記実施の形態等の薄膜トランジスタに相当する。

【 0 0 4 5 】

サンプリング用トランジスタ 3 A は、そのゲートが対応する走査線 W S L に接続され、そのソースおよびドレインのうち的一方が対応する信号線 D T L に接続され、他方が駆動用トランジスタ 3 B のゲートに接続されている。駆動用トランジスタ 3 B は、そのドレインが対応する電源線 D S L に接続され、ソースが有機 E L 素子 3 D のアノードに接続されている。また、この有機 E L 素子 3 D のカソードは、接地配線 3 H に接続されている。なお、この接地配線 3 H は、全ての画素 P X L C に対して共通に配線されている。保持容量素子 3 C は、駆動用トランジスタ 3 B のソースとゲートとの間に配置されている。

10

【 0 0 4 6 】

サンプリング用トランジスタ 3 A は、走査線 W S L から供給される走査信号（選択パルス）に応じて導通することにより、信号線 D T L から供給される映像信号の信号電位をサンプリングし、保持容量素子 3 C に保持するものである。駆動用トランジスタ 3 B は、所定の第 1 電位（図示せず）に設定された電源線 D S L から電流の供給を受け、保持容量素子 3 C に保持された信号電位に応じて、駆動電流を有機 E L 素子 3 D へ供給するものである。有機 E L 素子 3 D は、この駆動用トランジスタ 3 B から供給された駆動電流により、映像信号の信号電位に応じた輝度で発光するようになっている。

【 0 0 4 7 】

この表示装置では、走査線 W S L から供給される走査信号（選択パルス）に応じてサンプリング用トランジスタ 3 A が導通することにより、信号線 D T L から供給された映像信号の信号電位がサンプリングされ、保持容量素子 3 C に保持される。また、上記第 1 電位に設定された電源線 D S L から駆動用トランジスタ 3 B へ電流が供給され、保持容量素子 3 C に保持された信号電位に応じて、駆動電流が有機 E L 素子 3 D （赤色、緑色および青色の各有機 E L 素子）へ供給される。そして、各有機 E L 素子 3 D は、供給された駆動電流により、映像信号の信号電位に応じた輝度で発光する。これにより、表示装置において、映像信号に基づく映像表示がなされる。

20

【 0 0 4 8 】

[電子機器]

以下、上記表示装置の電子機器への適用例について説明する。上記表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、上記表示装置は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

30

【 0 0 4 9 】

(モジュール)

上記表示装置は、例えば図 1 4 に示したようなモジュールとして、後述の適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 1 1 の一辺に、封止用基板 5 0 から露出した領域 2 1 0 を設け、この露出した領域 2 1 0 に、水平セクタ 3 1、ライトスキャナ 3 2 および電源スキャナ 3 3 の配線を延長して外部接続端子（図示せず）を形成したものである。この外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（ F P C ; Flexible Printed Circuit ） 2 2 0 が設けられていてもよい。

40

【 0 0 5 0 】

(適用例 1)

図 1 5 は、テレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 が上記表示装置に相当する。

【 0 0 5 1 】

50

(適用例 2)

図 16 は、デジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 410、表示部 420、メニュースイッチ 430 およびシャッターボタン 440 を有しており、この表示部 420 が上記表示装置に相当する。

【0052】

(適用例 3)

図 17 は、ノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 510、文字等の入力操作のためのキーボード 520 および画像を表示する表示部 530 を有しており、この表示部 530 が上記表示装置に相当する。

【0053】

(適用例 4)

図 18 は、ビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 610、この本体部 610 の前方側面に設けられた被写体撮影用のレンズ 620、撮影時のスタート/ストップスイッチ 630 および表示部 640 を有している。この表示部 640 が上記表示装置に相当する。

【0054】

(適用例 5)

図 19 は、携帯電話機の外観を表したものである。この携帯電話機は、例えば上側筐体 710 と下側筐体 720 とを連結部（ヒンジ部）730 で連結したものであり、ディスプレイ 740、サブディスプレイ 750、ピクチャーライト 760 およびカメラ 770 を有している。そして、これらのうちのディスプレイ 740 またはサブディスプレイ 750 が、上記表示装置に相当する。

【0055】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、ゲート絶縁膜をシリコン酸化膜からなる単層膜としたが、これに限らずシリコン酸化膜とシリコン窒化膜との 2 層膜や低密度の酸化アルミニウムをシリコン酸化膜またはシリコン窒化膜で挟持した 3 層膜や 4 層以上を積層した構造であってもよい。

【符号の説明】

【0056】

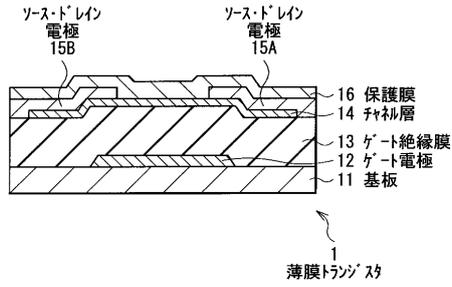
1, 2 ... 薄膜トランジスタ、11 ... 基板、12 ... ゲート電極、13 ... ゲート絶縁膜、14 ... チャンネル層、15A, 15B ... ソース・ドレイン電極、16 ... 保護膜。

10

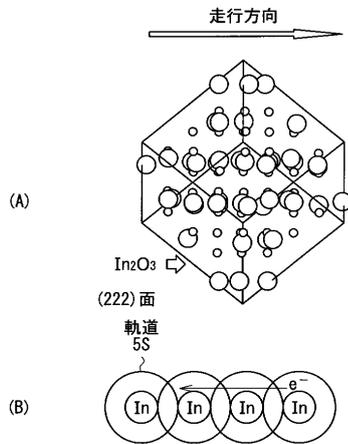
20

30

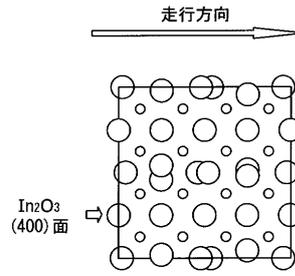
【 図 1 】



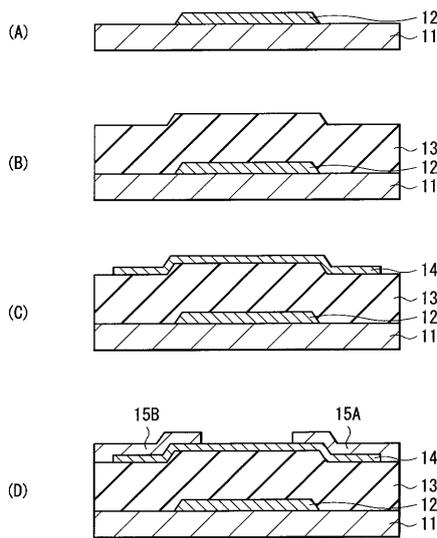
【 図 2 】



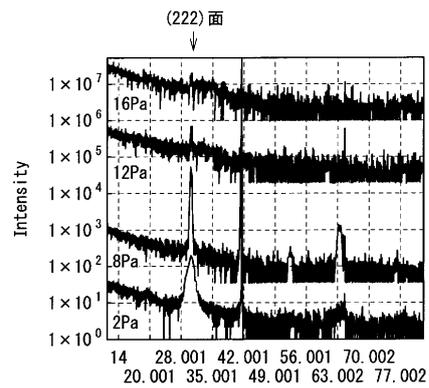
【 図 3 】



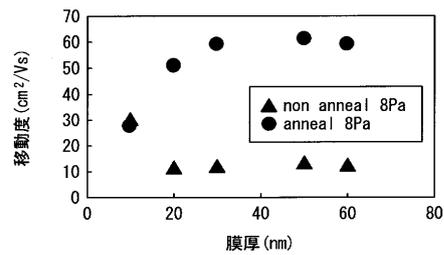
【 図 4 】



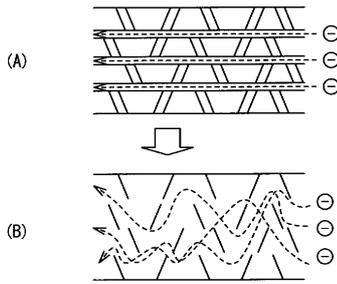
【 図 5 】



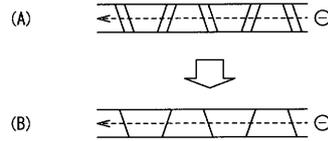
【 図 6 】



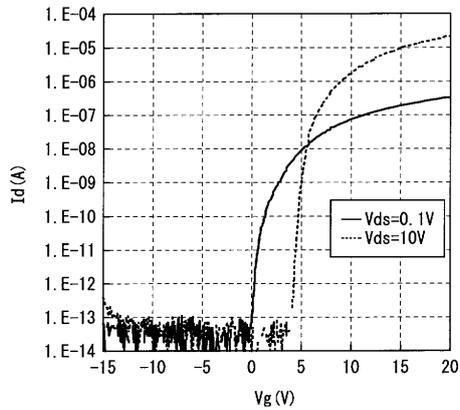
【 図 7 】



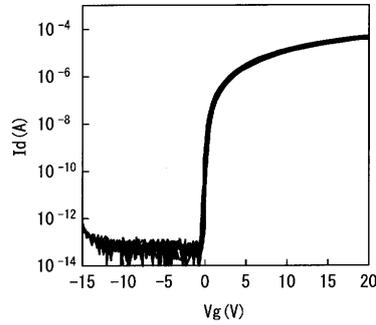
【 図 9 】



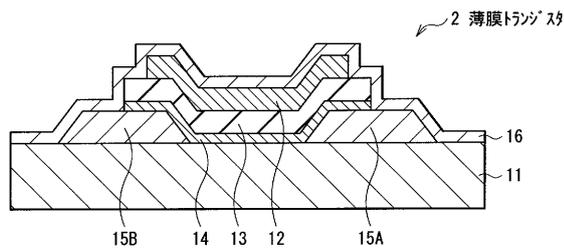
【 図 8 】



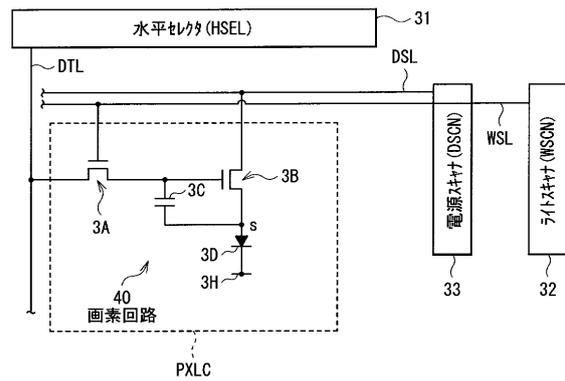
【 図 10 】



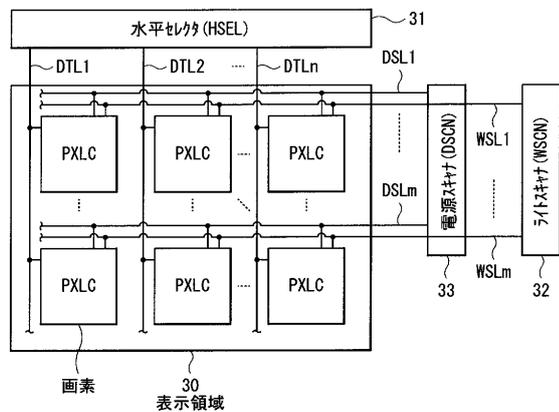
【 図 11 】



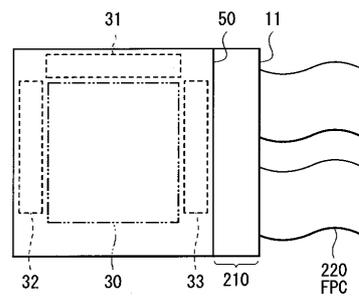
【 図 13 】



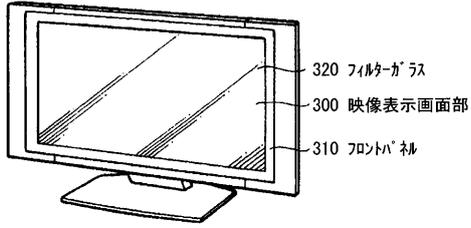
【 図 12 】



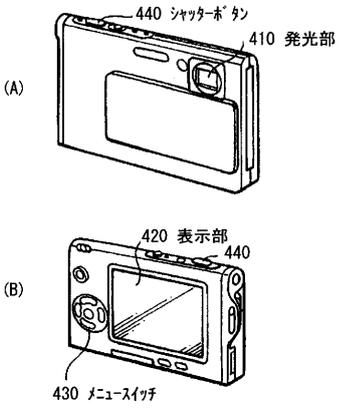
【 図 14 】



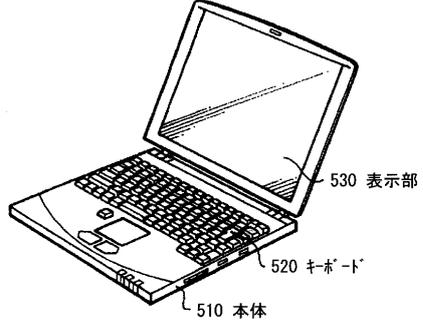
【図15】



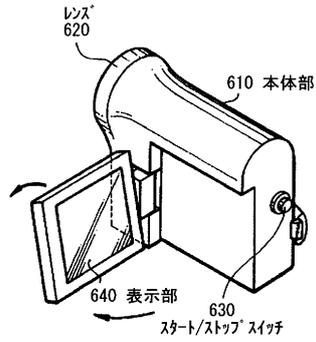
【図16】



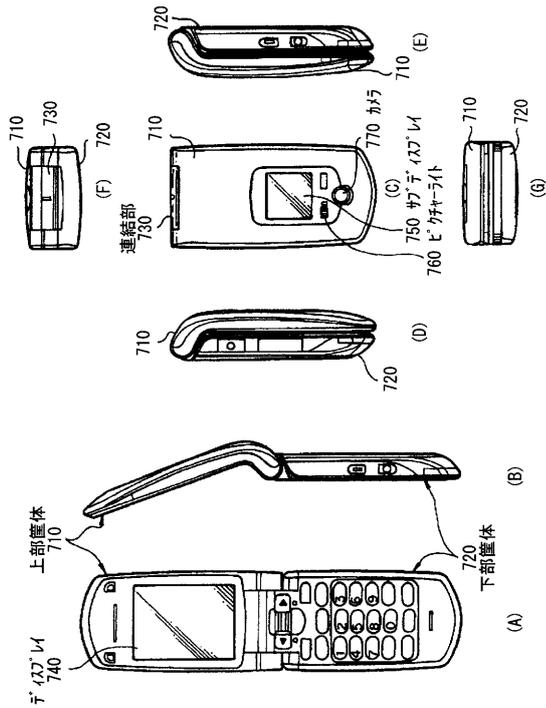
【図17】



【図18】



【図19】



フロントページの続き

Fターム(参考) 5F110 AA01 BB01 CC05 CC07 DD02 EE03 EE04 EE06 EE44 FF02
FF03 FF04 FF30 GG01 GG13 GG16 GG17 GG25 GG33 GG42
GG43 GG58 HK01 HK02 HK03 HK04 HK07 HK21 HK22 HK33
NN03 NN04 NN22 NN23 NN33 NN34 NN71 NN73