

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5331427号
(P5331427)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 16 (全 21 頁)

(21) 出願番号	特願2008-249496 (P2008-249496)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成20年9月29日(2008.9.29)	(74) 代理人	100100310 弁理士 井上 学
(65) 公開番号	特開2010-80802 (P2010-80802A)	(74) 代理人	100098660 弁理士 戸田 裕二
(43) 公開日	平成22年4月8日(2010.4.8)	(72) 発明者	伊藤 潔人 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
審査請求日	平成23年3月11日(2011.3.11)	(72) 発明者	佐園 真 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

パッケージ基板と、

前記パッケージ基板に接続され、前記パッケージ基板を介して通信を行うための外部通信回路と、第1通信部とを有する第1LSIと、

前記第1LSIの上方に設けられ、複数の第1ビット線及び複数の第1ワード線の交点に設けられた複数の第1メモリセルを具備する第1記憶装置と、前記第1記憶装置に隣接して形成された第1貫通孔と、第2通信部とを有する第2LSIと、

前記第1LSIの上方に設けられ、前記第2通信部と通信を行うための第3通信部と、前記第1通信部と通信を行うための第4通信部と、第1演算処理部と、前記第1演算処理部に隣接して形成された第2貫通孔とを有する第3LSIと、

前記第2LSIの上方及び前記第3LSIの上方に設けられ、複数の第2ビット線及び複数の第2ワード線の交点に設けられた複数の第2メモリセルを具備する第2記憶装置と、第5通信部とを有する第4LSIと、

前記第2LSIの上方及び前記第3LSIの上方に設けられ、前記第5通信部と通信を行うための第6通信部と、前記第1通信部と通信を行うための第7通信部と、第2演算処理部とを有する第5LSIと、

前記第2LSIに形成された前記第1貫通孔と、前記第3LSIに形成された前記第2貫通孔とを介して設けられ、前記第1通信部、第4通信部及び第7通信部を電氣的に接続するための第1貫通電極を有することを特徴とする半導体装置。

10

20

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 2 LSI と前記第 3 LSI との間で、前記第 2 通信部及び前記第 3 通信部を用いて通信を行う第 1 期間の間に、前記第 4 LSI と前記第 5 LSI との間で、前記第 5 通信部及び前記第 6 通信部を用いて通信を行うことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 2 通信部と前記第 3 通信部とを接続するための第 1 パンプと、

前記第 5 通信部と前記第 6 通信部とを接続するための第 2 パンプとをさらに有することを特徴とする半導体装置。

10

【請求項 4】

請求項 1 記載の半導体装置において、

前記第 2 LSI は、回路を構成される面が前記第 3 LSI を向くように設けられ、

前記第 3 LSI は、回路を構成される面が前記第 2 LSI を向くように構成され、

前記第 4 LSI は、回路を構成される面が前記第 5 LSI を向くように構成され、

前記第 5 LSI は、回路を構成される面が前記第 4 LSI を向くように構成されることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 1 LSI、第 2 LSI、第 3 LSI、第 4 LSI 及び第 5 LSI を貫通して設けられ、前記第 1 LSI、第 2 LSI、第 3 LSI、第 4 LSI 及び第 5 LSI に第 1 電源を供給するための第 2 貫通電極をさらに有することを特徴とする半導体装置。

20

【請求項 6】

請求項 5 記載の半導体装置において、

前記第 2 LSI 及び前記第 3 LSI を貫通して設けられ、前記第 2 LSI 及び前記第 4 LSI に第 2 電源を供給するための第 3 貫通電極をさらに有することを特徴とする半導体装置。

【請求項 7】

請求項 5 記載の半導体装置において、

前記第 2 LSI、第 3 LSI 及び第 4 LSI を貫通して設けられ、前記第 3 LSI 及び前記第 5 LSI に第 3 電源を供給するための第 4 貫通電極をさらに有することを特徴とする半導体装置。

30

【請求項 8】

請求項 5 記載の半導体装置において、

前記第 2 通信部及び前記第 3 通信部と接続される第 5 貫通電極と、前記第 5 通信部及び前記第 6 通信部と接続される第 6 貫通電極とをさらに有し、

前記第 5 貫通電極は、前記第 2 LSI 及び前記第 3 LSI に第 2 電源を供給し、

前記第 6 貫通電極は、前記第 4 LSI 及び前記第 5 LSI に第 3 電源を供給することを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

前記第 2 通信部と前記第 3 通信部との間の通信は、無線通信で行われ、

前記第 4 通信部と前記第 5 通信部との間の通信は、無線通信で行われることを特徴とする半導体装置。

40

【請求項 10】

請求項 1 記載の半導体装置において、

前記パッケージ基板と前記第 3 LSI とを接続するための第 1 ボンディングワイヤと、

前記パッケージ基板と前記第 5 LSI とを接続するための第 2 ボンディングワイヤとをさらに有し、

前記第 1 ボンディングワイヤを介して、前記第 3 LSI に第 1 電源が供給され、

前記第 2 ボンディングワイヤを介して、前記第 5 LSI に第 2 電源が供給されることを特徴とする半導体装置。

50

【請求項 1 1】

請求項 1 記載の半導体装置において、

前記第 1 L S I の上方に設けられ、複数の第 3 ビット線及び複数の第 1 ワード線の交点に設けられた複数の第 3 メモリセルを具備する第 3 記憶装置と、前記第 3 通信部と通信するための第 8 通信部とを具備する第 6 L S I をさらに有することを特徴とする半導体装置。

【請求項 1 2】

請求項 1 1 記載の半導体装置において、

前記第 2 通信部は、前記第 2 L S I を示す第 1 識別子を記憶するための第 4 記憶装置を有し、

前記第 8 通信部は、前記第 6 L S I を示す第 2 識別子を記憶するための第 5 記憶装置を有し、

前記第 3 L S I が前記第 2 L S I に対して第 1 データのデータ転送を要求する場合は、前記第 1 データに対応する要求信号である第 1 要求信号は、前記第 1 識別子を含み、

前記第 3 L S I が前記第 6 L S I に対して第 2 データのデータ転送を要求する場合は、前記第 2 データに対応する要求信号である第 2 要求信号は、前記第 2 識別子を含むことを特徴とする半導体装置。

【請求項 1 3】

請求項 1 記載の半導体装置において、

前記第 6 通信部は、前記第 3 通信部との間の通信をさらに行うことを特徴とする半導体装置。

【請求項 1 4】

請求項 1 記載の半導体装置において、

前記第 4 通信部は、前記第 3 L S I を示す第 3 識別子を記憶するための第 6 記憶装置を有し、

前記第 7 通信部は、前記第 5 L S I を示す第 4 識別子を記憶するための第 7 記憶装置を有し、

前記第 3 L S I が前記第 5 L S I に対して第 3 データのデータ転送を要求する場合は、前記第 3 データに対応する要求信号である第 3 要求信号は、前記第 3 識別子を含み、

前記第 5 L S I が前記第 3 L S I に対して第 4 データのデータ転送を要求する場合は、前記第 4 データに対応する要求信号である第 4 要求信号は、前記第 4 識別子を含むことを特徴とする半導体装置。

【請求項 1 5】

請求項 1 記載の半導体装置において、

前記第 2 通信部は、前記第 3 通信部以外の通信部とは通信を行わず、

前記第 3 通信部は、前記第 2 通信部以外の通信部とは通信を行わず、

前記第 5 通信部は、前記第 6 通信部以外の通信部とは通信を行わず、

前記第 6 通信部は、前記第 5 通信部以外の通信部とは通信を行わないことを特徴とする半導体装置。

【請求項 1 6】

請求項 1 記載の半導体装置において、

前記第 1 通信部は、前記第 4 通信部及び前記第 7 通信部と通信を行う際の、調停機能を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、L S I を複数積層した半導体装置に関する。

【背景技術】

【0002】

従来、L S I の性能向上および機能向上は、微細化加工技術の進展によって、より多く

10

20

30

40

50

のトランジスタを1チップ上に集積することで達成されてきた。

しかしながら、微細化の限界や、最先端プロセスの利用コストが増大などの影響で、今後はこれまでのような1チップ上への集積化による性能向上が必ずしも最適解ではなくなる。そこで、複数のLSIを積層することによる3次元方向の集積が有望な技術となる。このとき、積層されるLSI間の通信や積層されたLSI群と外部との通信技術が重要となる。この通信方式として、マイクロバンプや貫通ビアなどによる有線方式や、無線方式が検討されている。

【0003】

昨今のメディア処理や、ネットワーク処理においては、CPUなどを含むプロセッサLSIとメモリLSI間のデータ転送量は年々増加しており、その間の通信量の向上と通信にかかる電力の削減が求められている。そこで、これらのLSIを積層し通信距離を削減する方法が考えられている。特許文献1では、不揮発性メモリ内蔵プロセッサLSIと不揮発性メモリLSIと揮発性のメモリLSIの3つのLSIを互いに積層した構成について言及しており、トータルの記憶容量を増大させ、更に、より高速な動作を可能としている。

10

【0004】

【特許文献1】特開2002-231880号

【発明の開示】

【発明が解決しようとする課題】

【0005】

20

上述の背景技術に対し、我々は更なる性能向上、低消費電力化、スペース効率向上を達成するには、複数のメモリLSIに加えて、複数のプロセッサLSIも合わせて積層することが有効と考える。

【0006】

しかし、本発明出願人は、積層枚数が増加すると、積層方向通信といえども通信距離が増大し、積層したLSI間で複数層にまたがって頻繁にデータの通信が行われると、システム全体の電力と速度性能が悪化するという課題を発見した。

【0007】

しかしながら、これらの課題に対する解決手段は、前述の特許文献1からも発見されなかった。

30

【課題を解決するための手段】

【0008】

上述の課題を解決するために、本願によって開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0009】

すなわち、半導体装置であって、パッケージ基板に接続され、パッケージ基板を介して通信を行うための外部通信回路と、第1通信部とを有する第1LSIと、第1LSIの上方に設けられ、複数の第1ビット線及び複数の第1ワード線の交点に設けられた複数の第1メモリセルを具備する第1記憶装置と、第2通信部とを有する第2LSIと、第1LSIの上方に設けられ、第2通信部と通信を行うための第3通信部と、第1通信部と通信を行うための第4通信部とを有し、演算処理を行うための第3LSIと、第2LSIの上方及び第3LSIの上方に設けられ、複数の第2ビット線及び複数の第2ワード線の交点に設けられた複数の第2メモリセルを具備する第2記憶装置と、第5通信部とを有する第4LSIと、第2LSIの上方及び第3LSIの上方に設けられ、第5通信部と通信を行うための第6通信部と、第1通信部と通信を行うための第7通信部とを有し、演算処理を行うための第5LSIとを有することを特徴とする。

40

【発明の効果】

【0010】

本発明によれば、積層実装されたLSI群において、システム全体の低消費電力化および速度性能向上が可能となる。

50

【発明を実施するための最良の形態】

【0011】

以下、本発明に係る半導体装置の具体的な実施の形態を図面に基づいて詳細に説明する。

【実施例1】

【0012】

(構成)

図1は、本発明による第1の実施形態に係る半導体装置の積層断面図である。本形態においては、データの記憶を行うメモリが搭載されたメモリLSI200と演算器を搭載した演算LSI100とが、それぞれ回路が配置される面を向かい合わせる形で積層される。演算LSI100上の電極パッド12とメモリLSI200上の電極パッド13がマイクロポンプ14により電氣的に接続される。このような演算LSI100とメモリLSI200の組が2組、すなわち演算LSI100aとメモリLSI200aとの組と、演算LSI100bとメモリLSI200bとの組とが、積層されている。そして、その下層に外部通信LSI300が積層され、これらがパッケージ基板400の上に積層されている。また、本形態においては、各LSIに電源を供給する電源用シリコン貫通電極10と、それぞれの演算LSI100a、100bと外部通信LSI300とを電氣的に接続する信号用シリコン貫通電極11とが具備される。なお、信号用貫通電極11は、メモリLSI200a、bにおいては上下面の接続のみを実現し、メモリLSI200a、b内の回路と電氣的な接続はない。ここで、シリコン貫通電極とは基板シリコンに垂直方向に孔を開け、その孔に導電物質を注入したものであり、これにより積層されたLSI間を電氣的に接続する。また、積層される各LSIの層間には絶縁性部材20が挿入されている。

【0013】

演算LSI100は、CPUなどの汎用プロセッサや、グラフィックス・アクセラレータなどの専用プロセッサや、加算器や乗算器などの演算回路を多数並べてその間をスイッチ回路で接続した動的再構成可能プロセッサや、FPGAなどを搭載するLSIが該当する。

【0014】

メモリLSI200は、DRAMやSRAM、フラッシュメモリや磁性体メモリなどの、メモセルを有する記憶装置を搭載するLSIが該当する。

【0015】

外部通信LSI300は、この積層LSIシステム外のシステム基板との間で高速な有線通信を行う回路を備え、積層LSI外部との通信は、この外部通信LSIを介して行う。外部通信LSIは、回路・配線面をパッケージ基板側に向けたフリップ接続をされる。

【0016】

以上で詳述した通り、実施例1に係る発明は、基板の上方に外部通信LSIを積層し、さらに上方に、演算LSIとメモリLSIの組を積層する。それぞれの組において、演算LSI及びメモリLSIは、互いに通信を行うための通信部をそれぞれ有する。さらに、外部通信LSI及び演算LSIは、互いに通信を行うための通信部をそれぞれ有する。このような順序でLSIを積層し、組をなす演算LSIとメモリLSIの間の通信部による通信経路（以下、「組LSI間通信経路」と略す）及び外部通信LSIと各演算LSIの間の通信部による通信経路（以下、「全体通信経路」と略す）の2種の通信経路を設けるという特徴により、以下に述べる効果がある。ここで、各LSIの通信部の詳細については後述する。また、図1では演算LSIの上方にメモリLSIを積層する配置としているが、演算LSIとメモリLSIの上下関係については限定されず、演算LSIとメモリLSIからなる組を複数積層する構成となっていれば良い。

【0017】

上述の、全体通信経路に加えて組LSI間通信経路を設ける構成により、組LSI間通信経路のための通信部は、全て組となる演算LSIとメモリLSIとの間で用いることが可能となる。そのため、組の間での通信のスループットを向上することが可能となる。

【 0 0 1 8 】

さらに、組となる演算LSIとメモリLSIは、それぞれ回路を構成される面が組をなす相手方のLSIを向くように構成される。図1の実施例においては、演算LSI100a (100b)は、回路を配置した面がメモリLSI200a (200b)を向くように構成される。図1の実施例においては、組のそれぞれにおいて演算LSIがメモリLSIの下方に配置されているので、演算LSIの回路を配置する面は上向き(フェイスアップ)となる。メモリLSIはそれぞれこの逆となり、演算LSIを向くように構成されるので、回路を配置する面は下向き(フェイス・ダウン)となる。

【 0 0 1 9 】

このようなLSIの構成により、組となるLSI間での回路を配置された面が向かい合う配置となり、通信経路を最短にすることが可能となる。すなわち、通信経路おける配線長が減少し、寄生容量と寄生抵抗を小さなものに抑えられる。従って、演算時に主として行われる演算LSIとメモリLSI間のデータの通信において電力と遅延を抑制することが可能となり、システム全体の低消費電力化及び速度性能向上する。この通信方式の詳細については後述する。なお、上向き下向きは上記の例に限定されず、演算LSIとメモリLSIの位置関係が逆になれば、面の向きも逆となりうることは言うまでもない。

【 0 0 2 0 】

これらの効果は、処理対象となるデータが任意の処理単位に分割可能であり、処理単位となるデータが相互に依存することなく単独のメモリLSI上の記憶装置に記憶できるアプリケーションを実行する場合において特に好適である。このようなアプリケーションとして、画像処理やインフラネットワークにおける通信パケット処理などがあげられる。

【 0 0 2 1 】

(通信)

次に、本実施の形態における各LSI間およびパッケージ外部との通信の経路について説明する。

【 0 0 2 2 】

また、ここでいう通信とは、狭義の通信ではなく、リセット信号や、端子設定などの初期値信号や、LSIの識別信号なども含め、電源以外の全ての情報の入出力をさす。

【 0 0 2 3 】

演算LSI100aと演算LSI100b間の通信や、演算LSI100aもしくは演算LSI100bと外部通信LSI300の通信は、信号用シリコン貫通電極11を介して行われる。組を成す演算LSI100とメモリLSI200との通信、例えば図1における演算LSI100bとメモリLSI200bとの間の通信は、電極パッド12と、マイクロバンプ14と、電極パッド13を介す。一方、ある演算LSI100とそれと異なる組にあるメモリLSI200との間の通信、例えば図1において演算LSI100aからメモリLSI200bへの通信は、信号用シリコン貫通電極11と、演算LSI100b内の回路および配線と、電極パッド12と、マイクロバンプ14と、電極パッド13とを介す。またメモリLSI200bから演算LSI100aへの通信は、逆の経路を介す。演算LSI100とパッケージ外部との通信は、信号用シリコン貫通電極11と、外部通信LSI300内の回路および配線と、パッケージ基板400内の配線を介す。

【 0 0 2 4 】

外部通信LSI300とメモリLSI200間の通信、例えば外部通信LSI300とメモリLSI200bとの通信は、信号用シリコン貫通電極11と、演算LSI100b内の回路および配線と、電極パッド12と、マイクロバンプ14と、電極パッド13とを介す。外部通信LSI300とパッケージ外部との通信は、パッケージ基板400内の配線を介す。

メモリLSI200とパッケージ外部との通信、例えばメモリLSI200bとパッケージ外部との通信は、電極パッド13と、マイクロバンプ14と、電極パッド12と、演算LSI100b内の回路および配線と、信号用シリコン貫通電極11と、外部通信LSI300の内の回路および配線と、パッケージ基板400内の配線を介す。

10

20

30

40

50

【 0 0 2 5 】

このように、図 1 に記載の発明は、ひとつの半導体パッケージ内に、演算 L S I 1 0 0 とメモリ L S I 2 0 0 との組が少なくとも 2 組以上積層され、かつ同一組の演算 L S I 1 0 0 とメモリ L S I 2 0 0 とは鉛直方向に隣接して積層され、同一組の演算 L S I 1 0 0 とメモリ L S I 2 0 0 との間の通信はそれぞれの間に具備される専用のマイクロバンプを介して行われ、演算 L S I 1 0 0 間の通信や演算 L S I 1 0 0 と外部通信 L S I 3 0 0 との通信は全ての L S I を貫通する信号用シリコン貫通電極 1 1 を介して行われることを特徴とする。

【 0 0 2 6 】

従って、演算 L S I 1 0 0 が組となったメモリ L S I 2 0 0 上の記憶情報を読み書きする場合、電気的に駆動される部位を L S I 間のマイクロバンプ 1 4 のみに限定することができ、信号用シリコン貫通電極 1 1 を駆動する必要がない。従って、外部通信 L S I 3 0 0 や異なる組の演算 L S I 1 0 0 にアクセスする場合に比べて、低電力かつ高速な動作が可能となる。

10

【 0 0 2 7 】

また、それぞれの組で演算 L S I 1 0 0 とメモリ L S I 2 0 0 との間の通信は並行して行えるため、信号用シリコン貫通電極 1 1 のみが設けられている場合に比べてパッケージ全体の通信量を増大することが可能となる。

【 0 0 2 8 】

それぞれの組の間での接続はマイクロバンプで行うことにより、配線長を最短として、頻繁にアクセスする組の間での配線を、低抵抗及び低寄生容量で行うことが可能となる。

20

【 0 0 2 9 】

電源用シリコン貫通電極 1 0 は、積層された L S I 群へ共通の電源供給するための貫通電極である。電源は、パッケージ外部からパッケージ基板、外部通信 L S I 3 0 0、電源用シリコン貫通電極 1 0 を介して、積層される各 L S I 上の電源ラインに接続される。このように、全ての L S I に電源を供給するための電源用シリコン貫通電極を設けることで、各 L S I への電源供給が簡易な構成にて実現できる。

【 0 0 3 0 】

なお、図 1 においては全ての L S I で共通の電源を使う場合を示しているが、本発明はこれに限るものではない。図 1 には図示しないが、一部の L S I だけを貫通させ、特定の L S I にのみ電源を供給するためのシリコン貫通電極を設けることもできる。例えば、演算 L S I 1 0 0 だけに高電源が必要となる場合や、メモリ L S I だけに高電源が必要となる場合は、他の L S I を貫通し演算 L S I 1 0 0 内の電源ラインにのみ接続される電源用貫通電極を別に設けても良い。あるいは、組となる演算 L S I とメモリ L S I の間での給電を行うためのシリコン貫通電極を、それぞれの組に設ける構成としても良い。

30

【 0 0 3 1 】

このような、特定の L S I に対し電源を供給するための経路を別途設ける構成により、高電源を特定の L S I に選択的に供給することが可能となる。また、特に演算負荷の重い L S I に対して別途電源供給の経路を設けることにより、より安定した演算動作を可能とする。さらに、演算を行わない L S I に対しては一時的に電源供給を停止するような制御により、省電力を実現することも可能である。

40

【 0 0 3 2 】

(動作)

このシステムの典型的動作として、処理対象となるデータを任意の処理単位に分割することが可能なアプリケーションを実行する場合を説明する。まず、外部通信 L S I 3 0 0 が、それぞれの処理単位が異なるメモリ L S I 2 0 0 へ分散するように、データをメモリ L S I 2 0 0 に読み込む。これらのデータに対して、それぞれの演算 L S I 1 0 0 が演算処理などを行う。処理単位となるデータが相互に依存することがなければ、それぞれの演算 L S I 1 0 0 は主として組を成すメモリ L S I 2 0 0 にのみアクセスする。処理が完了したら、外部通信 L S I 3 0 0 が処理結果をメモリ L S I 2 0 0 から処理結果を読み出し、

50

その結果をパッケージ外部に出力する。

【 0 0 3 3 】

(各チップの構成)

図2は、演算LSI100の一実施の形態を示す平面図であり、図1における積層断面に対応する直線をA-A'で示している。図2において、演算LSI100は、演算を行うプロセッシング・ユニット101と、割込み制御やクロック制御やタイマなどを含む周辺回路ブロック102と、データ転送ブロック103と、組を成すメモリLSI200へのメモリアクセスを制御する3次元メモリアクセスコントローラ104と、積層される別の演算LSIもしくは外部通信LSIと通信を行うためのLSI間通信インタフェース105と、演算LSI100内のブロック間を接続するオンチップ・インタコネク106と、オンチップ・インタコネク106の間やLSI間通信インタフェース105との間を接続するオンチップ・インタコネク・ブリッジ107と、メモリLSI200との通信用のメモリアクセス用電極パッド群108と、積層される別の演算LSIもしくは外部通信LSIと通信を行うためのLSI間通信用貫通電極群109とを備える。また、演算LSI100の外周に沿って、図1で示した電源供給用のシリコン貫通電極10を複数備える。

10

【 0 0 3 4 】

前述の、全体通信経路及び組LSI間通信経路との対応関係においては、3次元メモリアクセスコントローラ104が組LSI間通信経路に対応する通信部となり、後述の図3におけるメモリLSIの通信部である3次元メモリインタフェース202との間の通信を行う。また、LSI間通信インタフェース105が全体通信経路に対応する通信部となり、他の演算LSIのLSI間通信インタフェース105又は外部通信LSIの通信部であるLSI間通信インタフェース306との間の通信を行う。

20

【 0 0 3 5 】

図2においては、全体通信経路としてシリコン貫通電極11を用いて、組LSI間通信経路としてマイクロバンプ14を用いた実施例として説明しているが、他の通信方式(無線通信、ワイヤボンディング等、後述する)においても通信部の構成については同様の構成とすることができる。以上の説明は、図3のメモリLSI及び図4の外部通信LSIにおいても同様である。

【 0 0 3 6 】

メモリアクセス用電極パッド群108内部には、図1に示された電極パッド12を複数備え、マイクロバンプ14を介して接続されたメモリLSI200との通信に用いられる。演算LSI100内部のプロセッシング・ユニット101やデータ転送ブロック103などから、組を成すメモリLSI200内の記憶領域に読出し/書込み要求が発生すると、その要求がオンチップ・インタコネク106もしくはオンチップ・インタコネク・ブリッジ107を介して2次元メモリアクセスコントローラ104に到着し、3次元メモリアクセスコントローラ104はその要求に基づきメモリアクセス用電極パッド群108を介して組を成すメモリLSI200にデータの読出し/書込み要求を出力する。そして、この要求に対するメモリLSIからの返答データを、メモリアクセス用電極パッド群108を解して3次元メモリアクセスコントローラ104が受信し、メモリアクセスコントローラ104は、その情報をオンチップ・インタコネク106もしくはオンチップ・インタコネク・ブリッジ107を介して要求を行ったプロセッシング・ユニット101やデータ転送ブロック103に出力する。

30

40

【 0 0 3 7 】

LSI間通信用貫通電極群109内部には、図1で示した信号用シリコン貫通電極11を複数備え、積層する別の演算LSI100や外部通信LSI300と通信をするために用いられる。演算LSI100内部のプロセッシング・ユニット101やデータ転送ブロック103などから、別の演算LSI100や外部通信LSI300や別の演算LSI100と組を成すメモリLSI200にデータの転送要求が発生すると、その要求がオンチップ・インタコネク106およびオンチップ・インタコネク・ブリッジ107を介してLSI間通信インタフェース105に到着し、LSI間通信インタフェース105は、その情報を

50

LSI間通信用貫通電極群109に出力する。この要求に対して、別の演算LSI100や外部通信LSI300や別の演算LSI100と組を成すメモリLSI200から返答があると、LSI間通信インタフェース105は、その情報をオンチップ・インタコネクト・ブリッジ107とオンチップ・インタコネクト106を介して要求を行ったプロセッシング・ユニット101やデータ転送ブロック103に出力する。

【0038】

一方、別の演算LSI100もしくは外部通信LSI300から、この演算LSI100と組を成すメモリLSI200の記憶領域に読出し/書込み要求が発生すると、LSI間通信インタフェース105は、LSI間通信用貫通電極群109を介してこの要求を受信し、オンチップ・インタコネクト・ブリッジ107とオンチップ・インタコネクト106を介して、メモリアクセスコントローラ104に要求を送信する。3次元メモリアクセスコントローラ104は、その要求に基づきメモリアクセス用電極パッド群108を介して組を成すメモリLSI200にデータの読出し/書込み要求を出力する。そして、この要求に対するメモリLSIからの返答データを、メモリアクセス用電極パッド群108を解して2次元メモリアクセスコントローラ104が受信し、3次元メモリアクセスコントローラ104は、その情報をオンチップ・インタコネクト106およびオンチップ・インタコネクト・ブリッジ107を介してLSI間通信インタフェース105に送信し、LSI間通信インタフェースは、その情報を、LSI間通信用貫通電極群109を介して要求を行った別の演算LSI100もしくは外部通信LSI300に出力する。

【0039】

このように、本実施の形態において、本演算LSI100と組を成すメモリLSI200の記憶領域に対するデータの読出し/書込み要求は、全て本演算LSI100内部のオンチップ・インタコネクト106もしくはオンチップ・インタコネクト・ブリッジ107にて調停を行うことが可能となる。即ち、従来の一チップ内で用いられていたアクセス調停回路をそのまま流用することが可能であり、積層チップ専用のメモリアクセス調停回路を設ける必要がない点を特徴とする。

【0040】

なお、図1における演算LSI100aと演算LSI100bとは、全く同じレイアウトを用いることが出来る。この場合、図2において、LSI間通信インタフェース105に、LSIを区別するための識別子LSIIDを記憶させておく。他の演算LSI100との間でデータを送受信するときに、送信元や受信先のLSIを特定する情報として、前記LSIIDをアドレスの一部に埋め込むことなどをして要求情報に含める。この識別子LSIIDを与える方法として、LSI内に不揮発メモリデバイスを集積し、積層組み立て時にこの不揮発メモリデバイスにLSIIDの値を書き込む方法などがある。

【0041】

図3は、メモリLSI200の一実施の形態を示す平面図であり、図1における積層断面に対応する直線をB-B'で示している。図3において、メモリLSI200は、メモリアレイを含む記憶部201と、組を成す演算LSIからのメモリアクセス通信を制御する3次元メモリインタフェース202と、組を成す演算LSI100からのメモリアクセス通信用のメモリアクセス用電極パッド群203と、LSI間通信用貫通電極群204とを備える。また、メモリLSI200の外周に沿って、図1で示した電源供給用のシリコン貫通電極10を複数備える。

【0042】

メモリアクセス用電極パッド群203内部には、図1で示した電極パッド13を複数備え、組を成す演算LSI100との通信に用いられる。3次元メモリインタフェース202は、組を成す演算LSI100からの記憶領域への読出し/書込み要求を、メモリアクセス用電極パッド群203を介して受信し、その要求に従って接続される記憶部201への読出し/書込みを行い、読出し要求の場合は読み出したデータを含む返答情報を、メモリアクセス用電極パッドを介して演算LSI100に出力する。

【0043】

10

20

30

40

50

LSI間通信用貫通電極群204内部には、図1で示した信号用シリコン貫通電極11を複数備える。なお、ここでシリコン貫通電極11は、電極がLSI基板を貫通するのみであり、メモリLSI200上に配置される回路との電気的な接続はない。

【0044】

前述の全体通信経路及び組LSI間通信経路との対応関係においては、3次元メモリインタフェース202が組LSI間通信経路に対応する通信部となり、前述の演算LSIにおける3次元メモリアクセスコントローラとの間で通信を行う。全体通信経路に対応する通信部は、本実施例では設けておらず、全体通信に関しては演算LSIを介した通信を行う。

【0045】

図4は、外部通信LSI300の一実施の形態を示す平面図であり、図1における積層断面に対応する直線をC-C'で示している。図4において、外部通信LSI300は、積層パッケージ外部の部品との間で高速な通信を行うための外部高速通信インタフェースブロック301と、外部高速通信インタフェースブロック301を制御する外部高速通信制御回路ブロック302と、外部高速通信制御回路ブロック302を制御するための小型のコントローラマイコン303と、パッケージ全体のクロック制御部や電源制御部などを含む周辺回路ブロック304と、積層される別の演算LSI100と通信を行うためのLSI間通信インタフェース305と、演算LSI100間の通信や演算LSI100と通信LSI300間の通信を調停するLSI間通信調停回路ブロック306と、積層される別の演算LSIと通信を行うためのLSI間通信用貫通電極群307と、オンチップのブロック間を接続するオンチップ・インタコネクタ308と、オンチップ・インタコネクタ308と積層する別LSIとの通信をブリッジするオンチップ・インタコネクタ・ブリッジ309とを備える。また、外部通信LSI300の外周に沿って、図1で示した電源供給用のシリコン貫通電極10を複数備える。

【0046】

外部高速通信制御回路ブロック302は、内蔵レジスタに指定されたアドレス領域間でのデータ転送を行うDMAブロック310を含む。

【0047】

また、コントローラマイコン303は、演算LSIとの通信を行うプログラムや、外部高速通信制御回路ブロック302のレジスタの設定を行うプログラムなど、積層された他のLSIやパッケージ外部との通信に関わる処理を実行する。

【0048】

LSI間通信用貫通電極群307内部には、図1で示した信号用シリコン貫通電極11を複数備え、積層する別LSIとの通信をするために用いられる。ここで、信号用シリコン貫通電極11は、上述のように積層する全ての演算LSI100と外部通信LSI300とで共有される通信経路である。従って、ある時点でどのLSIが通信のために使用するか調停を行う必要があり、外部通信LSI300内にその調停のためのLSI間通信調停回路ブロック306を備える。

【0049】

本実施の形態において、演算LSI100が信号用シリコン貫通電極11を使用して通信を行う場合、演算LSI100は、通信に先立って全体通信経路の使用要求を、各チップ固有に備える調停信号用貫通電極を介して外部通信LSI300内のLSI間通信調停回路ブロック306に通知し、LSI間通信調停回路ブロック306は使用要求に応じて適切に全体通信経路使用権を各演算LSI100に調停信号用貫通電極を介して分配することで調停を行う。なお、前記調停信号用貫通電極は、LSI間通信用貫通電極群109、307内の信号用シリコン貫通電極11に含まれている。

【0050】

一方、外部通信LSI300内の外部高速通信制御回路ブロック302などが演算LSI100もしくはメモリLSI200に対してデータの読出し/書込み要求が発生すると、その要求がオンチップ・インタコネクタ308とオンチップ・インタコネクタ・ブリッジ309を介して、LSI間通信インタフェース305に到着する。LSI間通信インタフェー

10

20

30

40

50

ス305は、信号用シリコン貫通電極11を使用するための全体通信経路の使用要求を、LSI間通信調停回路ブロック306に通知する。LSI間通信調停回路ブロック306から、使用許可が通知されると、LSI間通信インタフェース305は、要求を、LSI間通信用貫通電極群109を介して対象の演算LSI100に要求を出力する。そして、対象の演算LSI100から、返答データを受け取り、オンチップ・インタコネク・ブリッジ309とオンチップ・インタコネク307を介して要求を行った外部高速制御回路ブロック302などに返答データを出力する。このように、調停機能を外部通信LSIのLSI間通信調停ブロック306に持たせることで、演算LSIに調停機能を設ける必要がなくなり、演算LSIの小面積化を実現できる。この効果は特に、複数の演算LSIを積層する場合において面積の面で有利となる。

10

【0051】

前述の全体通信経路及び組LSI間通信経路との対応関係においてはLSI間通信インタフェース305及びLSI間通信調停部306が、全体通信経路に対応する通信部に相当する。外部通信LSIは組LSIには含まれないので、当然、組LSI間通信経路に相当する通信部は無い。

【0052】

(タイミングチャート)

図5は、図2に示した演算LSI100aにおけるプロセッシング・ユニット101が、図1において演算LSI100aと組を成すメモリLSI200aにおける記憶部201に記憶されているデータを読み出す場合の動作シーケンスを示す図である。まず、プロセッシング・ユニット101は、データを読み出す命令とデータの記憶領域を示すアドレスを含む要求REQをオンチップ・インタコネク106に送出する。オンチップ・インタコネク106、要求REQに含まれるアドレス情報に基づき、対応する記憶領域を制御する3次元メモリアクセスコントローラ104に要求REQを転送する。なお、このとき対応する3次元メモリアクセスコントローラ104が、別のオンチップ・インタコネク106に接続されている場合は、オンチップ・インタコネク・ブリッジ107を介して、所定のオンチップ・インタコネク106に転送される。3次元メモリアクセスコントローラ104は、受信した要求REQに応じて、メモリアクセス用電極パッド108を介して組を成すメモリLSI200aの3次元メモリインタフェース202に一連のメモリアクセスコマンドとアドレスを出力する。図*1においては、記憶部201を活性化するACTコマンドと、それに続きデータの読出しを行うREADコマンドが送出されることが示されている。3次元メモリインタフェース202は、そのコマンドとアドレスに基づき記憶部201を制御する。そして、記憶部201所定のレイテンシ(3サイクル)を経た後にデータが3次元メモリインタフェース202より読み出され、メモリアクセス用電極パッド108を介して3次元メモリアクセスコントローラ104へ送信される。メモリアクセスコントローラ104は、受信した情報をオンチップ・インタコネク106に送出し、オンチップ・インタコネク106は要求REQを送出したプロセッシング・ユニット101に転送する。

20

30

【0053】

一方、図6は、図1に示した演算LSI100aにおけるプロセッシング・ユニット101が、図1において演算LSI100aと組を成さないメモリLSI200bにおける記憶部201に記憶されているデータを読み出す場合の動作を示す図である。まず、演算LSI100aにおけるプロセッシング・ユニット101は、データを読み出す命令とデータの記憶領域を示すアドレスを含む要求REQを演算LSI100aにおけるオンチップ・インタコネク106に送出する。オンチップ・インタコネク106、要求REQに含まれるアドレス情報に基づき、対応する記憶領域が別の演算LSIと組を成すメモリ上にあることが判別されると、要求REQを演算LSI100aにおけるオンチップ・インタコネク・ブリッジ107に転送する。演算LSI100aにおけるオンチップ・インタコネク・ブリッジ107は、LSI間通信調停要求ARBを、LSI間通信用貫通電極群109を介して、外部通信LSI300上にあるLSI間通信調停回路ブロック306に送出する。そして、演算LSI100aにおけるオンチップ・インタコネク・ブリッジ107は、LSI間通信調停回

40

50

路ブロック306からの使用許可通知を受け取ると、LSI間通信用貫通電極群109を介して、要求REQを、演算LSI100b上におけるオンチップ・インタコネク・ブリッジ107へ転送する。演算LSI100bにおけるオンチップ・インタコネク・ブリッジ107は、図5に示された動作シーケンスと同様の手順にて、演算LSI100bと組を成すメモリLSI200b上の記憶部201からデータを読み出し、要求REQを受信した手順と逆のフローで演算LSI100aにおけるオンチップ・インタコネク・ブリッジ107に、受信したデータを返送する。

【0054】

図5と図6とを対比すると、要求REQが対象のメモリに到達するのに要する時間も、組を成すLSI間ではT0からT3の3クロック、組を成さないLSI間ではT0からT7の7クロックとなる。同様に、メモリ読み出し完了後のレイテンシは、組を成すLSI間ではT6からT10の4クロック、組を成さないLSI間ではT10からT19の9クロックとなる。

10

【0055】

このように、組を成すLSI間で高速に通信を行うことができる理由は、組を成さないLSI間では必要となるチップ間通信が不要となり、それぞれの組のLSI間で行われるオンチップ通信が、一度で十分となるためである。

【0056】

以上の理由により、組を成す演算LSIとメモリLSIとの間での通信を高速に行うことが可能である。

20

【0057】

この特徴は、前述の通り、処理対象となるデータが任意の処理単位に分割可能であり、処理単位となるデータが相互に依存することなく単独のメモリLSIに記憶できる、画像処理やインフラネットワークなどのアプリケーションを実行する場合において特に好適である。

【0058】

なお、図6において、演算LSI100a、100bは、同一のクロック周波数および位相で動作しているが、必ずしもこれに限らない。演算LSI100a、100bが異なる周波数で動作する場合は、例えば演算LSI100におけるLSI間通信インタフェース105や、外部通信LSI300におけるLSI間通信インタフェース306に、クロック周波数及び位相差を吸収する回路を設けることで通信が可能となる。

30

【0059】

(変形例)

(外部通信LSI)

上述の第1の実施の形態では、パッケージ外部と通信を行うための専用の外部通信LSI300を具備しているが、本発明はこれに限るものではない。例えば、各演算LSI100にパッケージ外部と通信を行うためのインタフェースや制御回路ブロックを配置し、積層した演算LSI100のうち、最下部の演算LSI100をパッケージ基板400と接続する方法などがある。これは、演算LSI100内に外部通信用の回路を別途設けなければならない演算に必要な回路面積が減少する点で不利となるが、積層するLSI品種を減らすことでパッケージ全体の量産コストを削減できる点で有利である。

40

【0060】

(メモリの積層形態)

上述の第1の実施の形態では、メモリLSI200と演算LSI100は、互いに回路が配置されている面を向かい合わせるように積層すると説明したが、本発明はこれに限らず、次のように変更可能である。

【0061】

例えば、図7に示す例では、演算LSI100aの上層にメモリLSI200a-1とメモリLSI200a-2とを積層し、それをシリコン貫通電極15で電氣的に接続して組を構成する。同様に、演算LSI100bは、メモリLSI200b-1とメモリLSI

50

I 2 0 0 b - 2 と組を構成する。シリコン貫通電極 1 5 は、図 1 における電極パッド 1 2、1 3 およびマイクロポンプ 1 4 を置き換えるものであり、その他の L S I の構成は上述の第 1 の実施形態と同一である。

なお、図 5 において、全ての L S I は、回路を配置した面を下に向けて配置されているが（フェイス・ダウン）、回路を配置した面を上に向けて配置する面を上に向けて配置してもよい（フェイス・アップ）。

【 0 0 6 2 】

図 7 において、同一組内にメモリ L S I 2 0 0 が 2 枚積層されるため、演算 L S I 1 0 0 からの読出し / 書込み要求時に対象となるメモリ L S I 2 0 0 を特定する必要がある。これは、演算 L S I 1 0 0 内の 3 次元メモリアクセスコントローラ 1 0 4 から出力される読出し / 書込み要求に含まれるアドレス情報の一部を L S I 識別子として利用する。メモリ L S I 2 0 0 は、実施の形態 1 と同様にパッケージ組み立て時に L S I 上のヒューズを焼き切るなどの方法で予め L S I 識別子が記録されている。メモリ L S I 2 0 0 内の 3 次元メモリインタフェース 2 0 2 は、受信した読出し / 書込み要求に自 L S I の L S I 識別子と同一の情報が含まれている場合のみ応答する。このようにして、本実施の形態は、回路構成の大幅な変更なく、メモリ L S I 2 0 0 を複数枚積層することが可能である。

【 0 0 6 3 】

図 7 における実施の形態では、演算 L S I 1 0 0 からメモリ L S I 2 0 0 へのアクセスにおいて、同一組内であっても貫通電極の配線長が増大する結果、駆動負荷が大きくなるため電力および速度性能の面で不利であるが、同一組内のメモリ容量を容易に増加できる点で有利である。

【 0 0 6 4 】

（無線通信、ボンディングワイヤの利用）

上述の第 1 の実施の形態では、組を成す演算 L S I 1 0 0 とメモリ L S I 2 0 0 とは電極 1 3 とマイクロポンプとで接続されているが、必ずしもこれに限定せず、演算 L S I 1 0 0 とメモリ L S I 2 0 0 とが通信できる構成であれば良い。同様に、演算 L S I 1 0 0 間の通信や、演算 L S I 1 0 0 と外部通信 L S I 3 0 0 間の通信は、全ての L S I を貫通するシリコン貫通電極 1 1 によって行われるが、必ずしもこれに限定されず、外部通信 L S I と演算 L S I とを接続可能であれば良い。

【 0 0 6 5 】

図 8 は、図 1 において、電極パッド 1 2、1 3 とマイクロポンプ 1 4 を介して行われていた通信と、信号用シリコン貫通電極 1 1 を介して行われていた通信とを、それぞれ無線通信で行う構成である。

【 0 0 6 6 】

図 8 の実施の形態では、組を成す演算 L S I 1 0 0 とメモリ L S I 2 0 0 の間の無線通信方式として容量性結合方式を用いている。この形態では、送信側と受信側に鉛直方向において重なりあうように平行電極板 1 6 を配置する。平行電極板 1 6 同士を絶縁体を介して所定の距離まで近接して積層すると容量性の結合を生じ、送信側の平行電極板 1 6 の電位差の変動に追従して受信側の平行電極板 1 6 の電位が変動する。この電位差の変動を検知し通信を行う。

【 0 0 6 7 】

一方、演算 L S I 1 0 0 間もしくは演算 L S I 1 0 0 と外部通信 L S I 3 0 0 との間の無線通信方式として磁気誘導結合方式を用いている。この通信方式では、送信側と受信側に鉛直方向において重なり合うようにしてコイル 1 7 が配置されており、送信側はコイル 1 7 に電流を流し誘導磁界を発生させ、受信側がこの磁界の変化を検知し、通信を行う。

【 0 0 6 8 】

図 8 と図 1 を対比して、本形態における変更点を説明すれば、図 1 におけるマイクロポンプ 1 4 と貫通電極 1 1 とを介して行われていた電氣的通信方式が、それぞれ容量性結合方式と磁気誘導結合方式に変更されたのみであり、通信における論理的な方式や通信部の構成が変わらないことは前述の通りである。

【 0 0 6 9 】

また、図 8 において、メモリ L S I 2 0 0 は、演算 L S I 1 0 0 および外部通信 L S I 3 0 0 よりも小さいチップを用いていることを特徴とする。このため、演算 L S I 1 0 0 の露出した部分に、金属ワイヤをボンディングすることが可能となる。電源用ボンディングワイヤ 2 1 は、演算 L S I 1 0 0 に電源を与える。一方、メモリ L S I 2 0 0 は組を成す演算 L S I 1 0 0 から電源用電極パッド 2 3 とマイクロバンプ 1 4 を介して電源を与えられる。また、信号用ボンディングワイヤ 2 2 は、外部通信 L S I 3 0 0 と演算 L S I 1 0 0 との間を、パッケージ基板 4 0 0 を介して接続し、例えば演算 L S I 1 0 0 a、演算 L S I 1 0 0 b に動作周波数や端子設定などの初期値信号の供給や、外部 L S I 3 0 0 と演算 L S I 1 0 0 間の通信に使用される。

10

【 0 0 7 0 】

演算 L S I 1 0 0 とメモリ L S I 2 0 0 の間の通信に容量性結合方式を用いたのは、容量性結合は近接する平行電極板の間に限定することが可能なため、演算 L S I 1 0 0 a とメモリ L S I 2 0 0 a の通信用の容量性結合と、演算 L S I 1 0 0 b とメモリ L S I 2 0 0 b の通信用の容量結合が、鉛直方向に重なった位置にあっても、互いに影響を及ぼさないからである。一方、演算 L S I 1 0 0 間もしくは演算 L S I 1 0 0 と外部通信 L S I 3 0 0 との間に磁気誘導結合を用いたのは、磁界は L S I 基板を透過しやすく、複数枚に渡った通信に適しているからである。

【 0 0 7 1 】

この構成において、一般に平行電極板 1 6 やコイル 1 7 を用いた通信は、マイクロバンプ 1 4 や貫通電極 1 1 を用いた通信に比べて必要な回路配置面積が大きい点で不利であるが、信号用シリコン貫通電極 1 1 を積層 L S I 間で接続する加工プロセスが必要なくなるため、パッケージ製造の歩留まり向上の観点で有利である。

20

【 0 0 7 2 】

一方、電源供給のため、演算 L S I 1 0 0 とメモリ L S I 2 0 0 の間をマイクロバンプ 1 4 で接続する加工プロセスは必要である。電源用電極パッド 2 3 とマイクロバンプ 1 4 を冗長に配置することで、一部の電極が接続不良を起こしても安定した電源の供給が可能である。すなわち、データの通信を行うマイクロバンプ 1 4 を取り除いたことで、マイクロバンプ 1 4 による接続不良の発生率は低下し、パッケージ製造の歩留まりは向上される。

【 0 0 7 3 】

(メモリ L S I と全体通信経路の接続)

図 3 において、メモリ L S I 2 0 0 内の L S I 間通信用貫通電極群 2 0 4 内の信号用シリコン貫通電極 1 1 とメモリ L S I 2 0 0 の回路ブロックの間に電気的な接続がないと説明したが、本発明はこれに限定するものではない。

30

【 0 0 7 4 】

例えば、図 9 はメモリ L S I 2 0 0 の別の実施の形態を示す平面構成図であり、図 3 と対比される図である。図 7 において、図 3 と対応する部分については同一符号を付し、その詳細説明は繰り返さない。

【 0 0 7 5 】

図 9 のメモリ L S I 2 0 0 を参照して、図 3 で示されるメモリ L S I 2 0 0 と異なる点は、L S I 間通信用貫通電極群 2 0 4 に接続される L S I 間通信インタフェース 2 0 5 を備え、3 次元メモリインタフェース 2 0 2 と記憶部 2 0 1 との間にオンチップ・インタコネク 2 0 6 を備え、L S I 間通信インタフェース 2 0 5 とオンチップ・インタコネク 2 0 6 との間をブリッジするオンチップ・インタコネク・ブリッジ 2 0 7 を備える点である。

40

【 0 0 7 6 】

この構成において、メモリ L S I 2 0 0 は、記憶部 2 0 1 に割り当てる面積が減少するため記憶容量が低下するが、L S I 間通信用貫通電極群 2 0 4 から直接情報を受信することが可能となり、別の組の演算 L S I 1 0 0 もしくは外部通信 L S I 3 0 0 と通信を行う場合の遅延時間が減少する。

【 実施例 2 】

50

【 0 0 7 7 】

図 1 0 は、本発明による第 2 の実施形態に係る半導体装置の積層断面図であって、図 1 と対比される図である。図 1 0 において、図 1 と対応する部分については同一符号を付し、その詳細説明は繰り返さない。

図 1 0 において、積層 L S I システムは、演算 L S I 1 0 0 a と演算 L S I 1 0 0 b と演算 L S I 1 0 0 c とが、その間にそれぞれメモリ L S I 2 0 0 a、L S I 2 0 0 b を挟みこむ形で積層されており、それら積層された 5 枚の L S I の下層に外部通信 L S I 3 0 0 と、パッケージ基板 4 0 0 とが積層される。また、図 8 において、演算 L S I 1 0 0 a、1 0 0 b、1 0 0 c と、メモリ L S I 2 0 0 a、2 0 0 b とは、メモリアクセス用貫通電極部 1 7 にて電氣的に接続される。

10

【 0 0 7 8 】

図 1 1 は、演算 L S I 1 0 0 a、1 0 0 b、1 0 0 c とメモリ L S I 2 0 0 a、2 0 0 b の接続構成を、より詳細に示した図である。貫通電極 1 7 1 a ~ c、1 7 2 a ~ c、1 7 3 a ~ c、1 7 4 a ~ c は演算 L S I 1 0 0 a ~ c に設けられたシリコン貫通電極であり、それぞれ演算 L S I 1 0 0 a ~ c 上の 3 次元メモリアクセスコントローラ 1 0 4 a ~ c と電氣的に接続されている。なお、図 9 においては接続する配線を模式的に実線で示したが、これらは回路配置面上に実装された金属配線などで実現される。貫通電極 1 7 5 a ~ b、1 7 6 a ~ b は、メモリ L S I 2 0 0 a ~ b に設けられたシリコン貫通電極であり、貫通電極 1 7 5 a ~ b は、メモリ L S I 2 0 0 a ~ b 内の電極パッド 1 3 1 a ~ b と電氣的に接続され、メモリ L S I 2 0 0 a ~ b 内の貫通電極 1 7 6 a ~ b は電極パッド 1 3 2 a ~ b と電氣的に接続される。また、電極パッド 1 3 1 a ~ b は、メモリ L S I 2 0 0 a ~ b 内の 3 次元メモリアクセスコントローラ 2 0 2 a ~ b と回路配置面上に実装された金属配線で接続される。

20

【 0 0 7 9 】

貫通電極 1 7 1 a ~ c、1 7 2 a ~ c、1 7 3 a ~ c、1 7 4 a ~ c、1 7 5 a ~ b、1 7 6 a ~ b は、図 1 1 に示した形でマイクロバンプ 1 4 および電極パッド 1 3 1 a ~ b、電極パッド 1 3 2 a ~ b を介して電氣的に接続される。

例えば、貫通電極 1 7 1 a と、貫通電極 1 7 5 a と、貫通電極 1 7 2 b とは、電極パッド 1 3 1 a とマイクロバンプ 1 4 を介してそれぞれ電氣的に接続されており、演算 L S I 1 0 0 a 内の 3 次元メモリアクセスコントローラ 1 0 4 a もしくは演算 L S I 1 0 0 b 内の 3 次元メモリアクセスコントローラ 1 0 4 b と、メモリ L S I 2 0 0 a 内の 3 次元メモリアクセスコントローラ 2 0 2 a とが通信可能な配線である。

30

【 0 0 8 0 】

また、貫通電極 1 7 3 a と、貫通電極 1 7 6 a と、貫通電極 1 7 4 b とは、電極パッド 1 3 2 a とマイクロバンプ 1 4 を介してそれぞれ電氣的に接続されており、演算 L S I 1 0 0 a 内の 3 次元メモリアクセスコントローラ 1 0 4 a と、演算 L S I 1 0 0 b 内の 3 次元メモリアクセスコントローラ 1 0 4 b とが通信可能な配線となっている。

【 0 0 8 1 】

すなわち、本実施の形態において、メモリ L S I 2 0 0 を間に挟んで積層された演算 L S I 1 0 0 a と演算 L S I 1 0 0 b とが直接通信できる配線と、演算 L S I 1 0 0 a と演算 L S I 1 0 0 b とメモリ L S I 2 0 0 a とが直接通信できる 2 種類の配線を持つことを特徴とする。

40

また、電極パッド 1 3 1 a ~ b、電極パッド 1 3 2 a ~ b は、貫通電極同士の配線を水平方向にずらす役割を担い、これにより同一レイアウト構成の演算 L S I 1 0 0 a、b を用いて上述のような接続構成を取ることを特徴とする。

【 0 0 8 2 】

次に、本実施の形態における通信について説明する。図 1 1 において、演算 L S I 1 0 0 a 内の 3 次元メモリアクセスコントローラ 1 0 4 a は、メモリアクセス調停部 1 0 4 1 a を含む。メモリアクセス調停部 1 0 4 1 a は、演算 L S I 1 0 0 a のメモリ L S I 2 0 0 a へのメモリアクセス要求と、演算 L S I 1 0 0 b からメモリ L S I 2 0 0 a へのアク

50

セスを調停する。まず、演算LSI100aがメモリLSI200aへアクセスする場合は、メモリアクセス調停部1041aにアクセス要求を通知し、アクセス権が得られた場合は、貫通電極171aと、貫通電極175aを介して、メモリLSI200a内の3次元メモリアクセスインタフェース202aへアクセス情報を通信する。一方、演算LSI100bがメモリLSI200aへアクセスする場合は、貫通電極174bと、貫通電極176aと、貫通電極173aを介して、演算LSI100a内のメモリアクセス調停部1041aにアクセス要求を通知し、アクセス権が得られた場合は、貫通電極172bと、貫通電極175aを介して、メモリLSI200a内の3次元メモリアクセスインタフェース202aへアクセス情報を通信する。

【0083】

このように、本実施の形態において、演算LSI100aと演算LSI100bは、間に挟まれたメモリLSI200aへどちらもアクセス可能な構成をとる。同様に演算LSI100bと演算LSI100cは、メモリLSI200bにどちらもアクセス可能である。従って、本実施の形態において、積層方向で最も近い演算LSI100同士は、間に挟むメモリLSI200を介して、処理結果やデータの受け渡しが可能となる。

【0084】

前述の、全体通信経路及び組LSI間通信経路との対応関係においては、通信部の構成については図2～4と同様であるが、それぞれの演算LSI及びメモリLSIが、組以外の隣接LSIと通信できることを特徴とする。この特徴により、上下の双方向に対して処理結果やデータの受け渡しが可能となる。

【図面の簡単な説明】

【0085】

【図1】第1の実施形態に係る積層LSIシステムの積層断面図である。

【図2】第1の実施形態に係る演算LSI100の一実施の形態を示す平面図である。

【図3】第1の実施形態に係るメモリLSI200の一実施の形態を示す平面図である。

【図4】第1の実施形態に係る外部通信LSI300の一実施の形態を示す平面図である。

【図5】図1における演算LSI100aのプロセッシング・ユニット101が、図1におけるメモリLSI200aにおける記憶部201に記憶されているデータを読み出す場合の動作シーケンスを示す図である。

【図6】図1における演算LSI100aのプロセッシング・ユニット101が、図1におけるメモリLSI200bにおける記憶部201に記憶されているデータを読み出す場合の動作シーケンスを示す図である。

【図7】第1の実施形態の変形例として、組毎にメモリLSI200を2枚積層する、積層LSIシステムの積層断面図である。

【図8】第1の実施形態の変形例として、LSI間の通信を無線方式で行う積層LSIシステムの積層断面図である。

【図9】第1の実施形態の変形例として、メモリLSI200の一実施の形態を示す平面図である。

【図10】第2の実施形態に係る積層LSIシステムの積層断面図である。

【図11】図8の演算LSI100a～cとメモリLSI200a～bの接続構成を示した図である。

【符号の説明】

【0086】

200a、200b メモリLSI
100a、100b、100c 演算LSI
300 外部通信LSI
400 パッケージ基板
10 電源用シリコン貫通電極
11 信号用シリコン貫通電極

10

20

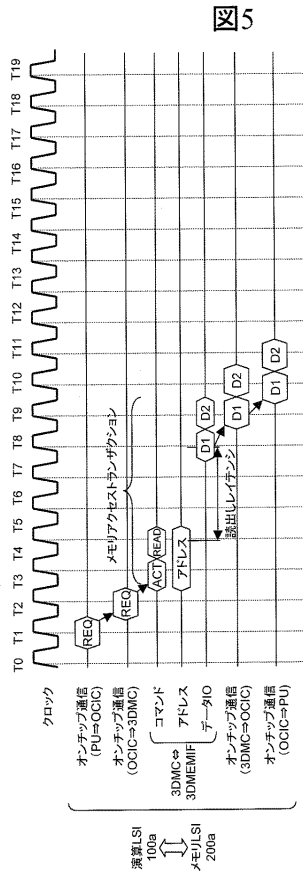
30

40

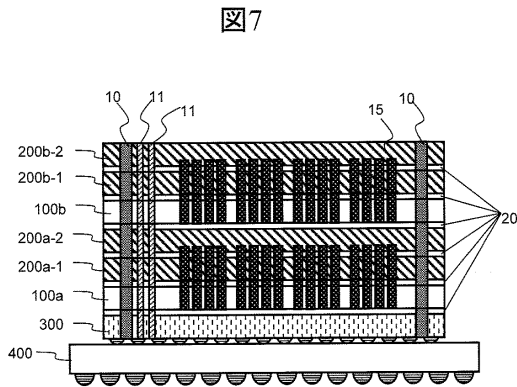
50

1 2、1 3	電極パッド	
1 4	マイクロバンプ	
1 5	メモリアクセス用シリコン貫通電極	
1 6	平行電極板	
1 7	コイル	
1 8	メモリアクセス用貫通電極部	
1 8 1 , 1 8 2 , 1 8 3 , 1 8 4 , 1 8 5 , 1 8 6	貫通電極	
2 0	絶縁性部材	
2 1	電源用ボンディングワイヤ	
2 2	信号用ボンディングワイヤ	10
2 3	電極パッド	
1 0 1	P U プロセッシング・ユニット	
1 0 2	P E R I 周辺回路ブロック	
1 0 3	D M A C データ転送ブロック	
1 0 4	3 D M C 3次元メモリアクセスコントローラ	
1 0 4 1	A R B メモリアクセス調停部	
1 0 5	3 D C O M I F LSI間通信インタフェース	
1 0 6	O C I C オンチップ・インタコネク	
1 0 7	O C B R オンチップ・インタコネク・ブリッジ	
1 0 8	メモリアクセス用電極パッド群	20
1 0 9	LSI間通信用貫通電極群	
2 0 1	M E M 記憶部	
2 0 2	3 D M E M I F 3次元メモリインタフェース	
2 0 3	メモリアクセス用電極パッド群	
2 0 4	LSI間通信用貫通電極群	
2 0 5	LSI間通信インタフェース	
2 0 6	O C I C オンチップ・インタコネク	
3 0 1	2 D I O P 外部高速通信インタフェースブロック	
3 0 2	2 D I O C 外部高速通信制御回路ブロック	
3 0 3	S C T R L 外部高速通信制御用マイクロ・コントローラ	30
3 0 4	C O M P E R I 外部通信 L S I 周辺回路ブロック	
3 0 5	3 D C O M I F - 2 LSI間通信インタフェース	
3 0 6	3 D C O M A R B LSI間通信調停回路ブロック	
3 0 7	LSI間通信用貫通電極群	
3 0 8	O C I C オンチップ・インタコネク	
3 0 9	O C B R オンチップ・インタコネク・ブリッジ	
3 1 0	D M A D M A ブロック	

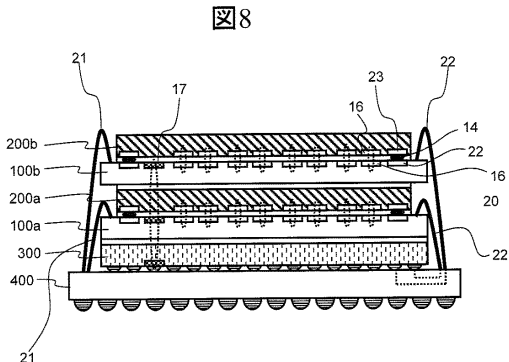
【 図 5 】



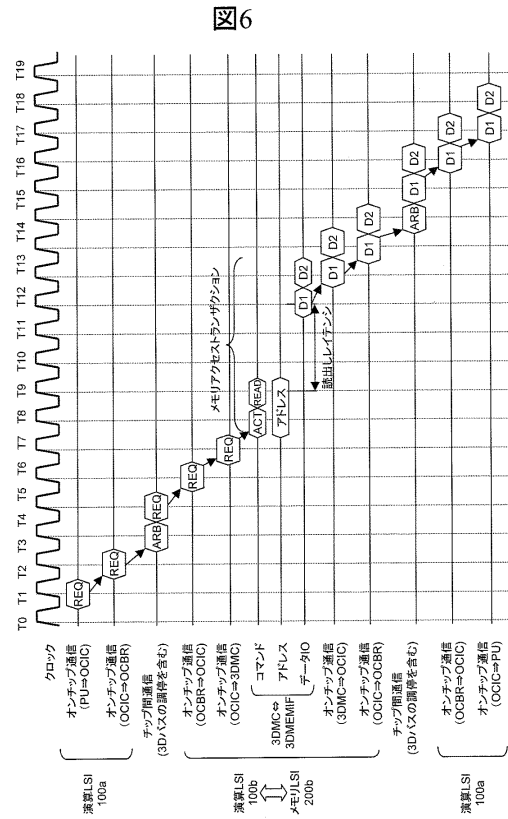
【 図 7 】



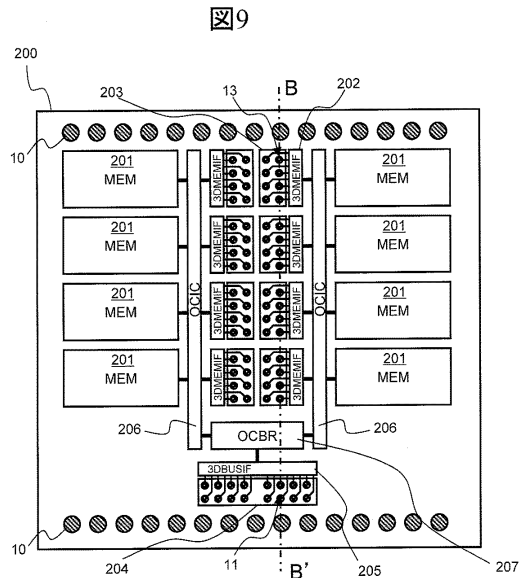
【 図 8 】



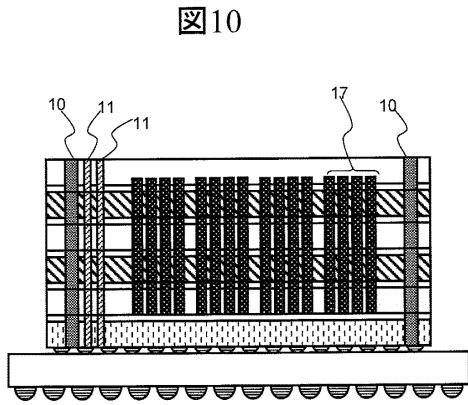
【 図 6 】



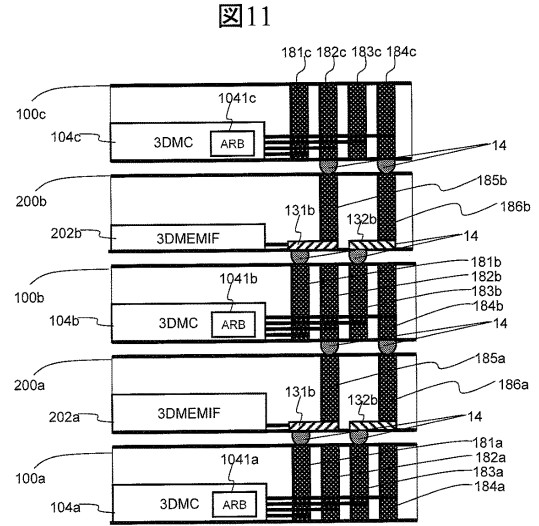
【 図 9 】



【図10】



【図11】



フロントページの続き

(72)発明者 黒田 雄樹

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 酒井 英夫

(56)参考文献 特表2002-518848(JP,A)

特開2007-036104(JP,A)

特開2007-226876(JP,A)

特開平07-183453(JP,A)

特開2004-031563(JP,A)

特開2001-177041(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18