

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-4010

(P2019-4010A)

(43) 公開日 平成31年1月10日(2019.1.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 A	5 F 1 5 2
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 C	
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 5 2 J	

審査請求 未請求 請求項の数 9 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2017-116508 (P2017-116508)
 (22) 出願日 平成29年6月14日 (2017.6.14)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 小島 貴仁
 茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
 (72) 発明者 辻 崇
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 5F152 LL02 MM04 MM07 NN05 NN27 NQ02

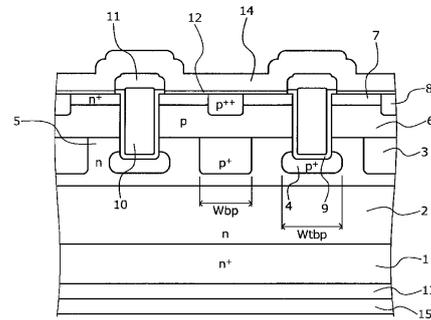
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 結晶欠陥、特に格子間原子を抑制し、リーク電流の発生を抑えること。

【解決手段】 n⁺型炭化珪素基板1の表面に形成されたn型炭化珪素エピタキシャル層2と、n型炭化珪素エピタキシャル層2に選択的に形成されたp⁺ベース領域3、4と、n型炭化珪素エピタキシャル層2の表面に選択的に形成された濃いn型領域5と、濃いn型領域5上に形成されたpベース層6と、pベース層6の表面層に選択的に形成されたn⁺ソース領域7およびp⁺⁺コンタクト領域8と、pベース層6を貫通し、一部のp⁺ベース領域4の深さ方向に形成されたトレンチと、トレンチ内部にゲート絶縁膜を介して形成されたゲート電極10と、を有する半導体装置において、n⁺ソース領域7形成のドーパントが磷と炭素の2種類であり、炭素のドーザ量D_Cは磷のドーザ量D_Pに対して0.7 D_C/D_P 1.3を満たし、n⁺ソース領域の不純物濃度が10¹⁸台~10²¹台の範囲である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の高濃度炭化珪素半導体基板の表面に形成された低濃度の第 1 導電型の第 1 炭化珪素半導体層と、前記第 1 炭化珪素半導体層の表面層に選択的に形成された第 2 導電型の第 1 ベース領域と、前記第 1 導電型の第 1 炭化珪素半導体層上に形成された第 2 導電型の炭化珪素半導体層と、前記第 2 導電型の炭化珪素半導体層の表面層に選択的に形成された第 1 導電型のソース領域および第 2 導電型のコンタクト領域と、前記第 2 導電型の炭化珪素半導体層を貫通して形成されたトレンチと、前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、を有する半導体装置において、

前記ソース領域形成のドーパントが燐と炭素の 2 種類であり、炭素のドーズ量 D_c は燐のドーズ量 D_p に対して $0.7 < D_c / D_p < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台 ~ 10^{21} 台の範囲にあることを特徴とする半導体装置。

10

【請求項 2】

前記第 1 炭化珪素半導体層と、前記第 2 導電型の炭化珪素半導体層の間に前記第 1 炭化珪素半導体層より高濃度の第 1 導電型の領域を有し、前記第 1 ベース領域の下端及び前記トレンチの下端が前記第 1 導電型の領域内であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ソース領域の珪素と炭素の比で炭素が高いことを特徴とする請求項 1 または 2 に記載の半導体装置。

20

【請求項 4】

前記ソース領域の形成のドーパントが窒素と珪素の 2 種類であり、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 < D_{Si} / D_N < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台 ~ 10^{21} 台の範囲にあることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記ソース領域の珪素と炭素の比で珪素が高いことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記トレンチの下端に第 2 導電型の第 2 ベース領域を有し、前記第 1 ベース領域と前記第 2 ベース領域の不純物濃度が同じであり、

30

前記第 1 ベース領域の幅 W_{bp} は、前記第 2 ベース領域の幅 W_{tbp} よりも狭い ($W_{bp} < W_{tbp}$) ことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 7】

第 1 導電型の高濃度炭化珪素半導体基板の表面に低濃度の第 1 導電型の第 1 炭化珪素半導体層を形成する工程と、前記第 1 炭化珪素半導体層の表面層に第 2 導電型の第 1 ベース領域および第 2 導電型の第 2 ベース領域を選択的に形成する工程と、前記第 1 炭化珪素半導体層の表面に低濃度の第 2 導電型の炭化珪素半導体層を形成する工程と、前記第 2 導電型の炭化珪素半導体層の表面に第 1 導電型のソース領域を選択的に形成する工程と、前記ソース領域に隣接するように前記第 2 導電型の炭化珪素半導体層の表面に第 2 導電型のコンタクト領域を形成する工程と、前記第 2 導電型の炭化珪素半導体層の表面のうち前記ソース領域の一部に前記第 2 導電型の炭化珪素半導体層を貫通し、前記第 2 ベース領域よりも浅いトレンチを形成する工程と、前記トレンチ底部および側部にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上に層間絶縁膜を形成する工程と、前記ソース領域および前記コンタクト領域の表面にソース電極を形成する工程と、高濃度ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、を含む半導体装置の製造方法において、

40

前記ソース領域を形成する際のドーパントとして燐と炭素の 2 種類を用い、炭素のドーズ量 D_c は燐のドーズ量 D_p に対して $0.7 < D_c / D_p < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台 ~ 10^{21} 台の範囲にあることを特徴とする半導体装置の製造方法

50

。

【請求項 8】

前記ソース領域を形成する際のドーパントとして窒素と珪素の 2 種類を用い、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 < D_{Si} / D_N < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台 ~ 10^{21} 台の範囲にあることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記炭化珪素半導体層の表面側から前記第 1 ベース領域および前記第 2 ベース領域よりも深く第 1 導電型の領域を形成することを特徴とする請求項 7 または 8 に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、トレンチ構造を有するワイドバンドギャップ半導体を用いた縦型 MOSFET 等の半導体装置およびその製造方法に関する。

【背景技術】

【0002】

縦型 MOSFET (Metal - Oxide - Semiconductor Field - Effect Transistor) では、チャンネルが基板表面に対して並行に形成されるプレーナ型よりも基板面に対して垂直に形成されるトレンチ型の方が単位面積当たりのセル密度を増やすことが出来るため、単位面積当たりの電流密度を増やすことができ、コスト面から有利である。

20

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】Philosophical Magazine Letters Volume 93, Issue 8, 2013 「Transmission electron microscope study of a threading dislocation with $b = [0001] + 1 - 100$ and its effect on leakage in a 4H - SiC MOSFET」 Shoichi Onda et al.

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、炭化珪素半導体装置のソース部形成の際に高い加速電圧を用いたイオン注入や、注入したイオンを活性化するための 1500 以上のアニールにより結晶欠陥が形成され、結晶欠陥が MOS デバイスのリーク電流に影響することが報告されている (例えば、上記非特許文献 1 参照。)。

【0005】

本発明者らが 4H - SiC 基板を用い半導体装置を作成したところ、上記非特許文献 1 と同様にリーク電流が生じることを確認した。

40

【0006】

本発明は、上述した従来技術による問題点を解消するため、結晶欠陥、特に格子間原子を抑制し、リーク電流の発生を抑えることを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、第 1 導電型の高濃度炭化珪素半導体基板の表面に形成された低濃度の第 1 導電型の第 1 炭化珪素半導体層と、前記第 1 炭化珪素半導体層の表面層に選択的に形成された第 2 導電型の第 1 ベース領域と、前記第 1 導電型の第 1 炭化珪素半導体層上に形成された第 2 導電

50

型の炭化珪素半導体層と、前記第2導電型の炭化珪素半導体層の表面層に選択的に形成された第1導電型のソース領域および第2導電型のコンタクト領域と、前記第2導電型の炭化珪素半導体層を貫通して形成されたトレンチと、前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、を有する半導体装置において、前記ソース領域形成のドーパントが燐と炭素の2種類であり、炭素のドーズ量 D_C は燐のドーズ量 D_P に対して $0.7 < D_C / D_P < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台～ 10^{21} 台の範囲にあることを特徴とする。

【0008】

また、前記第1炭化珪素半導体層と、前記第2導電型の炭化珪素半導体層の間に前記第1炭化珪素半導体層より高濃度の第1導電型の領域を有し、前記第1ベース領域の下端及び前記トレンチの下端が前記第1導電型の領域内であることを特徴とする。

10

【0009】

また、前記ソース領域の珪素と炭素の比で炭素が高いことを特徴とする。

【0010】

前記ソース領域の形成のドーパントが窒素と珪素の2種類であり、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 < D_{Si} / D_N < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台～ 10^{21} 台の範囲にあることを特徴とする。

【0011】

また、前記ソース領域の珪素と炭素の比で珪素が高いことを特徴とする。

【0012】

また、前記トレンチの下端に第2導電型の第2ベース領域を有し、前記第1ベース領域と前記第2ベース領域の不純物濃度が同じであり、前記第1ベース領域の幅 W_{bp} は、前記第2ベース領域の幅 W_{tbp} よりも狭い($W_{bp} < W_{tbp}$)ことを特徴とする。

20

【0013】

また、この発明の半導体装置の製造方法は、第1導電型の高濃度炭化珪素半導体基板の表面に低濃度の第1導電型の第1炭化珪素半導体層を形成する工程と、前記第1炭化珪素半導体層の表面層に第2導電型の第1ベース領域および第2導電型の第2ベース領域を選択的に形成する工程と、前記第1炭化珪素半導体層の表面に低濃度の第2導電型の炭化珪素半導体層を形成する工程と、前記第2導電型の炭化珪素半導体層の表面に第1導電型のソース領域を選択的に形成する工程と、前記ソース領域に隣接するように前記第2導電型の炭化珪素半導体層の表面に第2導電型のコンタクト領域を形成する工程と、前記第2導電型の炭化珪素半導体層の表面のうち前記ソース領域の一部に前記第2導電型の炭化珪素半導体層を貫通し、前記第2ベース領域よりも浅いトレンチを形成する工程と、前記トレンチ底部および側部にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上に層間絶縁膜を形成する工程と、前記ソース領域および前記コンタクト領域の表面にソース電極を形成する工程と、高濃度ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と、を含む半導体装置の製造方法において、前記ソース領域を形成する際のドーパントとして燐と炭素の2種類を用い、炭素のドーズ量 D_C は燐のドーズ量 D_P に対して $0.7 < D_C / D_P < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台～ 10^{21} 台の範囲にあることを特徴とする。

30

40

【0014】

また、前記ソース領域を形成する際のドーパントとして窒素と珪素の2種類を用い、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 < D_{Si} / D_N < 1.3$ を満たし、前記ソース領域の不純物濃度が 10^{18} 台～ 10^{21} 台の範囲にあることを特徴とする。

【0015】

また、前記炭化珪素半導体層の表面側から前記第1ベース領域および前記第2ベース領域よりも深く第1導電型の領域を形成することを特徴とする。

【発明の効果】

【0016】

本発明によれば、結晶欠陥、特に格子間原子を抑制し、リーク電流の発生を抑えること

50

ができる。

【図面の簡単な説明】

【0017】

【図1】図1は、実施の形態にかかる半導体装置の構成を示す断面図である。

【図2】図2は、実施の形態にかかる半導体装置の D_p と D_{Si} の比とドレイン飽和電流(I_{DSS})の関係を示す図表である。

【図3】図3は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その1)

【図4】図4は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その2)

【図5】図5は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その3)

【図6】図6は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その4)

【図7】図7は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その5)

【図8】図8は、実施の形態にかかる半導体装置の製造工程を示す断面図である。(その6)

【発明を実施するための形態】

【0018】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めた n や p の表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

【0019】

(実施の形態)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として、炭化珪素(SiC)を用いて作製されたMOS型の炭化珪素半導体装置を例に説明する。

【0020】

図1は、実施の形態にかかる半導体装置の構成を示す断面図である。図1に示すように、実施の形態にかかる炭化珪素半導体装置は、 n^+ 型炭化珪素基板(ワイドバンドギャップ半導体基板)1の第1主面、例えば(0001)面(Si 面)、に n 型炭化珪素エピタキシャル層(ワイドバンドギャップ半導体堆積層)2が堆積されている。

【0021】

n^+ 型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。 n 型炭化珪素エピタキシャル層2は、 n^+ 型炭化珪素基板1よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度 n 型ドリフト層である。 n 型炭化珪素エピタキシャル層2の第1主面側には、濃い n 型領域5が形成されており、濃い n 型領域5は n^+ 型炭化珪素基板1よりも低く n 型炭化珪素エピタキシャル層2よりも高い不純物濃度で、例えば窒素がドーピングされている。以下、 n^+ 型炭化珪素基板1単体、または n^+ 型炭化珪素基板1と n 型炭化珪素エピタキシャル層2、または n^+ 型炭化珪素基板1と n 型炭化珪素エピタキシャル層2と後述する p ベース層とを併せて炭化珪素半導体基体とする。

【0022】

10

20

30

40

50

図 1 に示すように、 n^+ 型炭化珪素基板 1 の n 型炭化珪素エピタキシャル層 2 側に対して反対側の表面（炭化珪素半導体基体の裏面）には、裏面電極 13 が設けられている。裏面電極 13 は、ドレイン電極を構成する。

【0023】

炭化珪素半導体基体の第 1 主面側には、トレンチ構造が形成されている。具体的には、トレンチは、 p ベース層 6 の n^+ 型炭化珪素基板 1 側に対して反対側（炭化珪素半導体基体の第 1 主面側）の表面から p ベース層 6 を貫通する。また、トレンチの表面に沿って、トレンチの底部および側部に形成されたゲート絶縁膜 9 が形成されており、ゲート絶縁膜 9 により n 型炭化珪素エピタキシャル層 2 および p ベース層 6 と絶縁されているゲート電極 10 がトレンチ内部に形成されている。ゲート電極 10 の一部はトレンチ外部に突出していても良い。

10

【0024】

n 型炭化珪素エピタキシャル層 2 の n^+ 型炭化珪素基板 1 側に対して反対側（炭化珪素半導体基体の第 1 主面側）の表面層には、第 1 p^+ ベース領域（第 1 の第 2 導電型半導体領域）3 と第 2 p^+ ベース領域 4 が選択的に設けられている。第 1 p^+ ベース領域 3 の幅は W_{bp} であり、第 2 p^+ ベース領域 4 の幅は W_{tbp} であり、 $W_{bp} < W_{tbp}$ とする。第 2 p^+ ベース領域 4 はトレンチ下に形成されている。第 2 p^+ ベース領域 4 の幅（ W_{tbp} ）はトレンチの幅と同じかそれよりも広い。第 1 p^+ ベース領域 3 と第 2 p^+ ベース領域 4 は、例えばアルミニウムがドーピングされている。

【0025】

第 1 p^+ ベース領域 3 の一部をトレンチ側に引き伸ばすことで第 2 p^+ ベース領域 4 に接続した構造となっても良い。その理由はゲート電極 10 下の第 2 p^+ ベース領域 4 と n 型炭化珪素エピタキシャル層 2 の接合部分でアパランシェ降伏が起こったときに発生するホールを効率よくソース電極 12 に退避させることでゲート酸化膜への負担を軽減し信頼性を上げるためである。

20

【0026】

n 型炭化珪素エピタキシャル層 2 の第 1 主面側には第 2 導電型の p ベース層 6 が設けられており、 p ベース層 6 の第 1 主面側に第 1 導電型の n^+ ソース領域 7 および第 2 導電型の p^{++} コンタクト領域 8 が設けられている。また、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 は互いに接する。また、 n 型炭化珪素エピタキシャル層 2 の表面層の第 1 p^+ ベース領域 3 と第 2 p^+ ベース領域 4 に挟まれた領域と、 p ベース層 6 と第 2 p^+ ベース領域 4 に挟まれた領域には濃い n 型領域 5 が設けられており、この濃い n 型領域 5 は第 1 p^+ ベース領域 3 と第 2 p^+ ベース領域 4 よりも深い位置まで形成されている。

30

【0027】

図 1 では、2 つのトレンチ MOS 構造のみを図示しているが、さらに多くのトレンチ MOS 構造が並列に配置されていてもよい。

【0028】

層間絶縁膜 11 は、炭化珪素半導体基体の第 1 主面側の全面に、トレンチに埋め込まれたゲート電極 10 を覆うように設けられている。ソース電極 12 は、層間絶縁膜 11 に開口されたコンタクトホールを介して、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 に接する。ソース電極 12 は、層間絶縁膜 11 によって、ゲート電極 10 と電氣的に絶縁されている。ソース電極 12 上には、ソース電極パッド 14 が設けられている。

40

【0029】

ここで、 n^+ ソース領域 7 を形成する際のドーパントとして燐と炭素の 2 種類を共注入し、この時の炭素のドーズ量 D_c は、燐のドーズ量 D_p に対して $0.7 \leq D_c / D_p \leq 1.3$ を満たすように形成する。これにより、注入した燐が炭化珪素中の珪素サイトに入った際に余剰となった珪素と、共注入した炭素が結合して炭化珪素となり、格子間原子を低減する。燐のみの注入の場合は、 n^+ ソース領域 7 で炭化珪素の炭素と珪素の原子比は略等しい。これに対して、燐と炭素の共注入をすることで、 n^+ ソース領域 7 の炭化珪素の炭素と珪素の原子比は炭素が高くなる。この際、燐のドーズ量は、 n^+ ソース領域 7 の不純物

50

濃度が 10^{18} 台 ~ 10^{21} 台となる様にドーズ量を調整し、多段注入で形成する事が望ましい。例えば、ドーズ量をそれぞれ 2×10^{14} 、 1×10^{14} 、 5×10^{13} とした多段注入で形成する。

【0030】

また、 n^+ ソース領域 7 を形成する際のドーパントとして窒素と珪素の 2 種類を共注入する場合は、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 \leq D_{Si} / D_N \leq 1.3$ を満たすように形成する。これにより、注入した窒素が炭化珪素中の炭素サイトに入った際に余剰となった炭素と、共注入した珪素が結合して炭化珪素となり、格子間原子を低減する。窒素のみの注入の場合は、 n^+ ソース領域 7 で炭化珪素の炭素と珪素の原子比は略等しい。これに対して、窒素と珪素の共注入をすることで、 n^+ ソース領域 7 の炭化珪素の炭素と珪素の原子比は珪素が高くなる。この際、窒素のドーズ量は、 n^+ ソース領域 7 の不純物濃度が 10^{18} 台 ~ 10^{21} 台となる様にドーズ量を調整し、多段注入で形成する事が望ましい。例えば、ドーズ量をそれぞれ 2×10^{14} 、 1.7×10^{14} 、 1.1×10^{14} 、 1×10^{14} とした多段注入で形成する。格子間原子を低減できることにより、ドレイン飽和電流 (I_{DSS}) を低減することが可能となる。

【0031】

図 2 は、実施の形態にかかる半導体装置の D_p と D_{Si} の比とドレイン飽和電流 (I_{DSS}) の関係を示す図表である。 n^+ ソース領域 7 を形成する際のドーパントとして炭と炭素の 2 種類を共注入した時の、 D_p と D_{Si} の比と I_{DSS} の関係を示す。炭素の共注入量を増加させることにより、格子間原子が減少し、 I_{DSS} が減少しているのが分かる。ドーズ量 D_c と D_p について、 $0.7 \leq D_c / D_p \leq 1.3$ を満たすように形成すると I_{DSS} が 1×10^{-7} A 以下となった。炭素の共注入量を増やしすぎた場合は、注入により格子欠陥や注入ダメージを形成してしまうため、 I_{DSS} の増加が現れる。また、 n^+ ソース領域 7 を形成する際のドーパントとして窒素と珪素の 2 種類を共注入する場合も同様の結果が得られた。

【0032】

図 3 ~ 図 8 は、それぞれ実施の形態にかかる半導体装置の製造工程を示す断面図である。以下、図 1 に示す炭化珪素半導体装置の各製造工程を順に説明する。はじめに、図 3 に示すように、 n 型の炭化珪素でできた n^+ 型炭化珪素基板 1 を用意する。そして、この n^+ 型炭化珪素基板 1 の第 1 主面上に、 n 型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできた第 1 n 型炭化珪素エピタキシャル層 2 a を、例えば $10 \mu\text{m}$ 程度の厚さまでエピタキシャル成長させる。この第 1 n 型炭化珪素エピタキシャル層 2 a は、 n 型炭化珪素エピタキシャル層 2 の一部 (下層) となる。ここまでの状態が図 3 に示されている。

【0033】

次いで、図 4 に示すように、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、イオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図 4 に示すように、第 1 n 型炭化珪素エピタキシャル層 2 a の表面領域の一部に、例えば深さ $0.5 \mu\text{m}$ 程度の深い位置に第 1 p^+ ベース領域 3 a と第 2 p^+ ベース領域 4 が、例えば隣り合う第 1 p^+ ベース領域 3 a と第 2 p^+ ベース領域 4 との間の距離が $1 \sim 1.5 \mu\text{m}$ 程度となるように設けられる。このとき、第 1 p^+ ベース領域 3 a の幅 W_{bp} を第 2 p^+ ベース領域 4 の幅 W_{tbp} よりも狭く形成する ($W_{bp} < W_{tbp}$)。これにより、電界が、第 2 p^+ ベース領域よりも狭い第 1 p^+ ベース領域 3 a の幅 W_{bp} の方へ集中しやすくなり、アバランシェ電流が第 1 p^+ ベース領域 3 a の方へ流れ、トレンチ内のゲート電極 10 が保護される。

【0034】

また、第 1 p^+ ベース領域 3 a と第 2 p^+ ベース領域 4 を設けるためのイオン注入時のドーズ量を、例えば不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 程度となるように設定してもよい。次いで、第 1 p^+ ベース領域 3 a と第 2 p^+ ベース領域 4 を設けるためのイオン

注入時に用いたマスクを除去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入する。それによって、図4に示すように、第1n型炭化珪素エピタキシャル層2aの表面領域の一部に、第1p⁺ベース領域3aと第2p⁺ベース領域4よりも深い位置まで濃いn型領域5aが設けられる。深く濃いn型領域5aを設けるためのイオン注入時のドーズ量は、例えば不純物濃度が $5 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図4に示されている。

【0035】

次いで、図5に示すように、第1n型炭化珪素エピタキシャル層2aの表面上に、n型の不純物、例えば窒素原子をドーピングしながら第2n型炭化珪素エピタキシャル層2bを、例えば0.5μm程度の厚さまでエピタキシャル成長させる。この第2n型炭化珪素
10
エピタキシャル層2bと第1n型炭化珪素エピタキシャル層2aを合わせてn型炭化珪素
エピタキシャル層2となる。第2n型炭化珪素エピタキシャル層2bを設けるためのエ
ピタキシャル成長の条件を、例えば第2n型炭化珪素エピタキシャル層2bの不純物濃度が
 $8 \times 10^{15} / \text{cm}^3$ 程度となるように設定してもよい。

【0036】

次いで、n型炭化珪素エピタキシャル層2の表面上に、フォトリソグラフィ技術によ
って所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、イ
オン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによ
って、図5に示すように、n型炭化珪素エピタキシャル層2の表面領域の一部に、例
えば深さ0.5μm程度の浅い第1p⁺ベース領域3bが、例えば深い第1p⁺ベース領域3aの
20
上部に重なるように設けられる。この浅い第1p⁺ベース領域3bと深い第1p⁺ベース
領域3aを合わせてp⁺ベース領域3となる。浅い第1p⁺ベース領域3bを設けるためのイ
オン注入時のドーズ量を、例えば不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 程度となる
ように設定してもよい。

【0037】

次いで、浅い第1p⁺ベース領域3bを設けるためのイオン注入時に用いたマスクを除
去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入す
る。それによって、図5に示すように、第2n型炭化珪素エピタキシャル層2bの表面領
域の一部に、例えば深さ0.5μm程度の浅く濃いn型領域5bが設けられる。浅く濃いn
30
型領域5bを設けるためのイオン注入時のドーズ量は、例えば不純物濃度が $5 \times 10^{16} \sim$
 $5 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。この浅く濃いn型領域5bと深く
濃いn型領域5aを合わせて濃いn型領域5となる。ここまでの状態が図5に示されてい
る。

【0038】

そして、n型炭化珪素エピタキシャル層2の表面上に、p型の不純物、例えばアルミニ
ウム原子をドーピングしながらpベース層6を、例えば0.7~1.3μm程度の厚さま
でエピタキシャル成長させる。pベース層6を設けるためのエピタキシャル成長の条件
を、例えば不純物濃度が $1 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい
。

【0039】

次いで、露出したpベース層6の表面上に、フォトリソグラフィ技術によって所望の開
口部を有する図示しないマスクを例えば酸化膜で形成する。そして、イオン注入法によ
ってn型の不純物、例えば燐をイオン注入する。それによって、図6に示すように、p
ベース層6の表面領域の一部にn⁺型のソース領域7が設けられる。
40

【0040】

ここで、ソース領域7を形成する際のドーパントとして燐と炭素の2種類を、ドーズ量
が $0.7 \ D_c / D_p \sim 1.3$ を満たすように共注入する。またソース領域7を形成する際
のドーパントとして窒素と珪素の2種類を用いる場合は、ドーズ量が $0.7 \ D_{Si} / D_N \sim$
1.3を満たすように共注入する。ソース領域7を設けるためのイオン注入時のドーズ
量を、例えば第1p⁺ベース領域3よりも不純物濃度が高くなるように設定してもよい。
50

【0041】

次いで、ソース領域7を設けるためのイオン注入時に用いたマスクを除去する。そして、露出したpベース層6の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、pベース層6の表面上にp型の不純物、例えばアルミニウムをイオン注入する。それによって、図6に示すように、pベース層6の表面領域の一部にp⁺⁺コンタクト領域8が設けられる。

【0042】

p⁺⁺コンタクト領域8を設けるためのイオン注入時のドーズ量を、例えば第2 p⁺ベース領域4よりも不純物濃度が高くなるように設定してもよい。続いて、p⁺⁺コンタクト領域8を設けるためのイオン注入時に用いたマスクを除去する。ここまでの状態が図6に示されている。

10

【0043】

次いで、熱処理（アニール）を行って、例えば第1 p⁺ベース領域3、ソース領域7、p⁺⁺コンタクト領域8を活性化させる。熱処理の温度は、例えば1700 程度であってもよい。熱処理の時間は、例えば2分程度であってもよい。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

【0044】

次いで、図7に示すように、露出したpベース層6の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、ドライエッチング用によってpベース層6を貫通してn型炭化珪素エピタキシャル層2に達するトレンチを形成する。トレンチの底部は第2 p⁺ベース領域4に達しても良く、pベース層6と第2 p⁺ベース領域4に挟まれたn型炭化珪素エピタキシャル層2内に設置されても良い。続いて、トレンチを設けるために用いたマスクを除去する。ここまでの状態が図7に示されている。

20

【0045】

次いで、図8に示すように、n⁺ソース領域7、p⁺⁺コンタクト領域8、トレンチの表面に沿ったトレンチの底部および側部にゲート絶縁膜9を形成する。このゲート絶縁膜9は、酸素雰囲気中において1000 程度の温度の熱処理によって酸化膜を熱酸化することによって形成してもよい。また、このゲート絶縁膜9はHigh Temperature Oxide (HTO) 等のような化学反応によって堆積する方法で形成してもよい。

30

【0046】

次いで、ゲート絶縁膜9上に、例えば燐原子がドーピングされた多結晶シリコン層を設ける。この多結晶シリコン層はトレンチ内を埋めるように形成しても良い。この多結晶シリコン層をパターニングして、トレンチ内部に残すことによって、ゲート電極10を設ける。ゲート電極10の一部はトレンチ外部に突出していても良い。

【0047】

次いで、ゲート絶縁膜9及びゲート電極10を覆うように、例えば燐ガラスを1 μm程度の厚さで成膜し、層間絶縁膜11を設ける。層間絶縁膜11及びゲート絶縁膜9をパターニングして選択的に除去することによって、コンタクトホールを形成し、n⁺ソース領域7及びp⁺⁺コンタクト領域8を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜11を平坦化する。ここまでの状態が図8に示されている。

40

【0048】

次いで、コンタクトホール内及び層間絶縁膜11の上にソース電極12となる導電性の膜を設ける。この導電性の膜を選択的に除去して、例えばコンタクトホール内のみソース電極12を残す。

【0049】

次いで、n⁺型炭化珪素基板1の第2主面上に、例えばニッケルの膜でできたドレイン電極13を設ける。その後、例えば970 程度の温度で熱処理を行って、n⁺型炭化珪

50

素基板 1 とドレイン電極 1 3 とをオーミック接合する。

【0050】

次いで、図 1 に示すように、例えばスパッタ法によって、ソース電極 1 2 及び層間絶縁膜 1 1 を覆うように、例えばアルミニウムの膜を、厚さが例えば $5 \mu\text{m}$ 程度になるように、設ける。その後、A 1 の膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド 1 4 を形成する。

【0051】

次いで、ドレイン電極 1 3 の表面に、例えばチタン、ニッケル及び金を順に積層することによって、ドレイン電極パッド 1 5 を設ける。以上のようにして、図 1 に示す半導体装置が完成する。

10

【0052】

以上説明した実施の形態によれば、 n^+ ソース領域 7 を形成する際のドーパントとして燐と炭素の 2 種類を共注入する場合には、炭素のドーズ量 D_C は、燐のドーズ量 D_P に対して $0.7 D_C / D_P \sim 1.3$ を満たすようにする。これにより、注入した燐が炭化珪素中の珪素サイトに入った際に余剰となった珪素と、共注入した炭素が結合して炭化珪素となり、格子間原子を低減する。また、 n^+ ソース領域 7 を形成する際のドーパントとして窒素と珪素の 2 種類を共注入する場合には、珪素のドーズ量 D_{Si} は窒素のドーズ量 D_N に対して $0.7 D_{Si} / D_N \sim 1.3$ を満たすように形成する。これにより、注入した窒素が炭化珪素中の炭素サイトに入った際に余剰となった炭素と、共注入した珪素が結合して炭化珪素となり、格子間原子を低減する。格子間原子を低減できることにより、ドレイン飽和電流 (I_{DSS}) を低減することが可能となり、リーク電流の発生を抑えることができる。

20

【0053】

なお、本実施の形態においては、浅く濃い n 型領域 5 b の形成をイオン注入で行う形態を示したが、第 2 n 型炭化珪素エピタキシャル層 2 b のエピタキシャル成長時に窒素の不純物濃度が $5 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度となるように設定し、イオン注入を省略する製造方法としても良い。

【0054】

以上において本発明では、炭化珪素でできた炭化珪素基板の主面を (0001) 面とし当該 (0001) 面上に MOS を構成した場合を例に説明したが、面方位および MOS に限らず、IGBT, SIT 等の n 型領域を有する素子および基板主面の面方位などを種々変更可能である。

30

【0055】

また、本発明では、各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型とした。

【産業上の利用可能性】

【0056】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

【符号の説明】

40

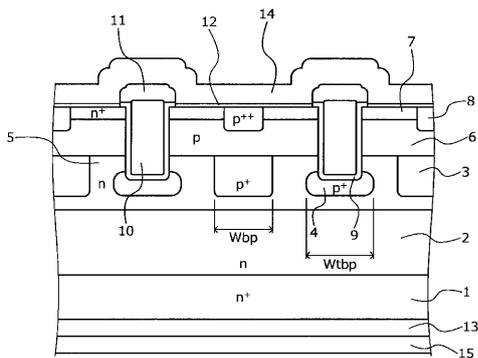
【0057】

- 1 n^+ 型炭化珪素基板
- 2 n 型炭化珪素エピタキシャル層
- 2 a 第 1 n 型炭化珪素エピタキシャル層
- 2 b 第 2 n 型炭化珪素エピタキシャル層
- 3 第 1 p^+ ベース領域
- 3 a 深い位置の第 1 p^+ ベース領域
- 3 b 浅い位置の第 1 p^+ ベース領域
- 4 第 2 p^+ ベース領域
- 5 濃い n 型領域

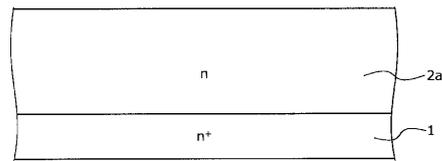
50

- 5 a 深い位置の濃いn型領域
- 5 b 浅い位置の濃いn型領域
- 6 pベース層
- 7 n⁺ソース領域
- 8 p⁺⁺コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 裏面電極
- 14 ソース電極パッド
- 15 ドレイン電極パッド
- W b p 第1 p⁺ベース領域3の幅
- W t b p 第2 p⁺ベース領域4の幅

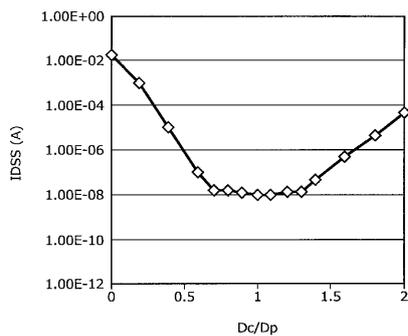
【 図 1 】



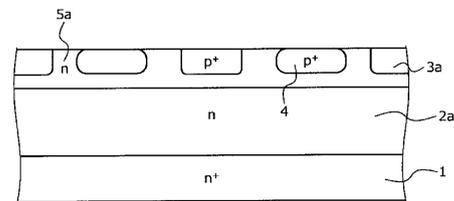
【 図 3 】



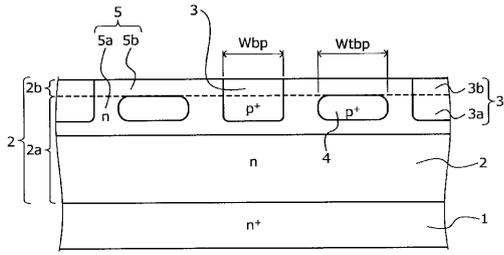
【 図 2 】



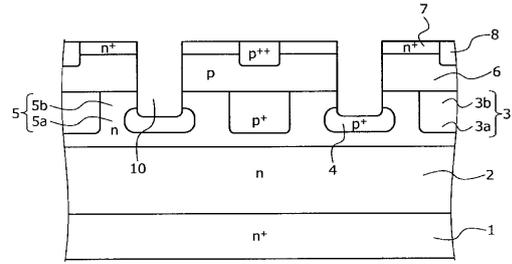
【 図 4 】



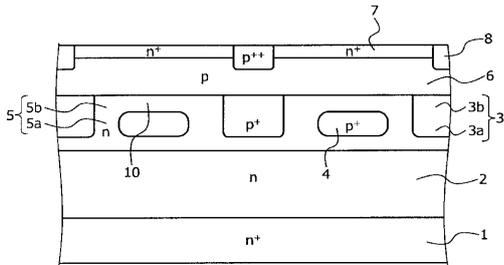
【 図 5 】



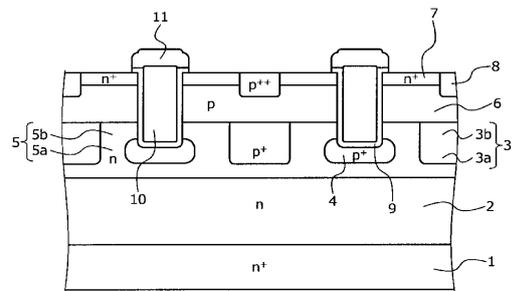
【 図 7 】



【 図 6 】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/265 (2006.01)	H 0 1 L 29/78	6 5 2 B
	H 0 1 L 29/06	3 0 1 D
	H 0 1 L 29/06	3 0 1 V
	H 0 1 L 21/20	
	H 0 1 L 21/265	Z
	H 0 1 L 21/265	6 0 2 A