



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월26일  
(11) 등록번호 10-1037043  
(24) 등록일자 2011년05월19일

(51) Int. Cl.

H01L 21/3065 (2006.01) H01L 21/683 (2006.01)

(21) 출원번호 10-2009-0016724

(22) 출원일자 2009년02월27일

심사청구일자 2009년02월27일

(65) 공개번호 10-2010-0097865

(43) 공개일자 2010년09월06일

(56) 선행기술조사문헌

JP2000183040 A\*

KR1020010080234 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

성균관대학교산학협력단

경기 수원시 장안구 천천동 300 성균관대학교내

(72) 발명자

유원중

서울특별시 송파구 신천동 17-6 미성아파트 3-408

이승환

경기도 수원시 장안구 천천동 300번지 제2종합연  
구동 83176

(74) 대리인

특허법인다나

전체 청구항 수 : 총 9 항

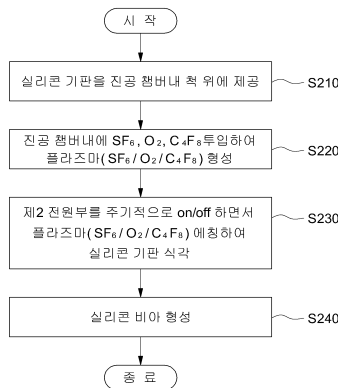
심사관 : 박귀만

(54) 반도체 기판의 비아 형성방법

(57) 요약

반도체 기판의 비아 형성방법을 개시한다. 상기 방법은 반도체 기판을 진공 상태의 챔버 내 시료를 올려놓은 척(chuck)부에 제공하는 기판 제공단계, 상기 진공 상태의 챔버 내 공간인 플라즈마 생성부로 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)을 투입하고 상기 플라즈마 생성부에 전원을 인가하는 제1전원 및 상기 척부에 전원을 인가하는 제2전원을 인가하여 플라즈마를 생성시키는 플라즈마 생성단계, 및 상기 제1전원은 연속적으로 인가하고 상기 제2전원은 저 주파수로 주기적으로 온(on)·오프(off)하면서 상기 플라즈마를 이용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기판에 비아를 형성하는 플라즈마 식각단계를 포함한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 10029002-2007-13

부처명 정부)산자-산업기술평가원-산업기술/핵심기술

연구관리전문기관

연구사업명 성장동력기술개발사업

연구과제명 SiP 적용을 위한 deep via etching 공정 개발

기여율

주관기관 성균관대학교산학협력단

연구기간 2008년 11월 01일 ~ 2009년 10월 31일

---

**특허청구의 범위**

**청구항 1**

반도체 기판을 진공 상태의 챔버 내 시료를 올려놓은 척(chuck)부에 제공하는 기관 제공단계;

상기 진공 상태의 챔버 내 공간인 플라즈마 생성부로 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)을 투입하고 상기 플라즈마 생성부에 전원을 인가하는 제1전원 및 상기 척부에 전원을 인가하는 제2전원을 인가하여 플라즈마를 생성시키는 플라즈마 생성단계; 및

상기 제1전원은 연속적으로 인가하고 상기 제2전원은 10 Hz 내지 300 Hz의 저 주파수로 주기적으로 온(on)·오프(off)하면서 상기 플라즈마를 이용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기관에 비아를 형성하는 플라즈마 식각단계를 포함하는 반도체 기관의 비아 형성방법.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 저 주파수는 10 Hz 내지 50 Hz인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 4**

제 1 항에 있어서,

상기 주기적으로 온(on)·오프(off)하는 한 주기의 온 시간을 나타내는 듀티 싸이클(duty-cycle)은 5 내지 30%인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 5**

제 4 항에 있어서,

상기 듀티 싸이클은 15 내지 25%인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 6**

제 1 항에 있어서,

상기 제2전원은 5 내지 50 W 인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 7**

제 6 항에 있어서,

상기 제2전원은 20 내지 40 W 인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 8**

제 1 항에 있어서,

상기 제1전원은 550 내지 650 W 인 것을 특징으로 하는 반도체 기관의 비아 형성방법.

**청구항 9**

제 1 항에 따른 반도체 기관의 비아 형성방법에 의해 제조된 반도체 기관의 비아.

**청구항 10**

제 9 항에 있어서,

상기 반도체 기관의 비아는 20:1 이상의 종횡비(aspect ratio)를 가지는 것을 특징으로 하는 반도체 기관의 비

아.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 식각 방법에 관한 것으로, 특히 반도체 기판의 식각을 통한 비아 형성방법에 관한 것이다.

**배경기술**

[0002] 오늘날 정보기술 발달로 인하여 모든 멀티미디어 시스템 및 구조가 소형화 및 고성능화로 급속하게 변화되고 있다. 반도체 업계에서도 다양한 기능이 집약된 멀티미디어분야와 통신분야 등에서 여러 기능이 집적된 칩들의 급격한 수요 증가로 변화하는 사회의 요구를 수용하기 위한 많은 기술과 공정들이 주목을 받고 있다. 그 중에서도 빠른 속도와 다양한 기능이 고집적화된 소형화 모듈에 가장 적합한 직접회로 형태로 딥 비아(deep via)를 이용한 다양한 칩들이 하나의 시스템에서 제어와 동작이 가능한 SIP(system-in-package)구조가 각광받고 있다.

[0003] 이러한 SIP구조는 하나의 단위로 패키징하여 시스템이나 서버 시스템과 연관된 다기능을 수행하도록 한, 서로 다른 기능의 능동 전자 부품들의 조합을 말한다. SIP구조는 초경량, 초소형 부품 또는 시스템 개발이라는 모바일 시대의 키워드를 구현할 수 있다. 또한, 패키징이나 보드 레벨에서 시스템의 성능을 떨어뜨리는 요인을 제거하여 부품이나 시스템의 성능을 최적화할 수 있는 이점을 제공하기 때문에 이에 대한 관심이 증대되고 있다. SIP구조는 각 층간의 딥 비아를 통하여 직접적으로 전기적 연결을 하기 때문에 소비전력 감소와 전기적 신호 지연현상을 줄이는 시스템의 성능 개선 및 신뢰성을 증대시킨다.

[0004] 이러한 SIP구조의 제작 기술 중 핵심이라고 할 수 있는 반도체 기판의 비아 형성공정은 쌓여있는 각 패키지층의 소자의 구동이나 전도성 있는 금속 물질로 전기적 배선을 형성하는데 중요하다.

[0005] 반도체 기판의 비아 형성공정은 보쉬(Bosch) 공정과 비보쉬(Non-Bosch) 공정으로 나눌 수 있다. 보쉬 공정은 식각(etching)과 증착(passivation)을 반복적으로 수행하여 비아를 형성한다. 현재 반도체 대량생산에서 주로 사용되고 있으나, 고비용 및 공정 중 측벽에서 생성되는 스킨로핑 효과(Scalloping effect) 등의 문제점을 보이고 있다. 비보쉬(Non-Bosch) 공정은 주로 식각에 이용되는 가스를 이용해 식각공정만 수행하기 때문에 공정이 간단하고 경제적인 장점을 가지고 있지만, 낮은 중형비와 언더컷, 그리고 로컬보잉 효과(Localbowing effect)를 보이는 문제점을 가지고 있다. 보쉬(Bosch) 공정과 비보쉬(Non-Bosch) 공정 모두 상기와 같은 문제점으로 인하여 고중형비, 낮은 스킨로핑 및 로컬보잉 효과, 그리고 억제된 언더컷 식각형태를 보이는 비아 형성 공정이 요구된다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 본 발명이 이루고자 하는 기술적 과제는 높은 에칭율로 반도체 기판 비아 입구쪽의 언더컷을 감소시키고 미시적 부하효과를 최소화한 반도체 기판의 이방성 에칭 특성을 보이는 비아 형성방법을 제공하는 데 있다.

**과제 해결수단**

[0007] 본 발명의 일 양태에 따르면 반도체 기판을 진공 상태의 챔버 내 시료를 올려놓은 척(chuck)부에 제공하는 기판 제공단계, 상기 진공 상태의 챔버 내 공간인 플라즈마 생성부로 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)을 투입하고 상기 플라즈마 생성부에 전원을 인가하는 제1전원 및 상기 척부에 전원을 인가하는 제2전원을 인가하여 플라즈마를 생성시키는 플라즈마 생성단계, 및 상기 제1전원은 연속적으로 인가하고 상기 제2전원은 저 주파수로 주기적으로 온(on)·오프(off)하면서 상기 플라즈마를 이용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기판에 비어를 형성하는 플라즈마 식각단계를 포함하는 반도체 기판의 비아 형성방법을 제공한다.

- [0008] 상기 저 주파수는 10 내지 300 Hz일 수 있다. 바람직하게는 10 내지 50 Hz일 수 있다.
- [0009] 상기 주기적으로 온(on)·오프(off)하는 한 주기의 온 시간을 나타내는 듀티 싸이클(duty-cycle)은 5 내지 30% 일 수 있다. 바람직하게는 15 내지 25%일 수 있다.
- [0010] 상기 제2전원은 5 내지 50 W 일 수 있다.
- [0011] 본 발명의 다른 양태에 따르면 상기 방법으로 제조된 반도체 기관의 비아를 제공한다.
- [0012] 상기 반도체 기관의 비아는 20:1 이상의 종횡비(aspect ratio)를 가질 수 있다.

**효 과**

- [0013] 반도체 기관 측면에서 일어나는 등방성 식각과 로컬보잉 효과를 감소시키고 반도체 기관의 비아 입구 쪽의 언더컷을 감소시켜 높은 종횡비의 이방성 식각 형태를 보이는 비어를 형성할 수 있다. 적층된 반도체 소자간의 전기적 신호 통로인 반도체 기관 비아 관통 전극 (Through Silicon Vias)과 트랜치를 형성하는데 이용될 수 있다.
- [0014] 고성능 MEMS(Microelectromechanical systems) 소자 제작 및 고효율 태양전지 제작에서 반사도에 큰 영향을 미치는 표면처리(Texturing)공정에도 적용이 가능하며, 미세공정화, 대용량화, 소형화, 시스템 온 칩화(SOC), 시스템 인 패키지 (SIP) 등에 응용할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0015] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0016] 제2, 제1 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제2 구성요소는 제1 구성요소로 명명될 수 있고, 유사하게 제1 구성요소도 제2 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0017] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0018] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0020] 이하, 첨부된 도면을 참조하여 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 대응하는 구성 요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0021] 도 1은 본 실시예에 따른 반도체 기관의 비아 형성방법에 이용되는 장치를 나타내는 도면이다.
- [0022] 도 1을 참조하면, 반도체 기관의 비아 형성방법에 이용되는 장치(100)는 제1전원부(110), 안테나(120), 챔버(130), 제2전원부(140) 및 펄스발생기(150)를 포함한다.
- [0023] 제1전원부(110)는 안테나(120)에 전원을 공급한다. 안테나(120)는 제1전원부(110)로부터 전원을 공급받아 높은 전류가 흐르게 되며 챔버(130) 내로 들어간 가스의 원자에 다양한 충돌현상을 유도함으로써 이온화

(ionization), 여기(excitation) 등을 유발시킨다.

- [0024] 챔버(130)는 플라즈마 생성부(131) 및 척(chuck)(133)을 포함한다. 플라즈마 생성부(131)는 챔버(130)내 공간으로서, 진공상태에서 플라즈마 생성부(131) 안으로 들어간 가스가 플라즈마로 형성되며, 플라즈마 내에는 여러 입자 예컨대, 중성자, 래디컬(radical), 양이온, 음이온, 광자들이 존재하게 된다. 여기서, 가스로서는 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)을 이용한다. 척(133)은 그 위에 시료를 올려놓아 플라즈마 생성부(131)내 만들어진 플라즈마(SF<sub>6</sub>/O<sub>2</sub>/C<sub>4</sub>F<sub>8</sub>) 내 여러 입자들이 척(133) 위에 놓여진 시료를 에칭한다.
- [0025] 제2전원부(140)는 척(133)에 고주파수의 바이어스 전력(bias power)을 공급한다. 예컨대, 13.56MHz인 고주파수의 바이어스 전력이 공급될 수 있다.
- [0026] 펄스발생기(150)는 저 주파수의 펄스를 발생시켜 제2전원부를 주기적으로 온(on)·오프(off)시킨다. 여기서, 저 주파수는 10 내지 300 Hz 일 수 있다. 바람직하게는 10 내지 50 Hz일 수 있다. 제2전원부(140)는 고주파수의 바이어스 전력(bias power)을 공급하므로 펄스발생기(150)에 의해 온 상태에 있을 때는 척(133)에 고주파수의 바이어스 전력(bias power)이 공급되고, 펄스발생기(150)에 의해 오프 상태에 있을 때는 척(133)에 전원이 공급되지 않는다. 펄스발생기(150)에서 발생하는 펄스 주파수 및 펄스 한 주기의 온 시간을 나타내는 듀티 사이클(duty-cycle)은 다양하게 조절될 수 있다. 예컨대, 듀티 사이클은 5 내지 30% 일 수 있다. 바람직하게는 15 내지 25% 일 수 있다.
- [0027] 반도체 기판의 비아 형성방법에 이용되는 장치(100)에는 도 1에 도시되지는 않았지만 챔버(130) 내의 온도를 조절하는 온도조절부 및 내부에 냉각성분을 포함하여 적절하게 배합된 냉각성분을 챔버(130) 내로 투입하여 온도를 조절하는 냉각부 등이 추가로 포함될 수 있다.
- [0028] 여기서는, 유도결합형 플라즈마(inductively coupled plasma) 장치를 이용할 수 있다. 유도결합형 플라즈마(inductively coupled plasma) 장치는 플라즈마 밀도를 제어하는 전원과 기판에 입사하는 이온에너지를 제어하는 전원이 분리되어 있다.
- [0029] 도 2는 본 실시예에 따른 반도체 기판의 비아 형성방법을 설명하는 순서도이다.
- [0030] 도 1의 반도체 기판의 비아 형성방법에 이용되는 장치(100)와 관련하여 설명하기로 하며, 장치(100)와 관련한 설명은 생략하기로 한다. 본 실시예에서는 반도체 기판의 일예로 실리콘 기판을 이용하여 설명한다.
- [0031] 도 2를 참조하면, 실리콘 기판을 진공상태의 챔버(130) 내 척(133) 위에 제공한다(S210). 여기서는, 실리콘 기판 외에도 다양한 반도체 기판 예컨대, 게르마늄 기판, 갈륨비소(GaAs) 기판 등이 이용될 수 있다.
- [0032] 그런 다음, 진공상태의 챔버(130) 내 공간으로 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)을 투입하고, 제1전원부(110) 및 제2전원부(140)에 전원을 인가하여 챔버(130) 내 플라즈마(SF<sub>6</sub>/O<sub>2</sub>)를 형성한다(S220). 육플루오린화 황(SF<sub>6</sub>), 산소(O<sub>2</sub>) 및 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)은 일정한 전체 유량을 유지하면서 투입될 수 있거나, 각각 다른 유량으로 투입될 수 있다. 예컨대, 육플루오린화 황(SF<sub>6</sub>)는 약 30sccm, 산소(O<sub>2</sub>)는 약 30sccm, 팔플루오르화 부텐(C<sub>4</sub>F<sub>8</sub>)는 약 20sccm와 같이 각각 다른 유량으로 투입될 수 있다. 챔버(130) 내 압력은 30mTorr 내외로 유지될 수 있다. 제1전원부(110)는 500 내지 1200W에서 어떤 일정한 값으로 일정한 전원을 제공할 수 있다. 바람직하게는 550 내지 650 W에서 어떤 일정한 값으로 일정한 전원을 제공할 수 있다. 제2전원부(140)는 5 내지 70W의 전원을 제공할 수 있다. 바람직하게는 5 내지 50W의 전원을 제공할 수 있다. 더욱 바람직하게는 20 내지 40W의 전원을 제공할 수 있다.
- [0033] 그런 다음, 제1전원부(110)는 연속적으로 전원을 인가하고 제2전원부(140)는 주기적으로 전원을 온·오프하여 챔버(130) 내 척(133) 위에 제공된 실리콘 기판을 S220에서 형성된 플라즈마를 이용하여 식각(etching)한다(S230). 제2전원부(140)는 앞단에 연결된 펄스발생기(150)에 의해 저 주파수로 주기적으로 온(on)·오프(off)된다. 여기서, 저 주파수는 10 내지 300 Hz 일 수 있다. 바람직하게는 10 내지 50 Hz일 수 있다. 펄스발생기(150)에 의해 온 상태에 있을 때는 척(133)에 고주파수의 바이어스 전력(bias power)이 공급되고, 펄스발생기(150)에 의해 오프 상태에 있을 때는 척(133)에 전원이 공급되지 않는다. 펄스발생기(150)에 의해 온 상태에 있을 때는 실리콘 기판에서 주로 이온의 작용으로 인한 이방성 식각이 일어나고, 펄스발생기(150)에 의해 오프 상태에 있을 때는 주로 실리콘 기판에서 표면 산화 및 탄소(Carbon) 폴리머 측벽 증착(passivation)이 일어난다. 상기와 같이 고주파수의 바이어스 전력(bias power)이 온 일때와 오프 일때의 극히 짧은 라이프 타임을 갖는 전자

에 영향을 미쳐 전자 농도 및 온도 차이가 발생하게 된다. 산소(O<sub>2</sub>)는 측벽 증착에 도움을 준다.

- [0034] 제1전원부(110)를 통한 연속(continuous) 공정에 제2전원부(140)를 통한 추가적인 펄스와 듀티 변화에 따른 플라즈마 온·오프 상태는 전자의 양과 온도 차이로 이온화 활성도에 영향을 주며, 육플루오린화 황(SF<sub>6</sub>)의 이온화를 줄인다. 결과적으로 화학적 식각을 돕는 이온 및 래디컬양의 감소는 언더컷을 개선한 반도체 기판의 비어를 형성한다(S240).
- [0035] 도 3은 본 실시예에 따른 제2전원부의 주기적인 온·오프 상태를 보여주는 도면이다.
- [0036] 도 3을 참조하면, 반도체 기판의 비어 형성방법에 이용되는 장치(100)의 제1전원부(110)는 연속적으로 일정한 전력을 제공하는 상태에서, 펄스발생기(150)에 의해 제2전원부(140)가 온(on) 상태에 있을 때는 실리콘 기판에서 주로 이온의 작용으로 인한 이방성 식각이 일어나고, 펄스발생기(150)에 의해 제2전원부(140)가 오프(off) 상태에 있을 때는 실리콘 기판에서 주로 표면 산화 및 탄소(Carbon) 폴리머 측벽 증착 활성화가 일어난다. 제2전원부(140)가 온(on) 상태에 있을 때 그래프 내부의 파형은 고주파수의 바이어스 전력이 인가되는 것을 보여준다.
- [0037] 도 4는 제2전원부에 연속적(continuous) 전원을 인가하여 제조된 실리콘 비어의 주사전자현미경(SEM)사진을 보여주고, 도 5는 본 실시예에 의해 제조된 실리콘 비어의 주사전자현미경(SEM)사진을 보여준다.
- [0038] 도 4 및 도 5를 참조하면, 도 4에서 보이는 실리콘 비어는 사이드 에칭과 측벽에서 발생하는 언더컷이 많이 보이는 것을 확인할 수 있다. 이에 비해 도 5에서 보이는 실리콘 비어는 도 4의 결과에 비해 언더컷과 사이드 에칭이 줄어들었으며, 유사한 에칭률을 확인할 수 있다.
- [0039] 본 실시예를 통하여 펄스발생기로 전원을 주기적으로 온·오프하여 반도체 기판을 식각함으로써 높은 에칭율로 고 종횡비(>20:1)를 가지고 비어 입구쪽의 언더컷을 감소시킨 반도체 기판의 비어를 형성할 수 있다.
- [0040] 이상 본 발명에 대하여 실시예를 참조하여 설명하였지만, 해당 기술 분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시켜 실시할 수 있음을 이해할 수 있을 것이다. 따라서 상술한 실시예에 한정되지 않고, 본 발명은 이하의 특허청구범위의 범위 내의 모든 실시예들을 포함한다고 할 것이다.

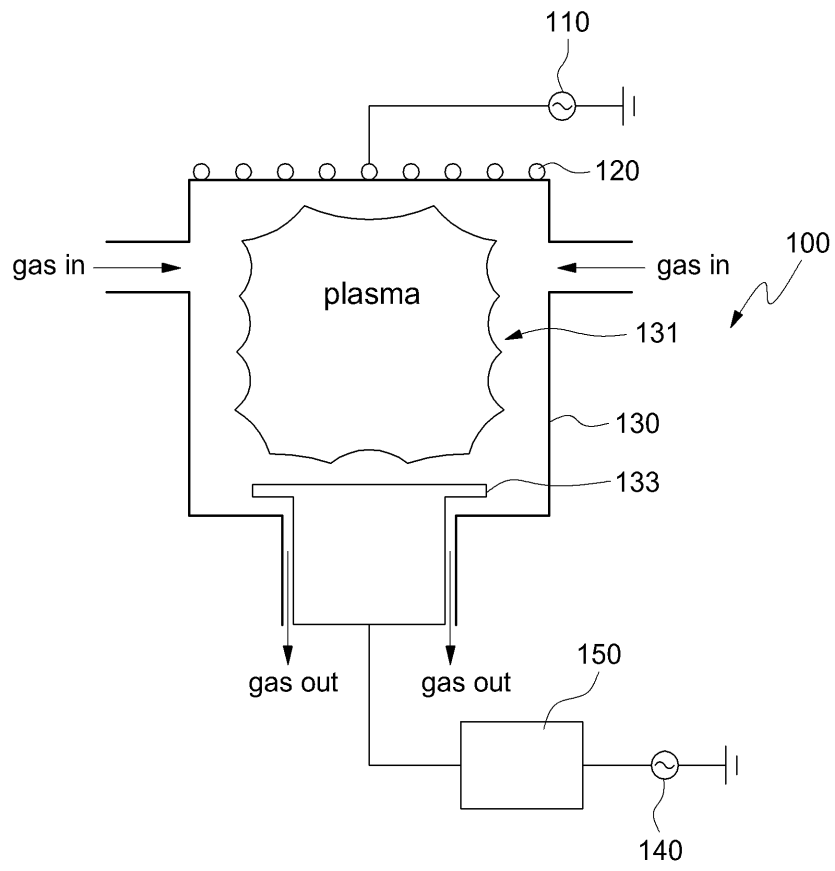
**도면의 간단한 설명**

- [0041] 도 1은 본 실시예에 따른 반도체 기판의 비어 형성방법에 이용되는 장치를 나타내는 도면이다.
- [0042] 도 2는 본 실시예에 따른 반도체 기판의 비어 형성방법을 설명하는 순서도이다.
- [0043] 도 3은 본 실시예에 따른 제2전원부의 주기적인 온·오프 상태를 보여주는 도면이다.
- [0044] 도 4는 제2전원부에 연속적 전원을 인가하여 제조된 실리콘 비어의 주사전자현미경(SEM)사진을 보여준다.
- [0045] 도 5는 본 실시예에 의해 제조된 실리콘 비어의 주사전자현미경(SEM)사진을 보여준다.



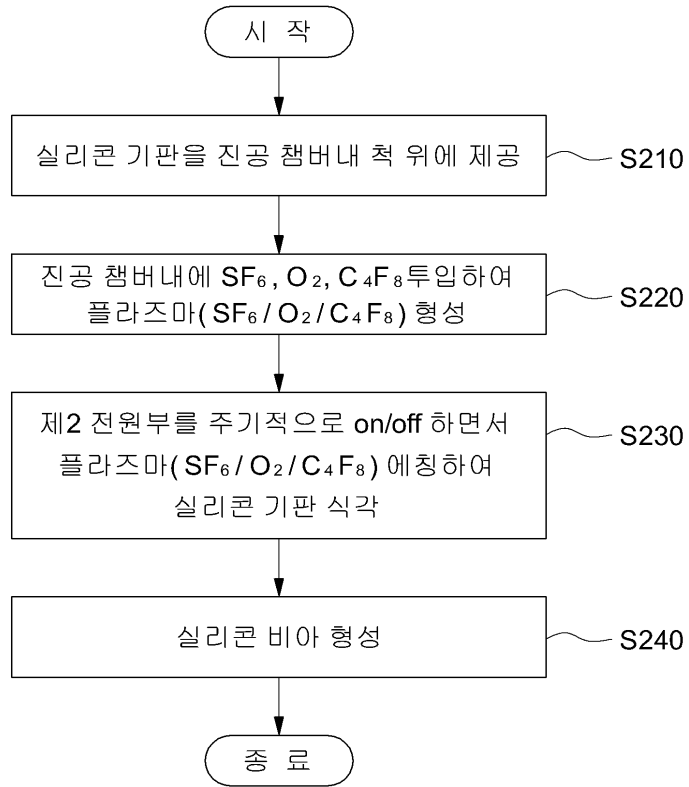
도면

도면1

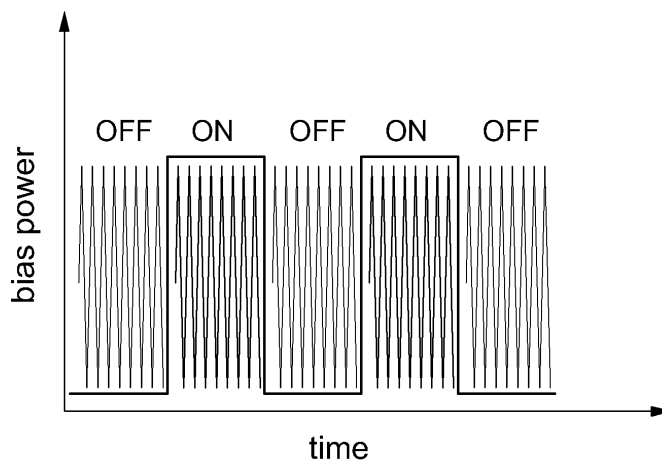




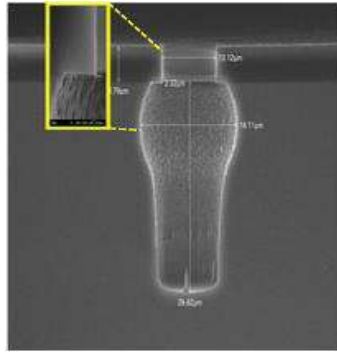
도면2



도면3



도면4



도면5

