

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013년 1월 3일 (03.01.2013)



(10) 국제공개번호
WO 2013/002588 A2

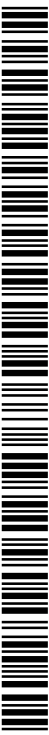
- (51) 국제특허분류: 미분류
- (21) 국제출원번호: PCT/KR2012/005150
- (22) 국제출원일: 2012년 6월 28일 (28.06.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2011-0063300 2011년 6월 28일 (28.06.2011) KR
- (72) 발명자: 겸
- (71) 출원인: 이형곤 (LEE, Hyeong Gon) [KR/KR]; 151-761 서울 관악구 서림동 1694 현대아파트 106-1310, SOEUL (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA,

LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))



WO 2013/002588 A2

(54) Title: MOTHERBOARD FOR A PRINTED CIRCUIT BOARD FOR AN LED, PRINTED CIRCUIT BOARD, LED UNIT, ILLUMINATING DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 엘이디용 회로기판원판, 회로기판, 엘이디유닛, 조명기구 및 제조방법

(57) Abstract: The present invention relates to an LED unit, to a COB-type LED unit, to an LED module, to an illuminating device, to a motherboard for a printed circuit board (PCB) for an LED, to a printed circuit board, and to a method for manufacturing same. The motherboard for the PCB for the LED, the LED unit, the LED module, the COB-type LED unit, and the LED illuminating device according to the present invention have improved heat-dissipating characteristics, allow for easy correction and/or removal of defects during the manufacture of the COB-type LED module, reduce the unit costs of products, and improve the quality and reliability of the products.

(57) 요약서: 본 발명은 엘이디유닛과 COB 형 엘이디유닛, 엘이디모듈, 조명장치 및 엘이디용 회로기판(PCB)원판, 회로기판과 그 제조방법에 관한 것으로서, 방열특성이 향상될 뿐 아니라 COB 형 엘이디모듈을 제조할 때 불량부의 수정 및/또는 제거 작업이 용이하고, 제품의 단가를 절감해 주며, 제품의 품질과 신뢰성을 향상시킬 수 있는 엘이디용 회로기판(PCB)원판과 회로기판, 엘이디유닛, 엘이디모듈, COB 형 엘이디유닛 및 엘이디 조명기구를 제공한다.

명세서

발명의 명칭: 엘이디용 회로기판원판, 회로기판, 엘이디유닛, 조명기구 및 제조방법

기술분야

- [1] 본 발명은 엘이디(LED -LIGHT EMITTING DIODE) 산업분야에 폭넓게 사용될 수 있는 제조방법과 그 제품들에 관한 발명이다.

배경기술

- [2] 세계적으로 에너지절감과 환경보호를 목적으로 조명기구의 교체바람이 일고 있다. 기존의 에너지 소모가 크고 발열이 심한 백열등이나 수은이나 공해물질을 배출하는 형광등의 대안으로서 엘이디(LED)로 불리워지는 발광다이오드가 떠오르고 있다.

발명의 상세한 설명

기술적 과제

- [3] 엘이디는 연색성이 좋고 에너지효율이 높으며 사용 수명 또한 길어서 가까운 장래에 대부분의 조명 분야에 사용될 것으로 예상된다. 하지만 상기한 장점에도 불구하고 높은 가격과 발열에 따른 특성 및 품질의 저하문제로 인해 조명분야에서는 널리 보급되지는 못하고 있는 실정이다. 또한 최신의 모바일 기기들은 날로 경박단소화 되어가는 경향에 따라 엘이디 및 이를 포함하는 기기들은 그 크기와 두께를 최소화할 것이 요구되어지고 있다.

과제 해결 수단

- [4] 상기한 문제들을 해결하기 위해 본 발명에서는 이를 위한 대안으로서, 엘이디용 회로기판(PCB)원판과 회로기판, 엘이디유닛, COB형 엘이디유닛, 엘이디모듈 및 이를 포함하여 만들어지는 조명기구 그리고 그 제조방법을 제공한다.

발명의 효과

- [5] 본 발명에 의하면 엘이디용 회로기판과 이를 위한 회로원판, 엘이디유닛, COB형 엘이디유닛, 엘이디모듈 및 조명기구의 방열특성과 품질 내구성 신뢰성 에너지효율 등은 향상시키면서도 단가는 저렴하게 공급할 수 있는 제조방법과 그에 의한 제품들이 제공된다.

도면의 간단한 설명

- [6] 도1(가),(나),(다),(라),(마)는 천공홀이 형성된 절연기판 위에 도전박판의 일부분이 상기 천공홀의 일부 이상을 막는 상태로 접착되고 패터닝되어 절연기판의 밑면에 도전 패턴을 갖는 엘이디용 회로기판이 마련되는 공정을 간략하게 도시한 그림

- [7] 도2는 상기 엘이디용 회로기판의 천공홀을 통하여 상기 천공홀 내부 공간의 일부분을 점유하는 상태로 상기 도전 패턴 중 상기 천공홀을 통하여 노출되는 면 위에 지정된 엘이디칩이 실장된 상태의 그림
- [8] 도3은 상/하 양면 모두에 도전 패턴이 구비된 것으로서 3개의 엘이디칩이 직렬로 연결된 상태의 그림
- [9] 도4는 상/하 양면 모두에 도전 패턴이 구비된 것으로서 윗면에 전원 단자가 모두 형성된 것이며, 각 전원단자 세트는 하나의 엘이디칩에 전원을 공급하도록 구성된 엘이디유닛
- [10] 도5는 상/하 양면 모두에 도전 패턴이 구비된 것으로서 윗면에 전원 단자가 모두 형성된 것이며, 각 전원단자 세트는 직렬로 연결된 복수 개의 엘이디칩으로 전원을 공급하도록 구성된 엘이디유닛
- [11] 도6은 도4의 엘이디유닛을 각각 지정된 수량의 엘이디칩이 포함되도록 절단한 엘이디유닛(또는 엘이디패키지)
- [12] 도7은 도5의 엘이디유닛을 각각 지정된 수량의 엘이디칩이 포함되도록 절단한 엘이디유닛(또는 엘이디패키지)
- [13] 도8은 도6의 엘이디유닛 복수 개를 조합하고 별도의 회로기판 및 2차 방열재와 결합함으로써 각 엘이디유닛이 직렬로 조합된 엘이디모듈
- [14] 도9는 도7의 엘이디유닛 복수 개를 조합하고 별도의 회로기판 및 2차 방열재와 결합함으로써 완성된 조합형 엘이디모듈
- [15] 도10은 엘이디칩의 출광면에 본딩된 본딩와이어가 회로기판의 출광면(회로기판의 윗면)에 마련된 도전 패턴에 본딩되고 이 것이 이웃하는 엘이디칩과 직렬로 연결되는 특징의 엘이디유닛
- [16] 도11은 엘이디칩의 출광면에 본딩된 본딩와이어가 회로기판의 출광면(회로기판의 윗면)에 마련된 도전 패턴에 본딩된 것을 특징으로 하는 엘이디유닛
- [17] (본 발명의 각 엘이디유닛은 각각 엘이디칩을 보호하기 위한 봉지재와 형광재와 렌즈와 기타 부속재 중에서 하나 이상을 포함한 상태로 완성됨)
- [18] 도12는 절연기판의 천공홀 내에 형성된 홀도전재와 실장면 위에 실장된 엘이디칩과 본딩와이어를 도시한 그림
- [19] 도13은 엘이디용 회로기판이 2차방열재와 결합된 모습
- [20] 도14는 엘이디칩 하나 또는 복수 개를 포함하는 형태로 만들어진 엘이디패키지(솔더패드는 지정된 양태로 형성될 수 있음)
- [21] 1; 적어도 표면이 부도체인 절연기판 3; 절연기판의 일부분에 형성된 천공홀 5;도전박판 7;도전박판을 이용해 패터닝된 도전 패턴(엘이디칩 실장부와 분리된 패턴) 8.도전박판을 이용해 패터닝된 도전 패턴(엘이디칩 실장부와 일체로 연결된 패턴) 9;엘이디칩(light emitting diode chip) 10;엘이디칩 실장면(실장부) 11; 본딩와이어(bonding wire) 13; 전원공급선 15; 절연기판의 출광면(윗면)에 마련된 도전 패턴 17; 절연기판의 상하를 가로지르는 상태로 상/하면에 마련된

- 도전 패턴을 서로 연결해주는 상하연결도전재 19; 추가로 마련되는 부속 회로기판에 마련된 도전 패턴 21; 추가로 마련되는 부속 회로기판의 절연기판 23; 부속 회로기판에 마련된 출광홀 25; 엘이디유닛(또는 COB - chip on board)을 2차방열재와 결합해주는 결합수단 27; 2차방열재(발광장치의 하우징, 케이스, 샷시 등으로 대체될 수 있음) 29; 엘이디유닛의 2차방열면과 2차방열재의 조합면에 마련되는 열전도매체(절연테이프, 페이스트, 슈트일 수 있음) 31; 패터닝 단계 후 도전박판의 패턴 중 천공홀 내에 형성되는 홀도전재와 홀도전재 사이의 간격

발명의 실시를 위한 최선의 형태

- [23] 먼저 본 발명의 첫 번째 양태를 따라 엘이디용 회로기판의 제조를 위해 마련된 절연기판과 상기 절연기판의 한 면 이상에 마련된 도전 패턴과 복수의 엘이디칩 실장면을 포함하여 이루어지는 엘이디용 회로기판의 제조를 위해 사용되는 엘이디용 회로기판(PCB)원판 제조방법으로서, 슈트형상의 절연기판과 도전박판을 준비하는 단계와, 상기 절연기판에 천공홀이 형성될 복수의 지점을 결정 하는 단계와, 적어도 하나의 엘이디칩을 수용할 수 있도록 천공홀의 형상과 크기를 결정 하는 단계와, 상기 절연기판의 지정된 복수의 지점에 상기 천공홀을 천공하여 복수의 천공홀이 지정된 위치에 구비된 절연기판을 준비하는 단계와, 상기 천공홀이 미리 형성되어 있는 절연기판의 한 면 이상에 상기 천공홀의 적어도 일부분을 막는 형태로 상기 도전박판을 접합하는 단계를 포함하여 실시되며, 상기 엘이디용 회로기판원판을 패터닝해서 엘이디용 회로기판을 제조할 때에 상기 도전박판의 패터닝은 패터닝 단계 후에 남겨진 상기 도전박판의 패턴이 상기 천공홀의 적어도 일부분을 막는 형태로 남겨지도록 실시되며, 상기 절연기판의 천공홀이 도전박판의 패턴에 의해 막히지 않은 출광면(윗면)에서 본 평면도 상에서 볼때 상기 각 천공홀의 내부에 나타나는 상기 도전박판의 패턴을 '홀도전재'라 할 때 상기 각 천공홀 내부에 구비되는 홀도전재는 적어도 제1홀도전재 및 제2홀도전재를 포함하는 둘 이상의 홀도전재로 나누어진 형상으로 패터닝되는 것이며, 상기 홀도전재 중에서 하나의 천공홀 내에 존재하는 적어도 두 홀도전재는 서로 전위가 다른 것이고, 상기 서로 전위가 다른 두 홀도전재 중에서 적어도 하나는 엘이디칩의 전극과 전기적으로 연결된 전극-홀도전재이며, 상기 하나의 천공홀 내부에는 상기 실장부-홀도전재와 상기 전극-홀도전재가 각각 하나 이상씩 구비된 것이며, 상기 도전박판의 패터닝은 상기 홀도전재 외에 상기 천공홀 외측부의 밑면에서도 함께 실시되며, 상기 홀도전재들은 패터닝 후 상기 천공홀 외측부의 밑면에 남겨지는 도전박판의 패턴 중 일부분과 연결된 상태로 상기 절연기판에 접합되어 있는 것이고, 상기 실장부-홀도전재 중 엘이디 실장면은 상기 실장부-홀도전재의 면 중에서 상기 천공홀을 통하여 출광면 방향으로 노출되는 면이고, 상기 엘이디칩의 실장공간은 상기 절연기판의 천공홀 내부공간 중에서

지정된 장소에 마련된 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법이 제공된다.

- [24] 이러한 구성은 절연기판으로서 가격적으로 저렴하며 신뢰성이 높은 FR4 절연기판이나 유연성절연기판쉬트를 그대로 사용하면서도 고가의 메탈회로기판(MPCB) 또는 메탈코어회로기판(MCPCB)에 버금가는 방열특성과 신뢰성을 제공하여 줄 수 있다. 당연히 상기 절연기판으로 저렴한 FR4절연기판이나 유연성절연기판쉬트에만 국한되지 않고 방열특성과 신뢰성을 더욱 향상시킬 수 있도록 매우 다양한 재료가 제한 없이 사용될 수 있다. 예를 들면 상기 절연기판으로서 알루미늄금속기판의 한 면 이상에 적어도 한 층 이상의 절연층이 형성된 알루미늄절연기판을 사용할 수 있다. 상기 알루미늄금속기판의 한 면 또는 양 표면에 한 층 이상의 절연층을 형성하는 방법에는 제한이 없으나 예를 들면 양극산화방법에 의해 산화알루미늄층을 알루미늄기판의 표면에 형성한 후 상기 산화알루미늄층 상에 존재하는 미세기공들을 밀봉하는 밀봉층을 추가로 부가함으로써 상기 절연층을 형성하는 방법이 사용될 수 있다. 상기 천공홀의 형상과 크기는 상기 실장면에 실장될 엘이디칩의 형상과 크기를 고려하여 적어도 상기 엘이디칩을 수용하고 남은 정도의 크기를 갖도록 결정하여야 하며 출광효율의 저하를 초래하지 않는 범위 안에서 최소의 크기를 갖도록 하는 것이 바람직하다. 상기 엘이디칩으로부터 방열되는 열에너지의 전도 경로는 매우 복잡다양하지만, 주된 경로를 살펴보면 상기 도전 패턴 중의 엘이디칩 실장면(10)을 통하여 상기 실장면과 일체로 연결된 도전 패턴(8)을 따라 전도되는 주경로1과, 상기 도전 패턴(8)의 윗표면과 측면을 따라 상기 절연기판(1)과 도전 패턴(7) 및 주변 방향으로 전도되는 경로2와, 상기 도전 패턴(8)과 (7) 및 절연기판(10)의 밑표면을 통해 솔더패드 및/또는 제2방열재와 주변 방향으로 전도되는 경로3 등으로 대별할 수 있다. 따라서 최종적인 제품상태에서의 열전도효과를 향상시키기 위하여 상기 도전 패턴과 상기 절연기판 간의 접촉면적이 가능한 범위에서 최대한 넓은 상태로 구성되는 것이 열방출 증대를 위하여 더욱 유리하다.

- [25] 상기에서 절연기판과 도전박판을 서로 얼라인할 때에 상기 도전박판이 상기 천공홀의 적어도 일부분을 막는 상태로 하는 이유는 엘이디칩이 실장된 실장면으로부터 상기 절연기판과 2차방열재로의 열전도경로를 증가시키기 위함이다. 상기 천공홀의 전부를 막는 상태로 상기 도전박판을 얼라인하고 그 상태를 유지하며 서로 접합하는 것이 이러한 관점에서는 가장 바람직하다. 상기 천공홀의 전체 둘레를 통하여 상기 절연재 방향으로의 열전도 경로를 갖도록 해줄 뿐 아니라 상기 도전 패턴을 2차방열재와 가압된 상태로 가장 잘 밀착시켜줄 수 있기 때문이다. 상기 접합단계 이전에 상기 절연기판에 미리 천공홀을 형성한 후에 접합하는 단계는 박판형태로 준비된 도전박판 표면을 가장 완벽하게 청결한 상태로 보존할 수 있도록 해줄 뿐 아니라 공정의 비용도 절감할 수 있게 하여주기 때문이다. 더욱이 상기 도전박판의 도전성과 표면의

평면성 유지 측면에서 가장 이상적인 제조방법이 된다. 기존에 시판되고 있는 FR4 회로기판(PCB)원판이나 유연성회로기판, 메탈PCB 또는 메탈코어PCB 등을 사용하여 상기 회로기판의 절연재 일부분을 지정된 위치에 따라 제거하는 방법을 사용할 수도 있으나 레이저가공이나 에칭 등의 방법에 의하여 가공 비용이 증가될 뿐 아니라 상기 도전박판 표면의 청결상태와 도전성 및 평면성, 조도 등이 크게 손상될 수 있으므로 바람직한 방법이 아닌 것이다. 상기에서 설명된 열전도 경로를 유지하기 위해서는 상기 도전박판의 패터닝은 패터닝 단계 후에 남겨진 상기 도전 패턴이 여전히 상기 천공홀의 적어도 일부분 바람직하게는 천공홀의 전부를 막는 형태로 남겨지도록 실시되어야 함은 당연한 것이다. 상기에 설명한 대로 도전 패턴 중 이와 같이 천공홀을 막는 부분 중 면적이 큰 패턴이 상기 엘이디칩의 실장면으로 사용되는 것이 열전도 효율을 최대화한다는 관점에서 가장 바람직한 선택이다. 패터닝 단계 후에 천공홀 내부에 남겨지는 홀도전재가 둘 이상으로 나누어지도록 하는 이유는 하나의 천공홀 내에서 적어도 하나의 엘이디칩에 형성된 두 전극에 대응하도록 적어도 하나의 전극-홀도전재와 적어도 하나의 실장부-홀도전재를 제공하기 위함이다. 상기 홀도전재 중에서 적어도 둘은 서로 다른 전위를 갖는다는 의미는 전기적으로 서로 분리된 상태로 패터닝되어 있다는 의미가 된다.

- [26] 당연히 상기 실장면에 실장된 엘이디칩으로부터 발광된 빛은 상기 천공홀을 통하여 출광면 방향으로 배출되어야 하므로 상기 천공홀을 막는 상태로 패터닝된 도전 패턴 중에서 상기 천공홀을 통하여 출광면 방향으로 노출되는 면이라야 한다. 상기 엘이디칩은 상기 천공홀을 통하여 삽입되어 상기 실장면 위에 실장되며 이 상태에서 상기 천공홀의 내부공간 중의 지정된 장소를 점유하는 상태로 고정된다. 상기의 제조방법은 시판되는 회로기판(PCB)의 구성부품으로서 포함되어 있는 절연기판의 일부분을 제거하여 천공홀을 형성하는 방법에 비하여, 생산성이 크게 향상될 뿐 아니라 상기한 문제점들을 완벽하게 해결할 수 있는 방법으로서, 보다 저렴하고 향상된 품질의 엘이디용 회로기판(PCB)원판을 제공하여 줄 수 있는 제조방법이다. 뿐만 아니라 본 발명의 엘이디용 회로기판 원판과 이를 사용하여 만들어지는 회로기판 위에 엘이디칩을 실장하는 단계를 포함하여 제조되는 엘이디유닛과 모듈 및 조명장치들은 적어도 상기 회로기판의 절연기판의 두께 만큼 그 두께를 줄일 수 있는 수단을 제공한다. 즉 상기 절연기판의 두께가 엘이디칩의 두께 보다 클 경우에는 엘이디칩으로 인한 두께 증가는 실제로 0이 되기 때문에 제품의 경박단소화에 크게 기여하게 되는 수단이다.

- [27] 본 발명의 또 다른 목적을 달성하기 위하여 엘이디용 회로기판의 제조를 위해 마련된 절연기판과 상기 절연기판의 한 면 이상에 마련된 도전 패턴과 복수의 엘이디칩 실장면을 포함하여 이루어지는 엘이디용 회로기판(PCB) 제조방법으로서, 슈트형상의 절연기판과 도전박판을 준비하는 단계와, 상기 절연기판에 천공홀이 형성될 복수의 지점을 결정 하는 단계와, 적어도 하나의

엘이디칩을 수용할 수 있도록 천공홀의 형상과 크기를 결정 하는 단계와, 상기 절연기판의 지정된 복수의 지점에 상기 천공홀을 천공하여 복수의 천공홀이 지정된 위치에 구비된 절연기판을 준비하는 단계와, 상기 천공홀이 미리 형성되어 있는 절연기판의 한 면 이상에 상기 천공홀의 적어도 일부분을 막는 형태로 상기 도전박판을 접합하는 단계를 포함하는 제조방법에 의하여 엘이디용 회로기판(PCB)원판을 준비하는 단계와, 엘이디칩의 각 전극으로 지정된 사양의 전원을 공급하기 위한 도전 패턴을 결정하는 단계와, 상기 엘이디용 회로기판(PCB)원판을 결정된 패턴에 대응하도록 패터닝하는 단계를 포함하여 실시되며, 상기 도전박판의 패터닝은 패터닝 단계 후에 남겨진 상기 도전박판의 패턴이 상기 천공홀의 적어도 일부분을 막는 형태로 남겨지도록 실시되며, 상기 절연기판의 천공홀이 도전박판의 패턴에 의해 막히지 않은 광면(윗면)에서 본 평면도 상에서 볼때 상기 각 천공홀의 내부에 나타나는 상기 도전박판의 패턴을 '홀도전재'라 할 때 상기 각 천공홀 내부에 구비되는 홀도전재는 적어도 제1홀도전재 및 제2홀도전재를 포함하는 둘 이상의 홀도전재로 누어진 형상으로 패터닝되는 것이며, 상기 홀도전재 중에서 하나의 천공홀 내에 존재하는 적어도 두 홀도전재는 서로 전위가 다른 것이고, 상기 서로 전위가 다른 두 홀도전재 중에서 적어도 하나는 엘이디칩의 전극과 전기적으로 연결된 전극-홀도전재이며, 상기 하나의 천공홀 내부에는 상기 실장부-홀도전재와 상기 전극-홀도전재가 각각 하나 이상씩 구비된 것이며, 상기 도전박판의 패터닝은 상기 홀도전재 외에 상기 천공홀 외측부의 밑면에서도 함께 실시되며, 상기 홀도전재들은 패터닝 후 상기 천공홀 외측부의 밑면에 남겨지는 도전박판의 패턴 중 일부와 연결된 상태로 상기 절연기판에 접합되어 있는 것이고, 상기 실장부-홀도전재 중 엘이디 실장면은 상기 실장부-홀도전재의 면 중에서 상기 천공홀을 통하여 출광면 방향으로 노출되는 면이고, 상기 엘이디칩의 실장공간은 상기 절연기판의 천공홀 내부공간 중에서 지정된 장소에 마련된 것임을 특징으로 하는 엘이디용 회로기판(PCB) 제조방법이 제공된다. 상기 제조방법에 의해 만들어지는 엘이디용 회로기판은 엘이디칩 실장부에 하나 이상의 엘이디칩을 실장한 후 전극을 연결함으로써 엘이디유닛으로 제조될 수 있다.

[28] 본 발명의 또 다른 양태로서 상기 회로기판 제조방법에서 상기 천공홀들 중 엘이디칩이 실장되는 천공홀에 의해 출광면 방향으로 노출되는 도전 패턴의 면으로 정의되는 엘이디칩 실장면은 (실장면의 최장길이/엘이디칩 밑면의 최장길이, 즉 엘이디칩 중에서 실장부 면과 접합되는 면의 최장길이) < 20 의 조건을 만족하는 것임을 특징으로 하는 엘이디용 회로기판 제조방법이 제공된다.

[29] 상기한 바와 같이 상기 천공홀 크기는 상기 실장면의 크기를 결정하게 되며, 상기 실장면의 규격은 상기 엘이디칩으로부터 발광되는 빛의 출광을 방해하지 않는 범위 내에서 최소한으로 형성되는 것이 바람직하지만 최대의 크기는

(실장면의 최장길이/엘이디칩 밀면의 최장길이, 즉 엘이디칩 중에서 실장부면과 접합되는 면의 최장길이) < 20 의 조건을 만족하는 것이 바람직하다. 상기의 값이 20 이상이 되는 경우이라도 본 발명의 일부 효과를 수득할 수는 있겠지만 상기에 설명된 바와 같이 열에너지의 전도경로가 크게 감소가 될 뿐 아니라 상기도전 패턴을 2차방열재 표면 방향으로 가압한 상태로 결합하기에 부적절한 양태가 된다. 무엇보다 2차방열재의 표면과 가장 잘 가압된 상태로 밀착되어야 할 실장면 주변의 도전 패턴을 가압하는 동작이 원활하게 이루어지지 않게 된다. 뿐만 아니라 얇은 도전박판을 진정한 평면에 가까운 형상으로 유지하기에 불리한 양태가 되므로, 상기의 값은 20 이하가 되도록 형성하는 것이 바람직하다.

- [30] 본 발명의 또 다른 양태를 따라서 상기 엘이디용 회로기판 제조방법에 있어서 상기 천공홀 외측부의 밀면에 남겨진 패턴은 적어도 둘 이상의 천공홀 내부에 존재하는 홀도전재들을 전기적으로 연결하며, 지정된 전기적 회로를 구성하는 배선회로로 패터닝되는 것임을 특징으로 하는 엘이디용 회로기판 제조방법이 제공된다. 이러한 구성의 회로기판은 별도의 배선용 회로기판 위에 실장할 필요가 없기 때문에 바로 2차방열재와 접합하여 방열효율을 최대화할 수 있다.
- [31] 상기 실장면 및 실장면과 일체로 연결된 도전 패턴은 상기 실장된 엘이디칩으로부터 방출되는 열에너지의 주된 방열경로가 된다. 따라서 상기 실장면 및 실장면과 일체로 연결된 도전회로가 2차방열재와 접합되는 면적을 최대화하는 것이 방열효율 측면에서 바람직한데, 이를 위해서 상기 실장면이 하나의 전극역할을 감당하는 구성이 선택될 수 있다. 별도의 전극을 마련하기 위해서는 부득이 상기 실장면의 면적을 줄여야만 하기 때문이다.
- [32] 본 발명의 또 다른 양태로서 상기 엘이디용 회로기판원판 제조방법에 있어서 상기 회로기판(PCB)원판은 상기 절연기판의 양면 모두에 도전박판이 접합된 것이고, 상기 도전박판 중 한 면(출광면으로 사용)의 것은 상기 천공홀 천공단계 이전에 먼저 상기 절연기판과 접합된 후 상기 절연기판과 함께 천공된 것이고, 다른 한 면(밀면)의 것은 상기 천공단계 이후에 상기 절연기판과 접합된 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법이 제공된다.
- [33] 상기 절연기판의 양면에 접합되는 도전박판 중 한 면의 박판은 실장면으로 사용하기 위해 천공홀을 막는 형태로 남겨져야 한다. 상기한 바와 같이 실장면으로 사용될 도전박판을 상기 절연기판과 접합한 상태로 천공홀을 형성하는 방법은 여러가지 문제점을 야기시키게 되므로 이를 극복하기 위해 상기와 같은 제조방법이 선택된다.
- [34] 또 다른 양태로서 상기 엘이디용 회로기판 제조방법에 있어서 상기 절연기판은 금속재를 포함하며 적어도 한 표면에는 절연재 및/또는 절연층이 구비된 것임을 특징으로 하는 엘이디용 회로기판 제조방법이 제공된다.
- [35] 본 발명의 회로기판들을 사용해 제조되는 엘이디유닛은 2차방열재 방향 외에도 상기 절연재의 출광면 방향으로도 전도되어 방출된다. 이 때에 상기

- 절연체의 열전도율이 높은 재료로 구성된 것이라면 더욱 바람직한 구성으로서 방열량이 더욱 많아지기 때문에 상기 절연기판은 금속재를 포함하거나 금속기판의 적어도 한 면에 절연층이 구비된 재료로 구성하는 것이 좋다.
- [36] 본 발명의 또 다른 양태를 따라 상기 엘이디용 회로기판원판 제조방법에 따라 제조됨을 특징으로 하는 엘이디용 회로기판(PCB)원판이 제공된다.
- [37] 또 다른 양태로서 상기 엘이디용 회로기판 제조방법에 따라 제조됨을 특징으로 하는 엘이디용 회로기판이 제공된다.
- [38] 보급형 엘이디용 회로기판을 제공하기 위하여, 상기 엘이디용 회로기판은 출광면의 반대면인 밑면에만 도전 패턴이 마련된 것이고, 상기 밑면 도전 패턴의 표면은 2차방열재와 결합되는 2차방열면인 것을 특징으로 하는 엘이디용 회로기판이 제공된다.
- [39] 이와 같은 양태의 엘이디용 회로기판은 보급형으로서 생산단가를 보다 더 경제적으로 낮출 수 있는 형태가 될 수 있다. 본 발명에서 엘이디용 회로기판의 적어도 상기 실장면 및 실장면과 일체로 형성된 도전 패턴에는 엘이디칩의 한 전극과 전기적으로 연결된 상태로서 지정된 전위가 인가되는 것일 수 있다. 이러한 구성을 대비해서 상기 밑면 도전 패턴의 표면(즉 2차방열면), 2차방열재의 표면 중 상기 밑면 도전 패턴의 표면(2차방열면)과 접합되는 표면, 상기 두 표면이 결합되는 계면공간으로 이루어지는 세 지점 중 한 곳 이상에는 절연체가 구비될 수 있다. 본 발명에서 2차방열면이라 함은 상기 밑면 도전 패턴 중 2차방열재와 접합되는 면을 의미하지만 2차방열재와 접합되지 않는 경우에도 역시 동일한 면을 2차방열면으로 지칭할 수 있다.
- [40] 또 다른 양태를 따라 상기 회로기판은 밑면에 마련된 도전 패턴과 함께 출광면(상면)에도 역시 도전 패턴이 추가로 마련된 양면 회로기판이고, 상기 출광면 위에 마련된 도전 패턴 중 파트1(part1)는 엘이디칩 실장부와 전기적으로 연결된 것이며, 적어도 다른 한 파트2는 상기 엘이디칩 출광면의 한 지점 이상과 전기적으로 연결되는 것이고, 상기 밑면 도전 패턴 중 적어도 한 파트는 엘이디칩 실장부로서 상기 엘이디칩의 적어도 한 전극과 전기적으로 연결되어 동일한 전위를 유지하는 것임을 특징으로 하는 엘이디용 회로기판이 제공된다.
- [41] 상기 엘이디용 회로기판은 출광면에 적어도 한 쌍의 도전 패턴이 구비되어 상기 출광면의 두 전극을 연결하면 상기 엘이디유닛의 동작, 즉 발광이 일어나도록 구성될 수 있다. 이와 같은 구성은 역시 회로기판의 밑면 도전 패턴을 모두 2차방열재와 접합되도록 조립할 수 있어서 방열특성이 크게 향상되는 구성이 된다.
- [42] 본 발명의 또 다른 양태로서 상기 엘이디용 회로기판 천공홀을 통하여 상기 엘이디칩 실장부 위에 엘이디칩을 실장하는 단계와 상기 실장 단계 후에 상기 엘이디칩의 적어도 한 전극과 상기 도전 패턴의 한 전극을 전기적으로 연결 하는 단계를 포함하며, 상기 전극 연결 단계 후에 적어도 상기 엘이디칩과 상기 도전 패턴의 일부분을 봉지하는 단계와 상기 엘이디용 회로기판을 지정된 수량의

엘이디칩을 포함하는 엘이디유닛 크기로 절단하는 단계 중 적어도 한 단계를 포함하여 이루어짐을 특징으로 하는 엘이디유닛 제조방법이 제공된다.

- [43] 상기의 엘이디용 회로기판들을 이용하면 본 발명에서와 같이 간단한 단계들을 거쳐서 매우 신뢰할 만한 엘이디유닛을 제조할 수 있다. 본 발명에서 제시되는 모든 엘이디유닛과 COB형 엘이디유닛은 상기와 같이 전기적 연결단계, 봉지단계, 절단단계 및/또는 부가의 공정을 거쳐서 패키징화 또는 모듈화될 수 있다.
- [44] 본 발명의 또 다른 양태에 따라 상기 엘이디유닛 제조방법에서 지정된 수량의 엘이디칩을 포함하는 엘이디유닛의 크기를 계산하는 단계와, 상기 엘이디유닛의 크기에 따라 상기 엘이디용 회로기판 위에 절단지점을 지정하는 단계와, 상기 도전 패턴을 패터닝하는 단계에서 상기 지정된 절단지점에 존재하는 도전박판도 함께 제거하는 단계와, 상기 지정된 절단지점을 따라서 상기 회로기판을 절단하는 단계를 추가로 더 포함하여 이루어짐을 특징으로 하는 엘이디유닛 제조방법이 제공된다.
- [45] 상기 엘이디용 회로기판은 절단공정 없이도 사용할 수 있으나 대개의 경우 지정된 수량 만큼의 엘이디칩을 포함하는 양태로 절단하는 단계를 거쳐서 엘이디유닛으로 제조하게 된다. 이 때에 상기 도전 패턴 중 절단되는 부분에는 특정한 물리적 힘이 가해지게 되며, 이로 인하여 절연기판과의 접착력이 약한 지점에서는 박리가 일어나게 되므로 절단된 후에 얻어지는 엘이디유닛의 불량요인이 되기도 한다. 이러한 문제점을 해결하기 위해 상기와 같이 절단될 지점에는 도전 패턴이 존재하지 않도록 미리 지정된 절단지점을 따라 도전 패턴을 제거하여 절연체만 남겨지도록 하는 수단을 제공하는 것이 바람직하다.
- [46] 본 발명의 또 다른 양태로서 상기 엘이디유닛 제조방법에 따라 제조된 것임을 특징으로 하는 엘이디유닛이 제공된다. 상기 엘이디유닛은 패키지의 개념을 포함하지만 본 발명의 장점을 충분히 이용하기 위해서는 상기 밑면 도전 패턴의 표면(2차방열면)이 2차방열재와 결합되어 마치 COB(chip on board)형태의 엘이디유닛으로 사용하는 것이 방열효율을 증대시킨다는 차원에서 더욱 바람직하다.
- [47] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛은 출광면의 반대면인 밑면과 출광면 모두에 도전 패턴을 구비한 것이고 적어도 상기 출광면의 도전 패턴 중 일부는 솔더링패드(납땀부)이고 상기 밑면의 도전 패턴 중 일부 이상은 2차방열재와 결합되는 2차방열면인 것을 특징으로 하는 엘이디유닛이 제공된다.
- [48] 본 발명의 또 다른 양태로서 상기 엘이디유닛은 밑면의 도전 패턴 중 60% 이상이 엘이디칩 실장부와 일체로 연결된 패턴인 것을 특징으로 하는 엘이디유닛이 제공된다.
- [49] 상기 밑면 도전 패턴은 그 전체가 상기 엘이디칩 실장부와 일체로 연결된 것이라야 상기 도전 패턴을 통한 열에너지의 전도 및 확산이 원활하게 되지만,

부득이 제2의 전극을 밀면 도전 패턴 중에 두어야 할 경우에는 그 면적을 최소가 되게 하여 적어도 60% 이상의 밀면 도전 패턴이 상기 실장부와 일체로 연결되도록 하는 것이 바람직하다. 60% 이하가 될 경우에는 열전도 효과가 떨어져 바람직하지 못하다.

- [50] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛에서 상기 도전 패턴은 상기 절연기판의 양면 모두에 구비된 것이고, 상기 절연기판의 밀면에 형성된 밀면 도전 패턴 중, 엘이디칩(수평*수직형)이 실장된 실장부와 일체로 연결된, 적어도 한 부분은 상기 절연기판 출광면(상부면)에 마련된 도전 패턴 중 지정된 파트1(PART1)과 상호 전기적으로 연결되어 서로 같은 전위가 유지되는 것이고, 상기 엘이디칩 출광면의 적어도 한 지점으로부터 연장된 도전체는 상기 절연기판 출광면에 마련된 도전 패턴 중 지정된 파트2(PART2)와 전기적으로 연결되어 상기 엘이디칩 출광면과 파트2는 같은 전위를 유지하는 구조이며, 상기 파트1과 파트2는 서로 다른 전위를 유지하는 구성으로써 상기 절연기판의 밀면으로 노출되고 엘이디칩이 실장되어 있는 실장부와 일체로 연결된 도전 패턴의 밀면 점유(및 노출)면적, 즉 (2차방열재로 방열하는) 2차방열면적을 최대로 확보할 수 있는 구조를 특징으로 하는 엘이디유닛이 제공된다. 이와 같은 엘이디유닛은 모든 회로의 배선을 출광면에 배치할 수 있기 때문에 상기 2차방열면의 면적, 즉 밀면 도전 패턴의 100%까지로 확대할 수 있는 구조이다.
- [51] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛에서 엘이디칩은 수직형 엘이디칩이고, 상기 엘이디칩의 실장용 접착제는 도전성 접착제이며, 적어도 밀면 도전 패턴 중 실장면과 엘이디칩의 전기적 연결은 별도의 와이어본딩 없이 상기 도전성 접착제에 의해 연결된 것임을 특징으로 하는 수직형 엘이디유닛이 제공된다.
- [52] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛과 상기 엘이디유닛의 출광면 일부분에 부착된 별도의 회로기판을 추가로 포함하여 이루어지는 엘이디모듈에 있어서, 상기 모듈은 복수의 상기 엘이디유닛을 포함하는 것이며, 상기 엘이디모듈의 밀면 도전 패턴 중 상기 엘이디칩 실장면과 일체로 연결된 도전 패턴면은 2차방열재와 결합되어 방열하는 2차방열면이고, 상기 별도의 회로기판 일부분에는 상기 복수의 엘이디유닛들을 전기적으로 연결하기 위한 연결수단(또는 솔더링 패드)이 네 지점 이상에 마련된 것이며, 적어도 상기 엘이디칩의 출광면 윗쪽에는 빛의 출입을 방해하지 않도록 상기 별도의 회로기판이 개방된 구조로서 불량 엘이디유닛의 탈부착 및 수정 작업이 용이하고 2차방열면이 확대된 구성임을 특징으로 하는 엘이디모듈이 제공된다. 엘이디 방열효율을 높이고 경박단소화된 조명장치를 제공하기 위해 COB(chip on board)형 모듈이 각광을 받고 있다. 상기한 바와 같이 여러가지 장점을 제공하는 모듈 형태임에도 불구하고 다수의 엘이디칩을 실장하여 와이어본딩(wire bonding) 등 제조공정을 거치면서 불량이 발생하였을 경우 상기 COB 모듈로부터 불량 엘이디칩을 수정하거나 제거하는 작업은 매우 어렵은

공정임에 틀림없다. 따라서 상기와 같은 불량 엘이디칩을 수정하거나 제거하는 작업을 용이하게 해줄 수 있는 다양한 방법이 제안되어 있으나 생산현장에서 실제로 사용가능한 방법은 아직 개발되어 있지 않은 실정이다. 본 발명의 상기와 같은 양태는 이러한 문제점들을 완벽하게 해결해 줄 수 있는 구성이다. 본 발명에서 COB형 엘이디유닛은 방열효율면에서는 매우 우수하여 COB모듈을 대체할 수 있는 구성이지만 구조와 양태에 있어서는 COB와는 차별화된 제품이다. 상기에서 별도의 회로기판이 일부분에서 개방된 구조가 되도록 구성하는 방법으로는 회로기판의 지정된 장소에 천공홀이나 슬릿구조를 형성하는 방법이나 상기 별도의 회로기판을 두 쪽 이상의 요소로 준비한 후에 간격을 두고 조합하는 형태 등 실현가능한 방법은 제약 없이 모두 사용할 수 있다.

- [53] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛 하나 이상과 적어도 하나의 2차방열체가 결합되어 만들어지는 엘이디모듈에 있어서, 상기 엘이디유닛의 밀면 도전 패턴과 상기 2차방열체는 서로 절연되어 전위차가 존재하는 구성임을 특징으로 하는 엘이디모듈이 제공된다. 이와 같은 전위차는 상기 두 부품, 즉 밀면 도전 패턴과 2차방열체의 표면 중 한 곳 이상에 절연체를 형성하는 방법과 상기 두 부품 사이의 공간에 별도의 절연체를 삽입하여 결합하는 방법, 또는 상기 2차방열체를 절연체로 형성하는 방법을 사용할 수 있다. 이렇게 상기 두 부품사이에 절연구조가 되지 않는다면 상기 방열체는 상기 밀면 도전 패턴과 동일한 전위가 걸리게 되며, 최종 제품으로 완성하기 위해서는 별도의 절연케이스 등의 안전조치가 필요할 수 있으므로 바람직한 구성이 아니며, 특별히 최종제품의 하우징, 케이스, 샷시 등의 부속품을 상기 2차방열체로 사용할 경우에는 특별히 절연구조로 구성하는 것이 바람직하다. 본 발명의 모든 구성에서는 상기 두 부품들이 상호 절연된 상태가 권유된다.
- [54] 상기와 같은 구성의 구체적인 엘이디모듈로서 본 발명의 또 다른 양태를 따라 상기 엘이디모듈에서 상기 2차방열체는 상기 엘이디유닛의 밀면 도전 패턴 표면의 일부분 이상에 부착된 것이고, 상기 2차방열체는 전자제품의 케이스, 하우징, 샷시 중 하나인 것을 특징으로 하는 엘이디모듈이 제공된다.
- [55] 본 발명은 COB형 엘이디와 같이 밀면의 대부분이 2차방열면으로 사용되는 COB형 엘이디유닛으로 제공될 수 있다. 이를 위해 두께감소효과와 열저항감소를 위한 방열구조를 제공하는 COB(CHIP ON BOARD)형 엘이디유닛 제작을 위한 절연기판과 상기 기판의 적어도 한 면에 마련된 도전 패턴과 하나 이상의 엘이디칩을 포함 하여 이루어지는 COB형 엘이디유닛에 있어서, 상기 절연기판은 상기 도전 패턴용 도전박판과 접합되기 전 단계에서 미리 천공홀이 형성된 상태로 상기 도전박판과 접합된 것이며, 상기 도전 패턴은 패턴 중의 밀면에 형성된 적어도 한 전극이 상기 절연기판에 형성된 천공홀 일부분 이상과 중첩되어 상기 천공홀을 막는 상태로 패터닝된 것이며, 상기 엘이디칩은 상기 천공홀과 중첩되는 패턴 부분 중 일부분에 상기 천공홀로 삽입된 구조로 실장된

것이고, 상기 도전 패턴 중 엘이디칩이 실장된 면은 도전 패턴의 외표면(밀면 또는 윗면)이 아닌 상기 절연기판과 도전 패턴이 접합된 계면측 면이며, 상기 도전 패턴 중 엘이디칩이 실장된 패턴은 (상기 천공홀을 통하여 출광면 방향으로 노출되는 패턴의 면적 < 상기 2차방열재와 접촉되는 밀면 도전 패턴의 면적)의 조건을 만족하는 것이고, 상기 밀면 도전 패턴 중 적어도 일부분은 별도의 2차방열재(조명기구의 하우징, 케이스 또는 샷시를 포함하는 의미)와 접합되는 2차방열접합부(2차방열면)이고, 상기 2차방열재의 표면과 상기 밀면 도전 패턴의 노출표면 사이에는 추가의 도전회로가 존재하지 않으며, 상기 두 부품 간에는 전위차가 유지될 수 있도록 서로 절연된 상태이고, 상기 도전 패턴은 지정된 장소에 마련된 전원공급 단자(들)과 전기적으로 연결되는 회로로서 상기 엘이디칩(들)을 지정된 양태로 구동시킬 수 있는 전기회로임을 특징으로 하는 COB형 엘이디유닛이 제공된다.

- [56] 상기 밀면 도전 패턴 중 엘이디칩이 실장된 패턴은 2차방열재와 접합되는 면적이 클수록 바람직하지만, 적어도 (상기 천공홀을 통하여 출광면 방향으로 노출되는 패턴의 면적 < 상기 2차방열재와 접촉되는 밀면 도전 패턴의 면적)의 조건을 만족하는 것이 바람직하다. 이러한 구성이라야 상기 절연기판을 가압하여 2차방열재 방향으로 밀착시킬 때에 상기 절연기판과 접합되어 있는 밀면 도전 패턴을 2차방열재 표면과 더욱 효과적으로 밀착시킬 수 있으며, 실장면과 일체로 연결된 상기 밀면 도전 패턴을 따라 확산되는 열에너지와 상기 절연기판을 따라서 전도되는 열에너지를 증대시킬 수 있기 때문이다. 상기와 같이 밀면 도전 패턴과 2차방열재 사이에는 절연상태가 유지되는 것이 바람직하며, 상기 두 부품 사이에는 추가의 회로기판(PCB)이나 도전 패턴이 존재하지 않는 것이 엘이디칩으로부터 방출되는 열에너지를 효과적으로 배출한다는 측면에서 유리하다. 상기 두 부품 사이에 도전회로가 추가로 존재하게 된다면 그에 따라서 추가의 절연층이 필요하게 되고 열전도 효율은 저하되기 때문이다. 부득이 별도의 추가 회로기판과 결합하고자 할 경우에는 상기 엘이디유닛의 출광면(윗면)에 결합하는 것이 바람직하다.
- [57] 본 발명의 또 다른 양태를 따라 상기 절연기판은 상하면 모두에 도전 패턴이 형성된 것임을 특징으로 하는 COB형 엘이디유닛이 제공된다.
- [58] 본 발명의 또 다른 양태를 따라 상기 도전 패턴은 상기 절연기판의 양면 모두에 구비된 것이고, 상기 절연기판의 밀면에 형성된 밀면 도전 패턴 중, 엘이디칩(수평*수직형)이 실장된 실장부와 일체로 연결된, 적어도 한 부분은 상기 절연기판 출광면(상부면)에 마련된 도전 패턴 중 지정된 파트1(PART1)과 상호 전기적으로 연결되어 서로 같은 전위가 유지되는 것이고, 상기 엘이디칩 출광면의 적어도 한 지점으로부터 연장된 도전재는 상기 밀면 도전 패턴을 거치지 않고 상기 절연기판 출광면에 마련된 도전 패턴 중 지정된 파트2(PART2)와 전기적으로 연결 되어 상기 엘이디칩 출광면과 파트2는 같은 전위를 유지하는 구조이며, 상기 파트1과 파트2는 서로 다른 전위를 유지하는

구성으로써 상기 절연기판의 밑면으로 노출되고 엘이디칩이 실장되어 있는 실장부와 일체로 연결된 도전 패턴의 밑면 점유(및 노출)면적, 즉 (2차방열재로 방열하는) 2차방열면적을 최대로 확보할 수 있는 구조를 특징으로 하는 COB형 엘이디유닛이 제공된다.

- [59] 이와 같이 상하면 모두에 도전 패턴을 형성하고 엘이디칩 출광면으로부터 연장된 도전재를 상기 밑면 도전 패턴을 거치지 않고 상기 엘이디용 회로기판의 출광면에 마련된 도전 패턴과 전기적으로 연결하면 밑면에는 실장면과 일체로 연결된 도전 패턴들로만 배치되는 구조로 구성할 수 있기 때문에 방열효율 관점에서 매우 바람직한 구성이다. 본 발명의 엘이디유닛 또는 COB형 엘이디유닛에 있어서, 상기 엘이디칩 출광면으로부터 연장된 도전재를 상기 밑면 도전 패턴을 거치지 않고 상기 엘이디용 회로기판의 출광면에 마련된 도전 패턴과 전기적으로 연결하는 방법으로는 직접 연결하는 방법 외에도 밑면 도전 패턴 이외의 중간지점을 거쳐서 연결하는 방법도 제약 없이 사용할 수 있다.
- [60] 본 발명의 또 다른 양태를 따라 상기 엘이디유닛에서 밑면 도전 패턴 중의 80% 이상이 모두 동일한 전위를 갖게 되는 구성임을 특징으로 하는 COB형 엘이디유닛이 제공된다. 상기와 같이 2차방열면은 밑면 도전 패턴의 전체가 되면 가장 바람직하지만 적어도 80% 이상이 실장면과 일체로 연결된 도전 패턴으로 구성되는 것이 바람직하다. 80% 이하일 경우에는 본 발명의 열전도 효율 증대목적이 크게 퇴색되는 구성이 된다.
- [61] 본 발명의 또 다른 양태를 따라 상기 엘이디용 회로기판(PCB)원판을 이용하여 제조된 엘이디유닛을 포함하여 구성된 것임을 특징으로 하는 조명기구가 제공된다. 상기 엘이디용 회로기판의 원판을 이용하면 매우 다양한 엘이디용 회로기판과 엘이디유닛이 제공될 수 있으며, 이를 이용한 조명기구가 제공될 수 있다.
- [62] 본 발명의 또 다른 양태를 따라 상기 엘이디용 회로기판(PCB)원판 제조방법에 있어서, 상기 도전박판은 상기 천공홀이 구비된 절연기판과 접합되는 단계 전에 지정된 형상의 패턴으로 패터닝된 상태로 상기 절연기판과 접합되는 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법이 제공된다. 이와 같이 엘이디용 회로기판(PCB)원판은 천공홀이 미리 구비된 절연기판을 준비하여 상기 도전박판과 접합한 후에 도전박판의 일부분을 패터닝하여 엘이디용 회로기판으로 제조하는 방법 외에도 상기 천공홀이 미리 구비된 절연기판과 도전박판을 접합하기 전 단계에서 먼저 상기 도전박판 일부분을 패터닝한 후에 이를 상기 천공홀이 미리 형성되어 있는 절연기판과 접합하는 방법을 사용하여 본 발명의 엘이디용 회로기판(PCB)원판을 제조하는 방법을 사용할 수도 있는 것이다.

청구범위

[청구항 1]

엘이디용 회로기판의 제조를 위해 마련된 절연기판과 상기 절연기판의 한 면 이상에 마련된 도전 패턴과 복수의 엘이디칩 실장면을 포함하여 이루어지는 엘이디용 회로기판의 제조를 위해 사용되는 엘이디용 회로기판(PCB)원판 제조방법으로서, 슈트형상의 절연기판과 도전박판을 준비하는 단계와, 상기 절연기판에 천공홀이 형성될 복수의 지점을 결정 하는 단계와, 적어도 하나의 엘이디칩을 수용할 수 있도록 천공홀의 형상과 크기를 결정 하는 단계와, 상기 절연기판의 지정된 복수의 지점에 상기 천공홀을 천공하여 복수의 천공홀이 지정된 위치에 구비된 절연기판을 준비하는 단계와, 상기 천공홀이 미리 형성되어 있는 절연기판의 한 면 이상에 상기 천공홀의 적어도 일부분을 막는 형태로 상기 도전박판을 접합하는 단계를 포함하여 실시되며, 상기 엘이디용 회로기판원판을 패터닝해서 엘이디용 회로기판을 제조할 때에 상기 도전박판의 패터닝은 패터닝 단계 후에 남겨진 상기 도전박판의 패턴이 상기 천공홀의 적어도 일부분을 막는 형태로 남겨지도록 실시되며, 상기 절연기판의 천공홀이 도전박판의 패턴에 의해 막히지 않은 출광면(윗면)에서 본 평면도 상에서 볼때 상기 각 천공홀의 내부에 나타나는 상기 도전박판의 패턴을 '홀도전재'라 할 때 상기 각 천공홀 내부에 구비되는 홀도전재는 적어도 제1홀도전재 및 제2홀도전재를 포함하는 둘 이상의 홀도전재로 나누어진 형상으로 패터닝되는 것이며, 상기 홀도전재 중에서 하나의 천공홀 내에 존재하는 적어도 두 홀도전재는 서로 전위가 다른 것이고, 상기 서로 전위가 다른 두 홀도전재 중에서 적어도 하나는 엘이디칩의 전극과 전기적으로 연결된 전극-홀도전재이며, 상기 하나의 천공홀 내부에는 상기 실장부-홀도전재와 상기 전극-홀도전재가 각각 하나 이상씩 구비된 것이며, 상기 도전박판의 패터닝은 상기 홀도전재 외에 상기 천공홀 외측부의 밑면에서도 함께 실시되며, 상기 홀도전재들은 패터닝 후 상기 천공홀 외측부의 밑면에 남겨지는 도전박판의 패턴 중 일부와 연결된 상태로 상기 절연기판에 결합되어 있는 것이고, 상기 실장부-홀도전재 중 엘이디 실장면은 상기 실장부-홀도전재의 면 중에서 상기 천공홀을 통하여 출광면 방향으로 노출되는 면이고, 상기 엘이디칩의 실장공간은 상기 절연기판의 천공홀 내부공간 중에서 지정된 장소에 마련된 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법

제1항에서 상기 회로기판(PCB)원판은 상기 절연기판의 양면

[청구항 2]

[청구항 3]

모두에 도전박판이 접합된 것이고, 상기 도전박판 중 윗면(출광면)의 것은 상기 천공홀 천공단계 이전에 먼저 상기 절연기판과 접합된 후 상기 절연기판과 함께 천공된 것이고, 다른 한 면(밑면)의 것은 상기 천공단계 이후에 상기 절연기판과 접합된 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법
엘이디용 회로기판의 제조를 위해 마련된 절연기판과 상기 절연기판의 한 면 이상에 마련된 도전 패턴과 복수의 엘이디칩 실장면을 포함하여 이루어지는 엘이디용 회로기판(PCB) 제조방법으로서,

쉬트형상의 절연기판과 도전박판을 준비하는 단계와, 상기 절연기판에 천공홀이 형성될 복수의 지점을 결정 하는 단계와, 적어도 하나의 엘이디칩을 수용할 수 있도록 천공홀의 형상과 크기를 결정 하는 단계와, 상기 절연기판의 지정된 복수의 지점에 상기 천공홀을 천공하여 복수의 천공홀이 지정된 위치에 구비된 절연기판을 준비하는 단계와, 상기 천공홀이 미리 형성되어 있는 절연기판의 한 면 이상에 상기 천공홀의 적어도 일부분을 막는 형태로 상기 도전박판을 접합하는 단계를 포함하는 제조방법에 의하여 엘이디용 회로기판(PCB)원판을 준비하는 단계와, 엘이디칩의 각 전극으로 지정된 사양의 전원을 공급하기 위한 도전 패턴을 결정하는 단계와, 상기 엘이디용 회로기판(PCB)원판을 결정된 패턴에 대응하도록 패터닝하는 단계를 포함하여 실시되며,

상기 도전박판의 패터닝은 패터닝 단계 후에 남겨진 상기 도전박판의 패턴이 상기 천공홀의 적어도 일부분을 막는 형태로 남겨지도록 실시되며, 상기 절연기판의 천공홀이 도전박판의 패턴에 의해 막히지 않은 광면(윗면)에서 본 평면도 상에서 볼 때 상기 각 천공홀의 내부에 나타나는 상기 도전박판의 패턴을 '홀도전재'라 할 때 상기 각 천공홀 내부에 구비되는 홀도전재는 적어도 제1홀도전재 및 제2홀도전재를 포함하는 둘 이상의 홀도전재로 누어진 형상으로 패터닝되는 것이며, 상기 홀도전재 중에서 하나의 천공홀 내에 존재하는 적어도 두 홀도전재는 서로 전위가 다른 것이고, 상기 서로 전위가 다른 두 홀도전재 중에서 적어도 하나는 엘이디칩의 전극과 전기적으로 연결된 전극-홀도전재이며, 상기 하나의 천공홀 내부에는 상기 실장부-홀도전재와 상기 전극-홀도전재가 각각 하나 이상씩 구비된 것이며, 상기 도전박판의 패터닝은 상기 홀도전재 외에 상기 천공홀 외측부의 밑면에서도 함께 실시되며, 상기 홀도전재들은 패터닝 후 상기 천공홀 외측부의 밑면에 남겨지는

- 도전박판의 패턴 중 일부분과 연결된 상태로 상기 절연기판에 결합되어 있는 것이고, 상기 실장부-홀도전재 중 엘이디 실장면은 상기 실장부-홀도전재의 면 중에서 상기 천공홀을 통하여 출광면 방향으로 노출되는 면이고, 상기 엘이디칩의 실장공간은 상기 절연기판의 천공홀 내부공간 중에서 지정된 장소에 마련된 것임을 특징으로 하는 엘이디용 회로기판(PCB) 제조방법
- [청구항 4] 제3항에서 상기 천공홀들 중 엘이디칩이 실장되는 천공홀에 의해 출광면 방향으로 노출되는 도전 패턴의 면으로 정의되는 엘이디칩 실장면은 (실장부 면의 최장길이/엘이디칩 밑면의 최장길이, 즉 엘이디칩 중에서 실장부 면과 접합되는 면의 최장길이) < 20 의 조건을 만족하는 것임을 특징으로 하는 엘이디용 회로기판 제조방법
- [청구항 5] 제 3항에서 상기 천공홀 외측부의 밑면에 남겨진 패턴은 적어도 둘 이상의 천공홀 내부에 존재하는 홀도전재들을 전기적으로 연결하며, 지정된 전기적 회로를 구성하는 배선회로로 패터닝되는 것임을 특징으로 하는 엘이디용 회로기판 제조방법
- [청구항 6] 제3항에서 상기 절연기판은 금속재를 포함하며 적어도 한 표면에는 절연재 및/또는 절연층이 구비된 것임을 특징으로 하는 엘이디용 회로기판 제조방법
- [청구항 7] 제1항의 제조방법에 따라 제조됨을 특징으로 하는 엘이디용 회로기판(PCB)원판
- [청구항 8] 제3항의 제조방법에 따라 제조됨을 특징으로 하는 엘이디용 회로기판
- [청구항 9] 제8항에서 상기 회로기판은 출광면의 반대면인 밑면에만 도전 패턴이 마련된 것이고, 상기 밑면 도전 패턴의 표면은 2차방열재와 결합되는 2차방열면인 것을 특징으로 하는 엘이디용 회로기판
- [청구항 10] 제8항에서 상기 회로기판은 밑면에 마련된 도전 패턴과 함께 출광면(상면)에도 역시 도전 패턴이 추가로 마련된 양면 회로기판이고, 상기 출광면 위에 마련된 도전 패턴 중 파트1(part1)는 엘이디칩 실장부와 전기적으로 연결된 것이며, 적어도 다른 한 파트2는 상기 엘이디칩 출광면의 한 지점 이상과 전기적으로 연결되는 것이고, 상기 밑면 도전 패턴 중 적어도 한 파트는 엘이디칩 실장부로서 상기 엘이디칩의 적어도 한 전극과 전기적으로 연결되어 동일한 전위를 유지하는 것임을 특징으로 하는 엘이디용 회로기판
- [청구항 11] 제8항의 회로기판 천공홀을 통하여 상기 엘이디칩 실장부 위에 엘이디칩을 실장하는 단계와 상기 실장 단계 후에 상기 엘이디칩의 적어도 한 전극과 상기 도전 패턴의 한 전극을

- 전기적으로 연결 하는 단계를 포함하며, 상기 전극 연결 단계 후에 적어도 상기 엘이디칩과 상기 도전 패턴의 일부분을 봉지하는 단계와 상기 엘이디용 회로기판을 지정된 수량의 엘이디칩을 포함하는 엘이디유닛 크기로 절단하는 단계 중 적어도 한 단계를 포함하여 이루어짐을 특징으로 하는 엘이디유닛 제조방법
- [청구항 12] 제11항의 상기 엘이디유닛 제조방법에서 지정된 수량의 엘이디칩을 포함하는 엘이디유닛의 크기를 계산하는 단계와, 상기 엘이디유닛의 크기에 따라 상기 엘이디용 회로기판 위에 절단지점을 지정하는 단계와, 상기 도전 패턴을 패터닝하는 단계에서 상기 지정된 절단지점에 존재하는 도전박판도 함께 제거하는 단계와, 상기 지정된 절단지점을 따라서 상기 회로기판을 절단하는 단계를 추가로 더 포함하여 이루어짐을 특징으로 하는 엘이디유닛 제조방법
- [청구항 13] 제11항의 상기 제조방법에 따라 제조된 것임을 특징으로 하는 엘이디유닛
- [청구항 14] 제13항의 상기 엘이디유닛은 출광면의 반대면인 밑면과 출광면 모두에 도전 패턴을 구비한 것이고 적어도 상기 출광면의 도전 패턴 중 일부분은 솔더링패드(납땜부)이고 상기 밑면의 도전 패턴 중 일부분 이상은 2차방열재와 결합되는 2차방열면인 것을 특징으로 하는 엘이디유닛
- [청구항 15] 제13항의 상기 엘이디유닛은 밑면의 도전 패턴 중 60% 이상이 엘이디칩 실장부와 일체로 연결된 패턴인 것을 특징으로 하는 엘이디유닛
- [청구항 16] 제13항의 상기 엘이디유닛에서 상기 도전 패턴은 상기 절연기판의 양면 모두에 구비된 것이고, 상기 절연기판의 밑면에 형성된 밑면 도전 패턴 중, 엘이디칩이 실장된 실장면과 일체로 연결된, 적어도 한 부분은 상기 절연기판 출광면(윗면)에 마련된 도전 패턴 중 지정된 파트1(PART1)과 상호 전기적으로 연결 되어 서로 같은 전위가 유지되는 것이고, 상기 엘이디칩 출광면의 적어도 한 지점으로부터 연장된 도전재는 상기 절연기판 출광면에 마련된 도전 패턴 중 지정된 파트2(PART2)와 전기적으로 연결 되어 상기 엘이디칩 출광면과 파트2는 같은 전위를 유지하는 구조이며, 상기 파트1과 파트2는 서로 다른 전위를 유지하는 구성으로써 상기 절연기판의 밑면으로 노출되고 엘이디칩이 실장되어 있는 실장부와 일체로 연결된 도전 패턴의 밑면 점유(및 노출)면적, 즉 (2차방열재로 방열하는) 2차방열면적을 최대로 확보할 수 있는 구조를 특징으로 하는 엘이디유닛
- [청구항 17] 제16항의 상기 엘이디유닛에서 엘이디칩은 수직형 엘이디칩이고,

- 상기 엘이디칩의 실장용 접착제는 도전성 접착제이며, 적어도 밑면 도전 패턴 중 실장면과 엘이디칩의 전기적 연결은 별도의 와이어본딩 없이 상기 도전성 접착제에 의해 연결된 것임을 특징으로 하는 수직형 엘이디유닛
- [청구항 18] 제13항의 상기 엘이디유닛과 상기 엘이디유닛의 출광면 일부분에 부착된 별도의 회로기판을 추가로 포함하여 이루어지는 엘이디모듈에 있어서, 상기 모듈은 복수의 상기 엘이디유닛을 포함하는 것이며, 상기 엘이디모듈의 밑면 도전 패턴 중 상기 엘이디칩 실장부와 일체로 연결된 도전 패턴면은 2차방열재와 결합되어 방열하는 2차방열면이고, 상기 별도의 회로기판 일부분에는 상기 엘이디유닛(들)을 전기적으로 연결하기 위한 연결수단(또는 솔더링 패드)이 네 지점 이상에 마련된 것이며, 적어도 상기 엘이디칩의 출광면 윗쪽에는 빛의 출입을 방해하지 않도록 상기 별도의 회로기판이 개방된 구조로서 불량 엘이디유닛의 탈부착 및 수정 작업이 용이하고 2차방열면이 확대된 구성임을 특징으로 하는 엘이디모듈
- [청구항 19] 제13항의 엘이디유닛 하나 이상과 적어도 하나의 2차방열재가 결합되어 만들어지는 엘이디모듈에 있어서, 상기 엘이디유닛의 밑면 도전 패턴과 상기 2차방열재는 서로 절연되어 전위차가 존재하는 구성임을 특징으로 하는 엘이디모듈
- [청구항 20] 제19항의 상기 엘이디모듈에서 상기 2차방열재는 상기 엘이디유닛의 밑면 도전 패턴 표면의 일부분 이상에 부착된 것이고, 상기 2차방열재는 전자제품의 케이스, 하우징, 샷시 중 하나인 것을 특징으로 하는 엘이디모듈
- [청구항 21] 두께감소효과와 열저항감소를 위한 방열구조를 제공하는 COB(CHIP ON BOARD)형 엘이디유닛 제작을 위한 절연기판과 상기 기판의 적어도 한 면에 마련된 도전 패턴과 하나 이상의 엘이디칩을 포함 하여 이루어지는 COB형 엘이디유닛에 있어서, 상기 절연기판은 상기 도전 패턴용 도전박판과 접합되기 전 단계에서 미리 천공홀이 형성된 상태로 상기 도전박판과 접합된 것이며, 상기 도전 패턴은 패턴 중의 밑면에 형성된 적어도 한 전극이 상기 절연기판에 형성된 천공홀 일부분 이상과 중첩되어 상기 천공홀을 막는 상태로 패터닝된 것이며, 상기 엘이디칩은 상기 천공홀과 중첩되는 패턴 부분 중 일부분에 상기 천공홀로 삽입된 구조로 실장된 것이고, 상기 도전 패턴 중 엘이디칩이 실장된 면은 도전 패턴의 외표면(밑면 또는 윗면)이 아닌 상기 절연기판과 도전 패턴이 접합된 계면측 면이며, 상기 도전 패턴 중 엘이디칩이 실장된 패턴은 (상기 천공홀을 통하여 출광면

방향으로 노출되는 패턴의 면적 <상기 2차방열재와 접촉되는 밀면 도전 패턴의 면적>의 조건을 만족하는 것이고, 상기 밀면 도전 패턴 중 적어도 일부분은 별도의 2차 방열재(조명기구의 하우징, 케이스 또는 샷시를 포함하는 의미)와 접합되는 2차방열접합부이고, 상기 2차방열재의 표면과 상기 밀면 도전 패턴의 노출표면 사이에는 추가의 도전회로가 존재하지 않으며, 상기 두 부품 간에는 전위차가 유지될 수 있도록 서로 절연된 상태이고, 상기 도전 패턴은 지정된 장소에 마련된 전원공급 단자(들)과 전기적으로 연결되는 회로로서 상기 엘이디칩(들)을 지정된 양태로 구동시킬 수 있는 전기회로임을 특징으로 하는 COB형 엘이디유닛

[청구항 22]

제13항에서 상기 엘이디유닛은 절연기판의 상하면 모두에 도전 패턴이 형성된 것임을 특징으로 하는 COB형 엘이디유닛

[청구항 23]

제13항에서 상기 엘이디유닛의 상기 도전 패턴은 상기 절연기판의 양면 모두에 구비된 것이고, 상기 절연기판의 밀면에 형성된 밀면 도전 패턴 중, 엘이디칩(수평*수직형)이 실장된 실장부와 일체로 연결된, 적어도 한 부분은 상기 절연기판 출광면(상부면)에 마련된 도전 패턴 중 지정된 파트1(PART1)과 상호 전기적으로 연결되어 서로 같은 전위가 유지되는 것이고, 상기 엘이디칩 출광면의 적어도 한 지점으로부터 연장된 도전재는 상기 밀면 도전 패턴을 거치지 않고 상기 절연기판 출광면에 마련된 도전 패턴 중 지정된 파트2(PART2)와 전기적으로 연결 되어 상기 엘이디칩 출광면과 파트2는 같은 전위를 유지하는 구조이며, 상기 파트1과 파트2는 서로 다른 전위를 유지하는 구성으로써 상기 절연기판의 밀면으로 노출되고 엘이디칩이 실장되어 있는 실장부와 일체로 연결된 도전 패턴의 밀면 점유(및 노출)면적, 즉 (2차방열재로 방열하는) 2차방열면적을 최대로 확보할 수 있는 구조를 특징으로 하는 COB형 엘이디유닛

[청구항 24]

제13항에서 상기 엘이디유닛의 밀면 도전 패턴 중 80%이상이 모두 동일한 전위를 갖게 되는 구성임을 특징으로 하는 COB형 엘이디유닛

[청구항 25]

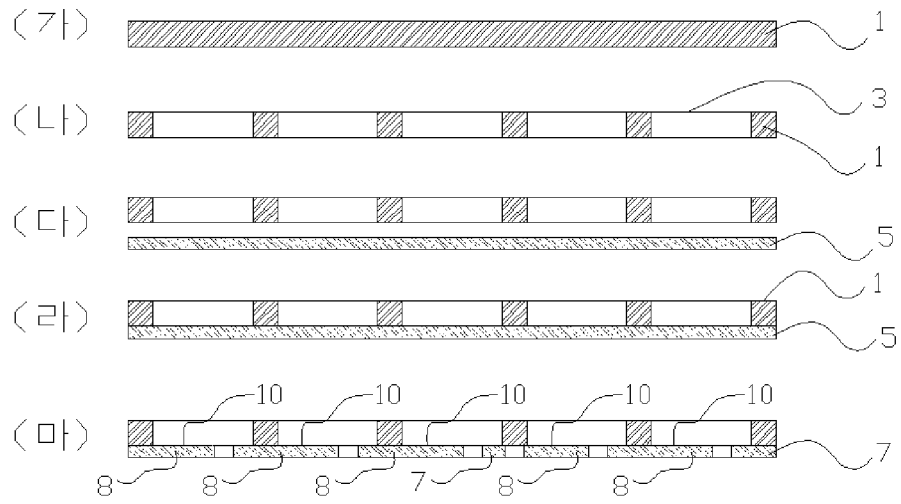
제7항의 엘이디용 회로기판(PCB)원판을 이용하여 제조된 엘이디유닛을 포함하여 구성된 것임을 특징으로 하는 조명기구

[청구항 26]

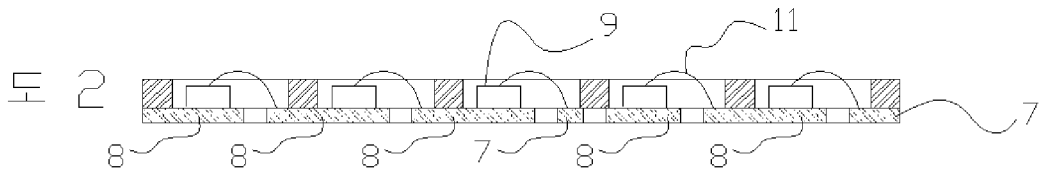
제1항의 엘이디용 회로기판(PCB)원판 제조방법에 있어서, 상기 도전박판은 상기 천공홀이 구비된 절연기판과 접합되는 단계 전에 지정된 형상의 패턴으로 패터닝된 상태로 상기 절연기판과 접합되는 것임을 특징으로 하는 엘이디용 회로기판(PCB)원판 제조방법

[Fig. 1]

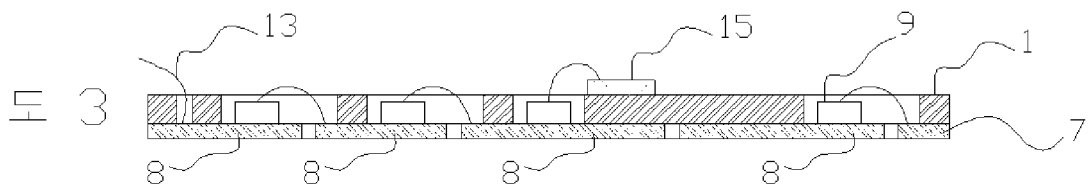
도 1



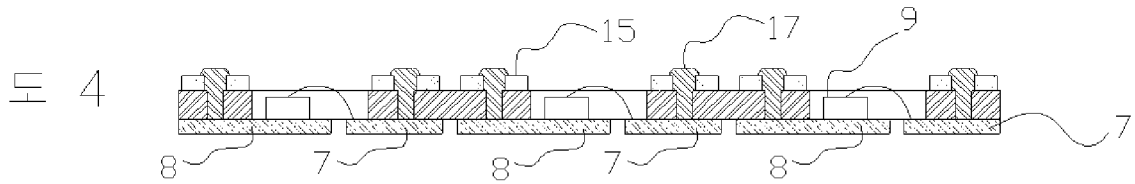
[Fig. 2]



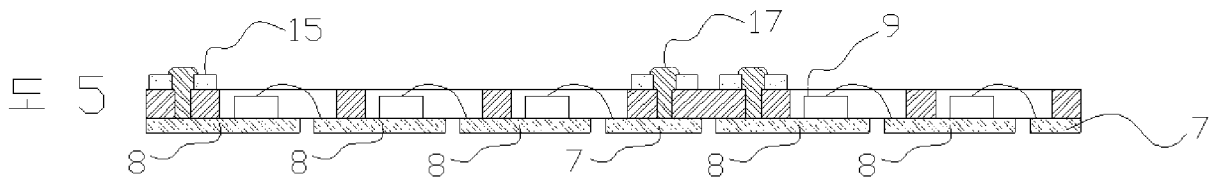
[Fig. 3]



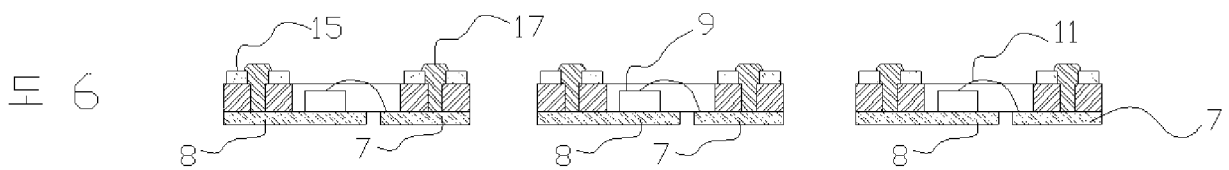
[Fig. 4]



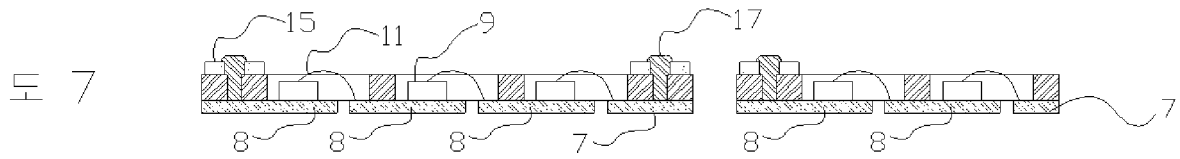
[Fig. 5]



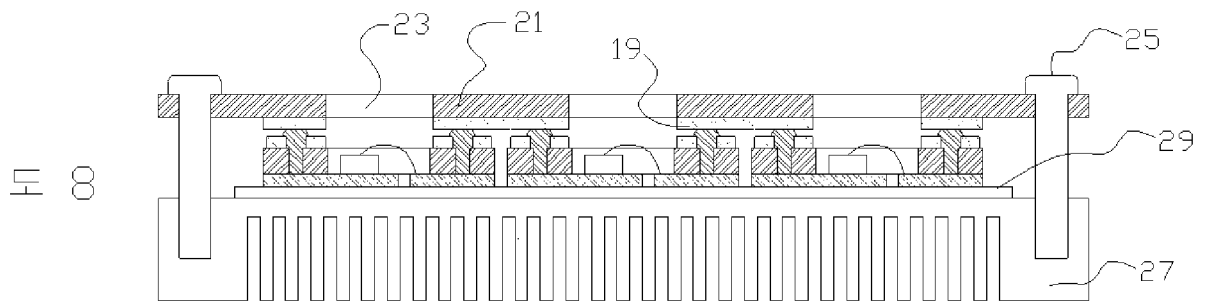
[Fig. 6]



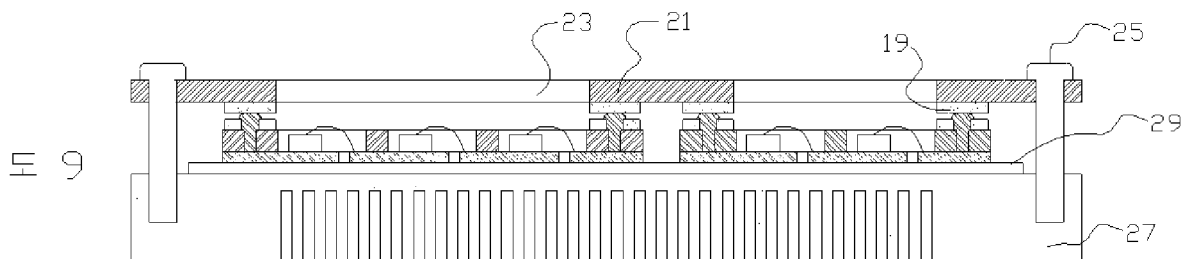
[Fig. 7]



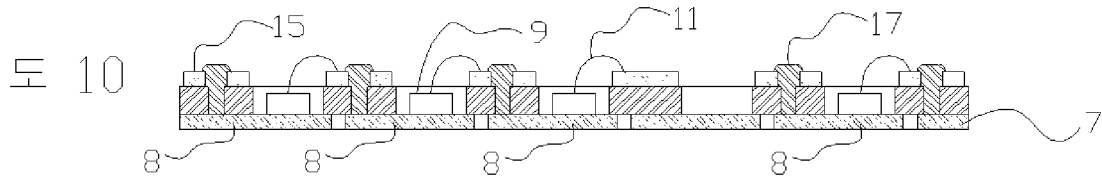
[Fig. 8]



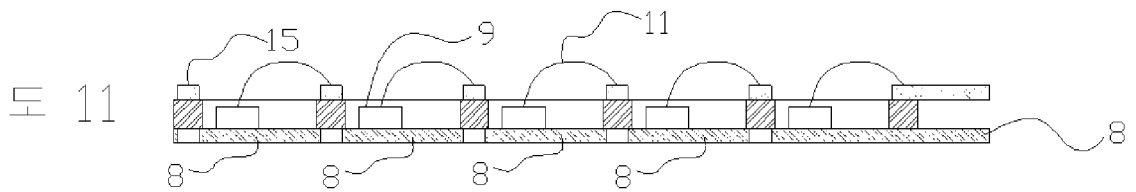
[Fig. 9]



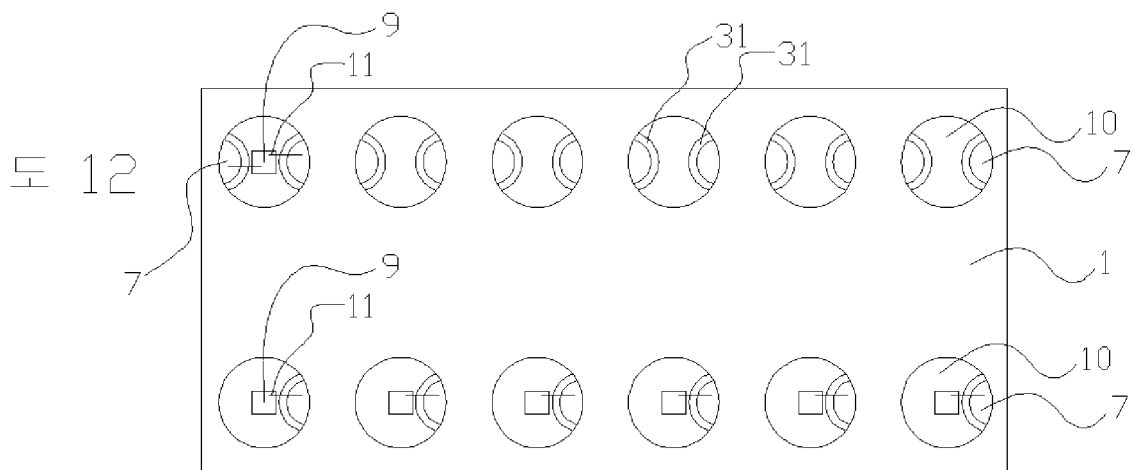
[Fig. 10]



[Fig. 11]

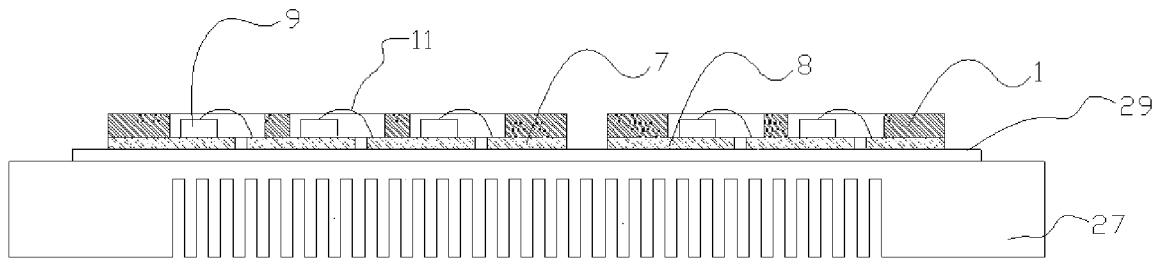


[Fig. 12]



[Fig. 13]

도 13



[Fig. 14]

도 14

