

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年7月30日 (30.07.2009)

PCT

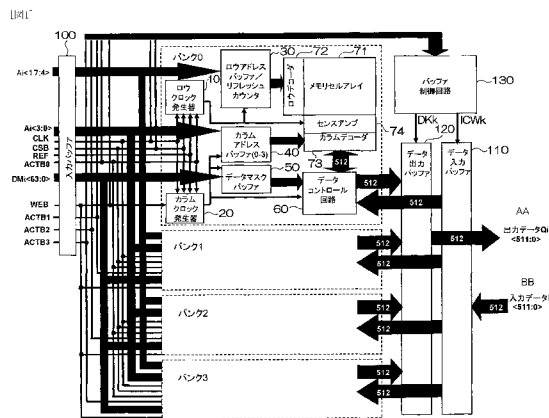
(10) 国際公開番号
WO 2009/093548 A1

- (51) 国際特許分類:
G11C 11/4096 (2006.01) G11C 11/407 (2006.01)
G11C 11/401 (2006.01) G11C 11/4076 (2006.01)
- (21) 国際出願番号: PCT/JP2009/050678
- (22) 国際出願日: 2009年1月19日 (19.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2008-011776 2008年1月22日 (22.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社
リキッド・デザイン・システムズ (LIQUID DESIGN
SYSTEMS, INC.) [JP/JP]; 〒2130012 神奈川県川崎市
高津区坂戸3-2-1 KSP西421B Kanagawa
(JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中岡 裕司
(NAKAOKA, Yuji) [JP/JP]; 〒2130012 神奈川県川崎
- (74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒
1600022 東京都新宿区新宿4丁目3番17号 HK
新宿ビル7階 太陽国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,
DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,
GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体記憶装置



- 100 INPUT BUFFER
- 0 BANK
- 10 ROW CLOCK GENERATOR
- 20 COLUMN CLOCK GENERATOR
- 1 BANK
- 2 BANK
- 3 BANK
- 30 ROW ADDRESS BUFFER/REFRESH COUNTER
- 40 COLUMN ADDRESS BUFFER (0 TO 3)
- 50 DATA MASK BUFFER
- 72 ROW DECODER
- 71 MEMORY CELL ARRAY
- 74 SENSE AMPLIFIER
- 73 COLUMN DECODER
- 60 DATA CONTROL CIRCUIT
- 130 BUFFER CONTROL CIRCUIT
- 120 DATA OUTPUT BUFFER
- 110 DATA INPUT BUFFER
- AA OUTPUT DATA Q
< 511 D >
- BB INPUT DATA DI
< 511 D >

(57) Abstract: A semiconductor memory comprises a buffer control circuit (130) for, if data is written, controlling a data input buffer (110) so that the data at the same timing as the clock at the time when a write command is inputted is written to an activated memory bank and, if data is read, controlling a data output buffer (120) so that the data is read from the activated memory bank in predetermined read latency of 3 or more to the clock at the time when a read command is inputted to output the data.

(57) 要約: 半導体記憶装置は、データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、活性化されたメモリバンクに書き込むようにデータ入力バッファ(110)を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して3以上の所定のリードレーテンシーで、活性化されたメモリバンクからデータを読み出してデータを出力するようにデータ出力バッファ(120)を制御するバッファ制御回路(130)を備えている。

WO 2009/093548 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

半導体記憶装置

技術分野

[0001] 本発明は、半導体記憶装置に関する。

背景技術

[0002] 従来、複数のメモリバンクを備え、所定のバンクを活性化させるための半導体記憶装置が提案されている。

[0003] 特許文献1には、「バースト長BL=8のときに、バンク0用回路7とバンク1用回路8とを選択的に活性化する動作」が記載され(段落0047)、更に「バンク0用回路7内のいずれかのブロックを活性化するためのブロック活性化信号を生成」することが記載されている(段落0040)。

[0004] また、特許文献2には、「RAS生成ユニット13では、この信号RASZに応答して、バンク0用回路5内のいずれかのブロックを活性化し、同時にセンスアンプ19及びセンスバッファ15を活性化する。」ことが記載されている(段落0076)。

特許文献1:特開2000-163969号公報(図4、図5)

特許文献2:特開2000-82287号公報

発明の開示

発明が解決しようとする課題

[0005] 通常、特許文献1及び2のいずれに記載された技術においては、入力ピン数の削減のため、共通のピンを介してロウアドレス及びカラムアドレスがそれぞれ入力される。このため、完全にランダムなアドレスを指定することができなかった。また、汎用のDRAMを使用して各バンクを構成しようとする、動作周波数が高くなるに従ってデータの書込みと読出しのタイミング設計を変える必要があり、タイミング設計が煩雑になる問題もある。

[0006] 本発明は、上述した課題を解決するために提案されたものであり、製造コストを抑制しつつランダムアクセス性を向上させて高速に動作可能な半導体記憶装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明に係る半導体記憶装置は、ロウアドレス方向及びカラムアドレス方向に配列された複数のメモリセルと、ロウアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するロウデコーダと、カラムアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するカラムデコーダと、を有する複数のメモリバンクと、前記ロウデコーダへ供給するロウアドレスが入力されるロウアドレス入力手段と、前記カラムデコーダへ供給するカラムアドレスが入力されるカラムアドレス入力手段と、メモリバンク毎に設けられ、メモリバンクを活性化するための活性化信号が入力される活性化信号入力手段と、各メモリバンクに対して共通に設けられ、入力されたデータを複数のメモリバンクのうちの活性化されたメモリバンクに供給するデータ入力手段と、各メモリバンクに対して共通に設けられ、前記活性化されたメモリバンクから読み出されたデータを出力するデータ出力手段と、データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、前記活性化信号入力手段に入力された活性化信号によって活性化されたメモリバンクに書き込むように前記データ入力手段を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して3以上の所定のリードレーテンシーで、前記活性化信号入力手段により入力された活性化信号によって活性化されたメモリバンクからデータを読み出してデータを出力するように前記データ出力手段を制御する制御手段と、を備えている。

発明の効果

[0008] 本発明に係る半導体記憶装置は、製造コストを抑制しつつランダムアクセス性を向上させて高速に動作することができる。

図面の簡単な説明

- [0009] [図1]本発明の実施の形態に係る半導体記憶装置の構成を示す図である。
[図2]データコントロール回路の構成を示す図である。
[図3]メモリセルアレイの詳細な構成を示す図である。
[図4]データの書き込み／読み出しを説明するためのタイミングチャートである。
[図5]データの書き込み／読み出しを説明するための他のタイミングチャートである。

発明を実施するための最良の形態

- [0010] 以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。
- [0011] 図1は、本発明の実施の形態に係る半導体記憶装置の構成を示す図である。半導体記憶装置は、データをそれぞれ記憶するメモリバンク0～3と、アドレスやコマンド等が入力される入力バッファ100と、メモリバンク0～3に書き込むためのデータが入力されるデータ入力バッファ110と、メモリバンク0～3から読み出されたデータが出力されるデータ出力バッファ120と、データ入力バッファ110によるデータ入力及びデータ出力バッファ120によるデータ出力をそれぞれ制御するバッファ制御回路130と、を備えている。
- [0012] 入力バッファ100には、14ビットのロウアドレス A_i ($i=4\sim 17$)、4ビットのカラムアドレス A_i ($i=0\sim 3$)、クロックCLK、チップセレクト信号CSB、リフレッシュ信号REF、64ビットのデータマスク信号 DM_i ($i=0\sim 63$)、ライト・イネーブル信号WEB、アクトコマンドACTB0～ACTB3がそれぞれ入力される。
- [0013] ロウアドレス及びカラムアドレスは、それぞれ独立したピンを介して、同時に入力可能である。アクトコマンドACTB0、ACTB1、ACTB2、ACTB3は、それぞれメモリバンク0、1、2、3を活性化させるための信号であり、それぞれ独立したピンを介して入力される。
- [0014] データ入力バッファ110は、書込みデータ取り込みクロック信号ICW k ($k=0\sim 3$)に基づいて、512ビットの入力データ D_i ($i=0\sim 511$)をメモリバンク0～3のいずれかに供給する。具体的には、データ入力バッファ110は、ICW0が入力された場合は、入力データ D_i を取り込んでメモリバンク0へ供給する。同様に、データ入力バッファ110は、ICW1が入力された場合はメモリバンク1へ、ICW2が入力された場合はメモリバンク2へ、ICW3が入力された場合はメモリバンク0へ、入力データ D_i を供給する。
- [0015] データ出力バッファ120は、出力データラッチ信号DK k ($k=0\sim 3$)に基づいて、メモリバンク0～3のいずれから読み出される512ビットの出力データ DO_i ($i=0\sim 511$)を出力する。具体的には、データ出力バッファ120は、DK0が入力された場合はメモリバンク0のデータ、DK1が入力された場合はメモリバンク1のデータ、DK2が入

力された場合はメモリバンク2のデータ、DK3が入力された場合はメモリバンク3のデータをそれぞれ出力する。

- [0016] バッファ制御回路130は、入力バッファ100から供給されるクロックCLK、チップセレクト信号CSB、アクトコマンドACTB0~ACTB3に基づいて、書込み動作の場合ではデータ取り込みクロック信号ICWk(k=0~3)を生成し、読出し動作の場合では出力データラッチ信号DKk(k=0~3)を生成する。
- [0017] ここで、ICWkは、データ入力バッファ110に入力されたデータを取り込むタイミングを表している。具体的には、ICW0はメモリバンク0、ICW1はメモリバンク1、ICW2はメモリバンク2、ICW3はメモリバンク3にデータを取り込むための信号である。また、DKkは、メモリバンクkから読み出されてデータ出力バッファ120においてラッチされるタイミングを表している。
- [0018] バッファ制御回路130は、書込み動作の場合、WEB/CBSが供給されACTBkが供給されると、そのACTBkのクロックと同じタイミングでICWkを生成する。また、バッファ制御回路130は、読出し動作の場合、CBSが供給されACTBkが供給されると、そのACTBkのクロックから3クロック後にDKkを生成する
- [0019] メモリバンク0~3は、それぞれ同じ構成である。ここで、メモリバンク0は、ロウクロックを発生するロウクロック発生器10と、カラムアドレスを発生するカラムクロック発生器20と、ロウアドレスを一時蓄積し又はリフレッシュ回数をカウントするロウアドレスバッファ/リフレッシュカウンタ30と、カラムアドレスを一時蓄積するカラムアドレスバッファ40と、データマスクを一時蓄積するデータマスクバッファ50と、を備えている。
- [0020] さらに、メモリバンク0は、データを記憶するメモリセルアレイ71と、ロウアドレスを指定するロウデコーダ72と、カラムアドレスを指定するカラムデコーダ73と、データの読出し時にセルに蓄積された電圧を増幅するセンスアンプ74と、メモリセルアレイ71に対してデータの書込み及び読出しを行うデータコントロール回路60と、を備えている。
- [0021] ロウクロック発生器10は、入力バッファ100から供給されるクロックCLK、チップセレクト信号CSB、リフレッシュ信号REF、アクトコマンドACTB0に基づいて、ロウアドレスを同期させるためのロウクロックを発生し、このロウクロックをロウアドレスバッファ/リ

フレッシュカウンタ30及びセンスアンプ74に供給する。

- [0022] カラムクロック発生器20は、入力バッファ100から供給されるクロックCLK、チップセレクト信号CSB、リフレッシュ信号REF、アクトコマンドACTB0、更にライト・イネーブル信号WEBに基づいて、カラムアドレスを同期させるためのカラムクロックを発生し、このカラムクロックをカラムアドレスバッファ40、データマスクバッファ50及びデータコントロール回路60に供給する。
- [0023] ロウアドレスバッファ/リフレッシュカウンタ30は、ロウクロック発生器10で発生されたロウクロックに同期して、入力バッファ100から供給される14ビットのロウアドレス A_i ($i=4\sim 17$)を一時蓄積した後、そのロウアドレスをロウデコーダ72に供給する。また、ロウアドレスバッファ/リフレッシュカウンタ30は、メモリセルアレイ71のリフレッシュ回数をカウントする。
- [0024] カラムアドレスバッファ40は、カラムクロック発生器で発生されたカラムクロックに同期して、入力バッファ100から供給される4ビットのカラムアドレス A_i ($i=0\sim 3$)を一時蓄積した後、そのカラムアドレスをカラムデコーダ73に供給する。
- [0025] データマスクバッファ50は、入力バッファ100から供給される64ビットのデータマスク DM_i ($i=0\sim 63$)を一時蓄積した後、このデータマスク DM_i をデータコントロール回路60に供給する。
- [0026] 図2は、データコントロール回路60の構成を示す図である。データコントロール回路60は、入力されたデータをメモリセルアレイ71に供給するWアンプ61と、メモリセルアレイ71から読み出されたデータを出力するDアンプ62と、を備えている。
- [0027] Wアンプ61は、Wアンプ活性化信号 WAE_k ($k=0\sim 3$)又はデータマスクバッファ50からデータマスク DM が供給されると活性化される。そして、Wアンプ61は、データ入力バッファ110から供給される512ビットのデータ DIK_i ($i=0\sim 511$)を増幅して、データ IO_k をメモリセルアレイ71の後述するグローバル入出力線GIOへ出力する。
- [0028] Dアンプは、DAMP活性化信号 DAE_k ($k=0\sim 3$)が供給されると活性化され、メモリセルアレイ71の後述するグローバル入出力線GIOのデータを読み出して増幅し、このデータ DO_k をデータ出力バッファ120へ出力する。
- [0029] また、メモリセルアレイ71は、マトリクス状に配列された複数のメモリセルを有してい

る。ロウデコーダ72は、ロウアドレスを選択する。カラムデコーダ73は、カラムアドレスを選択する。センスアンプ74は、データの読み出し時にメモリセルの電圧を増幅する。

- [0030] 図3は、メモリセルアレイ71の詳細な構成を示す図である。メモリセルアレイ71は、行方向に配列された複数のワード線WLと、列方向に配列された複数のカラム選択線CSLと、カラム選択線CSLに信号(電圧)が供給されたときにオンになる第1のFET75と、ワード線WLに信号(電圧)が供給されたときにオンになる第2のFET76と、1つのメモリセルに対応するコンデンサ77と、入力又は出力されるデータが供給されるローカル入出力線LIO及びグローバル入出力線GIOと、を備えている。
- [0031] 第1のFET75のドレインはローカル入出力線LIOに接続され、そのソースはセンスアンプ74の出力端子に接続され、そのゲートはカラム選択線CSLに接続されている。
- [0032] センスアンプ74は、データが入力されるデータ入力端子BLと、そのデータと比較するための閾値信号が入力されるコントロール端子/BLと、出力端子と、を備えている。なお、データ入力端子と出力端子とは短絡されている。センスアンプ74は、入力されたデータが閾値以上のときに“1”の信号を、入力されたデータが閾値未満のときに“0”の信号を、前記出力端子を介して出力する。
- [0033] 第2のFET76のドレインはセンスアンプ74のデータ入力端子に接続され、そのゲートはワード線WLに接続されている。コンデンサ77の一方の端子は第2のFET76のソースに接続され、その他端は接地されている。
- [0034] ロウデコーダ72は、図1に示したロウアドレスバッファ/リフレッシュカウンタ30からロウアドレスが供給されると、そのロウアドレスに対応するワード線WLに信号を出力し、所定時間経過後にその信号の出力を停止する。なお、ロウデコーダ72は、アクトコマンドのみで動作できるように、信号を出力した後自動的にその信号をリセットするための内部遅延素子を有している。また、カラムデコーダ73は、カラムアドレスが供給されると、そのカラムアドレスに対応するカラム選択線CSLに単発のカラムアドレス選択信号を供給する。
- [0035] 以上のように構成された半導体記憶装置は、次のようなタイミングでデータの書き込

みや読み出しを行う。図4は、データの書き込み／読み出しを説明するためのタイミングチャートである。

- [0036] ここで、外部から入力されるデータとして、 A_i ($i=0\sim 17$)、ACTB0～ACTB3、 D_j / DM_i がある。また、外部に出力されるデータとして、 Q_j がある。アドレス A_i は、コラムアドレス及びロウアドレスを示している。そして、クロック0、1、2・・・のときに、アドレスA(0)、A(1)、A(2)、・・・が入力される。なお、括弧内の数字は、対応するクロックを示している。
- [0037] ACTB0はメモリバンク0を、ACTB1はメモリバンク1を、ACTB2はメモリバンク2を、ACTB3はメモリバンク3をそれぞれ活性化させるコマンドであり、書き込み用(W)と読み出し用(R)がある。
- [0038] (クロック0～3の期間)
- クロック0、1、2、3になると、書き込み用のACTB0、ACTB1、ACTB2、ACTB3が順に入力されると共に、入力データ $D_i(0)$ 、 $D_i(1)$ 、 $D_i(2)$ 、 $D_i(3)$ が順に入力される。すなわち、クロック0～3では、メモリバンク0～3へのデータの書き込みのコマンドが入力される。これにより、次の動作が行われる。
- [0039] クロック0、1、2、3のときに、それぞれRASB0、RASB1、RASB2、RASB3が順にハイレベルからローレベルに立ち下がると共に、書き込みデータ取り込みクロック信号ICW0、ICW1、ICW2、ICW3が1クロック期間だけ立ち上がる。なお、RASB0、RASB1、RASB2、RASB3は、それぞれ立ち下がってから所定時間経過後、ローレベルからハイレベルに立ち上がる。この結果、クロック0、1、2、3のときに、入力データ $D_i(0)$ 、 $D_i(1)$ 、 $D_i(2)$ 、 $D_i(3)$ がそれぞれメモリバンク0～3のメモリセルアレイ71に書き込まれる。
- [0040] (クロック4～7の期間)
- クロック4、5、6、7になると、読み出し用のACTB0、ACTB1、ACTB2、ACTB3が順に入力される。すなわち、クロック4～7では、メモリバンク0～3からのデータの読み出しのコマンドが入力される。これにより、次の動作が行われる。
- [0041] クロック4、5、6、7のときに、RASB0、RASB1、RASB2、RASB3が順にハイレベルからローレベルに立ち下がる。そして、クロック7、8、9、10に同期して、出力デー

タッチ信号DK0、DK1、DK2、DK3が1クロック期間だけ立ち上がる。そして1クロック経過後のクロック8、9、10、11のときに、出力データQi(4)、Qi(5)、Qi(6)、Qi(7)がそれぞれメモリバンク0～3のメモリセルアレイ71から読み出される。

[0042] ここで、出力データQi(4)、Qi(5)、Qi(6)、Qi(7)は、図4に示すように、ACTB0、ACTB1、ACTB2、ACTB3の4クロック後に出力されている。つまり、リードレーテンシーRL=4に設定されている。

[0043] (クロック8～11の期間)

クロック8、9、10、11になると、書き込み用のACTB0、読み出し用のACTB1、書き込み用のACTB2、読み出し用のACTB3が順に入力されると共に、クロック8で入力データDi(8)、クロック10で入力データDi(10)が入力される。すなわち、すなわち、クロック8～11では、メモリバンク0へのデータの書き込み、メモリバンク1からのデータの読み出し、メモリバンク2へのデータの書き込み、メモリバンク3からのデータの読み出しのコマンドが入力される。これにより、次の動作が行われる。

[0044] クロック8、9、10、11のときに、RASB0、RASB1、RASB2、RASB3が順にハイレベルからローレベルに立ち下がる。これに同期して、クロック8でICW0が、クロック10でICW2が、クロック12でDK1が、クロック14でDK3が1クロック期間だけ立ち上がる。この結果、クロック8、10のときに、入力データDi(8)、Di(10)がそれぞれメモリバンク0、2のメモリセルアレイ71に書き込まれる。更に、クロック12、14のときに、出力データQi(9)、Qi(10)がそれぞれメモリバンク1、3のメモリセルアレイ71から読み出される。

[0045] ここで、出力データQi(9)、Qi(10)は、図4に示すように、ACTB1、ACTB3の4クロック後に出力されている。つまり、リードレーテンシーRL=4に設定されている。これにより、1クロック毎に書き込みと読み出しが行われる場合でも、ギャップレスで書き込み及び読み出しを行うことができる。

[0046] 図5は、データの書き込み／読み出しを説明するための他のタイミングチャートである。図4に比べると、ライト・イネーブル信号WEB／チップセレクト信号CBSのタイミングが追加されている。また、クロック8では、書き込み／読み出しのいずれのコマンドもないが、クロック9～12において、読み出し、書き込み、読み出し、書き込みのWEB

／CSBが順に入力されている。

[0047] 図4では、書き込み、読み出し、書き込み、読み出しの順のコマンドが入力される場合を示したが、図5に示すように、読み出し、書き込み、読み出し、書き込みの順のコマンドが入力される場合でも、同様にリードレーテンシー $RL=4$ であり、読み出し／書き込みがギャップレスで行われる。

[0048] 以上のように、本発明の実施の形態の半導体記憶装置は、データ書き込み時では、コマンド信号が入力されたときのクロックと同じタイミングのデータをそのまま書き込み、データ読み出し時では、コマンド信号が入力されたときのクロックから所定のレーテンシー分だけ経過したときにデータを読み出す。これにより、読み出しデータの周波数が高くなっても、各メモリバンクはレーテンシーの分のクロック数で内部動作を完了すればよいので、余裕をもったタイミングで回路設計が可能となる。

[0049] 上記半導体記憶装置は、ロウアドレスとカラムアドレスのそれぞれの入力手段が独立に設けられているので、ロウアドレスとカラムアドレスを同時に入力して、完全にランダムなアドレスを指定することができる。

[0050] また、上記半導体記憶装置は、メモリバンク毎に対応するメモリバンクを活性化するためのACTBiを入力するピンを備えると共に、それ以外の信号については各メモリバンクで共通のピンを備え、ACTBiにより一度に1つのみのメモリバンクを活性化している。

[0051] なお、メモリバンクを続けて活性化するためには、 t_{RC} (ランダムサイクルタイム)の間をあけ、かつ、リードレーテンシー $RL=2$ 回のダミークロックを入力すればよい。

更に好ましくは、図4に示すように、

$$T(\text{ACT to ACT}) \geq t_{RC} \quad \text{かつ}$$

$$\text{CLK}(\text{ACT to ACT}) \geq RL - 2$$

を満たせばよい。ここで、

$T(\text{ACT to ACT})$: 連続する読み出しコマンド間の時間

t_{RC} : ランダムサイクルタイム

$\text{CLK}(\text{ACT to ACT})$: 連続する読み出しコマンド間のクロック数

である。

ここでは、同一のメモリバンクにアクセスして連続的にデータを読み出す場合について説明したが、本発明はこれに限定されるものではない。すなわち、同一のメモリバンクにアクセスしてデータの読出し／書込みを行ってもよいし、データの書込み／読出しを行ってもよい。このとき、

T(ACT to ACT) :連続する読出し／書込み、又は書込み／読出しコマンド間の時間

CLK(ACT to ACT) :連続する読出し／書込み、又は書込み／読出しコマンド間のクロック数

とすればよい。

[0052] さらに、上記半導体記憶装置は、各メモリバンクのアクセス速度を速くする必要がないので、安いDRAMプロセスでも製造可能である。すなわち、製造コストを抑制することができる。また、メモリバンク数を増やせば更にランダムアクセス性を増すことができる。さらに、リードレーテンシーRLを変えることで、いろいろな周波数特性にも対応することができる。

[0053] なお、本発明は、上述した実施の形態に限定されるものではなく、特許請求の範囲に記載された範囲内で設計上の変更をされたものにも適用可能であるのは勿論である。上記実施形態では、メモリバンク数が4の場合を例に挙げたが、メモリバンク数はこれに限定されるものではない。上記実施形態では、リードレーテンシーRL=4の場合を例に挙げたが、リードレーテンシーRLは3以上であればよい。更に好ましくは、メモリバンクの数をnとすると、 $3 \leq RL \leq n + 1$ を満たせばよい。このとき、ロウデコーダ72及びカラムデコーダ73はリードレーテンシーRLに応じて読出しのタイミングを変更すると共に、バッファ制御回路130もリードレーテンシーRLに応じて出力データラッチ信号DKk(k=0~3)の生成タイミングを変更すればよい。また、メモリバンクの数も4つに限らず、3つ以上であればよい。

符号の説明

[0054] 0, 1, 2, 3 メモリバンク

60 データコントロール回路

71 メモリセルアレイ

- 72 ローデコーダ
- 73 カラムデコーダ
- 74 センスアンプ
- 100 入力バッファ
- 110 データ入力バッファ
- 120 データ出力バッファ
- 130 バッファ制御回路

請求の範囲

- [1] ロウアドレス方向及びカラムアドレス方向に配列された複数のメモリセルと、ロウアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するロウデコーダと、カラムアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するカラムデコーダと、を有する複数のメモリバンクと、
- 前記ロウデコーダへ供給するロウアドレスが入力されるロウアドレス入力手段と、
- 前記カラムデコーダへ供給するカラムアドレスが入力されるカラムアドレス入力手段と、
- メモリバンク毎に設けられ、メモリバンクを活性化するための活性化信号が入力される活性化信号入力手段と、
- 各メモリバンクに対して共通に設けられ、入力されたデータを複数のメモリバンクのうちの活性化されたメモリバンクに供給するデータ入力手段と、
- 各メモリバンクに対して共通に設けられ、前記活性化されたメモリバンクから読み出されたデータを出力するデータ出力手段と、
- データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、前記活性化信号入力手段に入力された活性化信号によって活性化されたメモリバンクに書き込むように前記データ入力手段を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して3以上の所定のリードレーテンシーで、前記活性化信号入力手段により入力された活性化信号によって活性化されたメモリバンクからデータを読み出してデータを出力するように前記データ出力手段を制御する制御手段と、
- を備えた半導体記憶装置。
- [2] バンク数を n 、リードレーテンシーを RL とすると、
- $$3 \leq RL \leq n + 1$$
- を満たす請求項1に記載の半導体記憶装置。
- [3] 同一のバンクメモリに連続してアクセスする場合、読出し／読出し、読出し／書込み、書込み／読出しのいずれかの連続するコマンド間の時間を T (ACT to ACT)、ランダムサイクルタイムを t_{RC} 、読出し／読出し、読出し／書込み、書込み／読出しの上

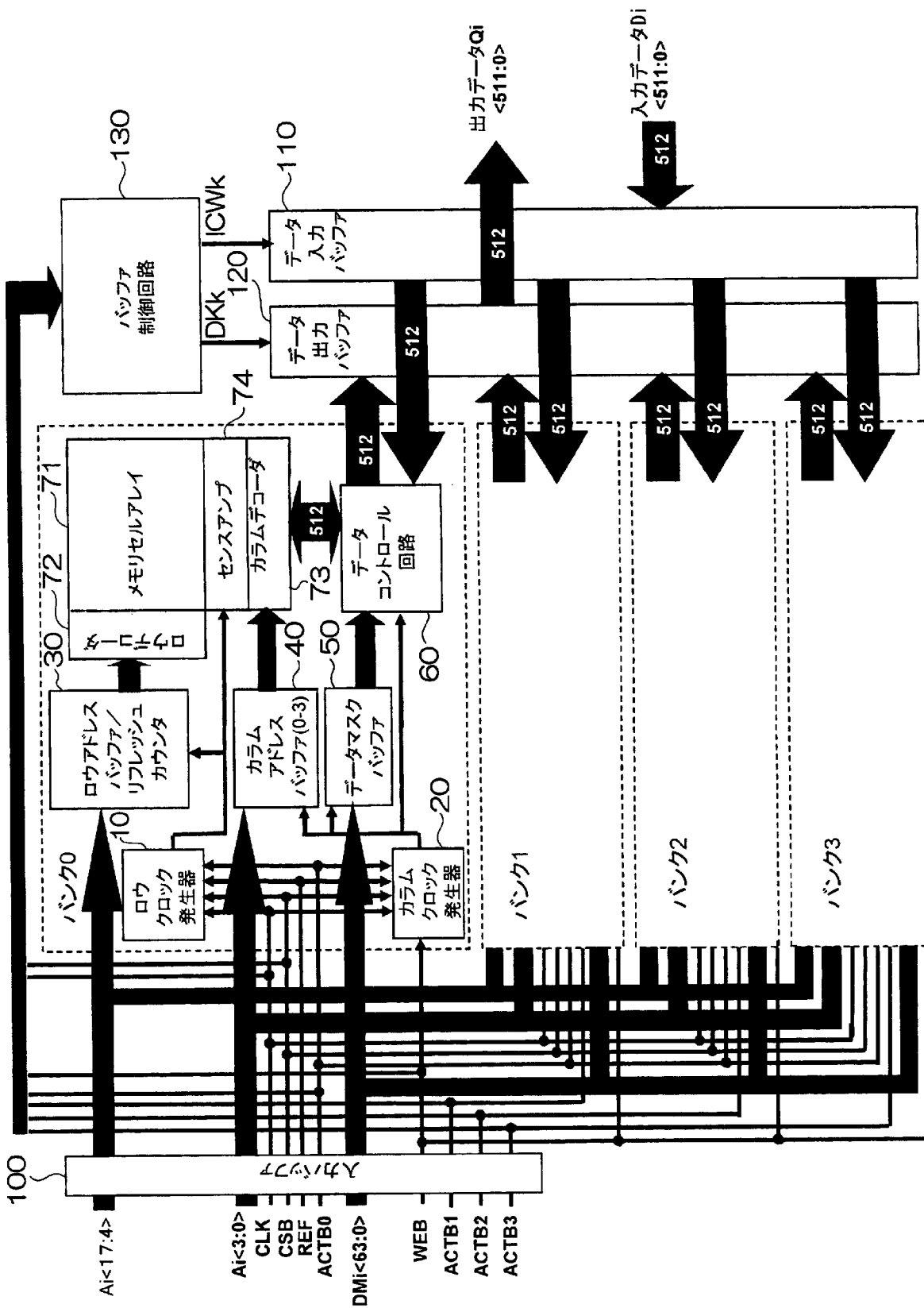
記いずれかの連続するコマンド間のクロック数をCLK (ACT to ACT)とすると、

$T(\text{ACT to ACT}) \geq t_{RC}$ かつ

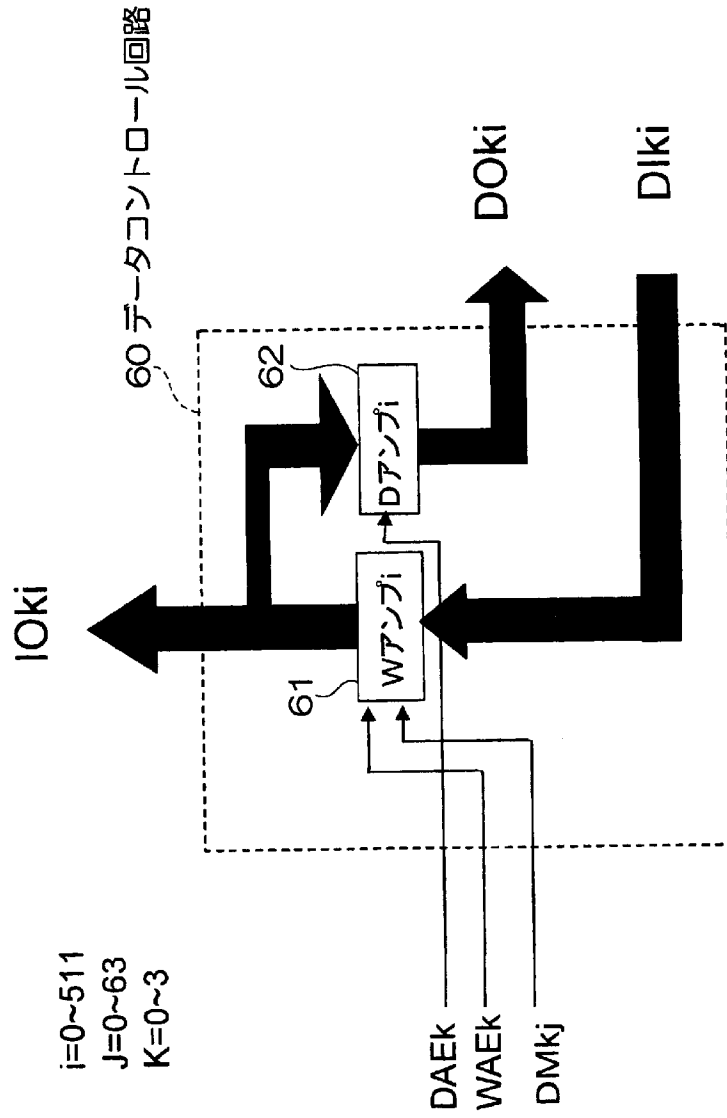
$\text{CLK}(\text{ACT to ACT}) \geq \text{RL} - 2$

を満たす請求項1または請求項2に記載の半導体記憶装置。

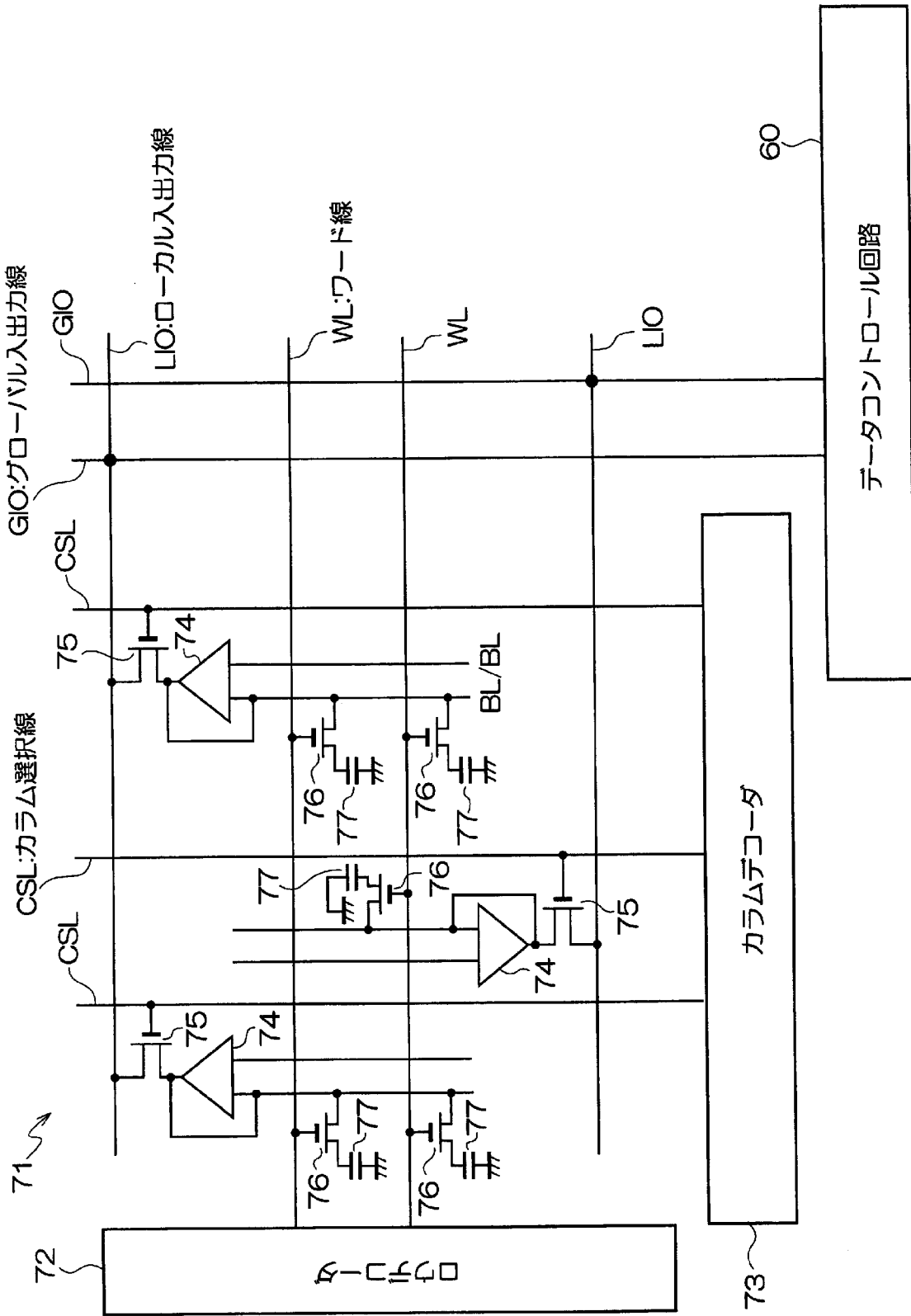
[図1]



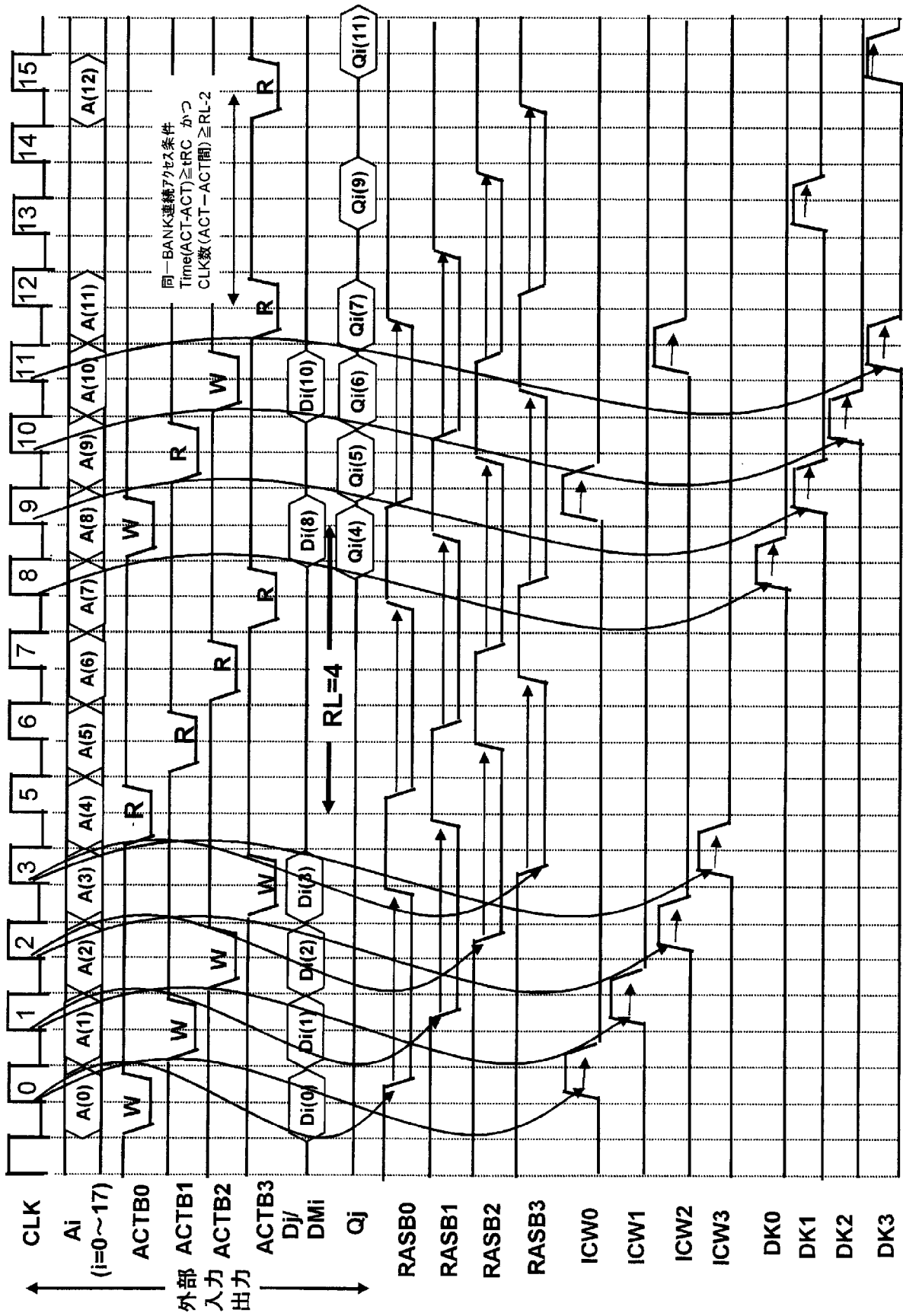
[図2]



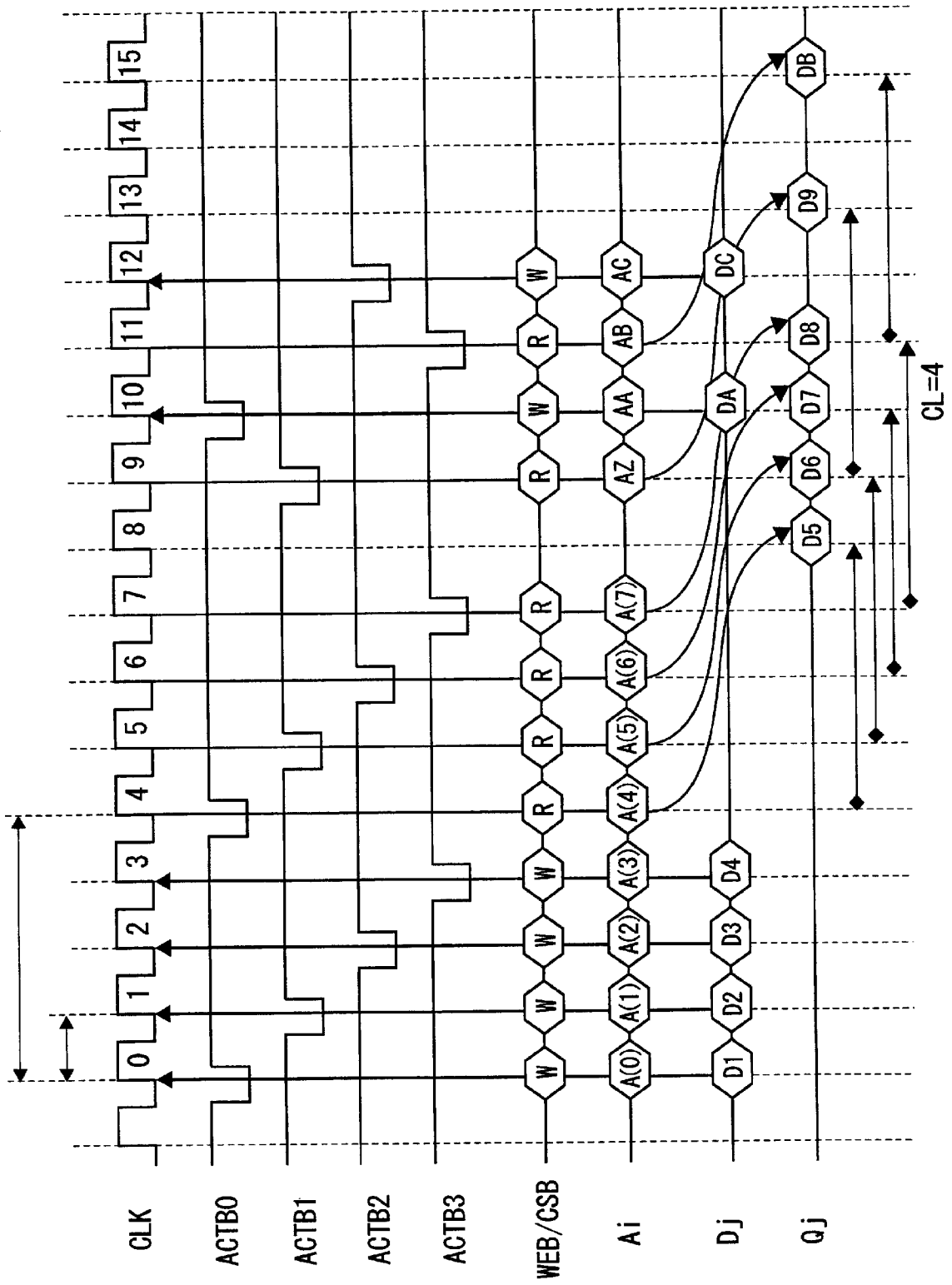
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050678

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/4096(2006.01) i, G11C11/401(2006.01) i, G11C11/407(2006.01) i,
G11C11/4076(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/4096, G11C11/401, G11C11/407, G11C11/4076

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-057769 A (Fujitsu Ltd.), 25 February, 2000 (25.02.00), Par. Nos. [0076] to [0082]; Figs. 13, 31, 32 & US 6084823 A & EP 0962937 A2	1, 3 2
Y	JP 2004-220678 A (Sony Corp.), 05 August, 2004 (05.08.04), Fig. 1 & US 2004/0190363 A1	2
Y	JP 2000-082287 A (Fujitsu Ltd.), 21 March, 2000 (21.03.00), Fig. 4 & US 6185149 B1 & EP 0969476 A1	2

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28 January, 2009 (28.01.09)

Date of mailing of the international search report
10 February, 2009 (10.02.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050678

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-231788 A (Hitachi, Ltd.), 22 August, 2000 (22.08.00), Full text; all drawings & JP 3957421 B2	1-3
A	JP 2007-048385 A (Kabushiki Kaisha Shisutemu Faburikeshon Tekunorojizu), 22 February, 2007 (22.02.07), Full text; all drawings & JP 4099499 B2	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C11/4096(2006.01)i, G11C11/401(2006.01)i, G11C11/407(2006.01)i, G11C11/4076(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C11/4096, G11C11/401, G11C11/407, G11C11/4076

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2 0 0 0 - 0 5 7 7 6 9 A (富士通株式会社) 2 0 0 0 . 0 2 . 2 5 , 段落【0076】 - 【0082】, 図13, 図31, 図32 & US 6 0 8 4 8 2 3 A & EP 0 9 6 2 9 3 7 A 2	1, 3 2
Y	J P 2 0 0 4 - 2 2 0 6 7 8 A (ソニー株式会社) 2 0 0 4 . 0 8 . 0 5 , 図1 & US 2 0 0 4 / 0 1 9 0 3 6 3 A 1	2

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 28.01.2009 国際調査報告の発送日 10.02.2009

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 園田 康弘 電話番号 03-3581-1101 内線 3586	5 N	3 5 7 8
---	--	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-082287 A (富士通株式会社) 2000.03.21, 図4 & US 6185149 B1 & EP 0969476 A1	2
A	JP 2000-231788 A (株式会社日立製作所) 2000.08.22, 全文, 全図 & JP 3957421 B2	1-3
A	JP 2007-048385 A (株式会社システム・ファブリ ケーション・テクノロジーズ) 2007.02.22, 全文, 全図 & JP 4099499 B2	1-3