

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3788867号

(P3788867)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.	F I
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 J
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/34 3 O 1 D
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S

請求項の数 15 (全 48 頁)

(21) 出願番号	特願平10-159381	(73) 特許権者	000003078
(22) 出願日	平成10年6月8日(1998.6.8)		株式会社東芝
(65) 公開番号	特開平11-195296		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年7月21日(1999.7.21)	(74) 代理人	100058479
審査請求日	平成14年6月5日(2002.6.5)		弁理士 鈴江 武彦
(31) 優先権主張番号	特願平9-295431	(74) 代理人	100091351
(32) 優先日	平成9年10月28日(1997.10.28)		弁理士 河野 哲
(33) 優先権主張国	日本国(JP)	(74) 代理人	100088683
			弁理士 中村 誠
前置審査		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1および第2の動作モードを有する半導体記憶装置において、
 複数のメモリセルが行列状に配置されたメモリセルアレイと、
 前記メモリセルに読み書きされるデータが伝搬する第1および第2のデータバスと、
 前記第1の動作モードでは、バーストアドレスの連続する2つアドレスに対応する2つのメモリセルから独立したデータを同時に読み出すように制御し、前記第2の動作モードでは、前記バーストアドレスの連続する2つアドレスに対応する2つのメモリセルから独立したデータを順次読み出すように制御する読み出し制御回路と、

前記第1および第2のデータバスにそれぞれ対応して設けられた第1および第2の出力データレジスタと、

前記第1のデータバスのデータおよび第2のデータバスのデータを転送させる際に、前記第1の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第2の動作モードでは前記バーストアドレスの下位ビットに応じて前記第1のデータバスのデータを第1のデータバスおよび第2のデータバスの両方に転送するかまたは、第2のデータバスのデータを第1のデータバスおよび第2のデータバスの両方に転送するように制御して前記第1および第2の出力データレジスタにデータを転送する第1のデータバス制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項2】

請求項 1 記載の半導体記憶装置において、
前記第 1 のデータバス制御回路は、前記出力データレジスタが駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御することを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 または 2 記載の半導体記憶装置において、
前記第 1 および第 2 の出力データレジスタの前段側に挿入されるデータ線センスアンプをさらに具備し、

前記第 1 のデータバス制御回路は、前記データ線センスアンプの入力部の近傍に設けられることを特徴とする半導体記憶装置。

10

【請求項 4】

請求項 1 乃至 3 のいずれか 1 つに記載の半導体記憶装置において、
前記第 1 の動作モードは、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりと同下がり同期してデータの読み出しを行うダブルデータレート (DDR) 方式の動作モードであり、

前記第 2 の動作モードは、外部クロック入力の上上がり同期してデータの読み出しを行うシングルデータレート (SDR) 方式の動作モードであることを特徴とする半導体記憶装置。

【請求項 5】

請求項 3 または 4 記載の半導体記憶装置において、
前記データ線センスアンプはラッチ型センスアンプであることを特徴とする半導体記憶装置。

20

【請求項 6】

第 1 および第 2 の動作モードを有する半導体記憶装置において、
複数のメモリセルが行列状に配置されたメモリセルアレイと、
前記メモリセルに読み書きされるデータが伝搬する第 1 および第 2 のデータバスと、
前記第 1 の動作モードでは、バーストアドレスの連続する 2 つアドレスに対応する 2 つメモリセルに独立したデータを同時に書き込むように制御し、前記第 2 の動作モードでは、前記バーストアドレスの連続する 2 つアドレスに対応する 2 つのメモリセルに独立したデータを順次書き込むように制御する書き込み制御回路と、

30

前記第 1 および第 2 のデータバスにそれぞれ対応して設けられた第 1 および第 2 の入力データレジスタと、

前記第 1 のデータバスのデータおよび第 2 のデータバスのデータを転送させる際に前記第 1 の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第 2 の動作モードでは前記第 1 のデータバスのデータを前記第 1 のデータバスおよび前記第 2 のデータバスの両方で転送するように制御して前記第 1 および第 2 のデータバスにデータを転送する第 2 のデータバス制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項 7】

請求項 6 記載の半導体記憶装置において、
前記第 2 のデータバス制御回路は、前記入力データレジスタが駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御することを特徴とする半導体記憶装置。

40

【請求項 8】

請求項 6 または 7 記載の半導体記憶装置において、
前記第 2 のデータバス制御回路は、前記入力データレジスタの中間段に設けられることを特徴とする半導体記憶装置。

【請求項 9】

請求項 6 乃至 8 のいずれか 1 つに記載の半導体記憶装置において、

50

前記第1の動作モードは、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりと同様に同期してデータの書き込みを行うダブルデータレート（DDR）方式の動作モードであり、

前記第2の動作モードは、外部クロック入力の上上がりと同様に同期してデータの書き込みを行うシングルデータレート（SDR）方式の動作モードであることを特徴とする半導体記憶装置。

【請求項10】

第1および第2の動作モードを有する半導体記憶装置において、

複数のメモリセルが行列状に配置されたメモリセルアレイと、

前記メモリセルに読み書きされるデータが伝搬する第1および第2のデータバスと、

前記メモリセルアレイからのデータ読み出し時は、前記第1の動作モードでは、バーストアドレスの連続する2つアドレスに対応する2つのメモリセルから独立したデータを同時に読み出すように制御し、前記第2の動作モードでは、前記バーストアドレスの連続する2つアドレスに対応する2つのメモリセルから独立したデータを順次読み出すように制御し、前記メモリセルアレイへのデータ書き込み時は、前記第1の動作モードでは、前記バーストアドレスの連続する2つアドレスに対応する2つメモリセルに独立したデータを同時に書き込むように制御し、前記第2の動作モードでは、前記バーストアドレスの連続する2つアドレスに対応する2つのメモリセルに独立したデータを順次書き込むように制御する読み出し/書き込み制御回路と、

前記第1および第2のデータバスにそれぞれ対応して設けられた第1および第2の出力データレジスタと、

前記メモリセルアレイからのデータ読み出し時に、前記第1のデータバスのデータおよび第2のデータバスのデータを転送させる際に、前記第1の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第2の動作モードでは前記バーストアドレスの下位ビットに応じて前記第1のデータバスのデータを第1のデータバスおよび第2のデータバスの両方に転送するかまたは、第2のデータバスのデータを第1のデータバスおよび第2のデータバスの両方に転送するように制御して前記第1および第2の出力データレジスタにデータを転送する第1のデータバス制御回路と、

前記第1および第2のデータバスにそれぞれ対応して設けられた第1および第2の入力データレジスタと、

前記メモリセルアレイへのデータ書き込み時に、前記第1のデータバスのデータおよび第2のデータバスのデータを転送させる際に、前記第1の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第2の動作モードでは前記第1のデータバスのデータを前記第1のデータバスおよび前記第2のデータバスの両方で転送するように制御して前記第1および第2のデータバスにデータを転送する第2のデータバス制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項11】

複数のワード線およびビット線の各交点に対応してメモリセルが2次元の行列状に配置されたメモリセル群と、

外部から取り込まれたアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生するバーストアドレス発生回路と、

前記バーストアドレスを一部に含むアドレス信号に応じて前記メモリセル群のメモリセルを選択するメモリセル選択回路と、

前記バーストアドレスとそれに連続する次のアドレスで指定されるセルを同時に選択し、前記外部クロック信号の上上がりと同様に同期して前記メモリセルのデータの読み出しあるいは書き込みを行う読み出し/書き込み制御回路と、

前記メモリセル選択回路に含まれ、前記メモリセル群のカラムを選択するためのカラム

10

20

30

40

50

トランスファゲート群と、

前記アドレス信号のうちのカラムアドレスビット Y 0 が " 0 " の時に選択される複数のメモリセルの読み出しデータが前記カラムトランスファゲート群を介して出力する第 1 のデータ線と、

前記アドレス信号のうちのカラムアドレスビット信号 Y 0 が " 1 " の時に選択される複数のメモリセルの読み出しデータが前記カラムトランスファゲート群を介して出力する第 2 のデータ線と、

前記第 1 のデータ線に接続され、前記カラムアドレスビット信号 Y 0 以外の所定のカラムアドレスビット信号により活性化期間が制御され、前記メモリセルからの読み出しデータを増幅する第 1 のセンスアンプおよび前記メモリセルにデータ書き込みを行う第 1 のデータ書き込み回路と、

10

前記第 2 のデータ線に接続され、前記カラムアドレスビット信号 Y 0 以外の所定のカラムアドレスビット信号により活性化期間が制御され、前記メモリセルからの読み出しデータを増幅する第 2 のセンスアンプおよび前記メモリセルにデータ書き込みを行う第 2 のデータ書き込み回路と、

前記活性化期間が異なる複数組の第 1 のセンスアンプおよび第 1 のデータ書き込み回路に共通に接続された第 1 のデータバスと、

前記活性化期間が異なる複数組の第 2 のセンスアンプおよび第 2 のデータ書き込み回路に共通に接続された第 2 のデータバスと、

前記第 1 のデータバスおよび第 2 のデータバスにそれぞれ対応して設けられた第 1 の出力データレジスタおよび第 2 の出力データレジスタを含むデータ出力制御回路と、

20

複数のスイッチ回路を有し、これら複数のスイッチ回路を前記バーストアドレスの下位ビットに応じて切り換えることにより、前記第 1 のデータバスおよび第 2 のデータバスと前記第 1 の出力データレジスタおよび第 2 の出力データレジスタとの間で、第 1 のデータバスと第 1 の出力データレジスタを接続しかつ第 2 のデータバスと第 2 の出力データレジスタを接続する、第 1 のデータバスと第 2 の出力データレジスタを接続しかつ第 2 のデータバスと第 1 の出力データレジスタを接続する、第 1 のデータバスと第 1 および第 2 の出力データレジスタを接続する、第 2 のデータバスと第 1 および第 2 の出力データレジスタを接続する、のいずれかを行う第 1 のデータバス制御回路と、

前記第 1 のデータバスおよび第 2 のデータバスにそれぞれ対応して設けられた第 1 の入力データレジスタおよび第 2 の入力データレジスタを含むデータ入力制御回路と、

30

複数のスイッチ回路を有し、これら複数のスイッチ回路を前記バーストアドレスの下位ビットに応じて切り換えることにより、前記第 1 の入力データレジスタおよび第 2 の入力データレジスタと前記第 1 のデータバスおよび第 2 のデータバスとの間で、第 1 の入力データレジスタと第 1 のデータバスを接続しかつ第 2 の入力データレジスタと第 2 のデータバスを接続する、第 1 の入力データレジスタと第 2 のデータバスを接続しかつ第 2 の入力データレジスタと第 1 のデータバスを接続する、第 1 および第 2 の入力データレジスタと第 1 のデータバスを接続する、のいずれかを行う第 2 のデータバス制御回路と

を具備することを特徴とする半導体記憶装置。

【請求項 1 2】

40

請求項 1 1 記載の半導体記憶装置において、

前記データ出力制御回路はさらに、

前記第 1 のデータバスに接続された第 1 のデータ線センスアンプと、

前記第 1 の出力データレジスタの後段に接続され、前記外部クロック信号の論理レベルが第 1 のレベルの期間にデータを転送する第 1 のトランスファゲートと、

前記第 2 のデータバスに接続された第 2 のデータ線センスアンプと、

前記第 2 の出力データレジスタの後段に接続され、前記外部クロック信号の論理レベルが第 2 のレベルの期間にデータを転送する第 2 のトランスファゲートと、

前記第 1 のトランスファゲートおよび第 2 のトランスファゲートの各出力端側に共通に接続された出力バッファとを含み、

50

前記第 1 の出力データレジスタは、前記第 1 のデータ線センスアンプの後段に接続され、外部クロック信号の立上がりに同期してデータを取り込み、
 前記第 2 の出力データレジスタは、前記第 2 のデータ線センスアンプの後段に接続され、外部クロック信号の立上がりに同期してデータを取り込み、
 前記第 1 のデータバス制御回路は、
 第 1 のデータバスに挿入された第 1 のスイッチ回路と、
 前記第 2 のデータバスと第 1 のデータバスとの間に挿入された第 2 のスイッチ回路と、
 前記第 1 のデータバスと第 2 のデータバスとの間に挿入された第 3 のスイッチ回路と、
 前記第 2 のデータバスに挿入された第 4 のスイッチ回路と
 を具備することを特徴とする半導体記憶装置。

10

【請求項 1 3】

請求項 1 1 記載の半導体記憶装置において、
 前記データ入力制御回路はさらに、
 入力バッファ回路と、
 前記第 1 の入力レジスタの後段側の第 1 のデータバスおよび第 2 の入力レジスタの後段側の第 2 のデータバスにそれぞれ対応して接続され、それぞれ外部クロック信号の立上がりに同期してデータを取り込む第 3 の入力レジスタおよび第 4 の入力レジスタと、
 前記第 3 の入力レジスタの後段側および第 4 の入力レジスタの後段側にそれぞれ対応して接続されたデータ線アンプとを含み、
 前記第 1 の入力レジスタは、前記入力バッファ回路の後段側に接続され、外部クロック

20

信号の立上がりに同期してデータを取り込み、
 前記第 2 の入力レジスタは、前記入力バッファ回路の後段側に接続され、外部クロック信号の反転信号の立上がりに同期してデータを取り込み、
 前記第 2 のデータバス制御回路は、初段入力データレジスタである前記第 1 の入力レジスタ・第 2 の入力レジスタと次段入力データレジスタである前記第 3 の入力レジスタ・第 4 の入力レジスタとの間に挿入され、
 前記第 1 のデータバスに挿入された第 1 のスイッチ回路と、
 前記第 2 のデータバスと第 1 のデータバスとの間に挿入された第 2 のスイッチ回路と、
 前記第 1 のデータバスと第 2 のデータバスとの間に挿入された第 3 のスイッチ回路と、
 前記第 2 のデータバスに挿入された第 4 のスイッチ回路と
 を具備することを特徴とする半導体記憶装置。

30

【請求項 1 4】

請求項 1 2 または 1 3 記載の半導体記憶装置において、
 前記各スイッチ回路は、トランスマゲート用の MOS トランジスタであることを特徴とする半導体記憶装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれか 1 項に記載の半導体記憶装置において、
 前記メモリセル群のメモリセルは、一对の記憶ノードに相補的なデータを記憶し、データ線対との間でデータの授受を行うことを特徴とするスタティック型メモリセルであることを特徴とする半導体記憶装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型の半導体記憶装置に係り、特に複数のデータバスを用いて複数のアドレスに対するデータを並列に処理する動作モードを有する半導体記憶装置に関するもので、例えば S R A M (スタティック型メモリ) などに使用されるものである。

【0002】

【従来の技術】

従来の半導体メモリにおいて、通常の同期動作モードのみが要求される場合には、外部クロック入力の立上がりのみ同期させて 1 つの入出力端子当り 1 ビットのデータをメモリ

50

セルから読み出したり書き込んだりするシングルデータレート (Single Data Rate ; SDR) 方式の動作モードをサポートすればよい。

【0003】

一方、半導体メモリの高速動作方式の1つとしてバーストモード動作が提案されている。このバーストモード動作とは、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生して読み出し/書き込みを行う動作である。

【0004】

前記バーストアドレスの発生の仕方は、1ビットまたは2ビットのバーストアドレス信号により一定の規則性 (リニアモードあるいはインターリーブモード) にしたがって連続したアドレスを発生するものであり、バーストアドレス信号以外のアドレス信号は固定である。

10

【0005】

上記リニアモードあるいはインターリーブモードは、いずれも、バーストアドレス信号の下位ビットの値が0, 1, 0, 1... (または、1, 0, 1, 0...) と繰り返すものであり、同じ値が繰り返すことはない。

【0006】

例えばバーストアドレス信号として、例えば18ビットのアドレス信号の下位2ビットA1、A0が与えられているとすると、前記リニアモードの時には、バーストスタートアドレスから順番にインクリメントするように進行する。即ち、スタートアドレスが(0, 0)の時、(0, 0) (0, 1) (1, 0) (1, 1)と内部バーストアドレスが進行する。

20

【0007】

なお、バーストアドレスは、選択するメモリセルを速く切り換えることが要求されるので、メモリセルのカラムアドレスが割り当てられることが多い。つまり、セルのワード線選択を行うロウ系に比べてカラム選択を行うカラム系の方がタイミング的に余裕があり、従って、発生に時間がかかるバーストアドレスはカラム系に割り当てた方が全体として高速化できるからである。そこで、以後の説明および図面中では、前記バーストアドレスビットA1、A0をカラムアドレスビットY1、Y0で表わすものとする。

【0008】

このようなバーストモード動作は、前記SDR方式の動作モードに適用可能であるが、さらに、外部クロック入力のアップエッジ (立上がり) とダウンエッジ (立下がり) に同期してデータの読み出し/書き込みを行うダブルデータレート (Double Data Rate ; DDR) 方式の動作モードにも適用可能である。

30

【0009】

このDDR方式の動作モードを有するメモリは、内部動作速度は特に高速化することなく、I/Oバッファの部分のみで外部クロック入力の立上がり/立下がり両方に同期させて読み出したり書き込んだりすることにより、メモリ外部から見ると、メモリ内部が倍速で動いている (2倍のデータの読み出し/書き込みを行う) ようにしており、その一例としてSRAMが提案されている。

40

【0010】

DDR方式の動作モードを有するSRAMは、複数のデータバスを用いて複数のアドレスに対するデータを並列に処理する方式であり、メモリセルへの実際の書き込み動作などの内部動作自体は外部クロック入力と同じ速度 (周波数) で行うが、一度に2アドレス分のデータを並列に処理することによりデータ転送速度を2倍に高めるものである。

【0011】

つまり、DDR方式の動作モードを有するSRAMでは、メモリ内部のデータバスを倍にしておき、バーストアドレスの連続する2つのアドレスでそれぞれ指定されるセルを同時に選択をして書き込みあるいは読み出しをさせている。

【0012】

50

なお、DDR方式の動作モードを有するSRAMにおいては、前記したようなDDR方式の動作モードとSDR方式の動作モードとを選択し得るように併存させる場合が多い。

【0013】

図22は、DDR方式/SDR方式の動作モードを選択し得る同期型SRAMの全体的構成の従来例を概略的に示す。

【0014】

図22において、1はアドレスレジスタ、2はバーストアドレス発生用のバーストカウンタ、3はアドレスデコーダ、4は行選択回路、5はメモリセルアレイ、6は列選択回路、7はセンスアンプ・データ書き込み回路、81は第1のデータバス、82は第2のデータバス、9はデータ入出力回路である。前記データ入出力回路9には、後述するデータ出力制御回路(図23参照)およびデータ入力制御回路(図27参照)が含まれている。

10

【0015】

さらに、前記メモリセルアレイ5の複数のアドレスのメモリセルに対して同時にデータの読み出しあるいは書き込みを制御し、前記複数のデータバス81、82との間でデータを並列に処理する読み出し/書き込み制御回路(図示せず)が設けられている。

【0016】

なお、このSRAMは、例えば3個の外部端子11~13から入力する3つの制御信号がコマンドデコーダ10によりデコードされて動作モードが制御されるように構成されている。例えば第1の制御信号START/STOPの論理レベルに応じてバースト動作の開始/停止が制御され、第2の制御信号READ/WRITEの論理レベルに応じて読み出し/書き込み動作が制

20

【0017】

なお、前記メモリセルアレイ5は、複数のワード線およびビット線の各交点に対応してメモリセルが2次元の行列(マトリクス)状に配置されたメモリセル群からなる。上記メモリセルは、一対の記憶ノードに相補的なデータを記憶し、データ線対との間でデータの授受を行うことを特徴とするスタティック型メモリセルである。

【0018】

また、前記列選択回路6は、列デコーダ(図示せず)およびそのデコード出力によりスイッチ制御されてセルアレイのカラム選択を行うためにカラムトランスファークローク(図示せず)を含む。

30

【0019】

図2は、前記同期型SRAMにおけるメモリセルアレイ5の一部のセル部に対応するカラムトランスファークロークTG、データ線DL1、DL2、センスアンプS/A・データ書き込み回路Din、データバスの接続関係の一例を概略的に示している。

【0020】

即ち、セル部は、行方向においてカラムアドレスビット信号Y1、Y0で選択される連続する4カラムが繰り返し、バーストアドレスビットY1、Y0より1つ上位のカラムアドレスビットY2が“0”の時に選択対象となる4カラムと、カラムアドレスビットY2が“1”の時に選択対象となる4カラムとが交互に繰り返す。

40

【0021】

さらに、前記カラムアドレスビットY2より1つ上位のカラムアドレスビットY3が“0”の時に選択対象となる連続する8カラムとカラムアドレスビットY3が“1”の時に選択対象となる連続する8カラムとが交互に繰り返す。

【0022】

前記セル部において、連続する2アドレスにより2つのカラムのメモリセルが同時に選択される場合、2ビット分の各カラムトランスファークロークが同時に開いてしまうと、データの衝突が起きてしまうおそれがある。

【0023】

それを避けるため、前記信号Y0が“0”の時に選択されるメモリセルの読み出しデータ

50

を第1のデータ線DL1に取り出し、前記信号Y0が“1”の時に選択されるメモリセルの読み出しデータを第2のデータ線DL2に取り出すことが可能なようにコラムトランスファークラスタ群が接続されている。

【0024】

例えば行方向におけるメモリセルの配列順に物理アドレスが割り付けられているものとする、前記4コラム内の配列順位が奇数番目のコラムを第1のデータ線DL1に共通に接続し、偶数番目のコラムを第2のデータ線DL2に共通に接続するようにコラムトランスファークラスタ群が接続されている。

【0025】

そして、前記コラムアドレスビットY2が“0”の時に選択対象となる4コラム（ここでは、物理アドレス1～4あるいは9～12に相当する）とコラムアドレスビットY2が“1”の時に選択対象となる4コラム（ここでは、物理アドレス5～8あるいは13～16に相当する）との隣り合う1組（連続する8コラム）を単位として、前記第1のデータ線DL1および第2のデータ線DL2にそれぞれセンスアンプS/A・データ書き込み回路Dinが接続されている。

10

【0026】

この場合、センスアンプS/Aが活性化される期間とデータ書き込み回路Dinが活性化される期間とは異なる。また、前記第1のデータ線DL1に接続されているセンスアンプS/A・データ書き込み回路Dinが活性化される期間と第2のデータ線DL2に接続されているセンスアンプS/A・データ書き込み回路Dinが活性化される期間とは異なる。

20

【0027】

そして、複数組の第1のデータ線DL1にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプS/A・データ書き込み回路Dinは、第1のデータバス81を共通に介してデータ入出力回路9に接続されている。

【0028】

同様に、複数組の第2のデータ線DL2にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプS/A・データ書き込み回路Dinは、第2のデータバス82を介して共通に前記データ入出力回路9に接続されている。

【0029】

この場合、ある連続する8コラムに対応するセンスアンプS/Aの切り換え、データ書き込み回路Dinの活性/非活性状態がY3=0の時に制御されるものとする、その隣りの連続する8コラムに対応するセンスアンプS/Aの切り換え、データ書き込み回路Dinの活性/非活性状態はY3=1の時に制御される。

30

【0030】

このような構成により、各メモリセルは、前記信号Y0が“0”の時に選択されるメモリセル/信号Y0が“1”の時に選択されるメモリセルに応じて第1のデータバス81/第2のデータバス82に接続されるようになっている。

【0031】

従って、バーストアドレスの連続する2つのアドレス（例えばバーストスタートアドレスとそれに連続する次のアドレス）でそれぞれ指定される2つのセルと前記データ入出力回路9の間で、前記2つのデータバス81、82を介して同時に書き込みあるいは読み出しを行う（つまり、2つのセルデータが衝突することなく、同時に書き込みあるいは読み出しを行う）ことが可能になっている。

40

【0032】

図23は、図22中のデータ入出力回路9に含まれるデータ出力制御回路の従来例を示している。

【0033】

図24は、図22の同期型SRAMにおけるDDR方式の動作モードにおける従来のデータ読み出し動作のタイミングを示している。

50

【 0 0 3 4 】

図 2 4 には、外部クロック信号 C K の立上がり同期して 2 つのアドレス信号 A、B が引き続き取り込まれる様子を示している。

【 0 0 3 5 】

ここで、アドレス信号 A は、その最下位ビットが “ 0 ” のアドレスであり、バーストカウンタ (図 2 2 中 2) で発生させた 2 ビットのバーストアドレス信号のうちの下位ビットが “ 0 ” のアドレスである。アドレス信号 B は、その最下位ビットが “ 1 ” のアドレスであり、バーストカウンタ (図 2 2 中 2) で発生させた 2 ビットのバーストアドレス信号のうちの下位ビットが “ 1 ” のアドレスである。

【 0 0 3 6 】

メモリチップ内部では、バーストカウンタ (図 2 2 中 2) によって、アドレス信号 A に対してバーストアドレス信号が A 1、A 2、A 3、A 4 と連続的に発生され、アドレス信号 B に対してはバーストアドレス信号が B 1、B 2、B 3、B 4 と連続的に発生される。

【 0 0 3 7 】

この場合、前記アドレス信号 A に対しては、バーストアドレス信号 A 1、A 2、A 3、A 4 の下位アドレスビット Y 0 が “ 0 ” からスタートし、0、1、0、1 と変化する。また、アドレス信号 B に対しては、バーストアドレス信号 B 1、B 2、B 3、B 4 の下位アドレスビット Y 0 が “ 1 ” からスタートし、1、0、1、0 と変化する。

【 0 0 3 8 】

従って、バーストアドレス A 1、A 3 の時は、第 1 のデータバス 8 1 にデータを読み出すべきメモリセルを選択し、バーストアドレス A 2、A 4 の時は、第 2 のデータバス 8 2 にデータを読み出すべきメモリセルを選択する。

【 0 0 3 9 】

また、バーストアドレス B 1、B 3 の時は、第 2 のデータバス 8 2 にデータを読み出すべきメモリセルを選択し、バーストアドレス B 2、B 4 の時は、第 1 のデータバス 8 1 にデータを読み出すべきメモリセルを選択する。

【 0 0 4 0 】

以下、図 2 3、図 2 4 を参照しながら、DDR 方式のデータ読み出し動作を説明する。

【 0 0 4 1 】

まず、クロック信号 C K の立上がり同期してアドレス信号 A がアドレスレジスタ (図 1 中 1) に取り込まれる。

【 0 0 4 2 】

次に、上記クロック信号 C K の立下がり同期して 2 つのバーストアドレス A 1、A 2 に対するメモリセルのデータが同時に読み出され、2 つのデータバス 8 1、8 2 に読み出される。この場合、バーストアドレス A 1 の時の読み出しデータは第 1 のデータバス 8 1 に読み出され、バーストアドレス A 2 の時の読み出しデータは第 2 のデータバス 8 2 に読み出される。

【 0 0 4 3 】

このように異なる 2 つのデータバス (第 1 のデータバス 8 1 / 第 2 のデータバス 8 2) に読み出された 2 アドレス分のデータ (A 1、A 2) は、2 つのデータ線センスアンプ 1 4 1、1 4 2 にそれぞれ対応して入力され、それぞれ増幅される。

【 0 0 4 4 】

次のサイクルでは、クロック信号 C K の立上がり同期して前記 2 つのデータ線センスアンプ 1 4 1、1 4 2 の出力データ (A 1、A 2) が対応して第 1 の出力レジスタ 1 4 3 / 第 2 の出力レジスタ 1 4 4 に取り込まれる。このように取り込まれた 2 アドレス分のデータ (A 1、A 2) がそれぞれ対応してクロック信号 C K 1、C K 2 の “ H ” レベルの期間にそれぞれ対応してデータ線トランスファークロップ 1 4 5、1 4 6 を介して順に出力バッファ回路 1 4 7 へ出力されて増幅され、さらに出力端子 1 4 8 を介してチップ外部へ出力される。

【 0 0 4 5 】

10

20

30

40

50

次に、上記クロック信号C Kの立下がりに同期して2つのバーストアドレスA 3、A 4に対するメモリセルのデータ(A 3、A 4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスA 3の読み出しデータ(A 3)は第1のデータバス8 1に読み出され、バーストアドレスA 4の読み出しデータ(A 4)は第2のデータバス8 2に読み出され、これらの読み出しデータ(A 3、A 4)は2つのデータ線センスアンプ1 4 1、1 4 2にそれぞれ対応して入力され、それぞれ増幅される。

【0046】

次のサイクルでは、クロック信号C Kの立上がりに同期してアドレス信号Bがアドレスレジスタ(図1中1)に取り込まれるとともに、前記2つのデータ線センスアンプ1 4 1、1 4 2の出力データ(A 3、A 4)が対応して第1の出力レジスタ1 4 3/第2の出力レジスタ1 4 4に取り込まれる。このように取り込まれた2アドレス分のデータ(A 3、A 4)がそれぞれ対応してクロック信号C K 1、C K 2の“H”レベルの期間にそれぞれ対応してデータ線トランスファークロウ1 4 5、1 4 6を介して順に出力バッファ回路1 4 7へ出力されて増幅され、さらにチップ外部へ出力される。

10

【0047】

次に、上記クロック信号C Kの立下がりに同期して、2つのバーストアドレスB 1、B 2に対するメモリセルのデータ(B 1、B 2)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB 1の読み出しデータ(B 1)は第2のデータバス8 2に読み出され、バーストアドレスB 2の読み出しデータ(B 2)は第1のデータバス8 1に読み出され、これらの読み出しデータ(B 2、B 1)は、2つのデータ線センスアンプ1 4 1、1 4 2にそれぞれ対応して入力され、それぞれ増幅される。

20

【0048】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ1 4 1、1 4 2の出力データ(B 2、B 1)が対応して第1の出力レジスタ1 4 3/第2の出力レジスタ1 4 4に取り込まれる。このように取り込まれた2アドレス分のデータ(B 2、B 1)がそれぞれ対応してクロック信号C K 1、C K 2の“H”レベルの期間にそれぞれ対応してデータ線トランスファークロウ1 4 5、1 4 6を介して順に出力バッファ回路1 4 7へ出力されて増幅され、さらにチップ外部へ出力される。

【0049】

次に、上記クロック信号C Kの立下がりに同期して2つのバーストアドレスB 3、B 4に対するメモリセルのデータ(B 3、B 4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB 3の読み出しデータ(B 3)は第2のデータバス8 2に読み出され、バーストアドレスB 4の読み出しデータ(B 4)は第1のデータバス8 1に読み出され、これらの読み出しデータ(B 4、B 3)は2つのデータ線センスアンプ1 4 1、1 4 2にそれぞれ対応して入力され、それぞれ増幅される。

30

【0050】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ1 4 1、1 4 2の出力データ(B 4、B 3)が対応して第1の出力レジスタ1 4 3/第2の出力レジスタ1 4 4に取り込まれる。このように取り込まれた2アドレス分のデータ(B 4、B 3)がそれぞれ対応してクロック信号C K 1、C K 2の“H”レベルの期間の期間にそれぞれ対応してデータ線トランスファークロウ1 4 5、1 4 6を介して順に出力バッファ回路1 4 7へ出力されて増幅され、さらにチップ外部へ出力される。

40

【0051】

図25は、図23中の2つのデータ線トランスファークロウ1 4 5、1 4 6にクロック信号C K 1、C K 2を供給する回路の一例を示している。

【0052】

図26は、図25の回路のDDR方式の動作モード時/SDR方式の動作モード時の信号波形の一例を示している。

【0053】

図25の回路において、DDR方式の動作モード時には、クロック信号C Kおよびその反

50

転信号 / CK をマルチプレクサ・クロック生成回路 161 で選択し、この選択した信号の立上がりに同期した図 26 中に示すようなクロック信号 CK1、CK2 を生成する。

【0054】

この場合、前記したようにバーストアドレスの下位アドレスビット信号 Y0 が “0” であるか “1” であるかに応じて前記第 1 の出力レジスタ (図 23 中 143) のデータを先に出力するか第 2 の出力レジスタ (図 23 中 144) のデータを先に出力するかを制御する必要がある。そこで、前記バーストアドレスの下位アドレスビット信号 Y0 が “0” であるか “1” であるかに応じてマルチプレクサ・クロック生成回路 161 でクロック信号 CK またはその反転信号 / CK を選択してその立上がりに同期して前記クロック信号 CK1、CK2 の生成タイミングを制御している。

10

【0055】

これに対して、SDR 方式の動作モード時には、前記データ出力用のクロック信号 CK1、CK2 の周波数を DDR 方式の動作モード時の 1/2 に設定する必要がある。そこで、SDR 方式の動作モード時には、クロック信号 CK を分周回路 162 で分周することにより相補的なクロック信号 2CK、/2CK を生成し、これをマルチプレクサ・クロック生成回路 161 で選択してその立上がりに同期した図 26 中に示すようなクロック信号 CK1、CK2 を生成している。

【0056】

しかし、上記したような DDR 方式の動作モード時、SDR 方式の動作モード時のいずれにおいても、クロック信号 CK からデータ出力用のクロック信号 CK1、CK2 を生成する際に、前記マルチプレクサ・クロック生成回路 161 による信号遅延 Td1 が存在するので、その分だけデータ出力のタイミングに遅延が生じるという問題がある。

20

【0057】

また、DDR 方式の動作モード時には、前記したようにバーストアドレスの下位アドレスビット信号 Y0 が “0” であるか “1” であるかに応じてマルチプレクサ・クロック生成回路 161 でクロック信号 CK およびその反転信号 / CK の選択を制御する必要があり、このようなタイミング制御は複雑である。

【0058】

そして、このようなタイミング制御に伴って、各バーストアドレスに対応するデータ出力のタイミングがばらつくことになる。

30

【0059】

即ち、図 24 (i) 中に示すように、アドレス信号 A に関連するバーストアドレス A1 ~ A4 のうちの A1 ~ A3 に対応するデータ出力はクロック信号 CK1、CK2 の立上がりに同期して一定のタイミングで出力され、同様に、バーストアドレス B2 ~ B4 に対応するデータ出力はクロック信号 CK1、CK2 の立上がりに同期して一定のタイミングで出力される。

【0060】

これに対して、バーストエンドアドレス A4 に対応するデータ出力とそれに続くアドレス信号 B に関連するバーストアドレス B1 ~ B4 のうちのバーストスタートアドレス B1 に対応するデータ出力はクロック信号 CK2 が “H” レベルの期間に連続的にレジスタ回路 144 から出力されるので、マルチプレクサ・クロック生成回路 161 によるクロック信号 CK1、CK2 の遅延 Td1 の影響を受けない。

40

【0061】

従って、前記したようにマルチプレクサ・クロック生成回路 161 から出力するデータ出力用のクロック信号 CK1、CK2 に遅延 Td1 が存在すると、バーストエンドアドレス A4 に対応するデータ出力のタイミングが遅れるので、そのデータ出力期間が短くなり、それに続くバーストスタートアドレス B1 に対応するデータ出力期間 t1 が長くなってしまふ。結果として、データ出力期間の不均衡が生じる。

【0062】

前記したようなデータ出力のタイミングの遅れ、データ出力のタイミング自体のばらつき

50

はクロック信号に対してデータが有効な時間を十分に確保できなくなるので、SRAMの動作速度(クロック信号CK)が高速になるにつれて、前記データ出力のタイミングの遅れ、データ出力のタイミング自体のばらつきは一層少ないことが要求されるので、上記したような問題は顕著になる。

【0063】

図27は、図22中のデータ入出力回路9に含まれるデータ入力制御回路の従来例を示している。

【0064】

図28は、図22の同期型SRAMにおけるDDR方式の動作モードにおける従来のデータ書き込み動作のタイミングを示している。

10

【0065】

図28には、クロック信号CKの立上がりに同期して2つのアドレス信号A、Bが引き続き取り込まれる様子を示している。

【0066】

ここで、アドレス信号Aは、バーストカウンタ(図22中2)で発生させた2ビットのバーストアドレス信号のうちの下位ビットが“0”のアドレスである。アドレス信号Bは、バーストカウンタ(図22中2)で発生させた2ビットのバーストアドレス信号のうちの下位ビットが“1”のアドレスである。

【0067】

メモリチップ内部では、バーストカウンタ(図22中2)によって、アドレス信号Aに対してバーストアドレス信号がA1、A2、A3、A4と連続的に発生され、アドレス信号Bに対してはバーストアドレス信号がB1、B2、B3、B4と連続的に発生される。

20

【0068】

この場合、アドレス信号Aに対しては、前記バーストアドレスA1、A2、A3、A4の下位アドレスビットY0が“0”からスタートし、0、1、0、1と変化する。また、アドレス信号Bに対しては、前記バーストアドレスB1、B2、B3、B4の下位アドレスビットY0が“1”からスタートし、1、0、1、0と変化する。

【0069】

従って、バーストアドレスA1、A3の時は第1のデータバス81のデータを書き込むべきメモリセルを選択し、バーストアドレスA2、A4の時は第2のデータバス82のデータを書き込むべきメモリセルを選択する。

30

【0070】

また、バーストアドレスB1、B3の時は第2のデータバス82のデータを書き込むべきメモリセルを選択し、バーストアドレスB2、B4の時は第1のデータバス81のデータを書き込むべきメモリセルを選択する。

【0071】

上記したようにアドレスが変化する過程において、1、3、5...番目のデータはクロック信号CKの立上がりに同期して順次入力され、2、4、6...番目のデータはクロック信号CKの立下りに同期して順次入力される。即ち、クロック信号CKの立上がりに同期してバーストアドレスA1、A3、B1、B3のメモリセルに書き込むべきデータが順次入力され、クロック信号CKの立下りに同期してバーストアドレスA2、A4、B2、B4のメモリセルに書き込むべきデータが順次入力される。

40

【0072】

以下、図27、図28を参照しながら、DDR方式のデータ書き込み動作を説明する。

【0073】

まず、クロック信号CKの立上がりに同期してアドレス信号Aがアドレスレジスタ(図22中1)に取り込まれる。

【0074】

次のサイクルでは、2つのバーストアドレスA1、A2に対するメモリセルが同時に選択され、クロック信号CKの立上がり、立下りに同期して2アドレス分のデータがチップ

50

外部から入力端子 181 を介して順次入力される。

【0075】

このように入力される 2 アドレス分の書き込み入力データ (A1、A2) は、入力バッファ回路 182 により増幅された後、それぞれ対応してデータ入力用のクロック信号 CK3、CK4 の立上がりに同期して初段入力データレジスタである第 1 の入力レジスタ 183 / 第 2 の入力レジスタ 184 に分かれて取り込まれる。この場合、バーストアドレス A1 のメモリセルに書き込むべきデータ (A1) は第 1 の入力レジスタ 183 に取り込まれ、バーストアドレス A2 のメモリセルに書き込むべきデータ (A2) は第 2 の入力レジスタ 184 に取り込まれる。

【0076】

次のサイクルでは、クロック信号 CK の立上がりに同期してアドレス信号 B が取り込まれるとともに、第 1 の入力レジスタ 183 / 第 2 の入力レジスタ 184 の 2 アドレス分のデータ (A1、A2) が次段入力データレジスタである第 3 の入力レジスタ 185 / 第 4 の入力レジスタ 186 にそれぞれ対応して転送される。

【0077】

この第 3 の入力レジスタ 185 / 第 4 の入力レジスタ 186 に取り込まれた 2 アドレス分のデータ (A1、A2) は、それぞれ対応してデータ線アンプ 187、188 により増幅された後、第 1 のデータバス 81 / 第 2 のデータバス 82 に転送され、バーストアドレス A1、A2 のメモリセルに書き込まれる。

【0078】

また、上記サイクルでは、2 つのバーストアドレス A3、A4 のメモリセルに対応する 2 アドレス分の書き込み入力データ (A3、A4) が、クロック信号 CK の立上がり、立下りに同期してチップ外部から順次入力される。即ち、クロック信号 CK の立上がりに同期してバーストアドレス A3 のメモリセルに書き込むべきデータ (A3) が入力され、クロック信号 CK の立下りに同期してバーストアドレス A4 のメモリセルに書き込むべきデータ (A4) が入力される。

【0079】

このように入力される 2 アドレス分のデータ (A3、A4) は、入力バッファ回路 182 により増幅された後、それぞれ対応して前記クロック信号 CK3、CK4 の立上がりに同期して第 1 の入力レジスタ 183 / 第 2 の入力レジスタ 184 に分かれて取り込まれる。この場合、バーストアドレス A3 のメモリセルに書き込むべきデータ (A3) は第 1 の入力レジスタ 183 に取り込まれ、バーストアドレス A4 のメモリセルに書き込むべきデータ (A4) は第 2 の入力レジスタ 184 に取り込まれる。

【0080】

次のサイクルでは、クロック信号 CK の立上がりに同期して第 1 の入力レジスタ 183 / 第 2 の入力レジスタ 184 の 2 アドレス分のデータ (A3、A4) が第 3 の入力レジスタ 185 / 第 4 の入力レジスタ 186 にそれぞれ対応して転送される。

【0081】

この第 3 の入力レジスタ 185 / 第 4 の入力レジスタ 186 に取り込まれた 2 アドレス分のデータ (A3、A4) は、それぞれ対応してデータ線アンプ 187、188 により増幅された後、第 1 のデータバス 81 / 第 2 のデータバス 82 に転送され、バーストアドレス A3、A4 のメモリセルに書き込まれる。

【0082】

また、上記サイクルでは、2 つのバーストアドレス B1、B2 のメモリセルに対応する 2 アドレス分の書き込み入力データ (B1、B2) が、クロック信号 CK の立上がり、立下りに同期してチップ外部から順次入力される。即ち、クロック信号 CK の立上がりに同期してバーストアドレス B1 のメモリセルに書き込むべきデータ (B1) が入力され、クロック信号 CK の立下りに同期してバーストアドレス B2 のメモリセルに書き込むべきデータ (B2) が入力される。

【0083】

10

20

30

40

50

このように入力される 2 アドレス分のデータ (B 1、 B 2) は、入力バッファ回路 1 8 2 により増幅された後、それぞれ対応して前記クロック信号 C K 4、 C K 3 の立上がりに同期して第 2 の入力レジスタ 1 8 4 / 第 1 の入力レジスタ 1 8 3 に分かれて取り込まれる。この場合、バーストアドレス B 1 のメモリセルに書き込むべきデータは第 2 の入力レジスタ 1 8 4 に取り込まれ、バーストアドレス B 2 のメモリセルに書き込むべきデータは第 1 の入力レジスタ 1 8 3 に取り込まれる。

【 0 0 8 4 】

次のサイクルでは、クロック信号 C K の立上がりに同期して第 1 の入力レジスタ 1 8 3 / 第 2 の入力レジスタ 1 8 4 の 2 アドレス分のデータ (B 2、 B 1) が第 3 の入力レジスタ 1 8 5 / 第 4 の入力レジスタ 1 8 6 にそれぞれ対応して転送される。

10

【 0 0 8 5 】

この第 3 の入力レジスタ 1 8 5 / 第 4 の入力レジスタ 1 8 6 に取り込まれた 2 アドレス分のデータ (B 2、 B 1) は、それぞれ対応してデータ線アンプ 1 8 7、 1 8 8 により増幅された後、第 1 のデータバス 8 1 / 第 2 のデータバス 8 2 に転送され、バーストアドレス B 2、 B 1 のメモリセルに書き込まれる。

【 0 0 8 6 】

また、上記サイクルでは、2 つのバーストアドレス B 3、 B 4 のメモリセルに対応する 2 アドレス分の書き込み入力データ (B 3、 B 4) が、クロック信号 C K の立上がり、立下がりに同期してチップ外部から順次入力される。即ち、クロック信号 C K の立上がりに同期してバーストアドレス B 3 のメモリセルに書き込むべきデータ (B 3) が入力され、クロック信号 C K の立下がりに同期してバーストアドレス B 4 のメモリセルに書き込むべきデータ (B 4) が入力される。

20

【 0 0 8 7 】

このように入力される 2 アドレス分のデータ (B 3、 B 4) は、入力バッファ回路 1 8 2 により増幅された後、それぞれ対応して前記クロック信号 C K 4、 C K 3 の立上がりに同期して第 2 の入力レジスタ 1 8 4 / 第 1 の入力レジスタ 1 8 3 に分かれて取り込まれる。この場合、バーストアドレス B 3 のメモリセルに書き込むべきデータは第 2 の入力レジスタ 1 8 4 に取り込まれ、バーストアドレス B 4 のメモリセルに書き込むべきデータは第 1 の入力レジスタ 1 8 3 に取り込まれる。

【 0 0 8 8 】

次のサイクルでは、クロック信号 C K の立上がりに同期して第 1 の入力レジスタ 1 8 3 / 第 2 の入力レジスタ 1 8 4 の 2 アドレス分のデータ (B 4、 B 3) が第 3 の入力レジスタ 1 8 5 / 第 4 の入力レジスタ 1 8 6 にそれぞれ対応して転送される。

30

【 0 0 8 9 】

この第 3 の入力レジスタ 1 8 5 / 第 4 の入力レジスタ 1 8 6 に取り込まれた 2 アドレス分のデータ (B 4、 B 3) は、それぞれ対応してデータ線アンプ 1 8 7、 1 8 8 により増幅された後、第 1 のデータバス 8 1 / 第 2 のデータバス 8 2 に転送され、バーストアドレス B 4、 B 3 のメモリセルに書き込まれる。

【 0 0 9 0 】

図 2 9 は、図 2 7 中の 2 つの初段入力データレジスタ (第 1 の入力レジスタ / 第 2 の入力レジスタ) にクロック信号 C K 3、 C K 4 を供給する回路の一例を示している。

40

【 0 0 9 1 】

図 3 0 は、図 2 9 の回路の D D R 方式の動作モード時 / S D R 方式の動作モード時の信号波形の一例を示している。

【 0 0 9 2 】

図 2 9 において、D D R 方式の動作モード時には、クロック信号 C K およびその反転信号 / C K がそれぞれ対応して入力するタイミング調整回路 2 0 1、 2 0 2 でタイミング調整および波形整形処理 (入力信号の立上がりに同期した短いパルス幅のクロック信号の生成) を行い、このタイミング調整回路 2 0 1、 2 0 2 の出力をマルチプレクサ 2 0 3 で選択してデータ入力用のクロック信号 C K 3、 C K 4 として供給する。

50

【 0 0 9 3 】

この場合、図 3 0 に示すように、前記バーストアドレスの下位アドレスビット信号 Y 0 が “ 0 ” であるか “ 1 ” であるかに応じて、クロック信号 C K をタイミング調整回路 2 0 1 で調整した出力をマルチプレクサ 2 0 3 で選択してクロック信号 C K 3 として供給し、クロック信号の反転信号 / C K をタイミング調整回路 2 0 2 で調整した出力をマルチプレクサ 2 0 3 で選択してクロック信号 C K 4 として供給するように制御する必要がある。

【 0 0 9 4 】

なお、S D R 方式の動作モード時には、初段入力データレジスタである第 1 の入力レジスタ (図 2 7 中 1 8 3) / 第 2 の入力レジスタ (図 2 7 中 1 8 4) はクロック信号 C K の立上がりに同期してデータを取り込めばよい。そこで、S D R 方式の動作モード時には、図 3 0 中に示すように、クロック信号 C K が入力するタイミング調整回路 2 0 1 でタイミング調整および波形整形処理 (クロック信号 C K の立上がりに同期した短いパルス幅のクロック信号の生成) を行い、このタイミング調整回路 2 0 1 の出力をマルチプレクサ 2 0 3 で選択してデータ入力用のクロック信号 C K 3、C K 4 として供給すればよい。

10

【 0 0 9 5 】

しかし、上記したような D D R 方式の動作モード時、S D R 方式の動作モード時のいずれにおいても、クロック信号 C K およびその反転信号 / C K からデータ入力用のクロック信号 C K 3、C K 4 を生成する際に、前記タイミング調整回路 2 0 1、2 0 2 およびマルチプレクサ 2 0 3 による信号遅延 T d2 が存在するので、その分だけデータ入力のタイミングに遅延が生じるという問題がある。

20

【 0 0 9 6 】

また、D D R 方式の動作モード時には、前記バーストアドレスの下位アドレスビット信号 Y 0 が “ 0 ” であるか “ 1 ” であるかに応じてマルチプレクサ 2 0 3 でデータ入力用のクロック信号 C K 3、C K 4 を選択するように制御する必要がある、このようなタイミング制御は繁雑である。

【 0 0 9 7 】

そして、このようなタイミング制御に伴って、各バーストアドレスに対応するデータ取り込みのタイミングがばらつくことになる。

【 0 0 9 8 】

即ち、図 2 8 (e) 中に示すように、アドレス信号 A に関連するバーストアドレス A 1 ~ A 4 のうちの A 1 ~ A 3 に対応するデータ入力はクロック信号 C K 3、C K 4 の立上がりに同期して一定のタイミングで取り込まれ、同様に、バーストアドレス B 2 ~ B 4 に対応するデータ入力はクロック信号 C K 3、C K 4 の立上がりに同期して一定のタイミングで取り込まれる。

30

【 0 0 9 9 】

これに対して、バーストエンドアドレス A 4 に対応するデータ入力とそれに続くアドレス信号 B に関連するバーストアドレス B 1 ~ B 4 のうちのバーストスタートアドレス B 1 に対応するデータ入力はマルチプレクサ 2 0 3 での切り換えによりクロック信号 C K 3 が “ L ” レベルの期間にクロック信号 C K 4 が連続的に立上がるタイミングに同期して取り込まれる。

40

【 0 1 0 0 】

従って、前記したようにマルチプレクサ 2 0 3 から出力するデータ入力用のクロック信号 C K 3、C K 4 の遅延 T d2 がマルチプレクサ 2 0 3 での切り換えが生じることにより増大すると、バーストエンドアドレス A 4 に対応するデータ取り込みのタイミングが遅れるので、そのデータ取り込み期間が短くなり、それに続くバーストスタートアドレス B 1 に対応するデータ取り込み期間が長くなってしまふ。結果として、データ取り込み期間の不平衡が生じる。

【 0 1 0 1 】

S R A M の動作速度 (クロック信号 C K) が高速になるにつれて、データ取り込み間隔の短時間化、データ取り込みタイミング自体のばらつきが一層少ないことが要求されるので

50

、上記したような問題は顕著になる。

【 0 1 0 2 】

【 発明が解決しようとする課題 】

上記したように従来の同期型 S R A M は、 D D R 方式の動作モードにおいてデータ出力用クロック信号の生成に伴う遅延 T d1 がデータ出力タイミングの遅延およびデータ出力タイミングのばらつきに影響を及ぼし、データ入力用クロック信号の生成に伴う遅延 T d2 がデータ取り込みタイミングの遅延およびデータ取り込みタイミングのばらつきに影響を及ぼすという問題があった。

【 0 1 0 3 】

また、 D D R 方式の動作モードと S D R 方式の動作モードとを選択し得るように併存させる場合にも、上記と同様の問題があった。

10

【 0 1 0 4 】

本発明は上記の問題点を解決すべくなされたもので、複数のデータバスを用いて複数のアドレスに対するデータを並列に処理する D D R 方式の動作モードを採用する際、データ出力あるいはデータ入力のタイミングの遅れやばらつきを抑制でき、動作の高速化を図り得る半導体記憶装置を提供することを目的とする。

【 0 1 0 5 】

【 課題を解決するための手段 】

第 1 の発明の半導体記憶装置は、第 1 および第 2 の動作モードを有する半導体記憶装置において、複数のメモリセルが行列状に配置されたメモリセルアレイと、前記メモリセルに読み書きされるデータが伝搬する第 1 および第 2 のデータバスと、前記第 1 の動作モードでは、バーストアドレスの連続する 2 つアドレスに対応する 2 つのメモリセルから独立したデータを同時に読み出すように制御し、前記第 2 の動作モードでは、前記バーストアドレスの連続する 2 つアドレスに対応する 2 つのメモリセルから独立したデータを順次読み出すように制御する読み出し制御回路と、前記第 1 および第 2 のデータバスにそれぞれ対応して設けられた第 1 および第 2 の出力データレジスタと、前記第 1 のデータバスのデータおよび第 2 のデータバスのデータを転送させる際に、前記第 1 の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第 2 の動作モードでは前記バーストアドレスの下位ビットに応じて前記第 1 のデータバスのデータを第 1 のデータバスおよび第 2 のデータバスの両方に転送するかまたは、第 2 のデータバスのデータを第 1 のデータバスおよび第 2 のデータバスの両方に転送するように制御して前記第 1 および第 2 の出力データレジスタにデータを転送する第 1 のデータバス制御回路とを具備することを特徴とする。

20

30

【 0 1 0 6 】

第 2 の発明の半導体記憶装置は、第 1 および第 2 の動作モードを有する半導体記憶装置において、複数のメモリセルが行列状に配置されたメモリセルアレイと、前記メモリセルに読み書きされるデータが伝搬する第 1 および第 2 のデータバスと、前記第 1 の動作モードでは、バーストアドレスの連続する 2 つアドレスに対応する 2 つメモリセルに独立したデータを同時に書き込むように制御し、前記第 2 の動作モードでは、前記バーストアドレスの連続する 2 つアドレスに対応する 2 つのメモリセルに独立したデータを順次書き込むように制御する書き込み制御回路と、前記第 1 および第 2 のデータバスにそれぞれ対応して設けられた第 1 および第 2 の入力データレジスタと、前記第 1 のデータバスのデータおよび第 2 のデータバスのデータを転送させる際に前記第 1 の動作モードでは前記バーストアドレスの下位ビットに応じて転送バスの入れ替えまたは非入れ替えを制御し、前記第 2 の動作モードでは前記バーストアドレスの下位ビットに応じて前記第 1 のデータバスのデータを前記第 1 のデータバスおよび前記第 2 のデータバスの両方で転送するように制御して前記第 1 および第 2 のデータバスにデータを転送する第 2 のデータバス制御回路とを具備することを特徴とする。

40

【 0 1 0 7 】

【 発明の実施の形態 】

50

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0108】

図1は、第1の実施の形態に係る同期型SRAMの全体的構成を概略的に示す。

【0109】

図1において、1はアドレスレジスタ、2は例えば2ビットのバーストアドレス信号を発生するためのバーストカウンタ、3はアドレスデコーダ、4は行選択回路、5はメモリセルアレイ、6は列選択回路、7はセンスアンプ・データ書き込み回路、81は第1のデータバス、82は第2のデータバス、19はデータ入出力回路である。

【0110】

前記データ入出力回路19には、後述するように前記2つのデータバス81、82にそれぞれ対応して設けられた複数の出力データレジスタを含むデータ出力制御回路91（図3参照）および前記2つのデータバス81、82にそれぞれ対応して設けられた複数の入力データレジスタを含むデータ入力制御回路92（図9参照）が設けられている。

10

【0111】

さらに、前記メモリセルアレイ5の複数のアドレスのメモリセルに対して同時にデータの読み出しあるいは書き込みを制御し、前記複数のデータバス81、82との間でデータを並列に処理する読み出し/書き込み制御回路20が設けられている。

【0112】

なお、このSRAMは、例えば3個の外部端子11～13から入力する3つの制御信号がコマンドデコーダ10によりデコードされて動作モードが制御されるように構成されている。例えば第1の制御信号START/STOPの論理レベルに応じてバースト動作の開始/停止が制御され、第2の制御信号READ/WRITEの論理レベルに応じて読み出し/書き込み動作が制御され、第3の制御信号DOUBLE/SINGLEの論理レベルに応じてDDR方式の動作モード/従来のSDR方式の動作モードが選択指定される。

20

【0113】

さらに、本発明では、前記メモリセルアレイ5から前記データ入出力回路19のデータ出力制御回路91の出力データレジスタ（図3中の913、914）までの間で前記2つのデータバス81、82の接続関係を制御することにより、メモリセルと複数の出力データレジスタとの接続関係を任意に選択する第1のデータバス制御回路21と、前記データ入出力回路19のデータ入力制御回路92の入力データレジスタ（図9中の923、924）から前記メモリセルアレイ5までの間で前記2つのデータバス81、82の接続関係を制御することにより、複数の入力データレジスタとメモリセルとの接続関係を任意に選択する第2のデータバス制御回路22が設けられている。

30

【0114】

図1では、前記データ入出力回路19のデータ出力制御回路91のデータ線センスアンプの前段側に第1のデータバス制御回路21が付加され、前記データ入出力回路19のデータ入力制御回路92の入力データレジスタの中間段に第2のデータバス制御回路22が付加された場合を示している。

【0115】

なお、前記メモリセルアレイ5は、複数のワード線およびビット線の各交点に対応してメモリセルが2次元の行列（マトリクス）状に配置されたメモリセル群からなる。上記メモリセルは、一対の記憶ノードに相補的なデータを記憶し、データ線対との間でデータの授受を行うスタティック型メモリセル（SRAMセル）である。このSRAMセルの構成の一例は、周知の通り、センス駆動用のNMOSトランジスタ対と、負荷用のPMOSトランジスタ対と、データトランスファークローク用のNMOSトランジスタ対とからなる。

40

【0116】

また、前記列選択回路6は、列デコーダ（図示せず）およびそのデコード出力によりスイッチ制御されてセルアレイのカラム選択を行うためにカラムトランスファークローク（図示せず）を含む。

50

【 0 1 1 7 】

図 2 は、図 1 の同期型 S R A M におけるメモリセルアレイ 5 の一部のセル部に対応するカラムトランスファークロックスゲート T G、データ線 D L 1、D L 2、センスアンプ S / A ・データ書き込み回路 D i n、データバスの接続関係の一例を概略的に示している。

【 0 1 1 8 】

即ち、セル部は、行方向においてカラムアドレスビット信号 Y 1、Y 0 で選択される連続する 4 カラムが繰り返し、バーストアドレスビット Y 1、Y 0 より 1 つ上位のカラムアドレスビット Y 2 が “ 0 ” の時に選択対象となる 4 カラムと、カラムアドレスビット Y 2 が “ 1 ” の時に選択対象となる 4 カラムとが交互に繰り返す。

【 0 1 1 9 】

さらに、前記カラムアドレスビット Y 2 より 1 つ上位のカラムアドレスビット Y 3 が “ 0 ” の時に選択対象となる連続する 8 カラムとカラムアドレスビット Y 3 が “ 1 ” の時に選択対象となる連続する 8 カラムとが交互に繰り返す。

10

【 0 1 2 0 】

そして、前記信号 Y 0 が “ 0 ” の時に選択されるメモリセルの読み出しデータを第 1 のデータ線 D L 1 に取り出し、前記信号 Y 0 が “ 1 ” の時に選択されるメモリセルの読み出しデータを第 2 のデータ線 D L 2 に取り出すことが可能なようにカラムトランスファークロックスゲート T G 群が接続されている。

【 0 1 2 1 】

例えば行方向におけるメモリセルの配列順に物理アドレスが割り付けられているものとする、前記 4 カラム内の配列順位が奇数番目のカラムを第 1 のデータ線 D L 1 に共通に接続し、偶数番目のカラムを第 2 のデータ線 D L 2 に共通に接続するようにカラムトランスファークロックスゲート T G 群が接続されている。

20

【 0 1 2 2 】

そして、前記カラムアドレスビット Y 2 が “ 0 ” の時に選択対象となる 4 カラム（ここでは、物理アドレス 1 ~ 4 あるいは 9 ~ 1 2 に相当する）とカラムアドレスビット Y 2 が “ 1 ” の時に選択対象となる 4 カラム（ここでは、物理アドレス 5 ~ 8 あるいは 1 3 ~ 1 6 に相当する）との隣り合う 1 組（連続する 8 カラム）を単位として、前記第 1 のデータ線 D L 1 および第 2 のデータ線 D L 2 にそれぞれセンスアンプ S / A ・データ書き込み回路 D i n が接続されている。

30

【 0 1 2 3 】

この場合、センスアンプ S / A が活性化される期間とデータ書き込み回路 D i n が活性化される期間とは異なる。また、前記第 1 のデータ線 D L 1 に接続されているセンスアンプ S / A ・データ書き込み回路 D i n が活性化される期間と第 2 のデータ線 D L 2 に接続されているセンスアンプ S / A ・データ書き込み回路 D i n が活性化される期間とは異なる。

【 0 1 2 4 】

そして、複数組の第 1 のデータ線 D L 1 にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプ S / A ・データ書き込み回路 D i n は、第 1 のデータバス 8 1 を共通に介してデータ入出力回路 1 9 に接続されている。

40

【 0 1 2 5 】

同様に、複数組の第 2 のデータ線 D L 2 にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプ S / A ・データ書き込み回路 D i n は、第 2 のデータバス 8 2 を介して共通に前記データ入出力回路 1 9 に接続されている。

【 0 1 2 6 】

この場合、ある連続する 8 カラムに対応するセンスアンプ S / A の切り換え、データ書き込み回路 D i n の活性 / 非活性状態が Y 3 = 0 の時に制御されるものとする、その隣りの連続する 8 カラムに対応するセンスアンプ S / A の切り換え、データ書き込み回路 D i n の活性 / 非活性状態は Y 3 = 1 の時に制御される。

【 0 1 2 7 】

50

このような構成により、各メモリセルは、前記信号 Y 0 が “ 0 ” の時に選択されるメモリセル / 信号 Y 0 が “ 1 ” の時に選択されるメモリセルに応じて第 1 のデータバス 2 1 / 第 2 のデータバス 2 2 に接続されるようになっている。

【 0 1 2 8 】

従って、バーストアドレスの連続する 2 つのアドレスでそれぞれ指定される 2 つのセルと前記データ入出力回路 1 9 の間で、前記 2 つのデータバス 8 1、8 2 を介して同時に書き込みあるいは読み出しを行う（つまり、2 つのセルデータが衝突することなく、同時に書き込みあるいは読み出しを行う）ことが可能になっている。

【 0 1 2 9 】

図 3 は、図 1 中のデータ入出力回路 1 9 のデータ出力制御回路 9 1 および第 1 のデータバス制御回路 2 1 の一例を示している。 10

【 0 1 3 0 】

データ出力制御回路 9 1 は、前記第 1 のデータバス 8 1 に接続された第 1 のデータ線センスアンプ 9 1 1 と、この第 1 のデータ線センスアンプの後段に接続された第 1 の出力データレジスタ 9 1 3 と、この第 1 の出力データレジスタの後段に接続された第 1 のトランスファゲート 9 1 5 と、前記第 2 のデータバス 8 2 に接続された第 2 のデータ線センスアンプ 9 1 2 と、この第 2 のデータ線センスアンプの後段に接続された第 2 の出力データレジスタ 9 1 4 と、この第 2 の出力データレジスタの後段に接続された第 2 のトランスファゲート 9 1 6 と、前記第 1 のトランスファゲート 9 1 5 および第 2 のトランスファゲート 9 1 6 の各出力端側に共通に接続された出力バッファ 9 1 7 とからなる。 20

【 0 1 3 1 】

前記第 1 の出力データレジスタ 9 1 3 と第 2 の出力データレジスタ 9 1 4 は、それぞれクロック信号 C K の立上がりに同期してデータを取り込むものである。また、前記第 1 のトランスファゲート 9 1 5 は、クロック信号 C K が “ H ” レベルの期間にデータを転送し、前記第 2 のトランスファゲート 9 1 6 は、クロック信号 C K の反転信号 / C K が “ H ” レベルの期間（クロック信号 C K が “ L ” レベルの期間）にデータを転送するものである。

【 0 1 3 2 】

第 1 のデータバス制御回路 2 1 は、本例では、データ出力制御回路 9 1 のデータ線センスアンプ 9 1 1、9 1 2 の前段側に付加されており、第 1 のデータバス 8 1 に挿入された第 1 のスイッチ回路 2 1 1 と、第 2 のデータバス 8 2 と第 1 のデータバス 8 1 との間に挿入された第 2 のスイッチ回路 2 1 2 と、第 1 のデータバス 8 1 と第 2 のデータバス 8 2 との間に挿入された第 3 のスイッチ回路 2 1 3 と、第 2 のデータバス 8 2 に挿入された第 4 のスイッチ回路 2 1 4 とからなる。 30

【 0 1 3 3 】

上記各スイッチ回路は、それぞれ例えばトランスファゲート用の M O S トランジスタからなり、前記出力データレジスタ 9 1 3、9 1 4 が駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御するように制御される。

【 0 1 3 4 】

図 4 (a)、(b) は、D D R 方式の動作モードにおいて図 3 中の第 1 のデータバス制御回路 2 1 がデータ転送経路を制御する 2 つの態様を示している。 40

【 0 1 3 5 】

図 4 (a) は、カラムアドレスビット信号 Y 0 が “ 0 ” の時に連続する 2 アドレス分のメモリセルから第 1 のデータバス 8 1 / 第 2 のデータバス 8 2 に読み出された各データが第 1 のデータバス制御回路 2 1 の第 1 のスイッチ回路 2 1 1 / 第 4 のスイッチ回路 2 1 4 を対応して通過して 2 つのデータ線センスアンプ 9 1 1、9 1 2 にそれぞれ対応して入力される、つまり、第 1 のデータバス制御回路 2 1 を経由する際に転送バスが入れ替えられない場合を示している。

【 0 1 3 6 】

図 4 (b) は、カラムアドレスビット信号 Y 0 が “ 1 ” の時に連続する 2 アドレス分のメモリセルから第 1 のデータバス 8 1 / 第 2 のデータバス 8 2 に読み出された各データが第 50

1のデータバス制御回路21の第3のスイッチ回路213/第2のスイッチ回路214を対応して通過して2つのデータ線センスアンプ912、911にそれぞれ対応して入力される、つまり、第1のデータバス制御回路21を経由する際に転送バスが入れ替えられる場合を示している。

【0137】

図5は、図1の同期型SRAMにおけるDDR方式の動作モードにおけるデータ読み出し動作のタイミングを示している。

【0138】

図5には、クロック信号CKの立上がり同期して2つのアドレス信号A、B(それぞれ例えば18ビット)が引き続き取り込まれる様子を示している。

10

【0139】

ここで、アドレス信号Aは、バーストカウンタ(図1中2)で発生させた2ビットのバーストアドレス信号のうちの下位ビットが“0”のアドレスであり、アドレス信号Bは、バーストカウンタ(図1中2)で発生させた2ビットのバーストアドレス信号のうちの下位ビットが“1”のアドレスである。

【0140】

メモリチップ内部では、バーストカウンタ(図1中2)によって、アドレス信号Aに対してバーストアドレス信号がA1、A2、A3、A4と連続的に発生され、アドレス信号Bに対してはバーストアドレス信号がB1、B2、B3、B4と連続的に発生される。

【0141】

この場合、前記アドレス信号Aに対しては、バーストアドレス信号A1、A2、A3、A4の下位アドレスビットY0が“0”からスタートし、0、1、0、1と変化する。また、アドレス信号Bに対しては、前記バーストアドレス信号B1、B2、B3、B4の下位アドレスビットY0が“1”からスタートし、1、0、1、0と変化する。

20

【0142】

従って、バーストアドレスA1、A3の時は、第1のデータバス81にデータを読み出すべきメモリセルを選択し、バーストアドレスA2、A4の時は、第2のデータバス82にデータを読み出すべきメモリセルを選択する。

【0143】

また、バーストアドレスB1、B3の時は、第2のデータバス82にデータを読み出すべきメモリセルを選択し、バーストアドレスB2、B4の時は、第1のデータバス81にデータを読み出すべきメモリセルを選択する。

30

【0144】

以下、図4、図5を参照しながら、DDR方式のデータ読み出し動作を説明する。

【0145】

まず、外部クロック信号CKの立上がり同期してアドレス信号Aがアドレスレジスタ(図1中1)に取り込まれる。

【0146】

次に、上記クロック信号CKの立下がり同期して2つのバーストアドレスA1、A2に対するメモリセルのデータ(A1、A2)が同時に読み出され、2つのデータバス81、82に読み出される。この場合、バーストアドレスA1の読み出しデータ(A1)は第1のデータバス81に読み出され、バーストアドレスA2の読み出しデータ(A2)は第2のデータバス82に読み出される。

40

【0147】

このように異なる2つのデータバス(第1のデータバス81/第2のデータバス82)に読み出された2アドレス分のデータ(A1、A2)は、図4(a)に示すように転送バスが入れ替えられない状態に制御されている第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

【0148】

50

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ911、912の出力データ(A1、A2)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(A1、A2)がそれぞれ対応してクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラック915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0149】

次に、上記クロック信号C Kの立下がりに同期して2つのバーストアドレスA3、A4に対するメモリセルのデータ(A3、A4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスA3の読み出しデータ(A3)は第1のデータバス81に読み出され、バーストアドレスA4の読み出しデータ(A4)は第2のデータバス82に読み出され、これらの読み出しデータ(A3、A4)は転送バスが入れ替えられない状態の第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

10

【0150】

次のサイクルでは、クロック信号C Kの立上がりに同期してアドレス信号Bがアドレスレジスタ(図1中1)に取り込まれるとともに、前記2つのデータ線センスアンプ911、912の出力データ(A3、A4)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(A3、A4)がそれぞれ対応してクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラック915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

20

【0151】

次に、上記クロック信号C Kの立下がりに同期して、2つのバーストアドレスB1、B2に対するメモリセルのデータ(B1、B2)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB1の時の読み出しデータ(B1)は第2のデータバス82に読み出され、バーストアドレスB2の時の読み出しデータ(B2)は第1のデータバス81に読み出され、これらの読み出しデータ(B2、B1)は、図4(b)に示すように転送バスが入れ替えられた状態に制御されている第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

30

【0152】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ911、912の出力データ(B1、B2)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(B1、B2)がそれぞれ対応してクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラック915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0153】

次に、上記クロック信号C Kの立下がりに同期して、2つのバーストアドレスB3、B4に対するメモリセルのデータ(B3、B4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB3の時の読み出しデータ(B3)は第2のデータバス82に読み出され、バーストアドレスB4の時の読み出しデータ(B4)は第1のデータバス82に読み出され、これらの読み出しデータ(B4、B3)は転送バスが入れ替えられた状態の第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

40

【0154】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ911、912の出力データ(B3、B4)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデー

50

タ（B3、B4）がそれぞれ対応してクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラップ915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0155】

図6（a）、（b）は、SDR方式の動作モードにおいて図3中の第1のデータバス制御回路21がデータ転送経路を制御する2つの態様を示している。

【0156】

図6（a）は、カラムアドレスビット信号Y0が“0”の時にメモリセルから第1のデータバス81に読み出されたデータが第1のデータバス制御回路21の第1のスイッチ回路211および第3のスイッチ回路213を対応して通過して2つのデータ線センスアンプ911、912にそれぞれ入力される、つまり、第1のデータバス81のデータが第2のデータバス82にも転送される場合を示している。

10

【0157】

図6（b）は、カラムアドレスビット信号Y0が“1”の時にメモリセルから第2のデータバス82に読み出されたデータが第1のデータバス制御回路21の第2のスイッチ回路212および第4のスイッチ回路214を対応して通過して2つのデータ線センスアンプ911、912にそれぞれ入力される、つまり、第2のデータバス82のデータが第1のデータバス81にも転送される場合を示している。

【0158】

図7は、図1の同期型SRAMにおけるSDR方式の動作モードにおけるデータ読み出し動作のタイミングを示している。

20

【0159】

図7には、クロック信号CKの立上がり同期して2つのアドレス信号A、Bが引き続き取り込まれる様子を示している。

【0160】

ここで、アドレス信号Aは、バーストアドレス信号のうちの下位アドレスビット信号Y0が“0”であり、メモリチップ内部ではバーストカウンタ（図1中2）によってアドレス信号Aに対してバーストアドレスがA1、A2と連続的に発生される。この場合、アドレス信号Aに対しては信号Y0が“0”からスタートするものであり、前記バーストアドレスA1、A2は0、1と変化する。

30

【0161】

従って、バーストアドレスA1の時は第1のデータバス81にデータを読み出すべきメモリセルを選択し、バーストアドレスA2の時は第2のデータバス82にデータを読み出すべきメモリセルを選択する。

【0162】

アドレス信号Bは、バーストアドレス信号のうちの下位アドレスビット信号Y0が“1”であり、メモリチップ内部ではバーストカウンタ（図1中2）によってアドレス信号Bに対してバーストアドレスがB1、B2と連続的に発生される。この場合、アドレス信号Bに対しては信号Y0が“1”からスタートするものであり、前記バーストアドレスB1、B2は1、0と変化する。

40

【0163】

従って、バーストアドレスB1の時は第2のデータバス82にデータを読み出すべきメモリセルを選択し、バーストアドレスB2の時は第1のデータバス81にデータを読み出すべきメモリセルを選択する。

【0164】

以下、図6、図7を参照しながら、SDR方式のデータ読み出し動作を説明する。

【0165】

まず、クロック信号CKの立上がり同期してアドレス信号Aがアドレスレジスタ（図1中1）に取り込まれる。

【0166】

50

次に、前記クロック信号C Kの立下がりに同期して、バーストアドレスA 1のメモリセルのデータ(A 1)が読み出され、第1のデータバス8 1に読み出される。このように第1のデータバス8 1に読み出されたデータ(A 1)は、図6 (a)に示すように第1のデータバス8 1のデータが第2のデータバス8 2にも転送される状態に制御されている第1のデータバス制御回路2 1を通過して2つのデータ線センスアンプ9 1 1、9 1 2に入力され、それぞれ増幅される。

【0 1 6 7】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ9 1 1、9 1 2の出力データ(A 1)が第1の出力レジスタ9 1 3 / 第2の出力レジスタ9 1 4に取り込まれる。このように取り込まれたデータ(A 1)がクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラップ9 1 5、9 1 6を介して出力バッファ回路9 1 7へ出力されて増幅され、さらにチップ外部へ出力される。

10

【0 1 6 8】

次に、上記クロック信号C Kの立下がりに同期して、バーストアドレスA 2のメモリセルのデータ(A 2)が読み出され、第2のデータバス8 2に読み出される。このように第2のデータバス8 2に読み出されたデータ(A 2)は、図6 (b)に示すように第2のデータバス8 2のデータが第1のデータバス8 1にも転送される状態に制御されている第1のデータバス制御回路2 1を通過して2つのデータ線センスアンプ9 1 1、9 1 2に入力され、それぞれ増幅される。

20

【0 1 6 9】

次のサイクルでは、クロック信号C Kの立上がりに同期してアドレス信号Bがアドレスレジスタ(図1中1)に取り込まれるとともに、前記2つのデータ線センスアンプ9 1 1、9 1 2の出力データ(A 2)が第1の出力レジスタ9 1 3 / 第2の出力レジスタ9 1 4に取り込まれる。このように取り込まれたデータ(A 2)がクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラップ9 1 5、9 1 6を介して出力バッファ回路9 1 7へ出力されて増幅され、さらにチップ外部へ出力される。

【0 1 7 0】

次に、上記クロック信号C Kの立下がりに同期して、バーストアドレスB 1のメモリセルのデータ(B 1)が読み出され、第2のデータバス8 2に読み出される。このように第2のデータバス8 2に読み出されたデータ(B 1)は、図6 (b)に示すように第2のデータバス8 2のデータが第1のデータバス8 1にも転送される状態に制御されている第1のデータバス制御回路2 1を通過して2つのデータ線センスアンプ9 1 1、9 1 2に入力され、それぞれ増幅される。

30

【0 1 7 1】

次のサイクルでは、クロック信号C Kの立上がりに同期して前記2つのデータ線センスアンプ9 1 1、9 1 2の出力データ(B 1)が第1の出力レジスタ9 1 3 / 第2の出力レジスタ9 1 4に取り込まれる。このように取り込まれたデータ(B 1)がクロック信号C Kの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラップ9 1 5、9 1 6を介して出力バッファ回路9 1 7へ出力されて増幅され、さらにチップ外部へ出力される。

40

【0 1 7 2】

次に、上記クロック信号C Kの立下がりに同期して、バーストアドレスB 2のメモリセルのデータ(B 2)が読み出され、第1のデータバス8 1に読み出される。このように第1のデータバス8 1に読み出されたデータ(B 2)は、図6 (a)に示すように第1のデータバス8 1のデータが第2のデータバス8 2にも転送される状態に制御されている第1のデータバス制御回路2 1を通過して2つのデータ線センスアンプ9 1 1、9 1 2に入力され、それぞれ増幅される。

【0 1 7 3】

50

次のサイクルでは、クロック信号 C K の立上がり同期して前記 2 つのデータ線センスアンプ 9 1 1、9 1 2 の出力データ (B 2) が第 1 の出力レジスタ 9 1 3 / 第 2 の出力レジスタ 9 1 4 に取り込まれる。このように取り込まれたデータ (B 2) がクロック信号 C K の “ H ” レベルの期間、 “ L ” レベルの期間にそれぞれ対応してデータ線トランスファークラップゲート 9 1 5、9 1 6 を介して出力バッファ回路 9 1 7 へ出力されて増幅され、さらにチップ外部へ出力される。

【 0 1 7 4 】

即ち、上記したような同期型 S R A M のデータ読み出し系の動作によれば、データ出力制御回路 9 1 の出力データレジスタ 9 1 3、9 1 4 の前段側でデータバスの接続制御を行うことにより、2 つのデータバス 8 1、8 2 に対応して挿入されている 2 つのデータ線トランスファークラップゲート 9 1 5、9 1 6 による転送期間に対応してクロック信号 C K およびその反転信号 / C K によるタイミングに固的に設定することが可能になる。

10

【 0 1 7 5 】

従って、2 つのデータ線トランスファークラップゲート 9 1 5、9 1 6 のタイミング制御に起因するデータ出力タイミングの遅れやばらつきが発生することはない。

【 0 1 7 6 】

図 8 は、図 3 中の 2 つのデータバス 8 1、8 2 のうちの一方のデータバス 8 1 に挿入されているデータ線センスアンプ 9 1 1 およびその入力側に接続されているスイッチ回路 (第 1 のデータバス制御回路 2 1 の一部) を代表的に取り出してその一例を示している。

【 0 1 7 7 】

図 8 において、8 0 は C M O S 型のラッチ型センスアンプ、P 1 はそれぞれ相補的なデータバス対 B U S 1、/ B U S 1 (前記第 1 のデータバス 8 1 に対応する) と上記ラッチ型センスアンプの 2 個の入力ノードとの間に挿入された前記第 1 のスイッチ回路 (図 3 中 2 1 1) 用の P M O S トランジスタ、P 2 はそれぞれ相補的なデータバス対 B U S 2、/ B U S 2 (前記第 2 のデータバス 8 2 に対応する) と上記ラッチ型センスアンプの 2 個の入力ノードとの間に挿入された前記第 2 のスイッチ回路 (図 3 中 2 1 2) 用の P M O S トランジスタである。

20

【 0 1 7 8 】

P 3 はそれぞれ電源ノードと上記ラッチ型センスアンプの 2 個の入力ノードとの間にソース・ドレイン間が接続され、ゲートにプリチャージ信号 P R が印加されるプリチャージ用の P M O S トランジスタである。

30

【 0 1 7 9 】

8 3 は前記第 1 のスイッチ回路用の P M O S トランジスタ P 1 および第 2 のスイッチ回路用の P M O S トランジスタ P 2 のオン / オフ状態を切換制御するためのスイッチ制御回路である。

【 0 1 8 0 】

前記ラッチ型センスアンプ 8 0 は、互いの入出力ノードが交差接続された 2 個の C M O S 型インバータの各 N M O S トランジスタのソース同士の間で共通接続ノードと接地ノードとの間にセンスアンプ駆動用の N M O S トランジスタ N 1 のドレイン・ソース間が接続され、上記 N M O S トランジスタ N 1 のゲートにセンスイネーブル信号 S E N が印加される。

40

【 0 1 8 1 】

前記スイッチ制御回路 8 3 は、第 1 のスイッチ回路用の P M O S トランジスタ P 1 をオンさせたい場合に “ L ” 状態になる信号 a が入力する第 1 のインバータ回路 I V 1 と、前記第 2 のスイッチ回路用の P M O S トランジスタ P 2 をオンさせたい場合に “ L ” 状態になる信号 b が入力する第 2 のインバータ回路 I V 2 と、上記第 1 のインバータ回路 I V 1 の出力と前記センスイネーブル信号 S E N が入力する第 1 のナンド回路 N A N D 1 と、前記第 2 のインバータ回路 I V 2 の出力とセンスイネーブル信号 S E N が入力する第 2 のナンド回路 N A N D 2 からなる。そして、上記第 1 のナンド回路 N A N D 1 の出力を前記第 1 のスイッチ回路用の P M O S トランジスタ P 1 のゲートに印加し、前記第 2 のナンド回路

50

NAND 2 の出力を前記第 2 のスイッチ回路用の PMOS トランジスタ P 2 のゲートに印加する。

【 0 1 8 2 】

このように、データバス (BUS 1、/BUS 1)、(BUS 2、/BUS 2) からセンスアンプ 8 0 にデータを取り込む箇所にデータバス選択機能を持たせている (第 1 のデータバス制御回路 2 1 のスイッチ素子 P 1、P 2 を接続している) ので、センスアンプ 8 0 の動作速度の低下を防止することができる。

【 0 1 8 3 】

何故なら、通常、データバス (BUS 1、/BUS 1)、(BUS 2、/BUS 2) は非常に長い配線であってその寄生容量が大きく、前記したようなスイッチ素子を付加することによって新たに付加される寄生容量 (この場合にはスイッチ回路用の PMOS トランジスタ P 1、P 2 の接合容量) がデータバスの寄生容量の 1 / 1 0 0 0 程度と非常に小さいので、センスアンプ 8 0 の動作速度への悪影響を殆んど無視できるからである。

【 0 1 8 4 】

図 9 は、図 1 中のデータ入力制御回路 9 2 および第 2 のデータバス制御回路 2 2 の一例を示している。

【 0 1 8 5 】

データ入力制御回路 9 2 において、9 2 1 は入力端子、9 2 2 は入力バッファ回路、9 2 3 および 9 2 4 は前記入力バッファ回路の後段側にそれぞれ接続された初段入力データレジスタである第 1 の入力レジスタおよび第 2 の入力レジスタ、9 2 5 および 9 2 6 はそれぞれ対応して前記第 1 の入力レジスタ 9 2 3 の後段側の第 1 のデータバス 8 1 および第 2 の入力レジスタ 9 2 4 の後段側の第 2 のデータバス 8 2 に接続された次段入力データレジスタである第 3 の入力レジスタおよび第 4 の入力レジスタ、9 2 7 および 9 2 8 はそれぞれ対応して前記第 3 の入力レジスタの後段側および第 4 の入力レジスタの後段側に接続されたデータ線アンプである。

【 0 1 8 6 】

前記第 1 の入力データレジスタ 9 2 3、第 3 の入力データレジスタ 9 2 5 および第 4 の入力データレジスタ 9 2 6 は、それぞれクロック信号 CK の立上がりに同期してデータを取り込むものである。また、前記第 2 の入力データレジスタ 9 2 4 は、クロック信号 CK の反転信号 /CK の立上がりに同期してデータを取り込むものである。

【 0 1 8 7 】

前記第 2 のデータバス制御回路 2 2 は、本例では、前記第 1 の入力レジスタ 9 2 3・第 2 の入力レジスタ 9 2 4 の組と第 3 の入力レジスタ 9 2 5・第 4 の入力レジスタ 9 2 6 の組との間に挿入されている。

【 0 1 8 8 】

この第 2 のデータバス制御回路 2 2 は、第 1 のデータバス 8 1 に挿入された第 1 のスイッチ回路 2 2 1 と、第 2 のデータバス 8 2 と第 1 のデータバス 8 1 との間に挿入された第 2 のスイッチ回路 2 2 2 と、第 1 のデータバス 8 1 と第 2 のデータバス 8 2 との間に挿入された第 3 のスイッチ回路 2 2 3 と、第 2 のデータバス 8 2 に挿入された第 4 のスイッチ回路 2 2 4 とからなる。

【 0 1 8 9 】

上記各スイッチ回路は、それぞれ例えばトランスファゲート用の MOS トランジスタからなり、前記各入力レジスタが駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御するように制御される。

【 0 1 9 0 】

図 1 0 (a)、(b) は、図 9 中の第 2 のデータバス制御回路 2 2 が DDR 方式の動作モードにおいてデータ転送経路を制御する 2 つの態様を示している。

【 0 1 9 1 】

図 1 0 (a) は、カラムアドレスビット信号 Y 0 が “ 0 ” の時の入力データが第 1 の入力レジスタ 9 2 3 / 第 2 の入力レジスタ 9 2 4 に取り込まれた連続する 2 アドレス分のデー

10

20

30

40

50

タが、第2のデータバス制御回路22の第1のスイッチ回路221および第4のスイッチ回路224を対応して通過して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して入力される、つまり、第2のデータバス制御回路22を経由する際に転送バスが入れ替えられない場合を示している。

【0192】

図10(b)は、カラムアドレスビット信号Y0が“1”の時の入力データが第1の入力レジスタ/第2の入力レジスタに取り込まれた連続する2アドレス分のデータが、第2のデータバス制御回路22の第3のスイッチ回路223および第2のスイッチ回路222を対応して通過して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して入力される、つまり、第2のデータバス制御回路22を経由する際に転送バスが入れ

10

【0193】

図11は、図1の同期型SRAMにおけるDDR方式の動作モードにおけるデータ書き込み動作のタイミングを示している。

【0194】

図11には、クロック信号CKの立上がりに同期して2つのアドレス信号A、Bが引き続き取り込まれる様子を示している。

【0195】

ここで、アドレス信号Aは、バーストアドレスのうちの下位アドレスビットY0が“0”のアドレスであり、アドレス信号Bは、バーストアドレスのうちの下位アドレスビットY0が“1”のアドレスである。

20

【0196】

メモリチップ内部では、バーストカウンタ(図1中2)によって、アドレス信号Aに対してバーストアドレスがA1、A2、A3、A4と連続的に発生され、アドレス信号Bに対してはバーストアドレスがB1、B2、B3、B4と連続的に発生される。

【0197】

この場合、アドレス信号Aに対しては、前記バーストアドレスA1、A2、A3、A4の下位アドレスビットY0が“0”からスタートし、0、1、0、1と変化する。また、アドレス信号Bに対しては、前記バーストアドレスB1、B2、B3、B4の下位アドレスビットY0が“1”からスタートし、1、0、1、0と変化する。

30

【0198】

従って、バーストアドレスA1、A3の時は第1のデータバス81のデータを書き込むべきメモリセルを選択し、バーストアドレスA2、A4の時は第2のデータバス82のデータを書き込むべきメモリセルを選択する。

【0199】

また、バーストアドレスB1、B3の時は第2のデータバス82のデータを書き込むべきメモリセルを選択し、バーストアドレスB2、B4の時は第1のデータバス81のデータを書き込むべきメモリセルを選択する。

【0200】

上記したようにアドレスが変化する過程において、1、3、5...番目のデータはクロック信号CKの立上がりに同期して順次入力され、2、4、6...番目のデータはクロック信号CKの立下りに同期して順次入力される。即ち、クロック信号CKの立上がりに同期してバーストアドレスA1、A3、B1、B3のメモリセルに書き込むべきデータが順次入力され、クロック信号CKの立下りに同期してバーストアドレスA2、A4、B2、B4のメモリセルに書き込むべきデータが順次入力される。

40

【0201】

以下、図10、図11を参照しながら、DDR方式のデータ書き込み動作を説明する。

【0202】

まず、クロック信号CKの立上がりに同期してアドレス信号Aがアドレスレジスタ(図1中1)に取り込まれる。

50

【 0 2 0 3 】

次のサイクルでは、2つのバーストアドレス A 1、A 2 のメモリセルが同時に選択され、クロック信号 C K の立上がり、立下がりに同期して2アドレス分の書き込み入力データ (A 1、A 2) がチップ外部から入力端子 9 2 1 を介して順次入力される。即ち、クロック信号 C K の立上がりに同期してバーストアドレス A 1 のメモリセルに書き込むべきデータ (A 1) が入力され、クロック信号 C K の立下がりに同期してバーストアドレス A 2 のメモリセルに書き込むべきデータ (A 2) が入力される。

【 0 2 0 4 】

このように入力される2アドレス分のデータ (A 1、A 2) は、入力バッファ回路 9 2 2 により増幅された後、それぞれ対応してクロック信号 C K の立上がりおよびその反転信号 / C K の立上がりに同期して初段入力データレジスタである第1の入力レジスタ 9 2 3 / 第2の入力レジスタ 9 2 4 に分かれて取り込まれる。この場合、バーストアドレス A 1 のメモリセルに書き込むべきデータは第1の入力レジスタ 9 2 3 に取り込まれ、バーストアドレス A 2 のメモリセルに書き込むべきデータは第2の入力レジスタ 9 2 4 に取り込まれる。

10

【 0 2 0 5 】

次のサイクルでは、クロック信号 C K の立上がりに同期してアドレス信号 B がアドレスレジスタ (図 1 中 1) に取り込まれるとともに、前記第1の入力レジスタ 9 2 3 / 第2の入力レジスタ 9 2 4 の2アドレス分のデータ (A 1、A 2) が、図 1 0 (a) に示すように転送バスが入れ替えられない状態に制御された第2のデータバス制御回路 2 2 を経由して次段入力データレジスタである第3の入力レジスタ 9 2 5 / 第4の入力レジスタ 9 2 6 にそれぞれ対応して転送される。この第3の入力レジスタ 9 2 5 / 第4の入力レジスタ 9 2 6 に取り込まれた2アドレス分のデータ (A 1、A 2) は、それぞれ対応してデータ線アンプ 9 2 7、9 2 8 により増幅された後、第1のデータバス 8 1 / 第2のデータバス 8 2 に転送され、バーストアドレス A 1、A 2 のメモリセルに書き込まれる。

20

【 0 2 0 6 】

また、上記サイクルでは、2つのバーストアドレス A 3、A 4 のメモリセルに対応する2アドレス分の書き込み入力データ (A 3、A 4) が、クロック信号 C K の立上がり、立下がりに同期してチップ外部から順次入力される。即ち、クロック信号 C K の立上がりに同期してバーストアドレス A 3 のメモリセルに書き込むべきデータ (A 3) が入力され、クロック信号 C K の立下がりに同期してバーストアドレス A 4 のメモリセルに書き込むべきデータ (A 4) が入力される。

30

【 0 2 0 7 】

このように入力される2アドレス分のデータ (A 3、A 4) は、入力バッファ回路 9 2 2 により増幅された後、それぞれ対応して前記クロック信号 C K の立上がりおよびその反転信号 / C K の立上がりに同期して第1の入力レジスタ 9 2 3 / 第2の入力レジスタ 9 2 4 に分かれて取り込まれる。この場合、バーストアドレス A 3 のメモリセルに書き込むべきデータは第1の入力レジスタ 9 2 3 に取り込まれ、バーストアドレス A 4 のメモリセルに書き込むべきデータは第2の入力レジスタ 9 2 4 に取り込まれる。

【 0 2 0 8 】

次のサイクルでは、前記第1の入力レジスタ 9 2 3 / 第2の入力レジスタ 9 2 4 の2アドレス分のデータ (A 3、A 4) が、図 1 0 (a) に示すように転送バスが入れ替えられない状態に制御された第2のデータバス制御回路 2 2 を経由し、クロック信号 C K の立上がりに同期して第3の入力レジスタ 9 2 5 / 第4の入力レジスタ 9 2 6 にそれぞれ対応して転送される。

40

【 0 2 0 9 】

この第3の入力レジスタ 9 2 5 / 第4の入力レジスタ 9 2 6 に取り込まれた2アドレス分のデータ (A 3、A 4) は、それぞれ対応してデータ線アンプ 9 2 7、9 2 8 により増幅された後、第1のデータバス 8 1 / 第2のデータバス 8 2 に転送され、バーストアドレス A 3、A 4 のメモリセルに書き込まれる。

50

【0210】

また、上記サイクルでは、2つのバーストアドレスB1、B2のメモリセルに対応する2アドレス分の書き込み入力データ(B1、B2)が、クロック信号CKの立上がり、立下がりに同期してチップ外部から順次入力される。即ち、クロック信号CKの立上がりに同期してバーストアドレスB1のメモリセルに書き込むべきデータ(B1)が入力され、クロック信号CKの立下がりに同期してバーストアドレスB2のメモリセルに書き込むべきデータ(B2)が入力される。

【0211】

このように入力される2アドレス分のデータ(B1、B2)は、入力バッファ回路922により増幅された後、それぞれ対応して前記クロック信号CKの立上がりおよびその反転信号/ $\bar{C}K$ の立上がりに同期して第1の入力レジスタ923/第2の入力レジスタ924に分かれて取り込まれる。この場合、バーストアドレスB1のメモリセルに書き込むべきデータは第1の入力レジスタ923に取り込まれ、バーストアドレスB2のメモリセルに書き込むべきデータは第2の入力レジスタ924に取り込まれる。

10

【0212】

次のサイクルでは、前記第1の入力レジスタ923/第2の入力レジスタ924の2アドレス分のデータ(B1、B2)が、図10(b)に示すように転送バスが入れ替えられる状態に制御された第2のデータバス制御回路22を経由し、クロック信号CKの立上がりに同期して第4の入力レジスタ926/第3の入力レジスタ925にそれぞれ対応して転送される。

20

【0213】

この第3の入力レジスタ925/第4の入力レジスタ926に取り込まれた2アドレス分のデータ(B2、B1)は、それぞれ対応してデータ線アンプ927、928により増幅された後、第1のデータバス81/第2のデータバス82に転送され、バーストアドレスB2、B1のメモリセルに書き込まれる。

【0214】

また、上記サイクルでは、2つのバーストアドレスB3、B4のメモリセルに対応する2アドレス分の書き込み入力データ(B3、B4)が、クロック信号CKの立上がり、立下がりに同期してチップ外部から順次入力される。即ち、クロック信号CKの立上がりに同期してバーストアドレスB3のメモリセルに書き込むべきデータ(B3)が入力され、クロック信号CKの立下がりに同期してバーストアドレスB4のメモリセルに書き込むべきデータ(B4)が入力される。

30

【0215】

このように入力される2アドレス分のデータ(B3、B4)は、入力バッファ回路922により増幅された後、それぞれ対応して前記クロック信号CKの立上がりおよびその反転信号/ $\bar{C}K$ の立上がりに同期して第1の入力レジスタ923/第2の入力レジスタ924に分かれて取り込まれる。この場合、バーストアドレスB3のメモリセルに書き込むべきデータは第1の入力レジスタ923に取り込まれ、バーストアドレスB4のメモリセルに書き込むべきデータは第2の入力レジスタ924に取り込まれる。

【0216】

次のサイクルでは、前記第1の入力レジスタ923/第2の入力レジスタ924の2アドレス分のデータ(B3、B4)が、図10(b)に示すように転送バスが入れ替えられる状態に制御された第2のデータバス制御回路22を経由し、クロック信号CKの立上がりに同期して第4の入力レジスタ926/第3の入力レジスタ925にそれぞれ対応して転送される。

40

【0217】

この第3の入力レジスタ925/第4の入力レジスタ926に取り込まれた2アドレス分のデータ(B4、B3)は、それぞれ対応してデータ線アンプ927、928により増幅された後、第1のデータバス81/第2のデータバス82に転送され、バーストアドレスB4、B3のメモリセルに書き込まれる。

50

【 0 2 1 8 】

図 1 0 (c) は、図 9 中の第 2 のデータバス制御回路 2 2 が S D R 方式の動作モードにおいてデータ転送経路を制御する態様を示している。

【 0 2 1 9 】

即ち、S D R 方式の動作モードでは、第 1 の入力レジスタ 9 1 3 のデータが、第 2 のデータバス制御回路 2 2 の第 1 のスイッチ回路 2 2 1 および第 3 のスイッチ回路 2 2 3 を対応して通過して第 3 の入力レジスタ 9 2 5 / 第 4 の入力レジスタ 9 2 6 にそれぞれ入力される、つまり、第 1 のデータバス 8 1 のデータが第 2 のデータバス 8 2 にも転送される。

【 0 2 2 0 】

図 1 2 は、図 1 の同期型 S R A M における S D R 方式の動作モードにおけるデータ書き込み動作のタイミングを示している。 10

【 0 2 2 1 】

以下、図 1 0 (c)、図 1 1、図 1 2 を参照しながら、S D R 方式のデータ書き込み動作を説明する。

【 0 2 2 2 】

S D R 方式の動作モードにおいては、入力データを、初段入力データレジスタである第 1 の入力レジスタ 9 2 3 / 第 2 の入力レジスタ 9 2 4 のうちの第 1 の入力レジスタ 9 2 3 に外部クロック信号 C K の立上がり同期して取り込めばよい。

【 0 2 2 3 】

まず、クロック信号 C K の立上がりに同期してアドレス A がアドレスレジスタ (図 1 中 2) に取り込まれる。 20

【 0 2 2 4 】

次のサイクルでは、バーストアドレス A 1 のメモリセルが選択され、クロック信号 C K の立上がりに同期してバーストアドレス A 1 のメモリセルに対応する書き込み入力データ (A 1) がチップ外部から入力端子 9 2 1 を介して入力される。

【 0 2 2 5 】

このように入力されるデータ (A 1) は、入力バッファ回路 9 2 2 により増幅された後、クロック信号 C K の立上がりに同期して第 1 の入力レジスタ 9 2 3 に取り込まれる。

【 0 2 2 6 】

次のサイクルでは、クロック信号 C K の立上がりに同期してアドレス B がアドレスレジスタ (図 1 中 2) に取り込まれるとともに、前記第 1 の入力レジスタ 9 2 3 のデータ (A 1) が、図 1 0 (c) に示すように第 1 のデータバス 8 1 のデータを第 2 のデータバス 8 2 にも転送する状態に制御された第 2 のデータバス制御回路 2 2 を経由して次段入力データレジスタである第 3 の入力レジスタ 9 2 5 / 第 4 の入力レジスタ 9 2 6 にそれぞれ転送される。 30

【 0 2 2 7 】

この第 3 の入力レジスタ 9 2 5 / 第 4 の入力レジスタ 9 2 6 に取り込まれたデータ (A 1) は、データ線アンプ 9 2 7、9 2 8 により増幅された後、第 1 のデータバス 8 1 / 第 2 のデータバス 8 2 に転送され、バーストアドレス A 1 のメモリセルに書き込まれる。

【 0 2 2 8 】

また、上記サイクルでは、バーストアドレス A 2 のメモリセルに対応する書き込み入力データ (A 2) が、クロック信号 C K の立上がりに同期してチップ外部から入力される。このように入力されるデータ (A 2) は、入力バッファ回路 9 2 2 により増幅された後、クロック信号 C K の立上がりに同期して第 1 の入力レジスタ 9 2 3 に取り込まれる。 40

【 0 2 2 9 】

次のサイクルでは、第 1 の入力レジスタ 9 2 3 のデータ (A 2) が、第 2 のデータバス制御回路 2 2 を経由し、クロック信号 C K の立上がりに同期して第 3 の入力レジスタ 9 2 5 / 第 4 の入力レジスタ 9 2 6 にそれぞれ対応して転送される。

【 0 2 3 0 】

この第 3 の入力レジスタ 9 2 5 / 第 4 の入力レジスタ 9 2 6 に取り込まれたデータ (A 2) 50

)は、データ線アンプ927、928により増幅された後、第1のデータバス81/第2のデータバス82に転送され、バーストアドレスA2のメモリセルに書き込まれる。

【0231】

また、上記サイクルでは、バーストアドレスB1のメモリセルに対応する書き込み入力データ(B1)が、クロック信号CKの立上がり同期してチップ外部から入力される。このように入力されるデータ(B1)は、入力バッファ回路922により増幅された後、クロック信号CKの立上がり同期して第1の入力レジスタ923に取り込まれる。

【0232】

次のサイクルでは、第1の入力レジスタ923のデータ(B1)が、第2のデータバス制御回路22を経由し、クロック信号CKの立上がり同期して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して転送される。

10

【0233】

この第3の入力レジスタ925/第4の入力レジスタ926に取り込まれた(B1)は、データ線アンプ927、928により増幅された後、第1のデータバス81/第2のデータバス82に転送され、バーストアドレスB1のメモリセルに書き込まれる。

【0234】

また、上記サイクルでは、バーストアドレスB2のメモリセルに対応する書き込み入力データ(B2)が、クロック信号CKの立上がり、立下がり同期してチップ外部から入力される。このように入力されるデータ(B2)は、入力バッファ回路922により増幅された後、クロック信号CKの立上がり同期して第1の入力レジスタ923に取り込まれる。

20

【0235】

次のサイクルでは、第1の入力レジスタ923のデータ(B2)が、第2のデータバス制御回路22を経由し、クロック信号CKの立上がり同期して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して転送される。

【0236】

この第3の入力レジスタ925/第4の入力レジスタ926に取り込まれたデータ(B2)は、データ線アンプ927、928により増幅された後、第1のデータバス81/第2のデータバス82に転送され、バーストアドレスB2のメモリセルに書き込まれる。

【0237】

即ち、上記第1の実施の形態に係る同期型SRAMによれば、クロック信号CKによるデータ出力制御回路91の複数の出力データレジスタに対する制御タイミング、データ入力制御回路92の複数の入力データレジスタに対する制御タイミングを固定したままデータバスを切換制御することにより、DDR方式/SDR方式の動作モードに対応できる。

30

【0238】

この際、クロック信号CKを利用することにより、複数の出力データレジスタあるいは複数の入力データレジスタを駆動するための特別な内部クロック信号を生成する必要がないので、内部クロック信号の生成に起因するデータ入出力タイミングの遅れが発生する余地がない。

【0239】

また、データ出力制御回路91の複数の出力データレジスタ、データ入力制御回路92の複数の入力データレジスタに対する制御タイミングは、常にクロック信号CKにより決まり、不変であるので、データ入出力タイミングのばらつきが発生する余地がない。

40

【0240】

従って、クロック信号CKを高速化した場合でもデータ入出力タイミングの遅れやばらつきが問題になることはなく、メモリ動作の高速化が可能になる。

【0241】

ところで、前述したように、外部からのクロック入力に同期して動作し、外部から取り込まれるアドレス信号に基づいてメモリチップ内部でバーストアドレス信号を自己発生して読み出し/書き込みを行う動作モードを有する同期型のSRAMにおいて、アドレス入力

50

の次のサイクルに書込みデータの取り込みを行い、さらに次のライトサイクルでメモリセルアレイへのデータの書込みを行うレイトライト方式を採用している。

【0242】

このようなレイトライト方式を採用している同期型のSRAMは、外部から見た時のデータのコヒーレンシー（アドレス入力とデータとの整合性）を保持するための対策を施すことが望ましく、以下、データのコヒーレンシーを考慮した第2の実施の形態を説明する。

【0243】

図13に示す同期型SRAMは、図1を参照して前述した同期型SRAMの構成と基本的に同様の構成を有するものであるが、SRAM外部から見た時のデータのコヒーレンシー（アドレス入力とデータとの整合性）を保持するための主要部を取り出して概略的に示している。

10

【0244】

図13に示す同期型SRAMにおいては、18ビットのアドレス信号のうちの上位16ビットをプリデコードするプリデコーダを設けておき、前記アドレス信号のうち例えば9ビットのカラムアドレス信号のうちバーストアドレス信号として割り当てられる下位2ビットA1、A0をバーストアドレスカウンタ2に入力してそのスタートアドレスとし、前記プリデコーダの出力が入力するアドレスレジスタの出力および前記バーストアドレスカウンタ2の出力が入力するアドレスレジスタの出力をアドレスデコーダ（図1中の3）に入力するようにしている。

【0245】

20

前記バーストアドレスカウンタは、バースト動作のモードを指定するためのバーストオーダー信号を受けて、DDR方式の動作モードとSDR方式の動作モードに選択的に対応するようにリニアモードあるいはインターリーブモードのバーストアドレス信号を選択的に発生可能なように構成されている。

【0246】

この場合、バーストアドレスカウンタは、前記18ビットのアドレス信号のうちバーストアドレス信号として割り当てられる下位2ビットA1、A0が入力し、この2ビットの入力信号A1、A0に基づいてバーストアドレス信号を図18乃至図21に示すように動作モードに応じて発生する。

【0247】

30

ここで、バーストアドレスの発生の仕方について、図18乃至図21を参照して説明する。

【0248】

(1) SDR方式の動作モードにおけるリニアモードの時には、外部アドレス入力をスタートアドレスとして順番にインクリメントするようにバーストアドレスが進行する。

【0249】

つまり、図18に示すように、スタートアドレスが(0, 0)の時には、(0, 0) (0, 1) (1, 0) (1, 1)とバーストアドレスが進行し、スタートアドレスが(0, 1)の時には、(0, 1) (1, 0) (1, 1) (0, 0)とバーストアドレスが進行し、スタートアドレスが(1, 0)の時には、(1, 0) (1, 1) (0, 0) (0, 1)とバーストアドレスが進行し、スタートアドレスが(1, 1)の時には、(1, 1) (0, 0) (0, 1) (1, 0)とバーストアドレスが進行する。

40

【0250】

(2) SDR方式の動作モードにおけるインターリーブモードの時には、外部アドレス入力をスタートアドレスとし、図19に示すようにバーストアドレスが進行する。

【0251】

(3) DDR方式の動作モードにおけるリニアモードの時には、前述したSDR方式の動作モードにおけるリニアモードのアドレスおよびその次のアドレス、つまり、2つの連続するアドレス信号が対となって、図20に示すように、スタートアドレスから順番にインクリメントするようにバーストアドレスが進行する。

50

【 0 2 5 2 】

(4) D D R方式の動作モードにおけるインターリーブモードの時には、前述した S D R方式の動作モードにおけるインターリーブモードのアドレスおよびその隣りのアドレス、つまり、2つの連続するアドレス信号が対となって、図 2 1 に示すように、スタートアドレスからバーストアドレスが進行する。

【 0 2 5 3 】

さらに、図 1 3 において、5 a は図 1 中に示したアドレスデコーダ 3 ・行選択回路 4 ・メモリセルアレイ 5 ・列選択回路 6 およびセンスアンプ・データ書込み回路 7 などを含む S R A Mコア部、8 1 および 8 2 は図 9 中に示した第 1 のデータバス 8 1 と第 2 のデータバス 8 2 に相当するライトバス、9 2 3 および 9 2 4 は図 9 中に示したデータ入力制御回路 9 2 の前段側の第 1 の入力レジスタ 9 2 3 および第 2 の入力レジスタ 9 2 4 に相当するレジスタ、2 2 は図 9 中に示した第 2 のデータバス制御回路 2 2 に相当するライトバスコントローラ、9 2 5 および 9 2 6 は図 9 中に示したデータ入力制御回路 9 2 の後段側の第 3 の入力レジスタ 9 2 5 および第 4 の入力レジスタ 9 2 6 に相当するレジスタである。

10

【 0 2 5 4 】

なお、前記ライトバスコントローラ 2 2 の前段側のレジスタ 9 2 3 および 9 2 4 の前段側には図 9 中に示したデータ入力バッファ 9 2 2 が設けられる。

【 0 2 5 5 】

2 1 は図 3 中に示した第 1 のデータバス制御回路 2 1 に相当する第 1 のリードバスコントローラである。なお、前記第 1 のリードバスコントローラ 2 1 の後段側には、図 3 中に示した第 1 のデータ線センスアンプ 9 1 1、第 1 の出力データレジスタ 9 1 3、第 2 のデータ線センスアンプ 9 1 2、第 2 の出力データレジスタ 9 1 4 に相当する回路が設けられるが、これらの図示を省略した。

20

【 0 2 5 6 】

3 0 は第 1 のアドレスレジスタ 3 1 および第 2 のアドレスレジスタ 3 2 がシリアルに接続されてなるライトアドレスレジスタである。3 3 はアドレスバスに挿入されたアドレスレジスタであり、その出力側に前記ライトアドレスレジスタ 3 0 が挿入されている。

【 0 2 5 7 】

3 4 はリード (R) モード時に前記アドレスレジスタ 3 3 の出力 (リードアドレス) を選択し、ライト (W) モード時に前記ライトアドレスレジスタ 3 0 の出力 (ライトアドレス) を選択する機能を有する第 1 のマルチプレクサである。

30

【 0 2 5 8 】

3 5 は最下位 2 ビットをデコードしたものおよびバーストアドレスカウンタ 2 の出力を選択する機能を有する第 2 のマルチプレクサである。

【 0 2 5 9 】

3 6 1 e は前記アドレスレジスタ 3 3 の出力 (リードアドレス) および前記第 1 のアドレスレジスタ 3 1 の出力 (ライトアドレス) についてそれぞれの偶数アドレスを比較し、一致 / 不一致を検出して “ H ” / “ L ” になる第 1 の偶数アドレスのヒット / ミス信号 even 1-hit/miss を出力する第 1 の偶数アドレス比較回路である。

【 0 2 6 0 】

3 6 1 d は前記アドレスレジスタ 3 3 の出力 (リードアドレス) および前記第 1 のアドレスレジスタ 3 1 の出力 (ライトアドレス) についてそれぞれの奇数アドレスを比較し、一致 / 不一致を検出して “ H ” / “ L ” になる第 1 の奇数アドレスのヒット / ミス信号 odd 1-hit/miss を出力する第 1 の奇数アドレス比較回路である。

40

【 0 2 6 1 】

3 6 2 e は前記アドレスレジスタ 3 3 の出力 (リードアドレス) および前記第 2 のアドレスレジスタ 3 2 の出力 (ライトアドレス) についてそれぞれの偶数アドレスを比較し、一致 / 不一致を検出して “ H ” / “ L ” になる第 2 の偶数アドレスのヒット / ミス信号 even 2-hit/miss を出力する第 2 の偶数アドレス比較回路である。

【 0 2 6 2 】

50

362dは前記アドレスレジスタ33の出力(リードアドレス)および前記第2のアドレスレジスタ32の出力(ライトアドレス)についてそれぞれの奇数アドレスを比較し、一致/不一致を検出して“H”/“L”になる第2の奇数アドレスのヒット/ミス信号odd2-hit/missを出力する第2の奇数アドレス比較回路である。

【0263】

371は前記第1の偶数アドレスのヒット/ミス信号even1-hit/missと第2の偶数アドレスのヒット/ミス信号even2-hit/missとの論理和をとって偶数アドレスのヒット/ミスの検出結果に応じて“H”/“L”になるヒット/ミス信号even-hit/missを出力する第1の論理和回路である。

【0264】

372は前記第1の奇数アドレスのヒット/ミス信号odd1-hit/missと第2の奇数アドレスのヒット/ミス信号odd2-hit/missとの論理和をとって奇数アドレスのヒット/ミスの検出結果に応じて“H”/“L”になるヒット/ミス信号odd-hit/missを出力する第2の論理和回路である。

【0265】

38は前記ライトバスコントローラ22の出力データ(偶数アドレスに対応する1ビットのデータと奇数アドレスに対応する1ビットのデータからなる2ビットデータ)および前記ライトバスコントローラ20の後段側のレジスタ925および926の出力データ(1サイクル前にラッチされた偶数アドレスに対応する1ビットのデータと奇数アドレスに対応する1ビットのデータからなる2ビットデータ)が入力し、制御信号入力により選択制御される優先機能付きマルチプレクサである。この制御信号入力として、前記第1の偶数アドレスのヒット/ミス信号even1-hit/miss、第1の奇数アドレスのヒット/ミス信号odd1-hit/miss、第2の偶数アドレスのヒット/ミス信号even2-hit/miss、第2の奇数アドレスのヒット/ミス信号odd2-hit/missが入力する。

【0266】

そして、上記優先機能付きマルチプレクサ38は、第1の偶数アドレスのヒット/ミス信号even1-hit/missあるいは第1の奇数アドレスのヒット/ミス信号odd1-hit/missが入力した時は前記ライトバスコントローラ22の出力データを選択し、第2の偶数アドレスのヒット/ミス信号even2-hit/missあるいは第2の奇数アドレスのヒット/ミス信号odd2-hit/missが入力した時は前記入力レジスタ925および926の出力データを選択する機能を有する。

【0267】

また、前記優先機能付きマルチプレクサ38は、(第1の偶数アドレスのヒット/ミス信号even1-hit/missあるいは第1の奇数アドレスのヒット/ミス信号odd1-hit/miss)および(第2の偶数アドレスのヒット/ミス信号even2-hit/missあるいは第2の奇数アドレスのヒット/ミス信号odd2-hit/miss)が入力した時は、新しい方のデータである前記ライトバスコントローラ22の出力データを選択する優先選択機能を有する。

【0268】

212は前記優先機能付きマルチプレクサ38の出力データ(偶数アドレスに対応する1ビットのデータと奇数アドレスに対応する1ビットのデータからなる2ビットデータ)が入力する第2のリードバスコントローラである。

【0269】

この第2のリードバスコントローラ212は、前記第1のリードバスコントローラ21と同様の構成を有するものであり、この第2のリードバスコントローラ212の後段側には、前記第1のリードバスコントローラ21と同様に、図3中に示した第1のデータ線センスアンプ911、第1の出力データレジスタ913、第2のデータ線センスアンプ912、第2の出力データレジスタ914に相当する回路が設けられるが、これらの図示を省略した。

【0270】

39は前記第1のリードバスコントローラ21の出力データおよび第2のリードバスコン

10

20

30

40

50

トローラ 2 1 2 の出力データが入力し、制御信号入力により選択制御される第 3 のマルチプレクサである。この制御信号入力として、前記第 1 の論理和回路 3 7 1 から偶数アドレスのヒット/ミス信号 even-hit/miss および第 2 の論理和回路 3 7 2 から奇数アドレスのヒット/ミス信号 odd-hit/miss で最下位アドレス A 0 が入力する。

【 0 2 7 1 】

そして、上記第 3 のマルチプレクサ 3 9 は、偶数アドレスのヒット/ミス信号 even-hit/miss あるいは奇数アドレスのヒット/ミス信号 odd-hit/miss のいずれかが “ H ” の時にはそれぞれ第 2 のリードバスコントローラ 2 1 2 の偶数アドレス出力データあるいは奇数アドレス出力データをアドレスの最下位ビット A 0 を参照して選択し、偶数アドレスのヒット/ミス信号 even-hit を選択し、偶数アドレスのヒット/ミス信号 even-hit/miss および奇数アドレスのヒット/ミス信号 odd-hit/miss がそれぞれ “ L ” の時には第 1 のリードバスコントローラ 2 1 の出力データ (2 ビット) を選択する機能を有する。

10

【 0 2 7 2 】

4 0 は前記第 3 のマルチプレクサ 3 9 の出力側のデータバス (図 3 中に示した第 1 のデータバス 8 1 および第 2 のデータバス 8 2 に相当する) に挿入された第 4 のマルチプレクサであり、例えば図 3 中に示したデータ出力制御回路 9 1 の第 1 のトランスファゲート 9 1 5 および第 2 のトランスファゲート 9 1 6 と同様の一对のトランスファゲートの各一端 (出力端) が一括接続されてなる。

【 0 2 7 3 】

上記第 4 のマルチプレクサ 4 0 は、クロック信号 C K が “ H ” レベルの期間には前記第 3 のマルチプレクサ 3 9 の出力側の一方のデータバスのデータを転送し、クロック信号 C K の反転信号 / C K が “ H ” レベルの期間 (クロック信号 C K が “ L ” レベルの期間) には前記第 3 のマルチプレクサ 3 9 の出力側の他方のデータバスのデータを転送するものである。なお、前記第 4 のマルチプレクサ 4 0 の出力側には、図 3 中に示した出力バッファ 9 1 7 に相当する回路が設けられている (図示を省略した) 。

20

【 0 2 7 4 】

なお、前記優先機能付きマルチプレクサ 3 8 は、前記ライトバスコントローラ 2 2 の出力側および前記入力レジスタ 9 2 5 および 9 2 6 の出力側の近傍に配置し、前記第 3 のマルチプレクサ 3 9 は前記第 1 のリードバスコントローラ 2 1 の出力側および前記第 2 のリードバスコントローラ 2 1 2 の出力側の近傍に配置することが、信号配線の領域を削減することが可能になるので望ましい。

30

【 0 2 7 5 】

図 1 4 は、図 1 3 の同期型 S R A M における D D R 動作モードでの書込み動作 (レイトライト方式) の一例を示すタイミング波形図である。

【 0 2 7 6 】

図 1 4 中、 (A 0) はアドレス入力の内容であるアドレス、 (A 0 *) は (A 0) に連続するようにバーストアドレスカウンタにより生成されたアドレス、 (D 0) および (D 0 *) は連続して入力したデータの内容である。

【 0 2 7 7 】

次に、図 1 3 に示す同期型の S R A M において、データのコヒーレンシーを保持する動作が可能であることを説明する。

40

【 0 2 7 8 】

図 1 3 に示す S R A M の D D R 動作では、クロックの立ち上がりエッジと立ち下がりエッジの両方を使用してデータをシリアルに入出力し、S R A M 内部ではデータをパラレルに処理する。

【 0 2 7 9 】

この時、アドレス入力はクロックの立ち上がりエッジで行われ、クロックの立ち下がりエッジで入出力されるデータのアドレスは S R A M 内部でバーストアドレスカウンタ 2 によって生成される。したがって、入出力されるデータのアドレスは必ず偶数アドレスと奇数アドレスとの組み合わせになる。

50

【0280】

そこで、SRAM内部でデータのシリアル・パラレル変換あるいはパラレル・シリアル変換を行う必要があり、この変換は、入力アドレスのパリティ、データレート（SDRあるいはDDR）、バーストオーダーにより指定されるバースト動作のモードを考慮する必要があり、しかも、上記変換を高速に行う必要がある。

【0281】

このために、リードバスの適当な位置にデータバスコントローラ（リードバスコントローラ21）を挿入するとともにライトバスの適当な位置にデータバスコントローラ（ライトバスコントローラ22）を挿入している。この場合、ライトバスコントローラ22は、その出力側の2つのデータバス81、82に対応して偶数アドレスのデータ、奇数アドレスのデータを出力するように制御する。

10

【0282】

また、レイトライト方式を採用した図13のSRAMでは、書込みデータの取り込みをアドレス入力の次のサイクルに行うが、DDR動作モードの時には、図14に示すように、クロックの立ち上がりエッジと立ち下がりエッジにそれぞれ同期してデータの取り込みが行われる。そして、データを取り込んだサイクルの次のサイクル（ライトサイクル）でSRAMコア部5aのデータの書込みが行われる。

【0283】

このような動作を可能とするため、データの入力バスは二重化され、2個のライトデータレジスタ（923、925）あるいは（924、926）がシリアルに接続されて挿入されており、SRAMコア部5aへ書き込む前のデータを前記ライトデータレジスタに保持している。

20

【0284】

また、アドレスバスは、書込み系については二重化され、ライトアドレスレジスタ30として2個のアドレスレジスタ31、32がシリアルに接続されて挿入されており、前記2個のライトデータレジスタ（923、925）あるいは（924、926）の保持データに対応するライトアドレスデータを保持しているが、読み出し系については二重化されていない。

【0285】

そして、前記2個のアドレスレジスタ31、32の保持データの偶数、奇数に応じてリードアドレスと比較するために、4個のアドレス比較回路361e、361d、362e、362dが設けられている。

30

【0286】

したがって、ライトモードからリードモードに切り替わり、直前の書込みモードにおいてライトアドレスレジスタに保持されているライトアドレスに対する読み出し動作を実行する時、次のような動作が行われる。

【0287】

即ち、アドレス入力（リードアドレス）とライトアドレスレジスタ30に保持されているライトアドレスとをアドレス比較回路361e、361d、362e、362dで比較判定した結果に基づいて、上記ライトアドレスに対応するライトデータを保持しているライトデータレジスタからのデータを優先機能付きマルチプレクサ38で選択する。

40

【0288】

この場合、上記優先機能付きマルチプレクサ38は、第1の偶数アドレス比較回路361eからのヒット/ミス信号even1-hit/missが“H”のとき、あるいは第1の奇数アドレス比較回路361dからのヒット/ミス信号odd1-hit/missが“H”のときは、それぞれライトバスコントローラの出力83あるいは84を出力する。また、第2の偶数アドレス比較回路362eからのヒット/ミス信号even2-hit/missが“H”のとき、あるいは第2の奇数アドレス比較回路362dからのヒット/ミス信号odd2-hit/missが“H”のときは、次段側の入力レジスタ925あるいは926の出力データを選択する。

【0289】

50

また、前記優先機能付きマルチプレクサ38は、(第1の偶数アドレスのヒット/ミス信号even1-hit/missの“H”信号あるいは第1の奇数アドレスのヒット/ミス信号odd1-hit/miss)および(第2の偶数アドレスのヒット/ミス信号even2-hit/missの“H”信号、第2の奇数アドレスのヒット/ミス信号odd2-hit/missの“H”信号)が入力した時は、新しい方のデータである前記ライトバスコントローラ22の出力データすなわち83あるいは84を優先的に選択する。

【0290】

そして、前記優先機能付きマルチプレクサ38の出力データは、第2のリードバスコントローラ212で第1のリードバスコントローラ21と同様に出力バスが制御された後、第3のマルチプレクサ39に入力する。

【0291】

上記第3のマルチプレクサ39は、偶数アドレスのヒット/ミス信号even-hit/missあるいは奇数アドレスのヒット/ミス信号odd-hit/missが“H”の時にはそれぞれ前記第2のリードバスコントローラ212の出力データ83あるいは84を選択し、偶数アドレスのヒット/ミス信号even-hit/missおよび奇数アドレスのヒット/ミス信号odd-hit/missがそれぞれ“L”の時には第1のリードバスコントローラ21の出力データ(2ビット)を選択する。

【0292】

そして、上記第3のマルチプレクサ39で選択したデータを第4のマルチプレクサ40でシリアル・パラレル変換して読み出すことにより、SRAM外部から見た時のデータのコーヒレンシーを保持することが可能になる。

【0293】

なお、書込みモードから読み出しモードに切り替わり、直前の書込みモードにおいてライトアドレスレジスタに保持されているライトアドレス以外のアドレス入力に対する読み出し動作が実行された時には、このアドレス入力に対するSRAMコア部5aからの読み出しデータを第3のマルチプレクサ39で選択し、この選択出力データを第4のマルチプレクサ40でシリアル・パラレル変換して読み出す。

【0294】

図15は、図13中の第1の偶数アドレス比較回路361e、第1の奇数アドレス比較回路361dおよびバートカアドレスカウンタ2を取り出し、説明の簡略のためにアドレス入力信号が2ビットの場合について一具体例を示す論理回路図である。

【0295】

2ビットのアドレス信号入力A0、A1およびそれがインバータ回路IV0、IV1により反転された信号からなる2ビットの相補的なアドレス信号(A0、/A0)、(A1、/A1)は、相異なる2ビットの組み合わせに応じて4個のアドレスデコーダ回路(例えば二入力のナンドゲート)NA0~NA3によりデコードされる。したがって、上記4個のアドレスデコーダ回路NA0~NA3は、各対応して偶数アドレス、奇数アドレス、偶数アドレス、奇数アドレスをデコードすることになり、各デコード出力信号は択一的に活性状態(“H”レベル)になる。

【0296】

一方、バーストアドレスカウンタ2は、バーストオーダー信号入力に基づいてSDR動作モード/DDR動作モードとリニアモード/インターリーブモードの組み合わせに対応して2ビットのバーストアドレス信号を生成する。そして、2ビットの相補的なバーストアドレス信号をデコードした4個のバーストアドレスデコード信号(各対応して偶数アドレス、奇数アドレス、偶数アドレス、奇数アドレスをデコードした信号であり、択一的に活性状態になる)を出力する。

【0297】

前記4個のアドレスデコーダ回路NA0~NA3の各デコード出力信号および前記バーストアドレスカウンタ2の各デコード出力信号の対応する2ビットの4組の信号は4個のマルチプレクサMPX0~MPX3に入力する。

10

20

30

40

50

【0298】

上記各マルチプレクサMPX0～MPX3は、バーストアドレスカウンタ2が動作するバーストモードの時には前記バーストアドレスカウンタ2の各デコード出力信号を選択し、それ以外の時には前記4個のアドレスデコード回路NA0～NA3の各デコード出力信号を選択する。この場合、上記各マルチプレクサMPX0～MPX3の選択出力は、対応して偶数アドレス、奇数アドレス、偶数アドレス、奇数アドレスをデコードした信号である。

【0299】

上記各マルチプレクサMPX0～MPX3の選択出力は、クロック信号CKに同期して4個のレジスタREG0～REG3に対応して格納される。

10

【0300】

上記各レジスタREG0～REG3の出力は、それぞれ例えば排他的オアゲートを用いた4個の比較回路CP0～CP3の各一方の入力端に対応して入力し、上記4個の比較回路CP0～CP3の各他方の入力端には、前記ライトアドレスレジスタ30の第1のアドレスレジスタ31に保持されているライトアドレスデータをデコードした信号が入力する。

【0301】

この場合、4個の比較回路CP0～CP3は、各対応して、マルチプレクサMPX0～MPX3の選択出力と第1のアドレスレジスタ31の保持データの偶数アドレス、奇数アドレス、偶数アドレス、奇数アドレスの一致/不一致状態を検出することになる。

【0302】

この場合、偶数アドレスの一致/不一致状態の検出結果は1つ得ればよいので、偶数アドレス用の比較回路CP0、CP2の各出力を第1のノアゲートNOR1により集約して前記第1の偶数アドレスのヒット/ミス信号even1-hit/missを得るようにする。

20

【0303】

同様に、奇数アドレスの一致/不一致状態の検出結果は1つ得ればよいので、奇数アドレス用の比較回路CP1、CP3の各出力を第2のノアゲートNOR2により集約して前記第1の奇数アドレスのヒット/ミス信号odd1-hit/missを得るようにしている。

【0304】

なお、図13中の第2の偶数アドレス比較回路362e、第2の奇数アドレス比較回路362dも、図15中の第1の偶数アドレス比較回路361e、第1の奇数アドレス比較回路361dに準じて、アドレスデコード回路の出力信号またはバーストアドレスカウンタの出力信号をマルチプレクサで選択した出力と、ライトアドレスレジスタ30の第2のアドレスレジスタ32に保持されているライトアドレスデータとについて、偶数アドレス、奇数アドレス別に一致/不一致状態を検出し、第2の偶数アドレスのヒット/ミス信号even2-hit/missおよび第2の奇数アドレスのヒット/ミス信号odd2-hit/missを得るようにしている。

30

【0305】

なお、図13の同期型SRAMが、DDR動作としてインターリーブモードのみを行う場合には、図21から分かるように、連続する2つのバーストアドレスは、(0,0)と(0,1)との組み合わせおよび(1,0)と(1,1)との組み合わせの2通りだけであり、各サイクルにおけるバーストアドレスの2ビット目A1は、0のみ、または1のみである。

40

【0306】

このことに着目し、アドレスレジスタ31、32の保持データとリードアドレスと比較するために、アドレスの最下位ビットA0を除いてアドレスを比較するようにすれば、図15中に示した2個のアドレスレジスタ31、32の保持データの偶数、奇数に応じてリードアドレスと比較するための4個の比較回路CP0～CP3のうち、比較回路CP0、CP1を1個に集約し、比較回路CP2、CP3を1個に集約し、それぞれの比較結果をノアゲートで集約してアドレスのヒット/ミス信号odd1-hit/missとすることが可能になる。

50

【0307】

これにより、2個の比較回路CP0、CP1のうち1個、2個の比較回路CP2、CP3のうち1個および前記2個のノアゲートNOG1、NOG2のうち1つをそれぞれ省略することが可能になり、論理回路の構成を簡略化することが可能になる。

【0308】

ところで、前記した図13の同期型SRAMにおいては、SRAMコア部5aの出力側に第1のリードバスコントローラ21を挿入し、優先機能付きのマルチプレクサ38の出力側に第2のリードバスコントローラ212を挿入しているため、第2のリードバスコントローラ212の付加に伴ってパターン面積(チップ上のレイアウト面積)の増大をまねく。

10

【0309】

このパターン面積の増大を抑制することが望ましく、この点を考慮した第3の実施の形態を以下に説明する。

【0310】

図16は、第3の実施の形態に係る同期型SRAMの主要部を概略的に示しており、図13を参照して前述した同期型SRAMと比較して、SRAMコア部5aの出力と優先機能付きのマルチプレクサ38の出力とを前記第3のマルチプレクサ39により選択した後に1個のリードバスコントローラ21に入力し、その出力を前記第4のマルチプレクサ40によりシリアル・パラレル変換して読み出すようにした点が異なり、その他は同じである。

20

【0311】

図16の同期型SRAMによれば、上記1個のリードバスコントローラ21を、SRAMコア部5aからの読み出しデータに対するリードバスコントローラと前記ライトバスコントローラ22あるいはライトデータレジスタ(925、926)からの読み出しデータに対するリードバスコントローラとして兼用することが可能になり、リードバスコントローラのパターン面積の増大を抑制することが可能になる。

【0312】

この場合、前記優先機能付きマルチプレクサ38は、前記ライトバスコントローラ22の出力側および前記入力レジスタ925および926の出力側の近傍に配置し、前記第3のマルチプレクサ39は前記リードバスコントローラ21の出力側の近傍に配置することが

30

【0313】

図17は、第4の実施の形態に係る同期型SRAMの主要部を概略的に示しており、図16を参照して前述した同期型SRAMと比較して、SRAMコア部5aの出力と前記ライトバスコントローラ22あるいはライトデータレジスタ(925、926)からの読み出しデータとを1個の優先機能付きのマルチプレクサ71に入力し、その出力を1個のリードバスコントローラ21に入力し、その出力を前記第4のマルチプレクサ40によりシリアル・パラレル変換して読み出すようにした点が異なり、その他は同じである。

【0314】

前記第2の実施の形態乃至第4の実施の形態に係る同期型SRAMを要約すると、複数のメモリセルが行列状に配置されたメモリセルアレイと、出力データが伝搬する複数の出力データバスと、複数のアドレスに対応する複数のメモリセルから複数のデータをほぼ同時に読み出すように制御する読み出し制御回路と、前記複数の読み出しデータを保持する複数の読み出しデータレジスタと、前記複数の出力データバスと複数の読み出しデータレジスタとの接続関係を、読み出しアドレス、バーストオーダー、データレートに応じて制御する第1のコントロール回路と、前記メモリセルに書込むデータが伝搬する複数の書込みデータバスと、複数のアドレスに対応する複数のメモリセルにほぼ同時に書込むように制御する書込み制御回路と、複数の書込みデータを保持する複数の書込みデータレジスタと、前記複数の書込みデータバスと複数の書込みデータレジスタとの接続関係を、書込みアドレス、前記バーストオーダー、前記データレートに応じて制御する第2のコントロール

40

50

回路と、書込みアドレスを保持する複数段の書込みアドレスレジスタと、読み出し時に、前記書込みアドレスレジスタに保持されている書込みアドレスと読み出しアドレスとを比較し、アドレスの一致／不一致に対応してヒット信号／ミス信号を生成するアドレス比較回路と、前記アドレス比較回路で生成されるヒット信号により前記書込みデータレジスタからのデータを選択し、前記アドレス比較回路で生成されるミス信号により前記メモリセルからの読み出しデータを選択し、選択出力を前記出力データバスに出力するマルチプレクサとを具備することを特徴とするものである。

【0315】

ここで、第3の実施の形態においては、前記マルチプレクサは、前記書込みデータレジスタから転送される4つのデータが入力し、前記アドレス比較回路で生成されるヒット信号により、前記4つのデータのうちの偶数アドレスのデータ1つおよび奇数アドレスのデータ1つを選択して出力する第1のマルチプレクサと、前記第1のマルチプレクサの出力と前記メモリセルからの読み出しデータを選択が入力し、前記アドレス比較回路で生成されるヒット信号／ミス信号により選択が制御される第2のマルチプレクサとを具備することを特徴とするものである。

10

【0316】

また、第3の実施の形態においては、前記書込みデータレジスタからみて前記第1のマルチプレクサの方が前記第2のマルチプレクサよりも近くに配置され、前記アドレス比較回路からみて前記第2のマルチプレクサの方が前記第1のマルチプレクサよりも近くに配置されていることを特徴とするものである。

20

【0317】

また、第2の実施の形態乃至第4の実施の形態において、前記バーストオーダーがインターリーブ方式である場合には、前記アドレス比較回路は、アドレスの最下位ビットを除いてアドレスを比較し、前記マルチプレクサは、前記アドレス比較回路で生成されるヒット信号／ミス信号に応じて、前記メモリセルからの読み出しデータの組、前記書込みデータレジスタに含まれる初段のデータレジスタに保持されているデータの組、前記書込みデータレジスタに含まれる次段のデータレジスタに保持されているデータの組を選択して前記出力データバスに出力することが可能である。

【0318】

なお、上記実施例はDDR方式／SDR方式の動作モードを選択的に指定し得るSRAMを説明したが、本発明はDDR方式の動作モードを備えたメモリに適用可能である。

30

【0319】

【発明の効果】

上述したように本発明の半導体記憶装置によれば、複数のデータバスを用いて複数のアドレスに対するデータを並列に処理するDDR方式の動作モードを採用する際、データ出力あるいはデータ入力のタイミングの遅れやばらつきを抑制でき、動作の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る同期型SRAMの全体的な構成を概略的に示すブロック図。

40

【図2】図1中のメモリセルアレイの一部のセル部に対応するカラムトランスファークロウ、データ線、センスアンプ・データ書き込み回路、データバスの接続関係の一例を概略的に示す図。

【図3】図1中の第1のデータバス切替回路およびデータ出力制御回路の一例を示す回路図。

【図4】図3中の第1のデータバス切替回路がDDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示す回路図。

【図5】図1の同期型SRAMにおけるDDR方式の動作モードにおけるデータ読み出し動作のタイミングを示す図。

【図6】図3中の第1のデータバス切替回路がSDR方式の動作モードにおいてデータ転

50

送経路を制御する2つの態様を示す回路図。

【図7】図1の同期型SRAMにおけるSDR方式の動作モードにおけるデータ読み出し動作のタイミングを示す図。

【図8】図3中の2つのデータバスのうちの一方のデータバスに挿入されているデータ線センスアンプおよびその入力側に接続されているスイッチ回路(第1のデータバス制御回路の一部)を代表的に取り出してその一例を示す回路図。

【図9】図1中の第2のデータバス切換回路およびデータ入力制御回路の一例を示す回路図。

【図10】図8中の第2のデータバス切換回路がDDR方式の動作モードにおいてデータ転送経路を制御する2つの態様およびSDR方式の動作モードにおいてデータ転送経路を

10

制御する態様を示す回路図。

【図11】図1の同期型SRAMにおけるDDR方式の動作モードにおけるデータ書き込み動作のタイミングを示す図。

【図12】図1の同期型SRAMにおけるSDR方式の動作モードにおけるデータ書き込み動作のタイミングを示す図。

【図13】本発明の第2の実施の形態に係る同期型SRAMにおいて外部から見た時のデータの coherence を保持するための主要部を取り出して概略的に示すブロック図。

【図14】図13の同期型SRAMにおけるDDR動作モードでの書き込み動作(レイトライト方式)の一例を示すタイミング波形図。

【図15】図13中の第1の偶数アドレス比較回路、第1の奇数アドレス比較回路および

20

パートカアドレスカウンタを取り出し、説明の簡略のためにアドレス入力信号が2ビットの場合について一具体例を示す論理回路図。

【図16】第3の実施の形態に係る同期型SRAMの主要部を概略的に示すブロック図。

【図17】第4の実施の形態に係る同期型SRAMの主要部を概略的に示すブロック図。

【図18】図13中のバーストアドレスカウンタのSDR方式の動作モードにおけるリニアモードのバーストアドレス信号の進行規則を説明するために示す図。

【図19】図13中のバーストアドレスカウンタのSDR方式の動作モードにおけるインターリーブモードのバーストアドレス信号の進行規則を説明するために示す図。

【図20】図13中のバーストアドレスカウンタのDDR方式の動作モードにおけるリニアモードのバーストアドレス信号の進行規則を説明するために示す図。

30

【図21】図13中のバーストアドレスカウンタのDDR方式の動作モードにおけるインターリーブモードのバーストアドレス信号の進行規則を説明するために示す図。

【図22】DDR方式/SDR方式の動作モードを選択し得る同期型SRAMの全体的構成の従来例を概略的に示すブロック図。

【図23】図22中のデータ入出力回路に含まれるデータ出力制御回路の従来例を示す回路図。

【図24】図22の同期型SRAMにおけるDDR方式の動作モードにおける従来のデータ読み出し動作のタイミングを示す図。

【図25】図23中の2つのデータ線トランスファークロック信号CK1、CK2を供給する回路の一例を示す回路図。

40

【図26】図25の回路のDDR方式の動作モード時/SDR方式の動作モード時の信号波形の一例を示すタイミング図。

【図27】図22中のデータ入出力回路18に含まれるデータ入力制御回路の従来例を示す回路図。

【図28】図22の同期型SRAMにおけるDDR方式の動作モードの動作モードにおける従来のデータ書き込み動作のタイミングを示す図。

【図29】図26中の2つの初段入力データレジスタ(第1の入力レジスタ回路/第2の入力レジスタ回路)にクロック信号CK3、CK4を供給する回路の一例を示す回路図。

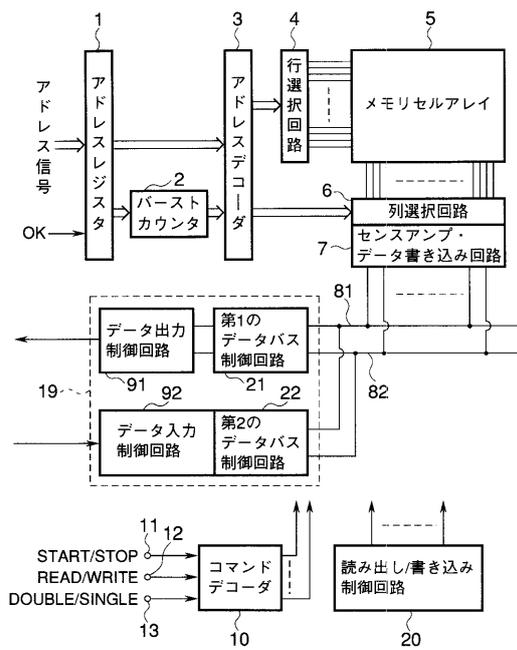
【図30】図26の回路のDDR方式の動作モード時/SDR方式の動作モード時の信号波形の一例を示すタイミング図。

50

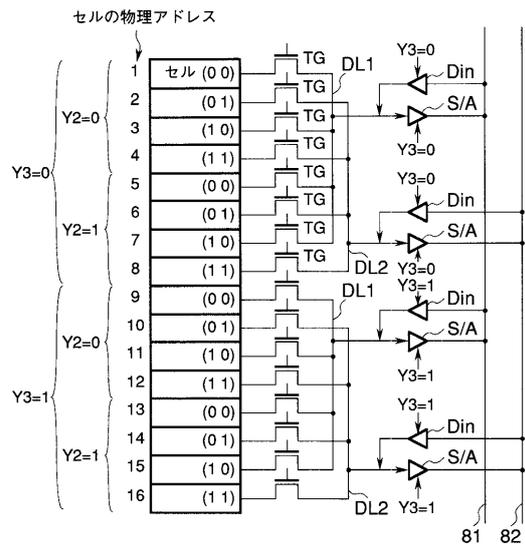
【符号の説明】

- 2 1 ... 第1のデータバス制御回路、
- 8 1 ... 第1のデータバス、
- 8 2 ... 第2のデータバス、
- 9 1 1、 9 1 2 ... データ線センスアンプ、
- 9 1 3、 9 1 4 ... 入力レジスタ、
- 9 1 5、 9 1 6 ... トランスファゲート、
- 9 1 7 ... 出力バッファ。

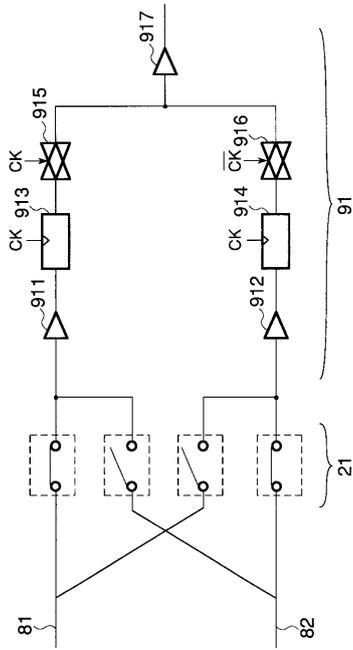
【図1】



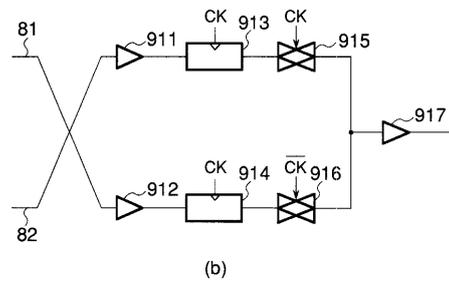
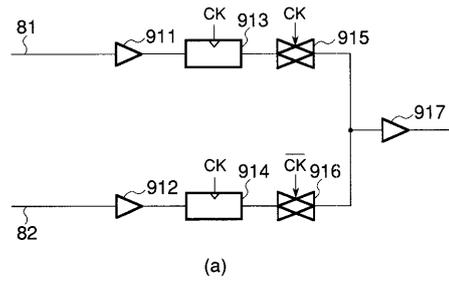
【図2】



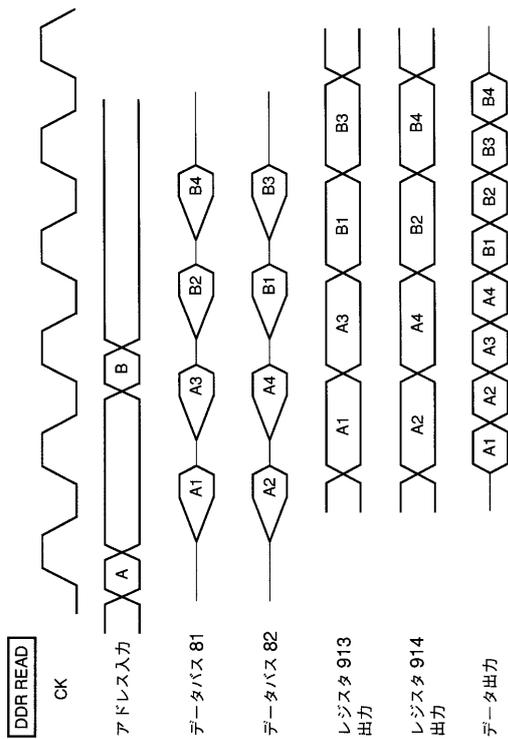
【 図 3 】



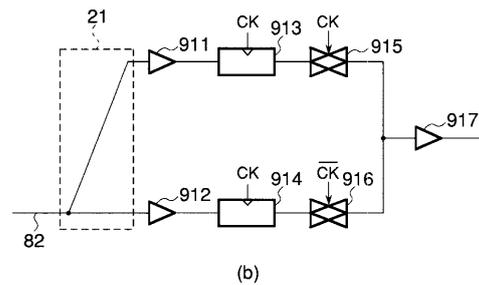
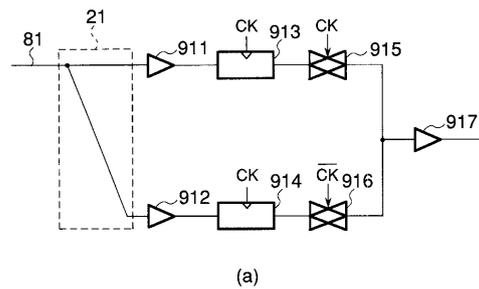
【 図 4 】



【 図 5 】

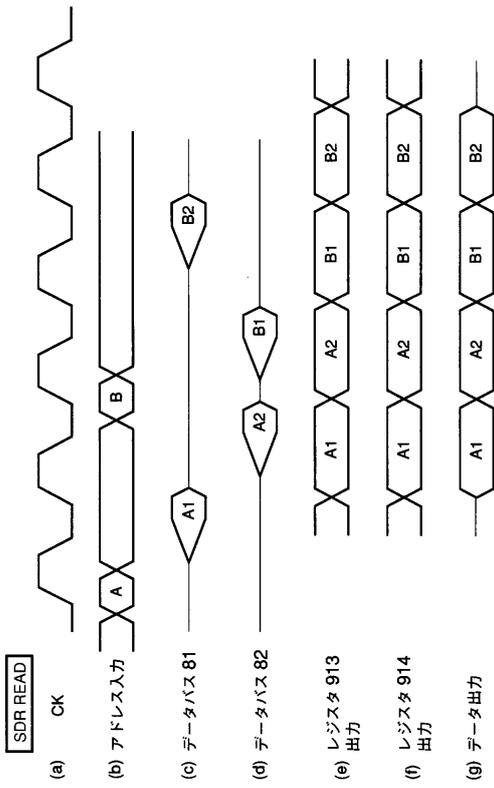


【 図 6 】

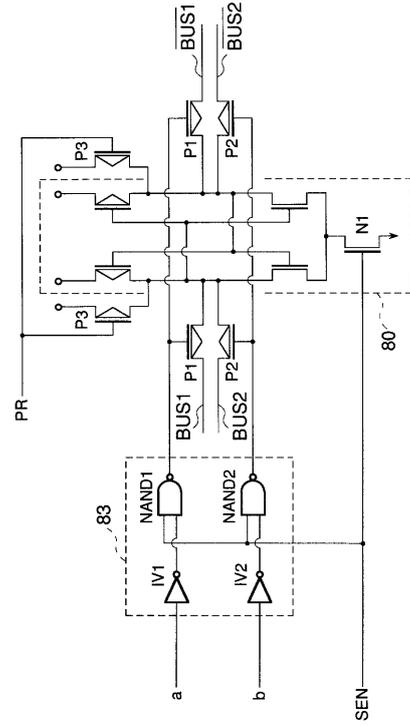


【 図 7 】

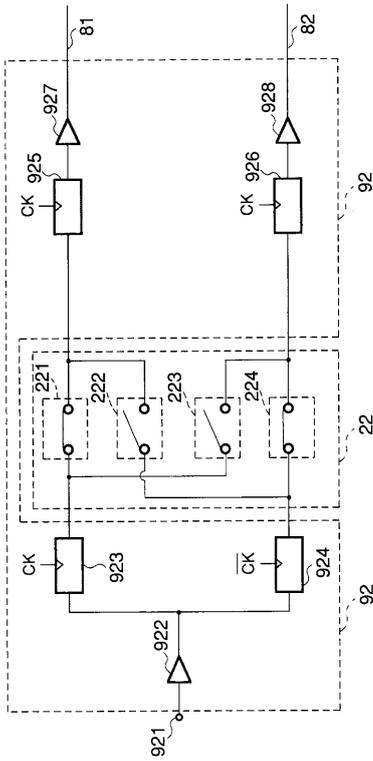
図 7



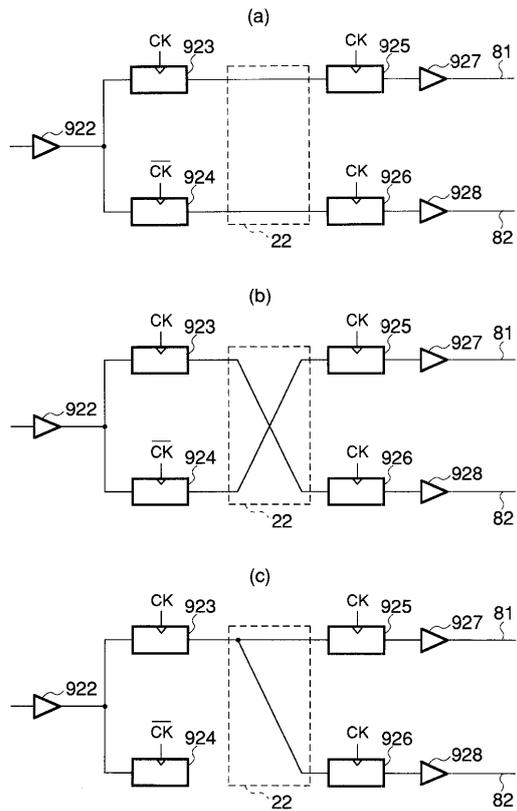
【 図 8 】



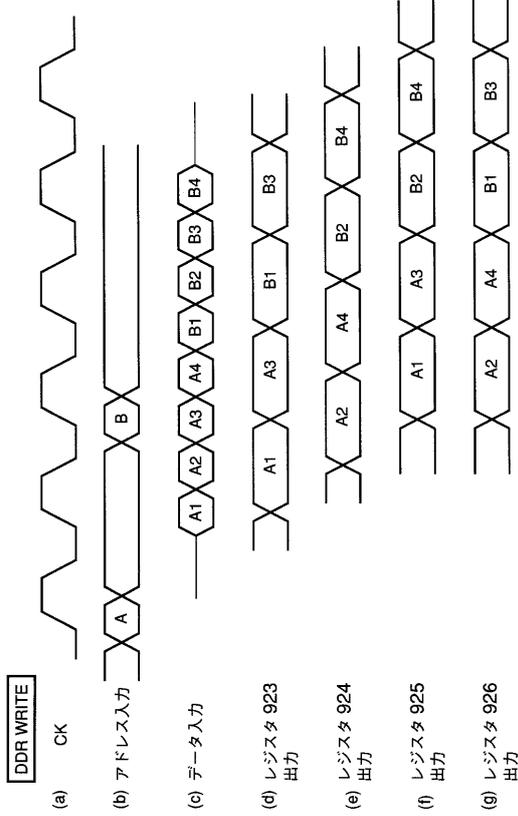
【 図 9 】



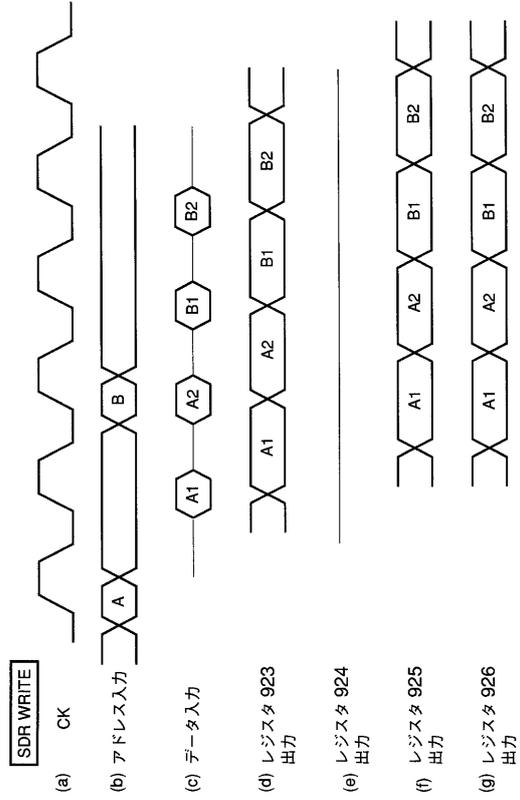
【 図 10 】



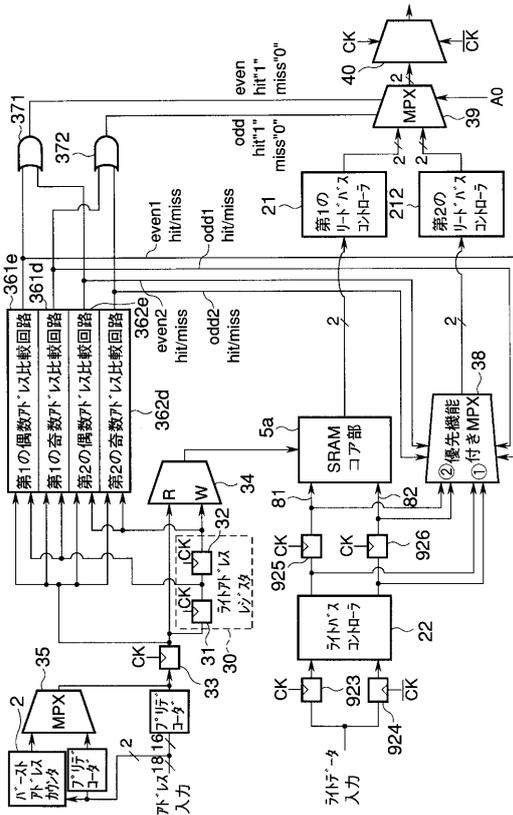
【図 1 1】



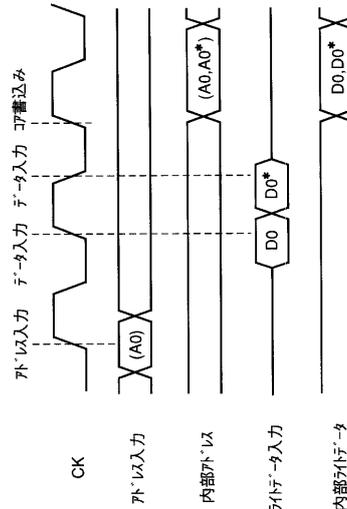
【図 1 2】



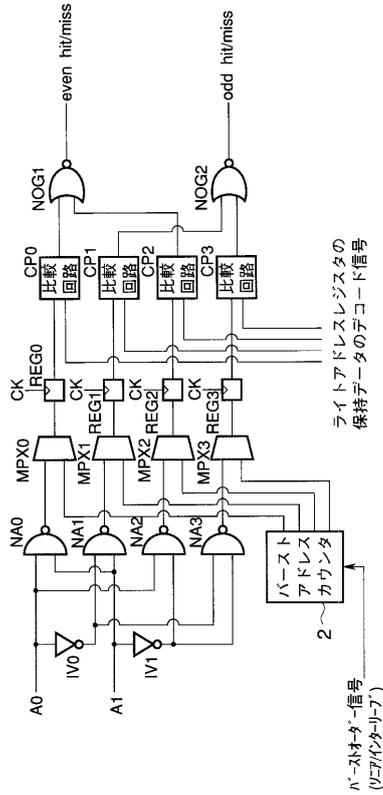
【図 1 3】



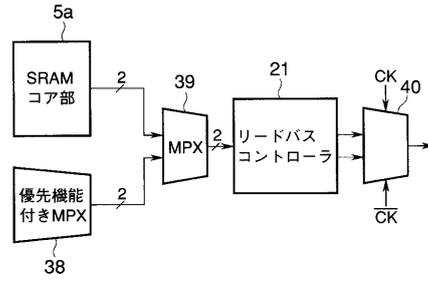
【図 1 4】



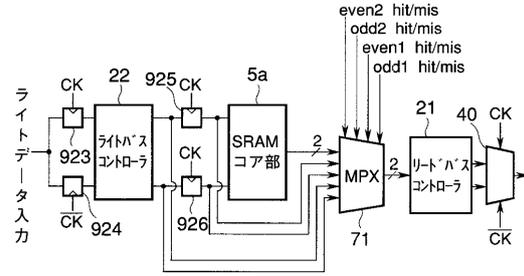
【図15】



【図16】



【図17】



【図18】

リニアモード(SDR方式)

	1	2	3	4	5	...
(A1,A0)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	...
	(0,1) → (1,0)	(1,1) → (0,0)	(0,1) → (1,0)	(1,1) → (0,0)	(0,1) → (1,0)	...
	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	...
	(1,1) → (0,0)	(0,1) → (1,0)	(1,1) → (0,0)	(0,1) → (1,0)	(1,1) → (0,0)	...

【図21】

インターリーブドモード(DDR方式)

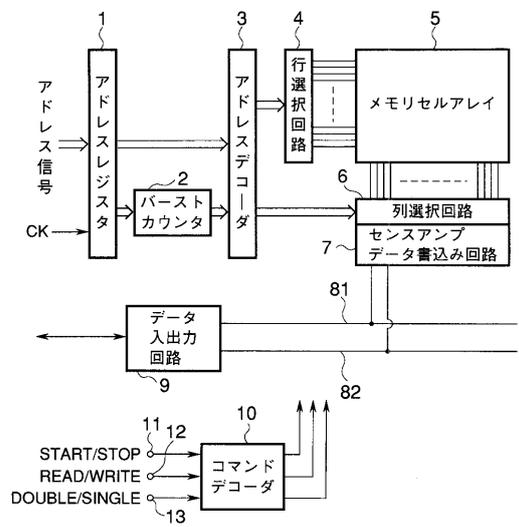
	1	2	3	...
(A1,A0)	(0,0)&(0,1) → (1,0)&(1,1)	(0,0)&(0,1) → (1,0)&(1,1)	(0,0)&(0,1) → (1,0)&(1,1)	...
	(0,1)&(0,0) → (1,1)&(1,0)	(0,1)&(0,0) → (1,1)&(1,0)	(0,1)&(0,0) → (1,1)&(1,0)	...
	(1,0)&(1,1) → (0,0)&(0,1)	(1,0)&(1,1) → (0,0)&(0,1)	(1,0)&(1,1) → (0,0)&(0,1)	...
	(1,1)&(1,0) → (0,1)&(0,0)	(1,1)&(1,0) → (0,1)&(0,0)	(1,1)&(1,0) → (0,1)&(0,0)	...

【図19】

インターリーブドモード(SDR方式)

	1	2	3	4	5	...
(A1,A0)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	...
	(0,1) → (0,0)	(1,1) → (1,0)	(0,1) → (0,0)	(1,1) → (1,0)	(0,1) → (0,0)	...
	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	(0,0) → (0,1)	(1,0) → (1,1)	...
	(1,1) → (1,0)	(0,1) → (0,0)	(1,1) → (1,0)	(0,1) → (0,0)	(1,1) → (1,0)	...

【図22】

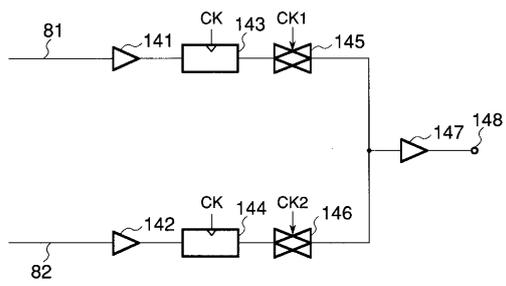


【図20】

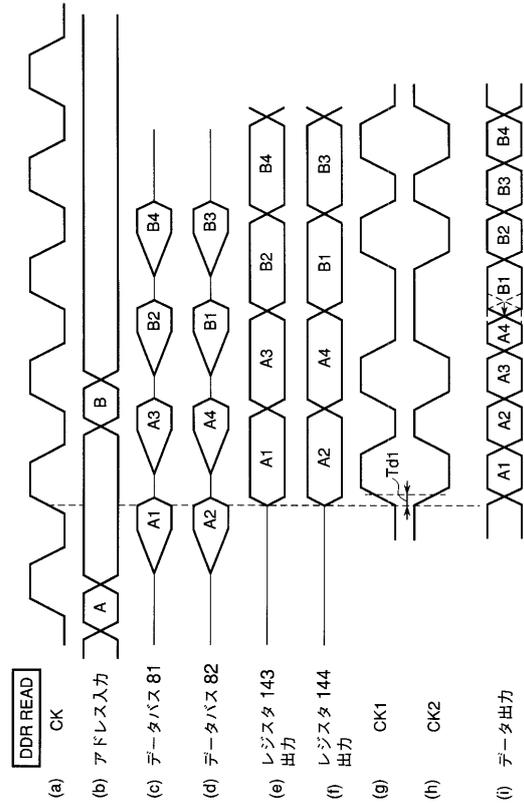
リニアモード(DDR方式)

	1	2	3	...
(A1,A0)	(0,0)&(0,1) → (1,0)&(1,1)	(0,0)&(0,1) → (1,0)&(1,1)	(0,0)&(0,1) → (1,0)&(1,1)	...
	(0,1)&(1,0) → (1,1)&(0,0)	(0,1)&(1,0) → (1,1)&(0,0)	(0,1)&(1,0) → (1,1)&(0,0)	...
	(1,0)&(1,1) → (0,0)&(0,1)	(1,0)&(1,1) → (0,0)&(0,1)	(1,0)&(1,1) → (0,0)&(0,1)	...
	(1,1)&(0,0) → (0,1)&(1,0)	(1,1)&(0,0) → (0,1)&(1,0)	(1,1)&(0,0) → (0,1)&(1,0)	...

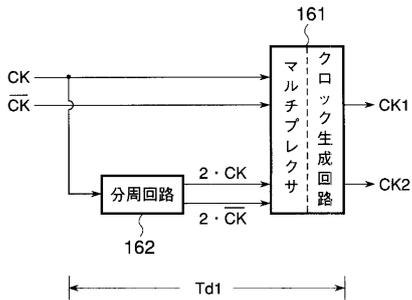
【 図 2 3 】



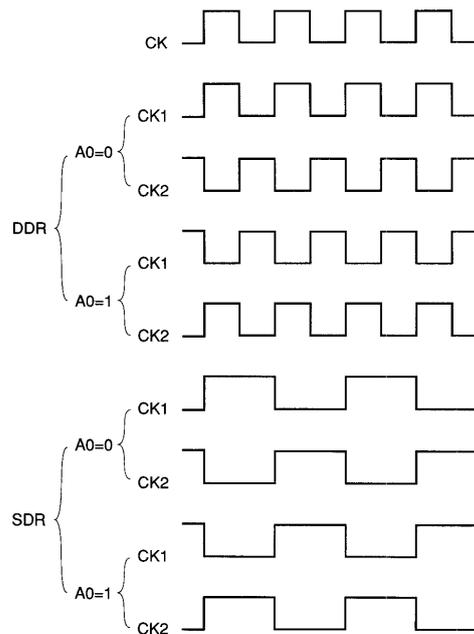
【 図 2 4 】



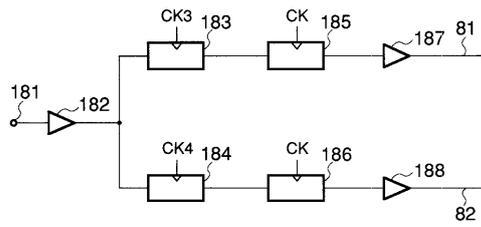
【 図 2 5 】



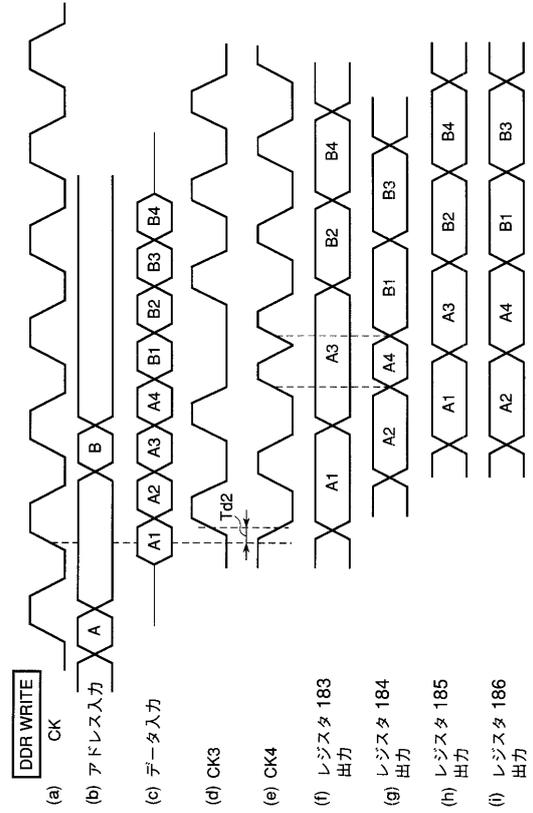
【 図 2 6 】



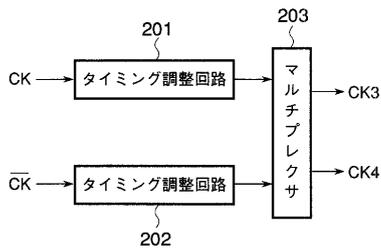
【 図 2 7 】



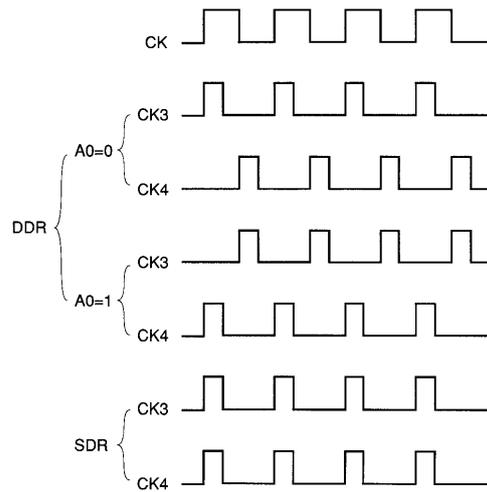
【 図 2 8 】



【 図 2 9 】



【 図 3 0 】



フロントページの続き

- (72)発明者 平林 修
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
- (72)発明者 川澄 篤
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 石川 正二

- (56)参考文献 特開平02-226585(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G11C 11/413

G11C 11/407

G11C 11/41