

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. (45) 공고일자 2006년03월20일
 H01L 21/336 (2006.01) (11) 등록번호 10-0562657
 H01L 21/335 (2006.01) (24) 등록일자 2006년03월13일

(21) 출원번호 10-2004-0115061 (65) 공개번호
 (22) 출원일자 2004년12월29일 (43) 공개일자

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자 유재선
 경기 이천시 중리동 174-4 신한주택 201호
 공필구
 경기 안양시 동안구 부흥동 관악 부영아파트 206-102
 (74) 대리인 특허법인 신성

(56) 선행기술조사문헌 KR1019990048761 A KR1019990055404 A
 KR1020030012642 A
 * 심사관에 의하여 인용된 문헌

심사관 : 정회환

(54) 리세스게이트 및 그를 구비한 반도체장치의 제조 방법

요약

본 발명은 리세스에 매립되는 게이트전극 물질 증착시 보이드를 발생시키지 않으면서 리세스게이트의 높이를 낮출 수 있는 리세스게이트 및 그를 구비한 반도체장치의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체장치의 제조 방법은 실리콘기판을 소정 깊이로 식각하여 리세스패턴을 형성하는 단계, 상기 리세스패턴을 포함한 상기 실리콘기판 표면 상에 게이트절연막을 형성하는 단계, 상기 게이트절연막 상에 상기 리세스패턴의 프로파일을 따라 게이트폴리실리콘막을 형성하는 단계, 상기 게이트폴리실리콘막 상에 상기 리세스패턴의 내부를 매립하도록 게이트메탈막을 형성하는 단계, 상기 게이트메탈막 상에 게이트하드마스크를 형성하는 단계, 및 상기 게이트하드마스크, 게이트메탈막 및 게이트폴리실리콘막을 식각하여 하부가 상기 리세스패턴에 매립되는 구조를 갖는 리세스게이트를 형성하는 단계를 포함한다.

대표도

도 3e

색인어

리세스게이트, 게이트메탈막, 게이트폴리실리콘막, 리세스패턴, 보이드

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래기술에 따른 리세스게이트의 제조 방법을 도시한 공정 단면도,

도 1d는 종래기술에 따른 플러그분리산화막의 식각멈춤 현상을 나타낸 도면,

도 2는 본 발명의 실시예에 따른 리세스게이트를 갖는 반도체장치의 구조를 도시한 구조 단면도,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 리세스게이트를 갖는 반도체장치의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 실시예에 따른 리세스게이트를 적용한 반도체장치의 콘택홀 형성 방법을 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명

21 : 실리콘기판 22 : 패드산화막

23 : 하드마스크폴리실리콘막 25 : 리세스패턴

26 : 게이트절연막 27 : 게이트폴리실리콘막

28 : 게이트메탈막 29 : 게이트하드마스크

200 : 리세스게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치 제조 기술에 관한 것으로, 특히 리세스게이트를 구비한 반도체장치의 제조 방법에 관한 것이다.

반도체장치의 제조에 있어서 일반적인 게이트배선 제조 방법은 평탄한 활성영역 위에 형성하는 방법을 채택하고 있는데, 이러한 방법은 패턴 크기의 축소화에 의해 게이트채널길이가 점점 작아지고 이온주입 도핑농도가 증가함에 따라 초래되는 전기장(Electric field) 증가에 의해 접합누설(Junction leakage)이 발생하여 반도체장치의 리프레시 특성을 확보하기가 어렵다.

이를 개선하기 위한 게이트배선 제조 방법으로 활성영역을 일부 리세스 식각한 후 게이트를 형성하는 리세스 게이트 (Recess Gate; R-Gate) 공정이 제안되었다.

위와 같은 리세스 게이트 공정을 적용하면 채널길이 증가 및 이온주입도핑농도 감소가 가능하여 반도체장치의 리프레시 특성이 크게 개선되는 것으로 알려져 있다.

도 1a 내지 도 1c는 종래기술에 따른 리세스게이트의 제조 방법을 도시한 공정 단면도이다.

도 1a에 도시된 바와 같이, 실리콘기판(11)을 소정 깊이로 식각하여 리세스패턴(12)을 형성한다.

도 1b에 도시된 바와 같이, 리세스패턴(12)을 포함한 실리콘기판(11)의 표면 상에 게이트절연막(13)을 형성한다.

이어서, 게이트절연막(13) 상에 리세스패턴(12)을 채울때까지 게이트폴리실리콘막(14)을 증착하고, 연속해서 게이트폴리실리콘막(14) 상에 게이트메탈막(15)과 게이트하드마스크(16)를 순서대로 적층한다. 여기서, 게이트메탈막(15)은 텅스텐 시리사이드 또는 텅스텐막으로 형성하여 리세스게이트의 시트저항을 낮추고, 게이트하드마스크(16)는 실리콘질화막으로 형성한다.

도 1c에 도시된 바와 같이, 게이트패터닝 공정을 진행하여 게이트폴리실리콘막(14), 게이트메탈막(15) 및 게이트하드마스크(16)의 순서로 적층되는 리세스게이트(100)를 형성한다.

전술한 바와 같이, 종래기술은 자신의 하부가 리세스패턴(12)에 매립되고 나머지는 실리콘기판(11)의 표면 위로 돌출되는 리세스게이트(100)를 형성하고 있다.

그러나, 종래기술은 리세스패턴(12)에 게이트폴리실리콘막(14)을 증착할 때 리세스패턴(12)의 중횡비(Aspect ratio)에 의해 게이트폴리실리콘막(14)을 보이드없이 매립하기가 어렵다.

이를 해결하기 위해 게이트폴리실리콘막(14)의 두께를 증가시키는 경우에는 리세스 게이트(100)의 높이가 현저하게 증가하게 되어 후속 콘택플러그를 형성하기 위한 콘택홀 식각시 리세스 게이트(100)의 높이 증가에 따라 플러그분리산화막의 식각이 어렵게 되는 문제를 초래한다.

도 1d는 종래기술에 따른 플러그분리산화막의 식각멈춤 현상을 나타낸 도면이다.

도 1d에 도시된 바와 같이, 도 1c에서 잔류하고 있는 리세스게이트(100)를 포함한 전면에 실리콘질화막으로 이루어지는 게이트스페이서(17)를 형성하고, 게이트스페이서(17) 상에 플러그분리막 역할을 하는 층간절연막(18)을 형성한다.

이어서, 층간절연막(18)을 자기정렬콘택 식각 공정으로 식각하여 리세스 게이트(100) 사이의 실리콘 기판(11) 표면을 오픈시키는 콘택홀(19)을 형성한다.

그러나, 상기 콘택홀(19) 형성시에 리세스게이트(100)의 높이가 매우 높아 식각해야될 층간절연막(18)의 두께가 증가하여 콘택홀(19)이 오픈되지 않는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 리세스에 매립되는 게이트전극 물질 증착시 보이드를 발생시키지 않으면서 리세스게이트의 높이를 낮출 수 있는 리세스게이트 및 그를 구비한 반도체장치의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체장치의 리세스게이트는 실리콘기판, 상기 실리콘기판의 소정 부분에 소정 깊이 이를 갖고 형성된 리세스패턴, 상기 리세스패턴의 표면에 형성된 게이트절연막, 상기 게이트절연막의 표면 상에 형성된 게이트폴리실리콘막, 상기 게이트폴리실리콘막 표면 상에 형성되며 상기 리세스패턴을 매립하도록 형성된 게이트메탈막, 및 상기 게이트메탈막 상에 형성된 게이트하드마스크를 포함하는 것을 특징으로 하며, 상기 게이트폴리실리콘막은 100Å ~ 1000Å 두께인 것을 특징으로 하고, 상기 게이트메탈막은 텅스텐실리사이드, 텅스텐, 코발트실리사이드 또는 티타늄실리사이드 중에서 선택되는 것을 특징으로 하며, 상기 게이트메탈막은 500Å ~ 1500Å 두께인 것을 특징으로 한다.

그리고, 본 발명의 반도체장치의 제조 방법은 실리콘기판을 소정 깊이로 식각하여 리세스패턴을 형성하는 단계, 상기 리세스패턴을 포함한 상기 실리콘기판 표면 상에 게이트절연막을 형성하는 단계, 상기 게이트절연막 상에 상기 리세스패턴의 프로파일을 따라 게이트폴리실리콘막을 형성하는 단계, 상기 게이트폴리실리콘막 상에 상기 리세스패턴의 내부를 매립하도록 게이트메탈막을 형성하는 단계, 상기 게이트메탈막 상에 게이트하드마스크를 형성하는 단계, 및 상기 게이트하드마스크, 게이트메탈막 및 게이트폴리실리콘막을 식각하여 하부가 상기 리세스패턴에 매립되는 구조를 갖는 리세스게이트를 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 리세스패턴을 형성하는 단계는 상기 실리콘기판 상에 하드마스크폴리실리콘막을 형성하는 단계, 상기 하드마스크폴리실리콘막 상에 리세스마스크패턴을 형성하는 단계, 상기 리세스마스크패턴을 식각배리어로 상기 하드마스크폴리실리콘막을 식각하는 단계, 상기 하드마스크폴리실리콘막을 식각배리어로 상기 실리콘기판을 소정 깊이로 식각하는 리세스패턴을 형성하는 단계, 및 상기 리세스패턴에 대해 추가 식각을 진행하여 상기

리세스패턴의 식각프로파일을 둥근 형태로 바꾸는 단계를 포함하는 것을 특징으로 하고, 상기 추가 식각은 CF/O₂ 플라즈마를 이용하여 진행하는 것을 특징으로 하며, 상기 리세스패턴을 형성하는 단계는 ICP, DPS, ECR 또는 MERIE를 플라즈마소스로 하는 식각장비에서 진행하되, 식각가스로 Cl₂, O₂, HBr, Ar의 혼합가스를 사용하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 리세스게이트를 갖는 반도체장치의 구조를 도시한 구조 단면도이다.

도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체장치의 리세스게이트(200)는 실리콘기판(21), 실리콘기판(21)의 소정 부분에 소정 깊이를 갖고 형성된 리세스패턴(25), 리세스패턴(25)의 표면에 형성된 게이트절연막(26), 게이트절연막(26)의 표면 상에 형성된 게이트폴리실리콘막(27), 게이트폴리실리콘막(27) 표면 상에 형성되며 리세스패턴(25)을 매립하도록 형성된 게이트메탈막(28), 게이트메탈막(28) 상에 형성된 게이트하드마스크(29)로 구성된다.

도 2에서, 리세스게이트(200)를 구성하는 게이트폴리실리콘막(27)은 게이트절연막(26) 표면 상에서 리세스패턴(25)의 프로파일을 따라 얇게 증착한 것이고, 게이트메탈막(28)은 게이트폴리실리콘막(27)의 표면 상에서 게이트폴리실리콘막과 넓은 접촉면적을 갖고 리세스패턴을 매립하도록 형성된 것이다.

위와 같이, 게이트폴리실리콘막(27)과 게이트메탈막(28)을 얇게 형성하므로써 전체적으로 리세스게이트(200)의 높이를 낮춘다. 그리고, 게이트메탈막(28)이 게이트폴리실리콘막(27)과 넓은 접촉면적을 갖고 접촉하므로 비록 얇게 형성되었다고는 하지만 리세스게이트(200)의 배선저항을 낮출 수 있다.

도 2와 같은 리세스게이트(200)에서, 게이트메탈막(28)은 텅스텐실리사이드, 텅스텐, 코발트실리사이드 또는 티타늄실리사이드 중에서 선택되며, 그 두께는 500Å ~ 1500Å 두께이다.

그리고, 게이트메탈막(28) 아래의 게이트폴리실리콘막(27)은 100Å ~ 1000Å 두께이다.

그리고, 리세스패턴(25)은 전체적으로 프로파일이 매우 둥글게 형성되어 있다.

도 3a 내지 도 3e는 본 발명의 실시예에 따른 리세스게이트를 갖는 반도체장치의 제조 방법을 도시한 공정 단면도이다.

도 3a에 도시된 바와 같이, 실리콘기판(21) 상에 패드산화막(22)을 형성한 후, 패드산화막(22) 상에 하드마스크폴리실리콘막(23)을 형성한다. 이때, 패드산화막(22)은 도시되지 않은 소자분리막 공정시 사용한 통상적인 패드산화막이다. 일반적으로 소자분리막은 STI(Shallow Trench Isolation) 공정을 이용하여 형성하는데, 이때 패드산화막을 도입하고 있다.

그리고, 하드마스크폴리실리콘막(23)은 후속 리세스패턴을 형성하기 위한 식각시 식각배리어 역할을 하는 것으로, 1000Å ~ 5000Å의 두께로 형성한다.

이어서, 하드마스크폴리실리콘막(23) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 리세스마스크패턴(Recess Mask, 24)을 형성한 후, 리세스마스크패턴(24)을 식각배리어로 하드마스크폴리실리콘막(23)을 식각한다.

도 3b에 도시된 바와 같이, 하드마스크폴리실리콘막(23) 식각후 남아 있는 리세스마스크패턴(24)을 스트립한 후, 하드마스크폴리실리콘막(23)을 식각배리어로 패드산화막(22)을 식각한다.

연속해서, 하드마스크폴리실리콘막(23)을 식각배리어로 패드산화막(22) 식각후 노출된 실리콘기판(21)을 소정 깊이로 식각하여 리세스패턴(25)을 형성한다. 이때, 리세스패턴(25)을 형성하기 위한 식각공정시에 실리콘기판(21)과 동일하게 실리콘 물질인 하드마스크폴리실리콘막(23)은 모두 소모되어 제거된다.

상기와 같은 리세스패턴(25)을 형성하기 위한 식각 공정은, ICP, DPS, ECR 또는 MERIE 를 플라즈마소스로 하는 식각장비에서 진행하고, 이때 식각가스는 Cl₂, O₂, HBr, Ar의 혼합가스를 사용한다. 여기서, Cl₂, HBr, Ar은 10sccm ~ 100sccm 유량으로 흘러주고, O₂는 1sccm ~ 20sccm의 유량으로 흘러주며, 바텀파워(Bottom power)는 50W ~ 400W, 압력은 5mtorr ~ 50mtorr의 범위로 한다.

전술한 바와 같이 리세스패턴(25)을 형성한 후에는 리세스패턴의 식각프로파일이 각이 진 형태를 가지므로, 추가로 LET (Light Etch Treatment) 공정을 진행하여, 리세스패턴(25)의 식각프로파일을 둥근 모양으로 바꾸어 준다.

여기서, LET 공정은 CF/O₂ 플라즈마를 이용하여 진행하고, 이처럼 LET 공정을 진행해주면 리세스패턴(25)을 형성하기 위한 식각공정시 실리콘기판(21)이 받은 플라즈마손상을 완화시키는 부가적인 효과도 얻을 수 있다. 또한, 소자분리막과 리세스패턴(25)의 경계지역에서 발생하는 것으로 알려진 뿔(Horn)을 감소시키는 효과도 얻는다.

도 3c에 도시된 바와 같이, 패드산화막(22)을 제거한다. 이때, 패드산화막(22)은 불산(HF) 용액 또는 BOE(Buffered Oxide Etchant, NH₄F+H₂O₂+H₂O) 용액을 이용하여 제거한다.

이어서, 리세스패턴(25)을 포함한 실리콘기판(21)의 표면 상에 게이트절연막(26)을 형성한다.

계속해서, 게이트절연막(26) 상에 리세스패턴(25)의 표면 프로파일을 따라 얇은 두께로 게이트폴리실리콘막(27)을 증착한다. 이때, 게이트폴리실리콘막(27)은 리세스패턴(25)을 채우지 않고 리세스패턴(25)의 표면 프로파일을 따라 증착하는데, 바람직하게 100Å~1000Å 두께로 증착한다.

도 3d에 도시된 바와 같이, 게이트폴리실리콘막(27) 상에 리세스패턴(25)을 모두 채울때까지 게이트메탈막(28)을 증착한 후, 게이트메탈막(28) 상에 게이트하드마스크(29)를 형성한다.

여기서, 게이트메탈막(28)은 리세스패턴(25) 내부에 매립될 정도의 두께로 증착하는데, 이는 얇은 두께로 게이트메탈막(28)을 증착하여도 게이트폴리실리콘막(27)과 접촉하는 게이트메탈막(28)의 접촉면적이 매우 넓어지므로 리세스게이트의 배선저항을 충분히 낮게 확보할 수 있기 때문이다. 따라서, 게이트메탈막(28)은 500Å~1500Å 두께로 증착한다.

예를 들어, 게이트메탈막(28)은 텅스텐실리사이드, 텅스텐, 코발트실리사이드 또는 티타늄실리사이드 중에서 선택된다.

그리고, 게이트하드마스크(29)는 실리콘질화막(Si₃N₄)으로 형성한다.

다음으로, 게이트하드마스크(29) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 게이트마스크패턴(30)을 형성한 후, 게이트마스크패턴(30)을 식각배리어로 게이트하드마스크(29)를 식각한다.

도 3e에 도시된 바와 같이, 게이트마스크패턴(30)을 제거한 후, 게이트하드마스크(29)를 식각배리어로 게이트메탈막(28) 및 게이트폴리실리콘막(27)을 차례로 식각하여 리세스게이트(200)를 형성한다.

위와 같은 리세스게이트(200)를 살펴보면, 리세스패턴(25)의 내부에 자신의 하부가 일부 매립되고 나머지 상부는 실리콘기판(21)의 표면 위로 돌출되는 구조를 갖고, 리세스게이트(200) 아래에 정의되는 채널영역의 채널길이가 증가하고 있음을 알 수 있다.

리세스게이트(200)를 형성하기 위한 게이트패터닝 공정에서 게이트메탈막(28)의 식각 공정은 메인식각공정과 과도식각으로 구분하는데, 메인식각공정은 ICP, DPS 또는 ECR를 플라즈마소스로 사용하는 고밀도플라즈마(High Density Plasma; HDP) 식각장비에서 진행하는데, 이때 식각가스는 BCl₃, CF계 가스, NF계 가스, SF계 가스(10sccm~50sccm)를 사용하거나 또는 Cl₂(50sccm~200sccm)를 사용하고, 또는 이들 가스를 혼합하여 사용한다.

위와 같은 게이트메탈막(28)의 식각 공정 중에서 ICP 또는 DPS를 플라즈마소스로 사용하는 고밀도플라즈마 식각장비에서의 게이트패터닝 공정은, 리세스게이트(200)의 식각모양이 수직 단면 모양을 갖도록 소스파워를 500W~2000W 범위로 하고, O₂(1sccm~20sccm), N₂(1sccm~1090sccm), Ar(50sccm~200sccm), He(50sccm~20sccm)를 단독으로 첨가하거나 이들 가스를 혼합하여 첨가한다.

그리고, ECR을 플라즈마소스로 사용하는 고밀도플라즈마식각장비에서의 게이트패터닝 공정은 리세스게이트(200)의 식각모양이 수직단면 모양을 갖도록 마이크로웨이브 파워(Microwave power)를 1000W~3000W 범위로 하고 O₂ (1sccm~20sccm), N₂(1sccm~1090sccm), Ar(50sccm~200sccm), He(50sccm~20sccm)를 단독으로 첨가하거나 이들 가스를 혼합하여 첨가한다.

위와 같은 게이트메탈(28)의 식각 공정은 고밀도플라즈마 식각장비를 이용한 메인식각후에 게이트메탈막(28)을 과도식각을 수반하는데, 과도식각시 얇은 게이트폴리실리콘막(27) 하부의 게이트절연막(26)이 드러나도 게이트절연막(26)이 손상되는 현상을 유발시키지 않도록 산화막에 고선택비 조건을 갖는 Cl₂/N₂의 혼합플라즈마 또는 Cl₂/N₂의 혼합가스에 O₂, He이 첨가된 플라즈마를 사용하여 진행한다. 여기서, Cl₂는 20sccm~150sccm 범위의 유량을 갖고, N₂는 10sccm~100sccm 범위의 유량을 갖는다.

그리고, 리세스게이트(200)를 형성하기 위한 게이트폴리실리콘막(27)의 식각공정은, ICP, DPS, ECR를 플라즈마소스로 사용하는 고밀도플라즈마 식각장비에서 진행하는데, 식각가스는 HBr과 산소(O₂)의 혼합 플라즈마를 사용하여 게이트메탈막(28) 및 게이트절연막(26)의 소모는 거의 없이 게이트폴리실리콘막(27)만 선택적으로 식각하도록 한다. 이와 같은 조건으로 게이트폴리실리콘막만 선택적으로 식각하면 게이트메탈막(28) 아래에서 게이트폴리실리콘막(27)의 양측면이 언더컷(Undercut) 구조로 형성된다.

이러한 언더컷 구조를 위한 식각조건을 살펴보면, ICP, DPS를 플라즈마소스로 사용하는 고밀도플라즈마 식각장비에서는 소스파워를 500W~2000W 범위로 하고, HBr의 유량을 50sccm~200sccm, O₂의 유량을 2sccm~20sccm 범위로 한다.

그리고, 언더컷 구조를 위해 ECR을 플라즈마소스로 사용하는 고밀도플라즈마식각장비에서는 마이크로웨이브 파워(Microwave power)를 1000W~3000W 범위로 하고, HBr의 유량을 50sccm~200sccm 범위로 하며, O₂의 유량을 2sccm~20sccm 범위로 한다.

도 1c에 도시된 종래기술의 리세스게이트(100)과 도 3e에 도시된 본 발명의 리세스게이트를 비교하기로 한다.

먼저, 게이트폴리실리콘막의 두께를 비교해 보면, 종래기술의 게이트폴리실리콘막(14)은 리세스패턴을 채우도록 두껍게 형성되어 'd1'의 두께를 갖지만, 본 발명의 게이트폴리실리콘막(27)은 리세스패턴(25)을 채우지 않는 얇은 두께(d12)로 형성하므로 종래기술의 게이트폴리실리콘막에 비해 두께가 얇다.

그리고, 게이트메탈막의 두께를 비교해 보면, 종래기술의 게이트메탈막(15)은 게이트폴리실리콘막과의 접촉면적이 작기 때문에 리세스게이트의 배선저항을 낮추도록 두께가 매우 두꺼워 'd2'의 두께를 갖지만, 본 발명의 게이트메탈막(28)은 리세스패턴을 채울 정도의 얇은 두께로 증착하여도 리세스게이트의 배선저항을 낮출 수 있으므로 종래 게이트메탈막의 두께에 비해 얇은 'd12'의 두께를 갖는다.

마지막으로, 게이트하드마스크의 두께는 종래기술과 본 발명에서 모두 동일하다.

전술한 바와 같이, 본 발명의 리세스게이트는 게이트폴리실리콘막과 게이트메탈막의 두께를 얇게 하여 리세스패턴에 매립되는 게이트물질을 보이드없이 증착할 수 있으며, 또한 전체적으로 리세스게이트의 높이를 낮추므로써 후속 콘택플러그를 형성하기 위한 콘택홀 식각시 플러그분리산화막의 식각이 용이하다.

도 4는 본 발명의 실시예에 따른 리세스게이트를 적용한 반도체장치의 콘택홀 형성 방법을 도시한 도면이다.

도 4에 도시된 바와 같이, 도 3e에서 잔류하고 있는 리세스게이트(200)를 포함한 전면에 실리콘질화막으로 이루어지는 게이트스페이서(31)를 형성하고, 게이트스페이서(31) 상에 플러그분리막 역할을 하는 층간절연막(32)을 형성한다.

이어서, 층간절연막(32)을 자기정렬콘택 식각 공정으로 식각하여 리세스 게이트(200) 사이의 실리콘 기판(21) 표면을 오픈시키는 콘택홀(33)을 형성한다. 이때, 자기정렬콘택 식각은 미도시된 콘택마스크를 식각배리어로 이용하여 층간절연막(32)을 먼저 식각한 후 게이트스페이서(31)를 식각하는 순서로 진행한다.

상기 자기정렬콘택 식각공정시, 질화막 물질로 형성한 게이트하드마스크(29) 및 게이트스페이서(31)에 대하여 고선택적 식각이 가능하도록 식각가스로 C_2F_6 , C_2F_4 , C_3F_6 , C_3F_8 , C_4F_8 , C_5F_8 , C_5F_{10} 또는 C_2HF_5 중에서 선택되는 다량의 폴리머를 유발하는 과탄소 함유 가스를 사용한다.

또한, 게이트하드마스크(29) 및 게이트스페이서(31)에 대한 선택비를 증가시키고 식각공정 윈도우(Window)를 증가시켜 재현성있는 식각공정을 확보하기 위해서 수소를 포함하는 가스를 위 식각가스들과 혼합하여 사용한다. 이때, 수소를 포함하는 가스로는 CHF_3 , CH_2F_2 , CH_3F , CH_2 , CH_4 , C_2H_4 또는 H_2 중에서 선택하여 사용하거나, 또는 $C_xH_yF_z$ ($x \geq 2$, $y \geq 2$, $z \geq 2$)계 가스를 사용한다.

그리고, 층간절연막(32) 식각시 플라즈마 안정 및 스퍼터링 효과를 증가시켜 식각멈춤 현상이 발생하는 것을 방지하기 위하여 불활성 가스를 상기한 혼합가스에 추가로 혼합하여 사용한다. 이때, 불활성 가스로는 He, Ne, Ar 또는 Ze 중에서 선택하여 사용한다.

도 4에서 살펴 본 바와 같이, 본 발명은 리세스게이트(200)의 높이를 낮추므로써 자기정렬콘택식각 공정시 식각멈춤현상이 방지되어 콘택홀오픈불량이 발생하지 않는다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 리세스게이트의 높이를 낮추면서도 배선저항을 감소시킬 수 있어 리세스게이트를 갖는 반도체장치 제조시 리프्रेस 특성 향상을 향상시킬 수 있는 효과가 있다.

또한, 리세스게이트의 높이를 낮추므로써 후속 자기정렬콘택 식각 공정을 통해 콘택홀을 형성할 때 식각멈춤에 따른 콘택 오픈불량을 방지하여 수율을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

실리콘기판;

상기 실리콘기판의 소정 부분에 소정 깊이를 갖고 형성된 리세스패턴;

상기 리세스패턴의 표면에 형성된 게이트절연막;

상기 게이트절연막의 표면 상에 형성된 게이트폴리실리콘막;

상기 게이트폴리실리콘막 표면 상에 형성되며 상기 리세스패턴을 매립하도록 형성된 게이트메탈막; 및

상기 게이트메탈막 상에 형성된 게이트하드마스크

를 포함하는 반도체장치의 리세스게이트.

청구항 2.

제1항에 있어서,

상기 게이트폴리실리콘막은,

100Å ~ 1000Å 두께인 것을 특징으로 하는 반도체장치의 리세스게이트.

청구항 3.

제1항에 있어서,

상기 게이트메탈막은,

텅스텐실리사이드, 텅스텐, 코발트실리사이드 또는 티타늄실리사이드 중에서 선택되는 것을 특징으로 하는 반도체장치의 리세스게이트.

청구항 4.

제3항에 있어서,

상기 게이트메탈막은,

500Å ~ 1500Å 두께인 것을 특징으로 하는 반도체장치의 리세스게이트.

청구항 5.

제1항에 있어서,

상기 리세스패턴은,

표면 프로파일이 전체적으로 둥근 형태를 갖는 것을 특징으로 하는 반도체장치의 리세스게이트.

청구항 6.

실리콘기판을 소정 깊이로 식각하여 리세스패턴을 형성하는 단계;

상기 리세스패턴을 포함한 상기 실리콘기판 표면 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 상기 리세스패턴의 프로파일을 따라 게이트폴리실리콘막을 형성하는 단계;

상기 게이트폴리실리콘막 상에 상기 리세스패턴의 내부를 매립하도록 게이트메탈막을 형성하는 단계;

상기 게이트메탈막 상에 게이트하드마스크를 형성하는 단계; 및

상기 게이트하드마스크, 게이트메탈막 및 게이트폴리실리콘막을 식각하여 하부가 상기 리세스패턴에 매립되는 구조를 갖는 리세스게이트를 형성하는 단계

를 포함하는 반도체장치의 제조방법.

청구항 7.

제6항에 있어서,

상기 리세스패턴을 형성하는 단계는,

상기 실리콘기판 상에 하드마스크폴리실리콘막을 형성하는 단계;

상기 하드마스크폴리실리콘막 상에 리세스마스크패턴을 형성하는 단계;

상기 리세스마스크패턴을 식각배리어로 상기 하드마스크폴리실리콘막을 식각하는 단계;

상기 하드마스크폴리실리콘막을 식각배리어로 상기 실리콘기판을 소정 깊이로 식각하는 리세스패턴을 형성하는 단계; 및

상기 리세스패턴에 대해 추가 식각을 진행하여 상기 리세스패턴의 식각프로파일을 둥근 형태로 바꾸는 단계

를 포함하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 8.

제7항에 있어서,

상기 추가 식각은,

CF/O₂ 플라즈마를 이용하여 진행하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 9.

제7항에 있어서,

상기 리세스패턴을 형성하는 단계는,

ICP, DPS, ECR 또는 MERIE를 플라즈마소스로 하는 식각장비에서 진행하되, 식각가스로 Cl₂, O₂, HBr, Ar의 혼합가스를 사용하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10.

제6항에 있어서,

상기 게이트폴리실리콘막은,

100Å~1000Å 두께로 형성하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 11.

제6항에 있어서,

상기 게이트메탈막은,

텅스텐실리사이드, 텅스텐, 코발트실리사이드 또는 티타늄실리사이드로 형성하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 12.

제11항에 있어서,

상기 게이트메탈막은,

500Å ~ 1500Å 두께로 형성하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 13.

제6항에 있어서,

상기 리세스게이트를 형성하는 단계는,

상기 게이트하드마스크를 식각하는 단계;

상기 게이트하드마스크를 식각배리어로 상기 게이트메탈막을 메인식각과 과도식각으로 구분하여 식각하는 단계; 및

상기 게이트폴리실리콘막을 식각하는 단계

를 포함하는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 14.

제13항에 있어서,

상기 리세스게이트를 형성하는 단계는,

ICP, DPS, ECR 또는 MERIE를 플라즈마소스로 하는 식각장비에서 진행되는 것을 특징으로 하는 반도체장치의 제조 방법.

청구항 15.

제13항에 있어서,

상기 게이트메탈막을 과도식각하는 단계는,

Cl₂/N₂의 혼합플라즈마 또는 Cl₂/N₂의 혼합가스에 O₂, He이 첨가된 플라즈마를 사용하여 진행하는 것을 특징으로 하는 반도체장치의 제조 방법.

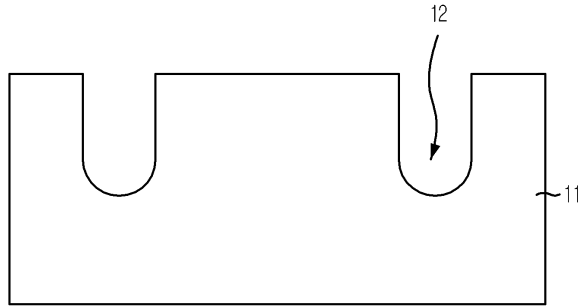
청구항 16.

제15항에 있어서,

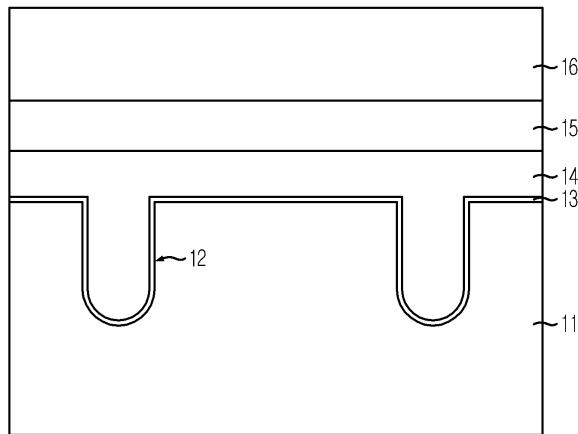
상기 Cl₂는 20sccm~150sccm 범위의 유량을 갖고, 상기 N₂는 10sccm~100sccm 범위의 유량을 갖는 것을 특징으로 하는 반도체장치의 제조 방법.

도면

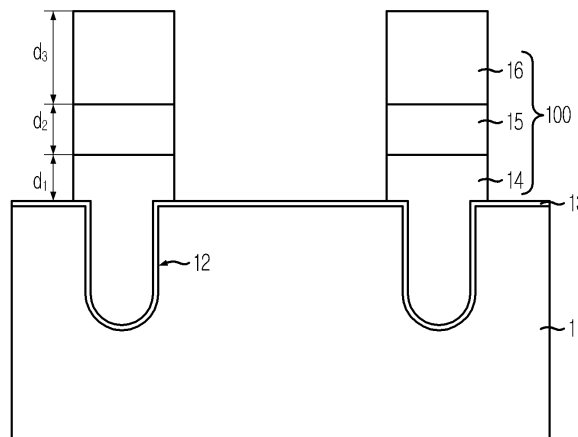
도면1a



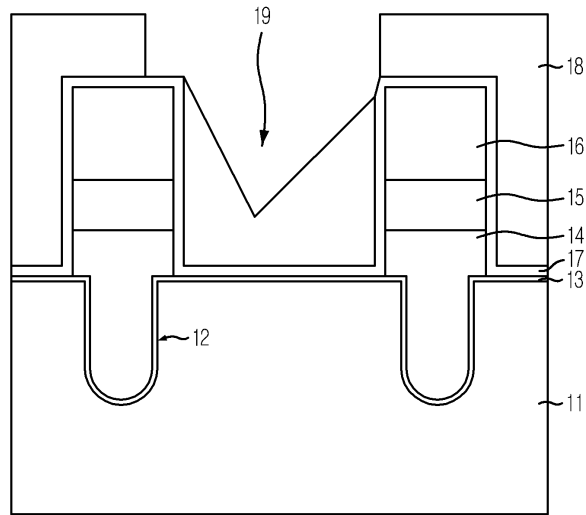
도면1b



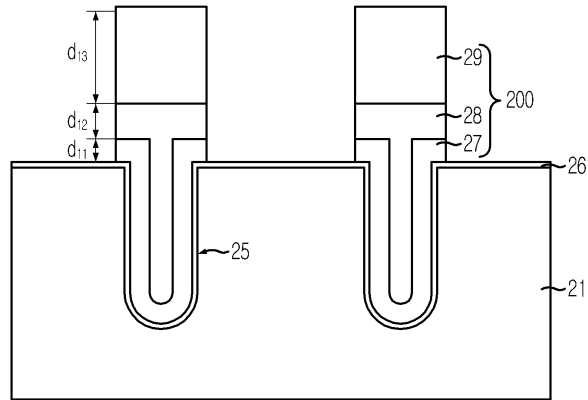
도면1c



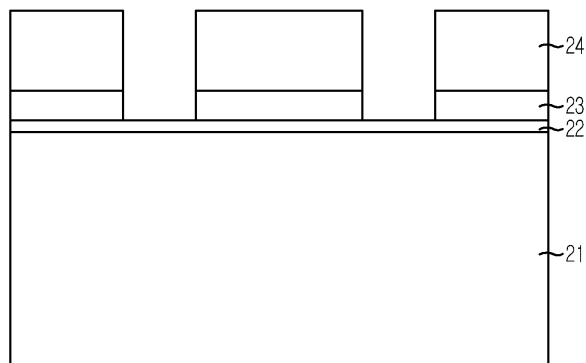
도면1d



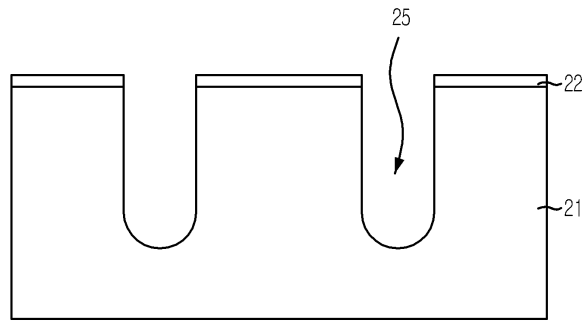
도면2



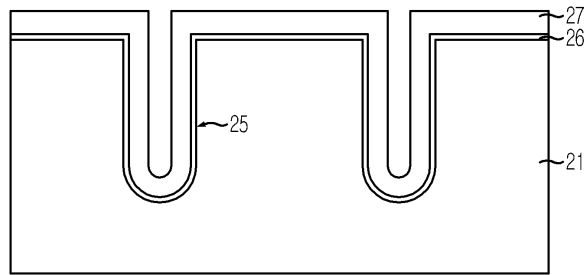
도면3a



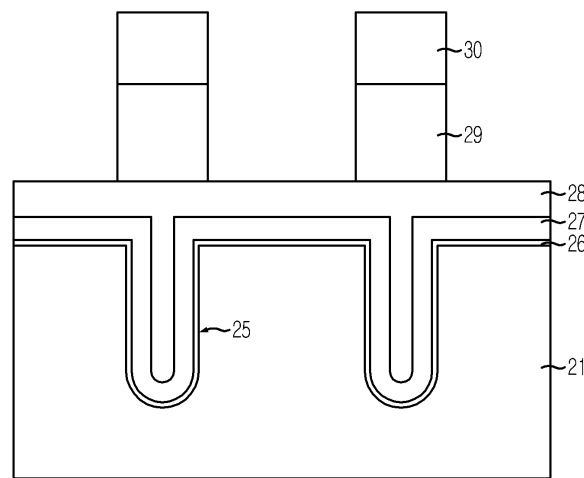
도면3b



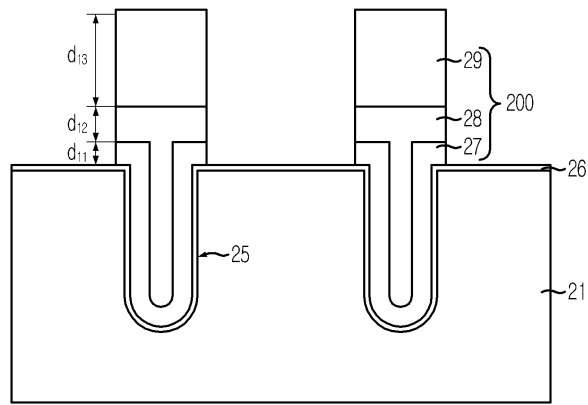
도면3c



도면3d



도면3e



도면4

