



(12) 发明专利申请

(10) 申请公布号 CN 103985341 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201410183457. 0

(22) 申请日 2014. 04. 30

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 北京京东方光电科技有限公司

(72) 发明人 李金钰

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 黄志华

(51) Int. Cl.
G09G 3/20 (2006. 01)
G09G 3/36 (2006. 01)
G11C 19/28 (2006. 01)

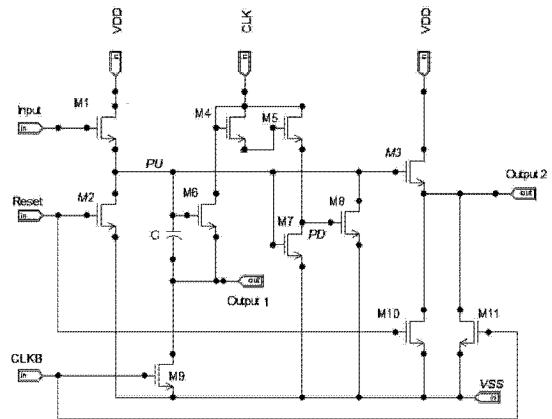
权利要求书3页 说明书8页 附图5页

(54) 发明名称

一种移位寄存器单元、栅极驱动电路和显示装置

(57) 摘要

本发明公开了一种移位寄存器单元、栅极驱动电路和显示装置,主要内容为:移位寄存器单元包括:上拉控制模块、上拉模块、下拉控制模块和下拉模块;其中,上拉模块根据上拉控制信号将第一时钟信号输入端子输入的第一时钟信号提供给传递信号输出端子,以及根据上拉控制信号和第一时钟信号输入端子输入的第一时钟信号将第一直流电源电压提供给栅极驱动信号输出端子。由于使用第一直流电源电压作为上拉模块中用于输出栅极驱动信号的晶体管的输入,因此使得该晶体管不存在电容耦合效应,即第一直流电源电压由于没有高低电平的切换,使得该晶体管产生的寄生电容不会频繁的被充放电,减少了功耗的损失,解决了移位寄存器单元的功耗较大的问题。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元包括:上拉控制模块、上拉模块、下拉控制模块和下拉模块,其中:

上拉控制模块,用于根据传递信号输入端子输入的传递信号,向上拉节点输出上拉控制信号,所述上拉节点位于用于连接上拉控制模块和上拉模块的导线上;

上拉模块,用于根据所述上拉控制信号将第一时钟信号输入端子输入的第一时钟信号提供给传递信号输出端子,以及根据所述上拉控制信号和所述第一时钟信号将第一直流电源电压提供给栅极驱动信号输出端子;

下拉控制模块,用于根据所述第一时钟信号向下拉节点输出下拉控制信号,所述下拉节点位于用于连接下拉控制模块和下拉模块的导线上;

下拉模块,用于根据所述下拉控制信号、复位信号输入端子输入的复位信号和第二时钟信号输入端子输入的第二时钟信号,向上拉节点、传递信号输出端子和栅极驱动信号输出端子提供第二直流电源电压;所述第一时钟信号输入端子输入的第一时钟信号与第二时钟信号输入端子输入的第二时钟信号的相位相反。

2. 如权利要求 1 所述的移位寄存器单元,其特征在于,所述下拉模块包括:

第一下拉子模块,用于根据所述下拉控制信号和所述复位信号,向上拉节点输出第二直流电源电压;

第二下拉子模块,用于根据第二时钟信号输入端子输入的第二时钟信号向栅极驱动信号输出端子输出第二直流电源电压;

第三下拉子模块,用于根据第二时钟信号输入端子输入的第二时钟信号,向传递信号输出端子输出第二直流电源电压。

3. 如权利要求 2 所述的移位寄存器单元,其特征在于,所述第一下拉子模块包括:第二晶体管和第八晶体管;所述第二下拉子模块包括:第十一晶体管;所述第三下拉子模块包括:第九晶体管;

第二晶体管,其栅极与复位信号输入端子相连,其源极与上拉节点相连,其漏极与第二直流电源电压相连;

第八晶体管,其栅极与下拉节点相连,其源极与上拉节点相连,其漏极与第二直流电源电压相连;

第十一晶体管,其栅极与第二时钟信号输入端子相连,其源极与栅极驱动信号输出端子相连,其漏极与第二直流电源电压相连;

第九晶体管,其栅极与第二时钟信号输入端子相连,其源极与传递信号输出端子相连,其漏极与第二直流电源电压相连。

4. 如权利要求 1 所述的移位寄存器单元,其特征在于,所述下拉模块包括:

第一下拉子模块,用于根据所述下拉控制信号和所述复位信号,向上拉节点输出第二直流电源电压;

第二下拉子模块,用于根据第二时钟信号输入端子输入的第二时钟信号和所述复位信号,向栅极驱动信号输出端子输出第二直流电源电压;

第三下拉子模块,用于根据第二时钟信号输入端子输入的第二时钟信号,向传递信号输出端子输出第二直流电源电压。

5. 如权利要求 4 所述的移位寄存器单元,其特征在于,

所述第一下拉子模块包括：第二晶体管和第八晶体管；所述第二下拉子模块包括：第十晶体管和第十一晶体管；所述第三下拉子模块包括：第九晶体管；

第二晶体管，其栅极与复位信号输入端子相连，其源极与上拉节点相连，其漏极与第二直流电源电压相连；

第八晶体管，其栅极与下拉节点相连，其源极与上拉节点相连，其漏极与第二直流电源电压相连；

第十晶体管，其栅极与复位信号输入端子相连，其源极与栅极驱动信号输出端子相连，其漏极与第二直流电源电压相连；

第十一晶体管，其栅极与第二时钟信号输入端子相连，其源极与栅极驱动信号输出端子相连，其漏极与第二直流电源电压相连；

第九晶体管，其栅极与第二时钟信号输入端子相连，其源极与传递信号输出端子相连，其漏极与第二直流电源电压相连。

6. 如权利要求 5 所述的移位寄存器单元，其特征在于，所述第十晶体管和第十一晶体管的沟道宽度之比为 9:1。

7. 如权利要求 1、2 或 4 所述的移位寄存器单元，其特征在于，所述上拉模块包括：

电容，其第一极与上拉节点相连，其第二极与传递信号输出端子相连；

第六晶体管，其栅极与上拉节点相连，其源极与第一时钟信号输入端子相连，其漏极与传递信号输出端子相连；

第三晶体管，其栅极与上拉节点相连，其源极与第一直流电源电压相连，其漏极与栅极驱动信号输出端子相连。

8. 如权利要求 1-6 任一所述的移位寄存器单元，其特征在于，所述下拉控制模块包括：

第四晶体管，其栅极和源极均与第一时钟信号输入端子相连，其漏极与第五晶体管的栅极相连；

第五晶体管，其源极与第一时钟信号输入端子相连，其漏极与下拉节点相连；

第七晶体管，其栅极与上拉节点相连，其源极与下拉节点相连，其漏极与第二直流电源电压相连。

9. 如权利要求 1 所述的移位寄存器单元，其特征在于，所述上拉控制模块包括：

第一晶体管，其栅极与传递信号输入端子相连，其源极与第一直流电源电压相连，其漏极与上拉节点相连。

10. 一种栅极驱动电路，其特征在于，包括多个如权利要求 1-9 任一权利要求所述移位寄存器单元；

除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的传递信号输出端子连接到与其相邻的上一级移位寄存器单元的复位信号输入端子和与其相邻的下一级移位寄存器单元的传递信号输入端子，栅极驱动电路顺序地输出各级移位寄存器单元的栅极驱动信号输出端子输出的栅极驱动信号；

第一个移位寄存器单元的传递信号输出端子与第二个移位寄存器单元的传递信号输入端子连接，最后一个移位寄存器单元的传递信号输出端子和与其相邻的上一个移位寄存器单元的复位信号输入端子相连；

第一个移位寄存器单元的传递信号输入端子输入帧起始信号。

-
11. 一种显示装置,其特征在于,所述显示装置包含权利要求 9 所述的栅极驱动电路。

一种移位寄存器单元、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及平板显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路和显示装置。

背景技术

[0002] 如图 1 所示为现有技术中的移位寄存器单元的电路示意图。该移位寄存器单元包括由第一晶体管 M1 构成的上拉控制模块、由第三晶体管 M3 和电容 C 构成的上拉模块、由第二晶体管 M2、第四晶体管 M4、第十晶体管 M10 和第十一晶体管 M11 构成的下拉模块和由第五晶体管 M5、第六晶体管 M6、第九晶体管 M9 和第八晶体管 M8 构成的下拉控制模块。信号输入端输入信号 (INPUT),第一时钟信号输入端输入第一时钟信号 (CLK),第二时钟信号输入端 (CLKB) 输入第二时钟信号 (CLKB),低电压信号输入端输入低电压信号 (VSS),复位信号输入端输入复位信号 (RESET),信号输出端输出栅极驱动信号 (OUTPUT)。第一晶体管 M1 的漏极、第二晶体管 M2 的源极、第三晶体管 M3、第八晶体管 M8 和第六晶体管 M6 的栅极和电容 C1 的第一极的汇聚处为上拉节点 (Pull Up, PU),第五晶体管 M5 的漏极、第六晶体管 M6 的源极、第十晶体管 M10 和第十一晶体管 M11 的栅极的汇聚处为下拉节点 (Pull Down, PD) 节点,第八晶体管 M8 的漏极、第九晶体管 M9 的源极和第五晶体管 M5 的栅极的汇聚处为下拉控制节点 (Pull Down Control, PD_CN)。

[0003] 上述移位寄存器电路能实现移位功能。然而,由于一方面上拉模块根据高低电平交互的第一时钟信号 CLK 向栅极驱动信号输出端子提供栅极驱动信号(也即将第一时钟信号 CLK 作为第三晶体管 M3 输出栅极驱动信号的输入信号);另一方面,在该栅极驱动信号同时也作为输入下一级移位寄存器的信号(也即传递信号)下,上拉模块中包含的第三晶体管 M3 的尺寸需要被设置的相对较大(沟道宽度约为 $8100\ \mu\text{m}$),因此导致该第三晶体管 M3 产生的寄生电容(尤其是栅漏寄生电容 C_{gd})较大,并且该第三晶体管 M3 在频繁的高低电平切换中,由于电容耦合效应的存在,频繁的被充放电,使第三晶体管 M3 造成大量功耗的损失,从而导致移位寄存器单元的功耗增加,最终导致使用了该移位寄存器单元的液晶显示器的功耗增加。

发明内容

[0004] 本发明实施例提供了一种移位寄存器单元、栅极驱动电路和显示装置,用以解决现有的移位寄存器单元因采用时钟信号作为移位寄存器单元的输出器件的输入信号而导致的功耗较大的问题。

[0005] 本发明实施例提供的具体技术方案如下:

[0006] 一种移位寄存器单元,所述移位寄存器单元包括:上拉控制模块、上拉模块、下拉控制模块和下拉模块,其中:

[0007] 上拉控制模块,用于根据传递信号输入端子输入的传递信号,向上拉节点输出上拉控制信号,所述上拉节点位于用于连接上拉控制模块和上拉模块的导线上;

[0008] 上拉模块,用于根据所述上拉控制信号将第一时钟信号输入端子输入的第一时钟信号提供给传递信号输出端子,以及根据所述上拉控制信号和所述第一时钟信号将第一直流电源电压提供给栅极驱动信号输出端子;

[0009] 下拉控制模块,用于根据所述第一时钟信号向下拉节点输出下拉控制信号,所述下拉节点位于用于连接下拉控制模块和下拉模块的导线上;

[0010] 下拉模块,用于根据所述下拉控制信号、复位信号输入端子输入的复位信号和第二时钟信号输入端子输入的第二时钟信号,向上拉节点、传递信号输出端子和栅极驱动信号输出端子提供第二直流电源电压;所述第一时钟信号输入端子输入的第一时钟信号与第二时钟信号输入端子输入的第二时钟信号的相位相反。

[0011] 一种栅极驱动电路,包括上述移位寄存器单元;其中,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的传递信号输出端子连接到与其相邻的上一级移位寄存器单元的复位信号输入端子和与其相邻的下一级移位寄存器单元的传递信号输入端子,栅极驱动电路顺序地输出各级移位寄存器单元的栅极驱动信号输出端子输出的栅极驱动信号;

[0012] 第一个移位寄存器单元的传递信号输出端子与第二个移位寄存器单元的传递信号输入端子连接,最后一个移位寄存器单元的传递信号输出端子和与其相邻的上一个移位寄存器单元的复位信号输入端子相连;

[0013] 第一个移位寄存器单元的传递信号输入端子输入帧起始信号。

[0014] 一种显示装置,所述显示装置包含上述的栅极驱动电路。

[0015] 通过本发明的实施例,由于上拉模块将第一直流电源电压作为栅极驱动信号的来源,并将栅极驱动信号和传递信号分别使用不同的端子来输出,使得上拉模块中用于输出栅极驱动信号的晶体管不存在电容耦合效应,产生的寄生电容不会频繁的被充放电(第一直流电源电压没有高低电平的切换),进而该用于输出栅极驱动信号的晶体管的功耗不会因频繁的被充放电而损失大量的功耗,也即解决了因用于输出栅极驱动信号的晶体管的功耗损失大而导致的移位寄存器单元的功耗增加的问题。

附图说明

[0016] 图 1 为背景技术中的移位寄存器单元的电路图;

[0017] 图 2 为本发明实施例一中的移位寄存器单元的结构示意图;

[0018] 图 3 为本发明实施例二中的移位寄存器单元的电路示意图;

[0019] 图 4 为本发明实施例二中的另一移位寄存器单元的电路示意图;

[0020] 图 5 为本发明实施例二中移位寄存器单元的工作时序意图;

[0021] 图 6 为本发明实施例三中的栅极驱动电路的结构示意图。

具体实施方式

[0022] 下面结合说明书附图,对本发明实施例提供一种移位寄存器单元、栅极驱动电路及显示装置的具体实施方式进行了说明。

[0023] 实施例一

[0024] 如图 2 所示,为本发明实施例一中的移位寄存器单元的结构示意图,所述移位寄

寄存器单元包括：上拉控制模块 201、上拉模块 202、下拉控制模块 203 和下拉模块 204，其中：

[0025] 上拉控制模块 201，其输入端与传递信号输入端子相连，其输出端与上拉节点相连，用于根据传递信号输入端子输入的传递信号，向上拉节点 PU 输出上拉控制信号，所述上拉节点 PU 位于用于连接上拉控制模块和上拉模块的导线上；

[0026] 上拉模块 202，其输入端与上拉节点相连，其输出端与栅极驱动信号输出端子和传递信号输出端子相连，用于根据所述上拉控制信号将第一时钟信号输入端子输入的第一时钟信号 CLK 提供给传递信号输出端子，以及根据所述上拉控制信号和第一时钟信号输入端子输入的第一时钟信号将第一直流电源电压 VDD 提供给栅极驱动信号输出端子；

[0027] 下拉控制模块 203，其输入端与上拉节点 PU 相连，其输出端与下拉节点 PD 相连，用于根据第一时钟信号输入端子输入的第一时钟信号 CLK 向下拉节点输出下拉控制信号，所述下拉节点 PD 位于用于连接下拉控制模块和下拉模块的导线上；

[0028] 下拉模块 204，其输入端与下拉节点 PD 相连，其输出端与栅极驱动信号输出端子相连，用于根据所述下拉控制信号、复位信号输入端子输入的复位信号 Rst 和第二时钟信号输入端子输入的第二时钟信号 CLKB，向上拉节点、传递信号输出端子和栅极驱动信号输出端子提供第二直流电源电压 VSS；所述第一时钟信号输入端子输入的第一时钟信号与第二时钟信号输入端子输入的第二时钟信号的相位相反。

[0029] 较优的，所述下拉模块 204 包括：第一下拉子模块、第二下拉子模块和第三下拉子模块，并且该第一下拉子模块、第二下拉子模块和第三下拉子模块有两种不同的方式实现所述下拉模块 204 的功能，具体如下述第一种方式和第二种方式所示。

[0030] 第一种方式：

[0031] 第一下拉子模块，用于根据所述下拉控制信号和所述复位信号，向上拉节点输出第二直流电源电压；

[0032] 第二下拉子模块，用于根据第二时钟信号输入端子输入的第二时钟信号向栅极驱动信号输出端子输出第二直流电源电压；

[0033] 第三下拉子模块，用于根据第二时钟信号输入端子输入的第二时钟信号，向传递信号输出端子输出第二直流电源电压。

[0034] 第二种方式：

[0035] 第一下拉子模块，用于根据所述下拉控制信号和所述复位信号，向上拉节点输出第二直流电源电压；

[0036] 第二下拉子模块，用于根据第二时钟信号输入端子输入的第二时钟信号和所述复位信号，向栅极驱动信号输出端子输出第二直流电源电压；

[0037] 第三下拉子模块，用于根据第二时钟信号输入端子输入的第二时钟信号，向传递信号输出端子输出第二直流电源电压。

[0038] 通过本发明的实施例，由于上拉模块将第一直流电源电压作为栅极驱动信号的来源，并将栅极驱动信号和传递信号分别使用不同的端子来输出，使得上拉模块中用于输出栅极驱动信号的晶体管不存在电容耦合效应，产生的寄生电容不会频繁的被充放电（第一直流电源电压没有高低电平的切换），进而该用于输出栅极驱动信号的晶体管的功耗不会因频繁的被充放电而损失大量的功耗，也即解决了因用于输出栅极驱动信号的晶体管的功耗损失大而导致的移位寄存器单元的功耗增加的问题。

[0039] 下面通过实施例二对本发明实施例一的方案进行进一步地说明。

[0040] 实施例二

[0041] 如图 3 所示,为本发明实施例二中的移位寄存器单元的电路示意图。其中:

[0042] 输入该移位寄存器单元的信号包括:第一时钟信号 CLK、第二时钟信号 CLKB、传递信号 InPut、复位信号 Reset、第一直流电源电压 VDD(始终为高电平信号)和第二直流电源电压信号 VSS(始终为低电平信号);从该移位寄存器单元输出的信号包括:传递信号 Output1 和栅极驱动信号 Output2;

[0043] 此外,由电容 C、第六晶体管 M6、第三晶体管 M3 构成上拉模块 202;

[0044] 由第二晶体管 M2 和第八晶体管 M8 构成实施例一中的所述第一种方式下的第一下拉子模块;

[0045] 由第十一晶体管 M11 构成实施例一中的所述第一种方式下的第二下拉子模块;

[0046] 由第九晶体管 M9 构成实施例一中的所述第一种方式下的第三下拉子模块;

[0047] 由第四晶体管 M4、第五晶体管 M5 和第七晶体管 M7 构成下拉控制模块 203;

[0048] 由第一晶体管 M1 构成上拉控制模块 201。

[0049] 上述各晶体管和电容之间的连接关系如下:

[0050] 电容 C,其第一极与上拉节点相连,其第二极与传递信号输出端子相连;

[0051] 第六晶体管 M6,其栅极与上拉节点相连,其源极与第一时钟信号输入端子相连,其漏极与传递信号输出端子相连;

[0052] 第三晶体管 M3,其栅极与上拉节点相连,其源极与第一直流电源电压相连,其漏极与栅极驱动信号输出端子相连。

[0053] 第二晶体管 M2,其栅极与复位信号输入端子相连,其源极与上拉节点相连,其漏极与第二直流电源电压相连;

[0054] 第八晶体管 M8,其栅极与下拉节点相连,其源极与上拉节点相连,其漏极与第二直流电源电压相连;

[0055] 第十一晶体管 M11,其栅极与第二时钟信号输入端子相连,其源极与栅极驱动信号输出端子相连,其漏极与第二直流电源电压相连;

[0056] 第九晶体管 M9,其栅极与第二时钟信号输入端子相连,其源极与传递信号输出端子相连,其漏极与第二直流电源电压相连。

[0057] 第四晶体管 M4,其栅极和源极均与第一时钟信号输入端子相连,其漏极与第五晶体管的栅极相连;

[0058] 第五晶体管 M5,其源极与第一时钟信号输入端子相连,其漏极与下拉节点相连;

[0059] 第七晶体管 M7,其栅极与上拉节点相连,其源极与下拉节点相连,其漏极与第二直流电源电压相连。

[0060] 第一晶体管 M1,其栅极与传递信号输入端子相连,其源极与第一直流电源电压相连,其漏极与上拉节点相连。

[0061] 如图 4 所示,为本发明实施例二中的另一移位寄存器单元的电路示意图。其与图 3 的区别为:增加了第十晶体管 M10。除第十晶体管 M10 外,其余晶体管和电容的连接关系与图 3 中的相同,并且由第二晶体管 M2 和第八晶体管 M8 构成实施例一中的所述第二种方式下的第一下拉子模块;由第十晶体管 M10 和第十一晶体管 M11 构成实施例一中的所述第

二种方式下的第二下拉子模块；由第九晶体管构成实施例一中的所述第二种方式下的第三下拉子模块；

[0062] 所述第十晶体管 M10，其栅极与复位信号输入端子相连，其源极与栅极驱动信号输出端子相连，其漏极与第二直流电源电压相连。

[0063] 本发明实施例二使用第一直流电源电压 VDD 作为第三晶体管 M3 的输入信号，这样就可以避免第三晶体管 M3 被频繁的充放电，进而较大程度上降低寄存器产生的功耗。

[0064] 此外，在大尺寸液晶显示器中，移位寄存器各晶体管的尺寸相对较大，尤其是第三晶体管 M3，第三晶体管 M3 越大，在高低电平交互的第一时钟信号 CLK 的作用下所消耗的功耗也会越大，而采用本发明的第一直流电源电压作为第三晶体管 M3 的输入信号后，第三晶体管 M3 尺寸越大，降低功耗的作用越明显。

[0065] 为得到具体的对比结果，对单级移位寄存器结构使用仿真软件进行了模拟，在本发明实施例中的各晶体管与图 1 中所示的移位寄存器中的相应晶体管的尺寸相同的条件下，图 1 中所示的移位寄存器单元的信号线上的电流总合为 34.9uA，而本发明实施例二中所有信号线上的电流总和为 12.3uA，仅约为图 1 中所示的移位寄存器单元的 1/3，由此可见本发明可较大程度上降低电路消耗的电流，进而达到节省功耗的目的。

[0066] 为了进一步说明本发明实施例二的工作原理，下面以图 3 所示的移位寄存器单元的电路为例，并结合图 5 所示的扫描时序图说明其工作原理。

[0067] 如图 5 所示，为本发明实施例二提供的移位寄存器单元的扫描时序示意图，其中：

[0068] CLK 为输入移位寄存器单元 S/R(n) 的第一时钟信号；

[0069] CLKB 为输入移位寄存器单元 S/R(n) 的第二时钟信号；

[0070] InPut(n) 是移位寄存器单元 S/R(n) 的上一级移位寄存器单元 S/R(n-1) 的传递信号输出端子输出的传递信号，作为本级移位寄存器单元 S/R(n) 的传递信号输入端子输入的传递信号；

[0071] PU(n) 是移位寄存器单元 S/R(n) 的上拉控制模块输出的上拉控制信号；

[0072] PD(n) 是移位寄存器单元 S/R(n) 的下拉控制模块输出的下拉控制信号；

[0073] Rst(n) 是移位寄存器单元 S/R(n) 的下一级移位寄存器单元 S/R(n+1) 的传递信号输出端子输出的传递信号，作为本级移位寄存器单元 S/R(n) 的复位信号输入端子输入的复位信号；

[0074] OutPut1(n) 是移位寄存器单元 S/R(n) 的传递信号输出端子输出的传递信号；

[0075] OutPut2(n) 是移位寄存器单元 S/R(n) 的栅极驱动信号输出端子输出的栅极驱动信号；

[0076] VDD 是输入移位寄存器单元 S/R(n) 的第一直流电源电压，其为高电平信号；

[0077] VSS 是输入移位寄存器单元 S/R(n) 的第二直流电源电压，其为低电平信号；

[0078] 该移位寄存器单元 S/R(n) 的扫描时序过程可以分为以下五个阶段（图 5 中的一、二、三、四、五是表示所述五个阶段的时间段）：

[0079] 第一阶段：第一个时钟周期的前半周期，移位寄存器单元 S/R(n) 接收 S/R(n-1) 的传递信号输出端子输出的高电平信号，也即 S/R(n) 传递信号输入端在此阶段输入的 InPut(n) 信号为是高电平信号；第一时钟信号 CLK 为低电平；下拉节点 PD 点为低电平，第一晶体管 M1 打开，对电容 C 进行充电，上拉节点 PU 的电平升高，进而第七晶体管 M7 打开，

第六晶体管 M6 打开,传递信号输出端子将第一时钟信号 CLK 的低电平信号输出给传递信号输出端子,此时输出的传递信号 Output1(n) 为低电平信号;此外,上拉节点 PU 的电平升高,第三晶体管 M3 也打开,该第三晶体管 M3 源漏极之间的电流逐渐增大,output2(n) 电压开始上升。由于此阶段 CLKB 为高电平信号,因此,第九晶体管 M9 和第十一晶体管 M11 打开,第九晶体管 M9 的打开可以稳定传递信号 Output1(n) 的输出,防止传递信号 Output1(n) 因电容 C 的耦合效应而升高,第十一晶体管 M11 的打开会一定程度的拉低栅极驱动信号 Output2(n) 电压,但由于第三晶体管 M3 与第十一晶体管 M11 尺寸上的差距 ($M3 \gg M11$),造成第十一晶体管 M11 的拉低能力抵不过第三晶体管 M3 的拉升能力,故不能完全将栅极驱动信号 output2(n) 拉低至第二电源电压 VSS,栅极驱动信号 Output2(n) 仍有输出。

[0080] 第二阶段:第一个时钟周期的后半周期,输入 S/R(n) 的传递信号为低电平信号(也即 InPut(n) 在此阶段的低电平信号),第二时钟信号 CLKB 为低电平,第一时钟信号 CLK 为高电平,下拉节点 PD 为低电平,第六晶体管 M6 仍保持打开状态,第六晶体管 M6 将与其源极连接的高电平的第一时钟信号 CLK 输出给传递信号输出端子,此时输出的传递信号 Output1(n) 为高电平信号;此外,通过电容 C 的自举效应,上拉节点 PU 的电平继续升高,第三晶体管 M3 充分打开,将与其源极连接的第一直流电源电压 VDD 输出至栅极驱动信号输出端子,也即 Output2(n) 为高电平信号。

[0081] 由上述第一阶段和第二阶段的描述以及图 5 所示的栅极驱动信号 Output2(n) 可知,栅极驱动信号 Output2(n) 在该两个阶段输出的电压为台阶状,将该移位寄存器单元应用在液晶面板时,当液晶面板显示时的信号反转方式为列反转时,上下两行之间的 Data 信号极性相同,即都为“+”或都为“-”,当上一级的寄存器单元输出高电压时,即处于第三阶段时,本级寄存器单元输出刚好处于第二阶段的状态,此时与上一级移位寄存器单元连接的栅线完全打开,像素进行充电,与本级移位寄存器单元连接的栅线也处于打开状态,上一行的数据(Data)信号也会写入本行,即达到预充电的效果。

[0082] 第三阶段:第二个时钟周期的前半周期,输入 S/R(n) 的复位信号为高电平信号(也即 S/R(n+1) 的传递信号输出端子输出的传递信号 Output1(n+1) 在此阶段为高电平信号),第一时钟信号 CLK 为低电平,第二时钟信号 CLKB 为高电平,此时第九晶体管 M9、第十一晶体管 M11、第二晶体管 M2 均打开,上拉节点 PU、传递信号输出端子和栅极驱动信号输出端子的电平均被拉低,进而第三晶体管 M3 关闭,第六晶体管 M6 和第七晶体管 M7 关闭,下拉节点 PD 点保持低电平,传递信号输出端子输出的传递信号 Output1(n) 为低电平信号,栅极驱动信号输出端子输出的信号 Output2(n) 为低电平信号。

[0083] 第四阶段:第二个时钟周期的后半周期,第一时钟信号 CLK 为高电平,第二时钟信号 CLKB 为低电平,输入 S/R(n) 的复位信号为低电平信号,此时第四晶体管 M4 和第五晶体管 M5 打开,第二晶体管 M2 关闭,并且第七晶体管 M7 保持关闭状态,进而下拉节点 PD 为高电平,第八晶体管 M8 打开,使得上拉节点 PU 与第二直流电源电压电位相同,保持低电平。此时,第六晶体管 M6、第七晶体管 M7 和第三晶体管 M3 继续保持关闭状态,传递信号输出端子输出的传递信号 Output1(n) 为低电平信号,栅极驱动信号输出端子输出的信号 Output2(n) 为低电平信号。

[0084] 第五阶段:第三个时钟周期的前半周期,第一时钟信号 CLK 为低电平,第二时钟信号 CLKB 为高电平,输入 S/R(n) 的复位信号为低电平信号,第九晶体管 M9 和第十一晶体管

M11 为打开状态,上拉节点 PU 继续保持低电平状态,第七晶体管 M7 继续保持关闭状态,下拉节点 PD 的电平与 CLK 的电平保持一致,传递信号输出端子输出的传递信号 Output1(n) 为低电平信号,栅极驱动信号输出端子输出的信号 Output2(n) 为低电平信号。

[0085] 之后,依次重复第四阶段和第五阶段,直至移位寄存器单元 S/R(n) 接收到输入自身的传递信号输入端子的传递信号 InPut(n) 为高电平信号后再开始重新执行上述第一阶段。

[0086] 图 4 中的电路图工作原理与图 3 中的基本相同,由于增添的第十晶体管 M10 受控于复位信号来下拉栅极驱动信号输出端子输出栅极驱动信号,因此,第十晶体管仅在复位信号为高电平时打开,此时与第十一晶体管 M11 来共同完成下拉栅极驱动信号输出端子输出栅极驱动信号。

[0087] 图 4 中,第十晶体管 M10 的尺寸 (width) 比第十一晶体管 M11 要大很多,主要目的也为降低功耗。因为第十晶体管 M10 只在下一级 Output1(n+1) 为高电平,即本级复位信号 (Rst) 为高电平时发挥拉低的作用,而第十一晶体管 M11 与第二时钟信号 CLKB 同步,即会随第二时钟信号 CLKB 的高低切换而频繁的发挥拉低的作用,为进一步降低驱动电路的功耗,第十晶体管 M10 要尽量大,第十一晶体管 M11 要尽量小,优选的,第十晶体管 M10 和第十一晶体管 M11 的沟道宽度 (Width) 之比为 9:1,而在图 3 所示的实施例中,第十一晶体管 M11 的大小即为图 4 中第十晶体管 M10 与第十一晶体管 M11 的沟道宽度 (width) 的总和。

[0088] 实施例三

[0089] 基于与本发明实施例一和实施例二的同一发明构思,本发明实施例三提供一种栅极驱动电路,其结构示意图如图 6 所示,所述栅极驱动电路包括如实施例一中所述的多个移位寄存器单元 :S/R(1)、S/R(2)⋯S/R(N) 共 N 个移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的传递信号输出端子连接到与其相邻的上一级移位寄存器单元的复位信号输入端子和与其相邻的下一级移位寄存器单元的传递信号输入端子,栅极驱动电路顺序地输出各级移位寄存器单元的栅极驱动信号输出端子输出的栅极驱动信号 ;

[0090] 第一个移位寄存器单元的传递信号输出端子与第二个移位寄存器单元的传递信号输入端子连接,最后一个移位寄存器单元的传递信号输出端子和与其相邻的上一个移位寄存器单元的复位信号输入端子相连 ;

[0091] 第一个移位寄存器单元的传递信号输入端子输入帧起始信号。

[0092] 第奇数个移位寄存器单元的第一时钟信号输入端子输入第一时钟信号,第二时钟信号输入端子输入第二时钟信号 ;

[0093] 第偶数个移位寄存器单元的第一时钟信号输入端子输入第二时钟信号,第二时钟信号输入端子输入第一时钟信号 ;

[0094] 第一直流电源电压 VDD 通过第一直流电源电压 VDD 输入端子输入各级移位寄存器单元 ;

[0095] 第二直流电源电压 VSS 通过第二直流电源电压 VSS 输入端子输入各级移位寄存器单元 ;

[0096] 第一时钟信号 CLK、第二时钟信号 CLKB、第一直流电源电压 VDD 和第二直流电源电压 VSS 是保证移位寄存器单元正常工作的信号,所述第一时钟信号 CLK 和第二时钟信号

CLKB 相位相反。

[0097] 需要说明的是,图 6 中 G(1) 至 G(N) 表示栅线 1 至栅线 N。

[0098] 在本发明实施例三的方案中,由于构成栅极驱动电路的各移位寄存器单元中用于输出栅极驱动信号的晶体管的功耗不会因频繁的被充放电而损失大量的功耗,因此解决了栅极驱动电路因用于输出栅极驱动信号的晶体管的功耗损失大而导致的功耗增加的问题。

[0099] 实施例四

[0100] 本发明实施例四提供一种显示装置,所述显示装置包括实施例三中所述的栅极驱动电路。

[0101] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

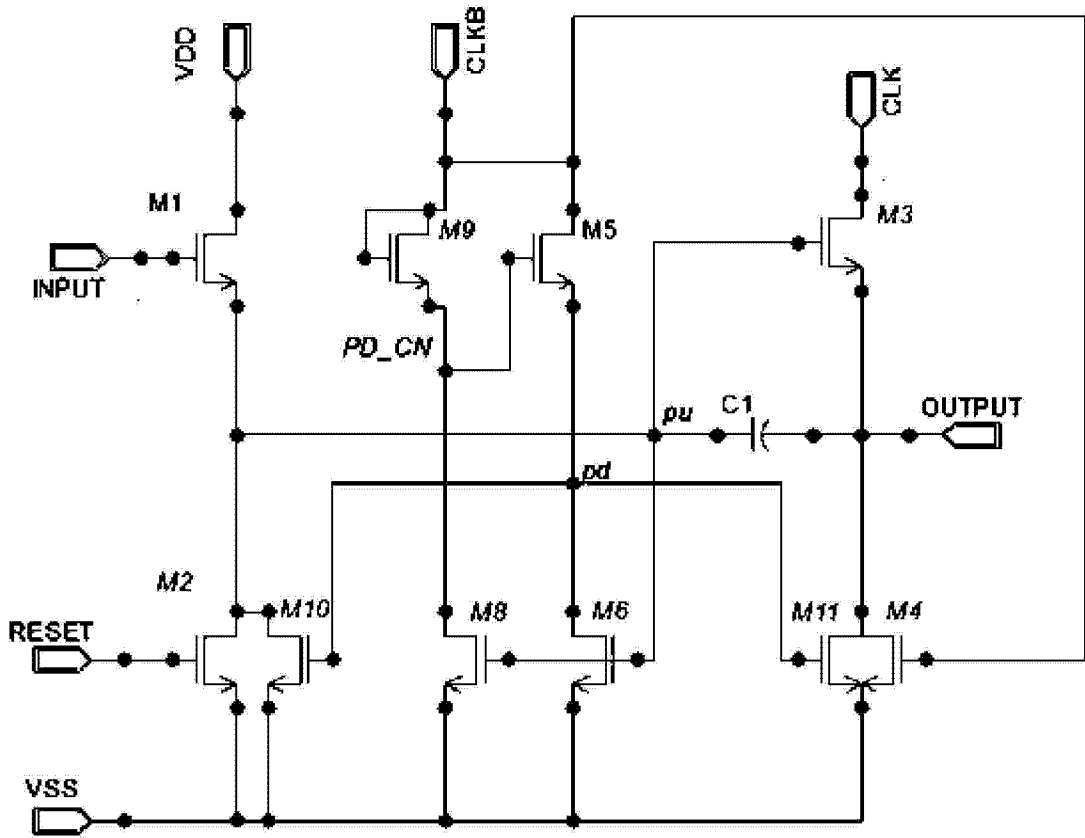


图 1

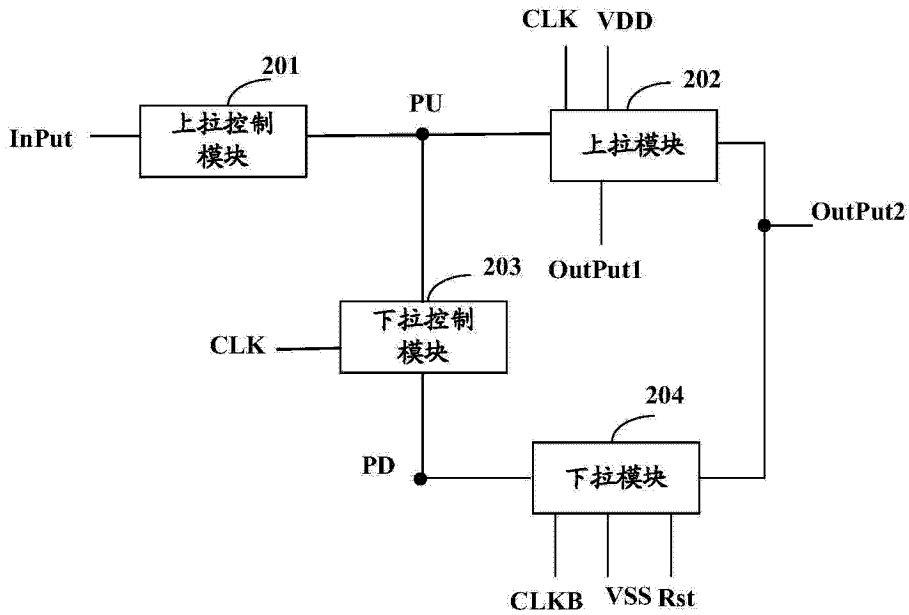


图 2

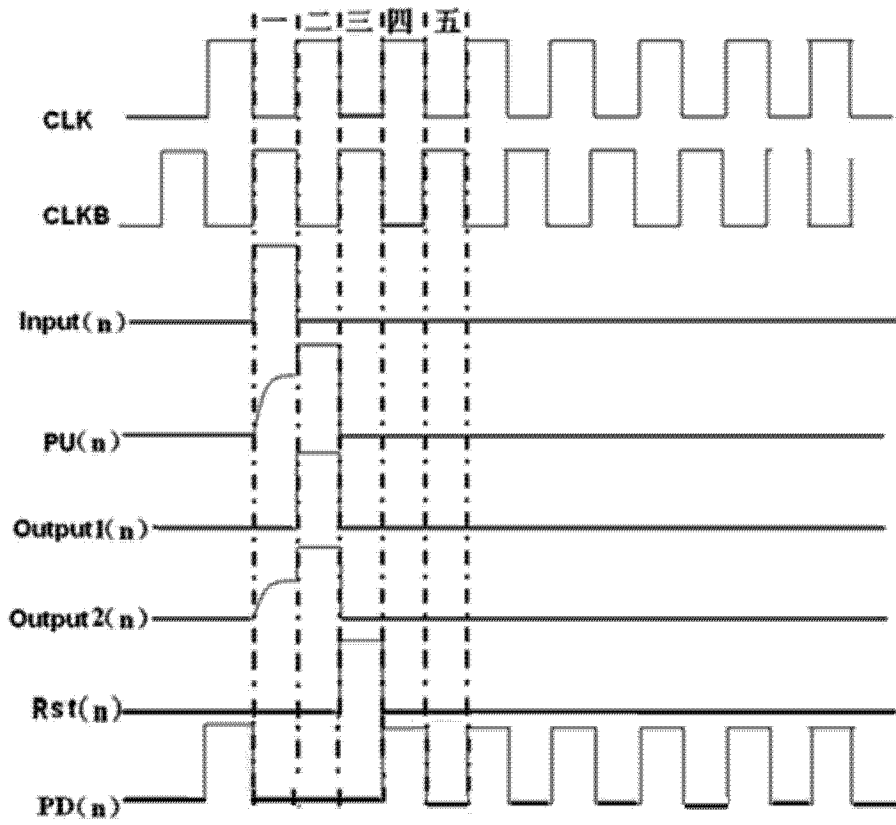


图 5

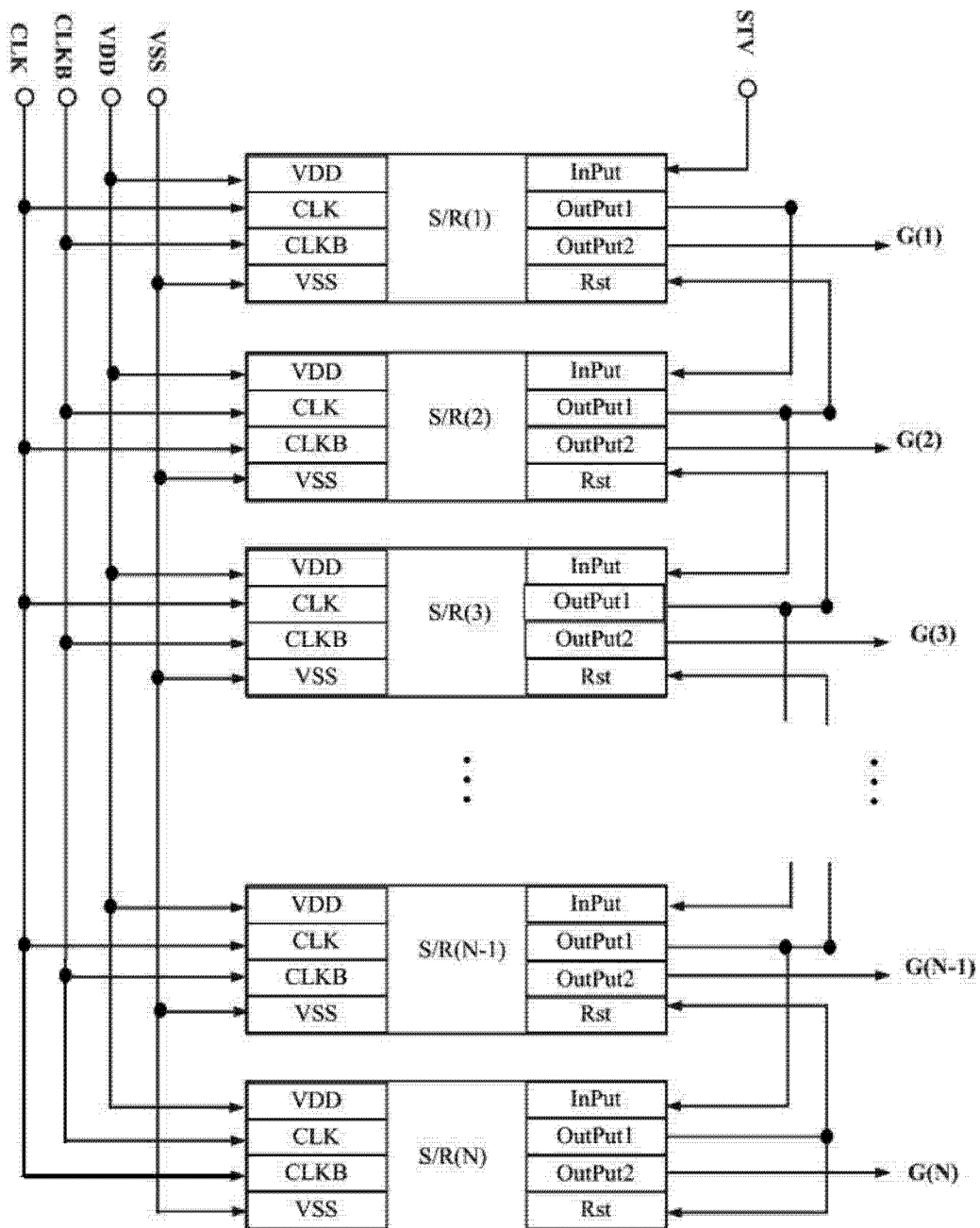


图 6