

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6333028号  
(P6333028)

(45) 発行日 平成30年5月30日(2018.5.30)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int.Cl. F I  
**G 1 1 C 11/405 (2006.01)** G 1 1 C 11/405  
**G 1 1 C 11/4094 (2006.01)** G 1 1 C 11/4094  
**G 1 1 C 7/12 (2006.01)** G 1 1 C 7/12

請求項の数 8 (全 31 頁)

(21) 出願番号 特願2014-75873 (P2014-75873)  
 (22) 出願日 平成26年4月2日(2014.4.2)  
 (65) 公開番号 特開2014-225315 (P2014-225315A)  
 (43) 公開日 平成26年12月4日(2014.12.4)  
 審査請求日 平成29年3月24日(2017.3.24)  
 (31) 優先権主張番号 特願2013-87938 (P2013-87938)  
 (32) 優先日 平成25年4月19日(2013.4.19)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 池田 隆之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 記憶装置及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第1の信号が入力される論理素子と、半導体素子と、を有し、

前記第2のトランジスタは、前記第1のトランジスタのゲートへの第2の信号の供給を制御する機能を有し、

前記論理素子は、前記第1の信号が第1の電位から第2の電位に変化すると、前記第1のトランジスタのソース又はドレインの一方を前記第2の電位から第3の電位に変化させた後、前記第1のトランジスタのソース又はドレインの一方を前記第3の電位から前記第1の電位に変化させる機能を有し、

前記半導体素子は、前記第1のトランジスタのソース又はドレインの他方を浮遊状態にする機能を有し、

前記第2の電位は、前記第1の電位よりも低く、

前記第3の電位は、前記第2の電位よりも低い記憶装置。

【請求項2】

第1のトランジスタと、第2のトランジスタと、第1のインバータと、第2のインバータと、半導体素子と、を有し、

前記第2のトランジスタは、前記第1のトランジスタのゲートへの第1の信号の供給を制御する機能を有し、

前記第1のインバータは、前記第1の信号が入力されると第2の信号を生成する機能を

有し、

前記第 2 のインバータは、前記第 2 の信号の電位が入力されると第 3 の信号を生成する機能を有し、

前記第 3 の信号の電位は、前記第 1 のトランジスタのソース又はドレインの一方に供給され、

前記半導体素子は、前記第 1 のトランジスタのソース又はドレインの他方を浮遊状態にする機能を有し、

前記第 1 のインバータは、n チャンネル型である第 3 のトランジスタを有し、

前記第 2 のインバータは、n チャンネル型である第 4 のトランジスタを有し、

前記第 4 のトランジスタのチャンネル長は、前記第 3 のトランジスタのチャンネル長の 2 倍より大きい記憶装置。 10

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタは、酸化物半導体膜にチャンネル形成領域を有する記憶装置。

【請求項 4】

請求項 3 において、

前記酸化物半導体膜は、In、Ga、及びZnを含む記憶装置。

【請求項 5】

記憶装置を備えた論理ブロックを有し、

前記記憶装置は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の信号が入力される論理素子と、を有し、 20

前記第 2 のトランジスタは、前記第 1 のトランジスタのゲートへの第 2 の信号の供給を制御する機能を有し、

前記論理素子は、前記第 1 の信号が第 1 の電位から第 2 の電位に変化すると、前記第 1 のトランジスタのソース又はドレインの一方を前記第 2 の電位から第 3 の電位に変化させた後、前記第 1 のトランジスタのソース又はドレインの一方を前記第 3 の電位から前記第 1 の電位に変化させる機能を有し、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートに電氣的に接続されており、

前記第 2 の電位は、前記第 1 の電位よりも低く、 30

前記第 3 の電位は、前記第 2 の電位よりも低く、

前記論理ブロックは、前記第 3 のトランジスタにより、入力される信号の論理レベルと出力される信号の論理レベルとの関係が定められる半導体装置。

【請求項 6】

記憶装置と、複数の論理ブロックと、を有し、

前記記憶装置は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の信号が入力される論理素子と、を有し、

前記第 2 のトランジスタは、前記第 1 のトランジスタのゲートへの第 2 の信号の供給を制御する機能を有し、

前記論理素子は、前記第 1 の信号が第 1 の電位から第 2 の電位に変化すると、前記第 1 のトランジスタのソース又はドレインの一方を前記第 2 の電位から第 3 の電位に変化させた後、前記第 1 のトランジスタのソース又はドレインの一方を前記第 3 の電位から前記第 1 の電位に変化させる機能を有し、 40

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートに電氣的に接続されており、

前記第 2 の電位は、前記第 1 の電位よりも低く、

前記第 3 の電位は、前記第 2 の電位よりも低く、

前記複数の論理ブロックは、前記第 3 のトランジスタにより互いの電氣的な接続が制御される半導体装置。

【請求項 7】

請求項 5 または 請求項 6 において、

前記第 1 のトランジスタは、酸化物半導体膜にチャネル形成領域を有する半導体装置。

【請求項 8】

請求項 7 において、

前記酸化物半導体膜は、In、Ga、及びZnを含む半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は半導体装置に関する。例えば本発明の一態様は、記憶装置と、当該記憶装置を用いた半導体装置に関する。

10

【背景技術】

【0002】

新たな半導体として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。酸化物半導体を用いたトランジスタの開発は日々進められおり、例えば、下記の特許文献 1 では、当該トランジスタを非導通状態とすることで浮遊状態となるノードに、データを保持する記憶素子の構成について開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2011 - 171702 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、低消費電力であることと、高速動作が可能であることとは、記憶装置などの半導体装置の性能を評価する上で共に重要なポイントである。しかし、記憶装置の低消費電力化を図るために電源電圧を小さくすると、トランジスタのオン電流が小さくなるので、記憶装置の動作速度も低くなってしまふ。すなわち、消費電力の低減と動作速度の向上とはトレードオフの関係にあり、動作速度を考慮すると、低消費電力化のためだけに、単純に電源電圧を小さくすることはできない。

【0005】

30

また、nチャネル型のトランジスタを介して記憶装置のメモリセル内部のノードに与えられるハイレベルの電位は、当該トランジスタの閾値電圧分降下する。よって、消費電力を低減するために記憶装置の電源電圧を小さくすると、メモリセル内部のノードにおける電位が低くなりすぎて、メモリセルから出力される信号の論理レベルが変化するため、データの信頼性が低下しやすい。

【0006】

上述したような技術的背景のもと、本発明の一態様は、動作速度の低減を抑えつつ、低消費電力化を実現できる記憶装置の提供を、課題の一つとする。或いは、本発明の一態様は、記憶装置の正常な動作を確保しつつ、低消費電力化を実現できる記憶装置の提供を、課題の一つとする。また、本発明の一態様は、動作速度の低減を抑えつつ、低消費電力化を実現できる半導体装置の提供を、課題の一つとする。或いは、本発明の一態様は、半導体装置の正常な動作を確保しつつ、低消費電力化を実現できる半導体装置の提供を、課題の一つとする。

40

【課題を解決するための手段】

【0007】

本発明の一態様では、第 1 トランジスタを介してノードに電荷を蓄積させることで、記憶装置へのデータの書き込みを行う。また、第 2 トランジスタにより、第 1 トランジスタが有するゲートへの、第 1 信号の供給が制御される。第 1 信号の電位により、第 1 トランジスタにおける導通状態または非導通状態が選択される。

【0008】

50

また、本発明の一態様では、記憶装置へのデータの書き込みを行う際に、電流供給能力の低い論理素子に、データを含む第2信号の電位を入力し、当該論理素子から出力される電位を第1トランジスタのソース及びドレインの一方に供給するものとする。上記構成により、データを含む第2信号が、第1電位から上記第1電位よりも低い第2電位に変化したときに、第1トランジスタのソース及びドレインの一方を、第2電位から、第2電位よりも低い第3電位に変化させた後、第3電位から第1電位に変化させることができる。

【0009】

そして、記憶装置へのデータの書き込みを行う際に、第2電位に、第2トランジスタの閾値電圧を加算した値よりも高い電位を、第2トランジスタのゲートに供給した状態とする。第2トランジスタのゲートに上記電位が供給された上記状態において、第1トランジスタのソース及びドレインの一方が、第2電位から第3電位に下降するとき、第2トランジスタは導通状態であるので、第2トランジスタを介して第1トランジスタのゲートに第1信号の電位が供給される。また、第2トランジスタのゲートに上記電位が供給された上記状態において、第1トランジスタのソース及びドレインの一方が、第3電位から第1電位に上昇するとき、第2トランジスタは導通状態から非導通状態となるため、第1トランジスタのゲートは浮遊状態となる。そして、第1トランジスタのソースとゲートの間に形成される容量 $C_s$ により、第1トランジスタのソース及びドレインの一方が第3電位から第1電位に上昇するのに伴い、第1トランジスタのゲートの電位も上昇する。

【0010】

よって、第1信号の電位がハイレベルである場合において、当該電位に対し、第2トランジスタの閾値電圧分、第1トランジスタのゲートの電位が降下していたとしても、上記動作により第1トランジスタのゲートの電位を上昇させることができるので、第1トランジスタの導通状態を確保することができる。したがって、本発明の一態様に係る記憶装置では、記憶装置に供給する電源電圧が小さくなったとしても、上記ノードへのデータの書き込みを高速に行うことができ、データの書き込みの際に上記ノードに供給される電位が、第1トランジスタの閾値電圧によって降下するのを防ぐことができる。

【0011】

具体的に、本発明の一態様に係る記憶装置は、第1トランジスタと、上記第1トランジスタが有するゲートへの、第1信号の供給を制御する第2トランジスタと、入力される第2信号が、第1電位から上記第1電位よりも低い第2電位に変化すると、上記第1トランジスタのソース及びドレインの一方を、第2電位から上記第2電位よりも低い第3電位に変化させた後、第3電位から第1電位に変化させる論理素子と、上記第1トランジスタのソース及びドレインの他方を浮遊状態にする機能を有する半導体素子と、を有する。

【0012】

上記第1トランジスタは、チャンネル形成領域をシリコン膜またはシリコン基板に有するトランジスタに比べて、オフ電流が小さいものとする。シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域を有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体にチャンネル形成領域を有するトランジスタに比べて、オフ電流を極めて小さくすることができるので、第1トランジスタに用いるのに適している。シリコンよりもバンドギャップが広く、真性キャリア密度をシリコンよりも低くできる半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、炭化シリコン、窒化ガリウムなどが挙げられる。

【0013】

上記構成により、第1トランジスタが非導通状態のとき、上記ノードは他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。そのため、データを含む信号の電位が上記ノードにおいて保持される。

【発明の効果】

【0014】

本発明の一態様により、動作速度の低減を抑えつつ、低消費電力化を実現できる記憶装置を提供することができる。或いは、本発明の一態様により、記憶装置の正常な動作を確保

10

20

30

40

50

しつつ、低消費電力化を実現できる記憶装置を提供することができる。また、本発明の一態様により、動作速度の低減を抑えつつ、低消費電力化を実現できる半導体装置を提供することができる。或いは、本発明の一態様により、半導体装置の正常な動作を確保しつつ、低消費電力化を実現できる半導体装置を提供することができる。

【図面の簡単な説明】

【0015】

【図1】記憶装置の構成を示す図。

【図2】記憶装置の動作を示す図。

【図3】記憶装置のタイミングチャート。

【図4】記憶装置の構成を示す図。

10

【図5】セルアレイの構成を示す図。

【図6】セルアレイのタイミングチャート。

【図7】PLDの構成を示す図。

【図8】論理ブロックの構成を示す図。

【図9】PLDの構造の一部を示す図と、スイッチ回路の構成を示す図。

【図10】PLD全体の構成を示す図。

【図11】セルの断面図。

【図12】電子機器の図。

【図13】計算により得られた電位の波形を示す図。

【発明を実施するための形態】

20

【0016】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0017】

なお、本発明の一態様の半導体装置は、マイクロプロセッサ、画像処理回路、半導体表示装置用のコントローラ、DSP(Digital Signal Processor)、マイクロコントローラ、2次電池などのバッテリーの制御回路または保護回路などの、半導体素子を用いた各種半導体集積回路をその範疇に含む。また、本発明の一態様の半導体装置は、上記半導体集積回路を用いたRFタグ、半導体表示装置などの各種装置を、その範疇に含む。半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体素子を駆動回路に有しているその他の半導体表示装置が、その範疇に含まれる。

30

【0018】

記憶装置の構成例1

まず、本発明の一態様に係る記憶装置の構成例について説明する。図1に、本発明の一態様に係る記憶装置10の構成を例示する。

40

【0019】

本発明の一態様に係る記憶装置10は、トランジスタ11と、トランジスタ12と、論理素子13とを少なくとも有する組を、単数または複数有する。図1では、上記組をメモリセル14とし、単数のメモリセル14を有する記憶装置10の構成例を図示している。

【0020】

また、図1に示す記憶装置10は、メモリセル14から出力される電位が供給される半導体素子16を有する。半導体素子16から出力された電位は、配線17に与えられる。なお、図1では、半導体素子16がメモリセル14に含まれないものとして、記憶装置10の構成を例示しているが、半導体素子16はメモリセル14に含まれていても良い。

【0021】

50

トランジスタ 11 は、メモリセル 14 内のノード ND1 とノード ND3 との電気的な接続を、ノード ND2 の電位に従って制御する機能を有する。具体的に、トランジスタ 11 は、ソース及びドレインの一方がノード ND1 に相当し、ソース及びドレインの他方がノード ND3 に相当し、ゲートがノード ND2 に相当する。ノード ND1 には、論理素子 13 から出力される、データを含む信号の電位が供給される。当該電位がトランジスタ 11 を介してノード ND3 に供給されることで、当該電位に対応する電荷がノード ND3 に蓄積され、メモリセル 14 へのデータの書き込みが行われる。

【0022】

図 1 では、メモリセル 14 が、ノード ND3 に接続された容量素子 15 を有する場合を例示しており、容量素子 15 によりノード ND3 の電位が保持される。

10

【0023】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して電気的に接続している状態も、その範疇に含む。

【0024】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電気的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電気的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

20

【0025】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

30

【0026】

そして、本発明の一態様では、トランジスタ 11 のオフ電流は著しく小さいものとする。シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体膜に、チャンネル形成領域が形成されるトランジスタは、通常のシリコンやゲルマニウムなどの半導体にチャンネル形成領域を有するトランジスタに比べて、オフ電流を著しく小さくすることが可能である。よって、上記トランジスタはトランジスタ 11 として用いるのに好適である。このような半導体としては、例えば、シリコンの 2 倍以上の大きなバンドギャップを有する、酸化物半導体、窒化ガリウムなどが挙げられる。

【0027】

トランジスタ 11 のオフ電流が著しく小さいことにより、トランジスタ 11 が非導通状態のとき、トランジスタ 11 のソース及びドレインの他方は他の電極や配線との間における絶縁性が極めて高い浮遊状態になる。そのため、ノード ND3 に保持されている電荷がリークするのを防ぐことができ、データを含む信号の電位がノード ND3 において保持される。

40

【0028】

なお、特に断りがない限り、本明細書でオフ電流とは、遮断領域においてトランジスタのソースとドレイン間に流れる電流を意味する。

【0029】

トランジスタ 12 は、トランジスタ 11 が有するゲート、すなわちノード ND2 への、配

50

線WLからの信号の供給を制御する機能を有する。よって、上記信号の電位により、トランジスタ11における導通状態または非導通状態が選択される。具体的に、トランジスタ12は、ソース及びドレインの一方が、上記信号が供給される配線WLに接続されており、ソース及びドレインの他方が、トランジスタ11のゲートに接続されており、ゲートが配線VLに接続されている。

**【0030】**

半導体素子16は、トランジスタ11のソース及びドレインの他方、すなわちノードND3を、浮遊状態にする機能を有する。具体的に、半導体素子16として、トランジスタ、容量素子などを用いることができる。例えば、半導体素子16としてトランジスタが用いられる場合、当該トランジスタのゲートが、ノードND3に接続される。例えば、半導体素子16として容量素子が用いられる場合、当該容量素子が有する一対の電極のうち、一方の電極がノードND3に接続される。

10

**【0031】**

論理素子13は、データを含む信号が入力されると、当該信号の電位の極性を反転させて、トランジスタ11のソース及びドレインの一方、すなわちノードND1に供給する機能を有する。例えば、論理素子13としてインバータなどを用いることができる。そして、論理素子13は電流供給能力が低いものが望ましい。具体的には、論理素子13に入力される信号が、第1電位から上記第1電位よりも低い第2電位に変化したときに、ノードND1を第2電位から、第2電位よりも低い第3電位に変化させた後、第3電位から第1電位に変化させる程度に、電流供給能力が低いことが望ましい。

20

**【0032】**

具体的に、論理素子13の入力端子は配線DLに接続されており、論理素子13の出力端子は、トランジスタ11のソース及びドレインの一方、すなわちノードND1に接続されている。

**【0033】**

## 記憶装置の動作例

次いで、図1に示した記憶装置10の、動作の一例について説明する。図2に、図1に示した記憶装置10の動作の一例を、模式的に示す。ただし、図2では、半導体素子16としてnチャネル型のトランジスタ16tを用い、トランジスタ16tのゲートにノードND3が接続されている場合を例示している。そして、図2では、トランジスタ16tのソース及びドレインは、一方が、配線17の一例である配線17aに、他方が配線17の一例である配線17bに、接続されている場合を例示している。また、図3に、配線WL、配線DL、ノードND1、ノードND2、及びノードND3における電位のタイミングチャートを一例として示す。

30

**【0034】**

まず、図2(A)に示すように、期間t1において、配線WLにハイレベルの電位(VDD)が供給される。また、配線VLには、ローレベルの電位(例えば接地電位であるGND)にトランジスタ12の閾値電圧を加算した値よりも高いハイレベルの電位(例えばVDD)が供給される。よって、トランジスタ12は導通状態にあるので、トランジスタ11のゲート、すなわちノードND2には、ハイレベルの電位(VDD)から、トランジスタ12の閾値電圧Vthを差し引いた電位(VDD - Vth)が、トランジスタ12を介して供給される。

40

**【0035】**

そして、配線DLにはハイレベルの電位(VDD)が供給されるため、トランジスタ11のソース及びドレインの一方、すなわちノードND1には、論理素子13によりローレベルの電位(GND)が供給される。そのため、ノードND3には、ローレベルの電位(GND)がトランジスタ11を介して与えられる。よって、期間t1では、トランジスタ16tを非導通状態にし、配線17aと配線17bとを電氣的に分離した状態にできる。

**【0036】**

次いで、図2(B)に示すように、期間t2の始めにおいて、配線DLに供給される電位

50

は、ハイレベルの電位 ( $V_{DD}$ ) からローレベルの電位 ( $GND$ ) まで低下する。論理素子 13 は電流供給能力が低いので、配線 DL に供給される電位が低下するのに伴い、論理素子 13 の入力端子と出力端子の間に存在する容量によって、ノード ND1 の電位も低下する。図 2 (B) 及び図 3 では、ノード ND1 の電位が、ローレベルの電位 ( $GND$ ) から、さらに低いローレベルの電位 ( $-V_{DD}$ ) まで低下する場合を例示している。

【0037】

また、期間  $t_2$  では、配線 WL にハイレベルの電位 ( $V_{DD}$ ) が供給され、配線 VL にハイレベルの電位 ( $V_{DD}$ ) が供給された状態が維持される。よって、期間  $t_2$  の始めにおいて、トランジスタ 12 は導通状態にあるため、トランジスタ 11 のゲート、すなわちノード ND2 には、電位 ( $V_{DD} - V_{th}$ ) が供給された状態が維持される。

10

【0038】

次いで、期間  $t_2$  では、図 2 (B) に示すように、論理素子 13 により、ノード ND1 の電位が、ローレベルの電位 ( $-V_{DD}$ ) からハイレベルの電位 ( $V_{DD}$ ) まで上昇する。そして、トランジスタ 11 のソースとゲートの間に形成される容量  $C_s$  により、ノード ND1 の電位の上昇に伴い、トランジスタ 11 のゲート、すなわちノード ND2 の電位も上昇を開始する。そのため、ノード ND2 に接続された、トランジスタ 12 のソース及びドレインの他方が、電位 ( $V_{DD} - V_{th}$ ) よりも高くなり、トランジスタ 12 は非導通状態となる。よって、トランジスタ 11 のゲート、すなわちノード ND2 は、浮遊状態となる。

【0039】

20

そして、ノード ND2 が浮遊状態となった後も、ノード ND2 の電位は上昇を続ける。理想的にノード ND2 の電位は、電位 ( $V_{DD} - V_{th}$ ) に、ローレベルの電位 ( $-V_{DD}$ ) とハイレベルの電位 ( $V_{DD}$ ) の差分に相当する電圧が加算されることで得られる電位 ( $3V_{DD} - V_{th}$ ) にまで、上昇する。すなわち、本発明の一態様では、期間  $t_1$  の終了時には、トランジスタ 11 のゲートの電位がハイレベルの電位 ( $V_{DD}$ ) からトランジスタ 12 の閾値電圧  $V_{th}$  だけ降下していたとしても、期間  $t_2$  では、トランジスタ 11 のゲートの電位を上記動作により上昇させることができる。よって、本発明の一態様に係る記憶装置 10 では、記憶装置 10 に供給する電源電圧が小さくなり、電位 ( $V_{DD}$ ) と電位 ( $GND$ ) との電位差が小さくなったとしても、データの書き込みの際に上記ノード ND1 に供給される電位 ( $V_{DD}$ ) が、トランジスタ 11 の閾値電圧によって降下するのを防ぎつつ、ノード ND3 に電位 ( $V_{DD}$ ) を供給することができ、なおかつ、上記ノード ND3 へのデータの書き込みを高速に行うことができる。

30

【0040】

そして、期間  $t_2$  では、ノード ND3 にハイレベルの電位 ( $V_{DD}$ ) が供給されるので、トランジスタ 16 t は導通状態となり、配線 17 a と配線 17 b とは電氣的に接続される。

【0041】

なお、図 2 (B) 及び図 3 では、期間  $t_2$  において、配線 DL に供給される電位を、ハイレベルの電位 ( $V_{DD}$ ) からローレベルの電位 ( $GND$ ) まで低下させ、ノード ND3 に論理値 "1" に対応するハイレベルの電位 ( $V_{DD}$ ) を供給する場合を例示している。しかし、本発明の一態様では、期間  $t_2$  において、配線 DL に供給される電位を、ハイレベルの電位 ( $V_{DD}$ ) のままとし、ノード ND3 に論理値 "0" に対応するローレベルの電位 ( $GND$ ) を供給させることも可能である。

40

【0042】

次いで、期間  $t_3$  において、配線 WL にローレベルの電位 ( $GND$ ) が供給される。また、配線 VL には、ハイレベルの電位 (例えば  $V_{DD}$ ) が供給される。よって、トランジスタ 12 は導通状態にあるので、トランジスタ 12 を介してトランジスタ 11 のゲート、すなわちノード ND2 には、ローレベルの電位 ( $GND$ ) が供給される。そのため、トランジスタ 11 は非導通状態となり、ノード ND3 では期間  $t_2$  において供給された電位 ( $V_{DD}$ ) が保持される。よって、トランジスタ 16 t は導通状態を維持し、配線 17 a と配

50



線 17b とは電氣的に接続された状態が維持される。

【0043】

また、期間 t3 では、配線 DL にハイレベルの電位 (VDD) が供給される場合を例示しているので、ノード ND1 は電位 (GND) となる。

【0044】

論理素子の構成例

次いで、論理素子 13 としてインバータを用いた記憶装置 10 の構成を、図 4 (A) に例示する。

【0045】

図 4 (A) に示す記憶装置 10 が有する論理素子 13 は、p チャンネル型のトランジスタ 18 と、n チャンネル型のトランジスタ 19 とを有する。トランジスタ 18 とトランジスタ 19 のゲートは共に配線 DL に接続されている。トランジスタ 18 のソース及びドレインの一方は、ハイレベルの電位が供給される配線 20 に接続されており、トランジスタ 19 のソース及びドレインの一方は、ローレベルの電位が供給される配線 21 に接続されている。トランジスタ 18 のソース及びドレインの他方と、トランジスタ 19 のソース及びドレインの他方とは、トランジスタ 11 のソース及びドレインの一方、すなわちノード ND1 に接続されている。

【0046】

また、論理素子 13 としてインバータを用いた記憶装置 10 の、別の構成例を、図 4 (B) に示す。図 4 (B) に示す記憶装置 10 は、図 4 (A) に示した記憶装置 10 にインバータ 22 が追加された構成を有する。具体的に、図 4 (B) に示す記憶装置 10 では、配線 WL が配線 DL に接続されており、配線 DL がインバータ 22 の入力端子と、トランジスタ 12 のソース及びドレインの一方とに接続されている。なお、図 4 (B) では、配線 WL の図示を省略し、配線 DL のみ図示している。そして、インバータ 22 の出力端子は、論理素子 13 の入力端子 (ノード ND4 として図示する) に接続されている。

【0047】

なお、図 4 (A) 及び図 4 (B) において、データの保持期間が長くなると、半導体素子 16 に、ハイレベルの電位とローレベルの電位の間電位が、長期間与えられる場合も生じ得る。よって、例えば、半導体素子 16 としてインバータを用いる場合、当該インバータを構成するトランジスタのチャンネル長を大きくし、上記インバータにより消費される電力を下げるのが望ましい。

【0048】

なお、本発明の一態様に係る記憶装置 10 では、論理素子 13 に入力される信号が、第 1 電位から上記第 1 電位よりも低い第 2 電位に変化したときに、ノード ND1 を第 2 電位から、第 2 電位よりも低い第 3 電位に変化させた後、第 3 電位から第 1 電位に変化させる程度に、論理素子 13 の電流供給能力が低いことが望ましい。具体的に、図 4 (A) 及び図 4 (B) の場合、トランジスタ 18 及びトランジスタ 19 は、そのチャンネル長が長いことが望ましい。具体的なチャンネル長の長さについて、以下に説明する。ただし、以下の説明では、説明を分かりやすくするために、トランジスタ 18 のソースが配線 20 に接続され、トランジスタ 19 のソースが配線 21 に接続され、トランジスタ 18 のドレイン及びトランジスタ 19 のドレインが、ノード ND1 に接続されているものと仮定する。

【0049】

図 4 (B) に示す記憶装置 10 において、論理素子 13 の入力端子、すなわちノード ND4 の電位が、ハイレベルの電位 (VDD) からローレベルの電位 (例えば接地電位である GND) に低下する過渡期において、論理素子 13 が有するトランジスタ 18 とトランジスタ 19 とには、共にチャンネル形成領域が形成される。なお、チャンネル形成領域とは、トランジスタに含まれる半導体膜または半導体基板のうち、ゲート電極と重なる領域であり、なおかつ、ソース電極またはソース領域と、ドレイン領域またはドレイン電極とに挟まれる領域を意味する。そして、ゲート電極とチャンネル形成領域の間の容量のうち、半分をゲート電極とソース領域の間の容量  $C_s$ 、残りの半分をゲート電極とドレイン領域の容量

10

20

30

40

50

C<sub>d</sub>と仮定すると、容量C<sub>s</sub>及び容量C<sub>d</sub>は以下の式1で表される。ただし、トランジスタ19のチャンネル長とチャンネル幅をそれぞれL<sub>i</sub>とW<sub>n</sub>とし、トランジスタ18のチャンネル長とチャンネル幅をそれぞれL<sub>i</sub>とW<sub>p</sub>とし、比例定数をaとする。

【0050】

【数1】

$$C_s = C_d = \frac{a L_i (W_n + W_p)}{2} \quad \text{式1}$$

【0051】

トランジスタ18のソースに接続されている配線20と、トランジスタ19のソースに接続されている配線21には、共に固定の電位が与えられている。そして、トランジスタ11のチャンネル形成領域の抵抗が大きいこと、さらに、論理素子13の入力端子の電位が、ハイレベルの電位(VDD)からローレベルの電位(GND)に低下する際にトランジスタ12が非導通状態であることから、トランジスタ18のドレイン及びトランジスタ19のドレインはフローティングの状態にあるとみなすことができる。

10

【0052】

インバータ22の出力端子から論理素子13の入力端子に供給されるシンク電流をI<sub>s</sub>とすると、論理素子13の容量C<sub>s</sub>はシンク電流I<sub>s</sub>により充電されることから、論理素子13の入力端子における電位の立ち下りの時定数τ<sub>i</sub>は、以下の式2で表される。

20

【0053】

【数2】

$$\tau_i = C_s \cdot \frac{VDD}{I_s} = \frac{a L_i (W_n + W_p)}{2} \cdot \frac{VDD}{I_s} \quad \text{式2}$$

【0054】

インバータ22が有する各トランジスタのチャンネル長とチャンネル幅を、それぞれLとWとする。通常、上記チャンネル長Lとチャンネル幅Wは、プロセスで規定される最小のサイズが採用される。また、論理素子13のトランジスタ19のチャンネル幅W<sub>n</sub>は、上記チャンネル幅Wと等しいと仮定する。トランジスタ18のチャンネル幅W<sub>p</sub>は、nチャンネル型であるトランジスタ19とpチャンネル型であるトランジスタ18の移動度の差を考慮し、トランジスタ19と同じドレイン電流が流れるように調整されているものとする。

30

【0055】

そして、論理素子13の入力端子が、ハイレベルの電位(VDD)からローレベルの電位(GND)に低下する際に、ノードND1が電位(-VDD)まで低下すると仮定すると、論理素子13では、トランジスタ18及びトランジスタ19に共に電流I<sub>i</sub>が流れる。上記電流I<sub>i</sub>は、以下の式3で表すことができる。

【0056】

【数3】

$$I_i = 2 I_s \frac{L}{L_i} \quad \text{式3}$$

40

【0057】

そして、論理素子13のトランジスタ18及びトランジスタ19に共に流れる電流I<sub>i</sub>により、論理素子13の容量C<sub>d</sub>が充電されるので、ノードND1における電位の立ち上りの時定数τ<sub>o</sub>は、以下の式4で表される。

【0058】

【数4】

$$\tau_o = C_d \cdot \frac{VDD}{l_i} = \frac{a Li (Wn + Wp)}{2} \cdot \frac{Li VDD}{2 Is L} \quad \text{式4}$$

【0059】

本発明の一態様において、論理素子13の電流供給能力は低いことが望ましく、そのためには、時定数  $\tau_o$  が時定数  $\tau_i$  より大きいという条件を満たすことが望ましい。すなわち、上記条件を満たすためには、式2と式4から、以下の式5を満たす必要がある。

【0060】

10

【数5】

$$\frac{a Li (Wn + Wp)}{2} \cdot \frac{Li VDD}{2 Is L} > \frac{a Li (Wn + Wp)}{2} \cdot \frac{VDD}{Is} \quad \text{式5}$$

【0061】

式5から、以下の式6が導き出される。

【0062】

【数6】

$$Li > 2L$$

式6

20

【0063】

従って、本発明の一態様では、論理素子13が有するトランジスタのチャンネル長  $L_i$  が、インバータ22が有するトランジスタのチャンネル長  $L$  の2倍より大きいことが望ましい。

【0064】

また、図4(A)の場合、配線DLの寄生抵抗を  $R_p$ 、寄生容量を  $C_p$  とすると、論理素子13の入力端子における電位の立ち下りの時定数  $\tau_i$  は、以下の式7で表される。

【0065】

【数7】

$$\tau_i = C_p \cdot R_p$$

式7

30

【0066】

そして、図4(A)の場合、ノードND1における電位の立ち上がりの時定数  $\tau_o$  は、図4(B)の場合と同様に、式4で表される。そして、時定数  $\tau_o$  が時定数  $\tau_i$  より大きいという条件を満たすためには、以下の式8を満たす必要がある。

【0067】

【数8】

$$\frac{a Li (Wn + Wp)}{2} \cdot \frac{Li VDD}{2 Is L} > C_p \cdot R_p \quad \text{式8}$$

40

【0068】

式8から、以下の式9が導き出される。

【0069】

【数 9】

$$L_i > \frac{4 I_s C_p R_p}{a L_i (W_n + W_p) V_{DD}} L \quad \text{式 9}$$

【 0 0 7 0 】

したがって、図 4 ( A ) の場合、論理素子 1 3 が有するトランジスタのチャネル長 L は、他のトランジスタのチャネル長 L に比べて、式 9 を満たす程度に十分に大きくすることが望ましい。

【 0 0 7 1 】

次いで、図 4 ( B ) に示した記憶装置 1 0 の、計算により得られた各配線及びノードの電位の波形を、図 1 3 に示す。計算は、ローレベルの電位を 0 V、ハイレベルの電位を 1 V として行った。

【 0 0 7 2 】

配線 D L の電位が 0 V から 1 V に上昇すると、インバータである論理素子 1 3 の入力端子、すなわちノード N D 4 の電位は、1 V から 0 V に低下した。電流供給能力が十分に高いインバータの場合は、入力端子に 0 V が供給されると、出力端子から 1 V を出力するが、論理素子 1 3 は電流供給能力が低い。そのため、ノード N D 4 の電位が下がると、論理素子 1 3 の入力端子と出力端子の間に存在する容量により、ノード N D 1 の電位は、0 V から - 1 V 近くまで一旦低下した後、時間をかけて 1 V まで上昇した。

【 0 0 7 3 】

また、配線 D L の電位が 0 V から 1 V に上昇するのに伴い、ノード N D 2 の電位も上昇を開始した。そして、トランジスタ 1 2 のゲート電圧が閾値電圧に近づくと、トランジスタ 1 2 のドレイン電流が小さくなり、ノード N D 2 の電位は 1 V に達することなく、0 . 6 V 乃至 0 . 7 V 程度となると上昇を停止した。そして、ノード N D 2 の電位が上記電位に達した後、ノード N D 1 の電位が 0 V から - 1 V 近くまで低下する際に、ノード N D 2 の電位はトランジスタ 1 1 の容量 C s により低下しそうになるが、ノード N D 2 にはトランジスタ 1 2 を介して配線 D L から 1 V が供給されるので、ノード N D 2 の電位はほとんど低下しなかった。

【 0 0 7 4 】

次いで、ノード N D 1 の電位が - 1 V 近くから 1 V に上昇する際、トランジスタ 1 2 は非導通状態となるため、ノード N D 2 の電位は、トランジスタ 1 1 の容量 C s により 2 V を超える程度にまで上昇した。そして、ノード N D 2 の電位が十分高くなったので、トランジスタ 1 1 の閾値電圧分だけノード N D 3 の電位が低下するということなく、ノード N D 3 に所望の電位 1 V を書き込めたことが確認された。

【 0 0 7 5 】

もし、論理素子 1 3 の電流供給能力が十分に高く、ノード N D 1 の電位が 0 V から一旦低下することなく 1 V に上昇するのであれば、ノード N D 2 の電位は、トランジスタ 1 1 の容量 C s によって 1 V を超える程度まで上昇することはあっても 2 V を超える高さまでは上昇しない。一方、本発明の一態様では、論理素子 1 3 の出力端子における電位が一旦低下してから上昇するために、ノード N D 2 の電位、すなわちトランジスタ 1 1 のゲートの電位を、論理素子 1 3 の電流供給能力が十分に大きい場合よりも高くすることができる。従って、電源電位の数を増加させることなく、メモリセル 1 4 のノード N D 3 に所望の電位を書き込むことが可能となる。

【 0 0 7 6 】

記憶装置の構成例 2

次いで、複数のメモリセルを有する記憶装置の構成と、その駆動方法の一例について説明する。

【 0 0 7 7 】

図 5 は、メモリセル 1 4 を複数有するセルアレイ 3 0 の、回路図の一例である。ただし、

10

20

30

40

50

図5では、図1とは異なり、半導体素子16がメモリセル14に含まれる場合を例示しており、なおかつ、半導体素子16としてトランジスタ16tを用いる場合を例示している。

【0078】

図5に示すセルアレイ30では、複数の配線WL、複数の配線DL、複数の配線VL、複数の配線CL、複数の配線SLなどの各種配線が設けられており、駆動回路からの信号又は電位が、これら配線を介して各メモリセル14に供給される。

【0079】

なお、上記配線の数は、メモリセル14の数及び配置によって決めることができる。具体的に、図5に示すセルアレイ30の場合、y行x列(x、yは2以上の自然数)のメモリセル14がマトリクス状に接続されており、複数の配線WLに相当する配線WL1乃至配線WLyと、複数の配線DLに相当する配線DL1乃至配線DLxと、複数の配線VLに相当する配線VL1乃至配線VLyと、複数の配線CLに相当する配線CL1乃至配線CLyと、複数の配線SLに相当する配線SL1乃至配線SLyとが、セルアレイ30内に配置されている場合を例示している。

10

【0080】

そして、各メモリセル14では、論理素子13の入力端子が配線DLの一つに接続され、論理素子13の出力端子がトランジスタ11のソース及びドレインの一方に接続されている。トランジスタ12は、ゲートが配線VLの一つに接続され、ソース及びドレインの一方が配線WLに接続され、ソース及びドレインの他方がトランジスタ11のゲートに接続されている。トランジスタ11のソース及びドレインの他方は、トランジスタ16tのゲートと、容量素子15が有する一方の電極とに、接続されている。容量素子15が有する他方の電極は、配線CLの一つに接続されている。トランジスタ16tは、ソース及びドレインの一方が配線DLの一つに接続されており、ソース及びドレインの他方が配線SLの一つに接続されている。

20

【0081】

図5では、トランジスタ11及びトランジスタ12がnチャネル型であり、トランジスタ16tがpチャネル型である場合を例示している。また、配線DLと配線SLとは、一方が、図1に示す配線17の一例である配線17aに相当し、他方が、図1に示す配線17の一例である配線17bに相当する。

30

【0082】

次いで、図5に示すセルアレイ30の動作について、図6のタイミングチャートを用いて説明する。なお、図6では、1行1列目のメモリセル14と、1行x列目のメモリセル14と、y行1列目のメモリセル14と、y行x列目のメモリセル14とにおいて、データの書き込み、保持、読み出しを行う場合を例に挙げている。

【0083】

また、図6では、ローレベルの電位として接地電位(GND)を用いる場合を例示している。

【0084】

まず、期間T1において、1行目のメモリセル14が有する、配線WL1及び配線CL1の選択を行う。具体的に図6では、配線WL1にハイレベルの電位(VDD)が供給され、それ以外の配線WL2乃至配線WLyには、ローレベルの電位(GND)が供給される。また、配線SL及び配線VLには、電位(VDD)が供給されている。よって、1行目のメモリセル14が有するトランジスタ11が、選択的に導通状態になる。また、配線CL1には電位(GND)が供給され、他の配線CL2乃至配線CLyには電位(VDD)が供給される。

40

【0085】

そして、配線WL1及び配線CL1が選択されている期間において、配線DL1及び配線DLxに、データを含む信号の電位が供給される。配線DL1及び配線DLxに供給される電位のレベルは、データの内容によって当然異なる。図6では、配線DL1に電位(G

50

ND)が供給され、配線DLxに電位(VDD)が供給されている場合を例示する。配線DL1及び配線DLxに供給される電位は、論理素子13によってその極性が反転させられた後、導通状態のトランジスタ11を介して、トランジスタ16tのゲート、すなわちノードND3に供給される。そして、供給される電位に従って、ノードND3に蓄積される電荷量が制御されることで、1行1列目のメモリセル14と、1行x列目のメモリセル14へのデータの書き込みが行われる。

#### 【0086】

なお、論理素子13は電流供給能力が低いので、期間T1において配線DL1に供給される電位が低下するのに伴い、論理素子13が有する容量によって、配線DL1及び配線WL1に接続されたメモリセル14の、ノードND1の電位も低下する。そして、トランジスタ11のソースとゲートの間に形成される容量Csにより、ノードND1の電位の上昇に伴い、トランジスタ11のゲート、すなわちノードND2の電位も上昇を開始する。そのため、ノードND2に接続された、トランジスタ12のソース及びドレインの他方が、電位(VDD-Vth)よりも高くなり、トランジスタ12は非導通状態となる。よって、トランジスタ11のゲート、すなわちノードND2は、浮遊状態となる。そして、ノードND2が浮遊状態となった後も、ノードND2の電位は上昇を続け、理想的には、電位(VDD-Vth)に、ローレベルの電位(-VDD)とハイレベルの電位(VDD)の差分に相当する電圧が加算されることで得られる電位(3VDD-Vth)にまで、上昇させることができる。よって、データの書き込みの際に上記ノードND1に供給される電位(VDD)が、トランジスタ11の閾値電圧によって降下するのを防ぎつつ、ノードND3に電位(VDD)を供給することができ、なおかつ、上記ノードND3へのデータの書き込みを高速に行うことができる。

#### 【0087】

次いで、配線WL1に電位(GND)が供給され、1行目のメモリセル14が有するトランジスタ11が、非導通状態になる。また、配線CL1に電位(VDD)が供給され、それに伴いノードND3の電位が上昇することで、ノードND3に書き込まれたデータに関わらず、トランジスタ16tは非導通状態となる。

#### 【0088】

次いで、期間T2において、y行目のメモリセル14が有する、配線WLy及び配線CLyの選択を行う。具体的に図6では、配線WLyに電位(VDD)が供給され、それ以外の配線WL1乃至配線WL(y-1)には、電位(GND)が供給される。また、配線SL及び配線VLには、電位(VDD)が供給されている。よって、y行目のメモリセル14が有するトランジスタ11が、選択的に導通状態になる。また、配線CLyには電位(GND)が供給され、他の配線CL1乃至配線CL(y-1)には電位(VDD)が供給される。

#### 【0089】

そして、配線WLy及び配線CLyが選択されている期間において、配線DL1及び配線DLxに、データを含む信号の電位が供給される。図6では、配線DL1に電位(VDD)が供給され、配線DLxに電位(GND)が供給されている場合を例示する。配線DL1及び配線DLxに供給される電位は、論理素子13によってその極性が反転させられた後、導通状態のトランジスタ11を介して、トランジスタ16tのゲート、すなわちノードND3に供給される。そして、供給される電位に従って、ノードND3に蓄積される電荷量が制御されることで、y行1列目のメモリセル14と、y行x列目のメモリセル14へのデータの書き込みが行われる。

#### 【0090】

なお、期間T1における配線DL1及び配線WL1に接続されたメモリセル14の場合と同様に、期間T2では、配線DLx及び配線WLyに接続されたメモリセル14において、トランジスタ11のゲート、すなわちノードND2を、理想的には電位(3VDD-Vth)にまで、上昇させることができる。よって、データの書き込みの際に上記ノードND1に供給される電位(VDD)が、トランジスタ11の閾値電圧によって降下するのを

10

20

30

40

50

防ぎつつ、ノードND3に電位(VDD)を供給することができ、なおかつ、上記ノードND3へのデータの書き込みを高速に行うことができる。

【0091】

また、メモリセル14に誤ったデータが書き込まれるのを防ぐために、配線WL及び配線CLの選択期間が終了した後に、配線DLへのデータを含む信号の供給を、終了させることが望ましい。

【0092】

次いで、配線WLyに電位(GND)が供給され、y行目のメモリセル14が有するトランジスタ11が、非導通状態になる。また、配線CLyに電位(VDD)が供給され、それに伴いノードND3の電位が上昇することで、ノードND3に書き込まれたデータに関わらず、トランジスタ16tは非導通状態となる。

10

【0093】

本発明の一態様では、上述したように、トランジスタ11のオフ電流が著しく小さい。トランジスタ11のオフ電流が小さいと、ノードND3に蓄積された電荷はリークしづらくなるため、長い期間に渡ってデータの保持を行うことができる。

【0094】

次いで、期間T3に示すように、1行目のメモリセル14が有する、配線CL1の選択を行う。具体的に図6では、配線CL1に電位(GND)が供給され、他の配線CL2乃至配線CLyにハイレベルの電位(VDD)が供給される。また、期間T3では、全ての配線WLは、電位(GND)が供給されることで非選択の状態になっている。そして、配線CL1の選択が行われている期間において、配線SL及び配線VLには、電位(VDD)が供給されている。

20

【0095】

トランジスタ16tのソースとドレイン間の抵抗は、ノードND3に蓄積された電荷量に依存する。よって、配線DL1及び配線DLxには、ノードND3に蓄積された電荷量に応じた電位が供給される。そして、上記電位から電荷量の違いを読み取ることにより、1行1列目のメモリセル14と、1行x列目のメモリセル14から、データを読み出すことができる。

【0096】

次いで、期間T4に示すように、y行目のメモリセル14が有する、配線CLyの選択を行う。具体的に図6では、配線CLyに電位(GND)が供給され、他の配線CL1乃至配線CL(y-1)にハイレベルの電位(VDD)が供給される。また、期間T4では、全ての配線WLは、電位(GND)が供給されることで非選択の状態になっている。そして、配線CLyの選択が行われている期間において、配線SL及び配線VLには、電位(VDD)が供給されている。

30

【0097】

トランジスタ16tのソースとドレイン間の抵抗は、ノードND3に蓄積された電荷量に依存する。よって、配線DL1及び配線DLxには、ノードND3に蓄積された電荷量に応じた電位が供給される。そして、上記電位から電荷量の違いを読み取ることにより、y行1列目のメモリセル14と、y行x列目のメモリセル14から、データを読み出すことができる。

40

【0098】

なお、各配線DLの先には読み出し回路が接続されており、読み出し回路の出力信号が、セルアレイ30から実際に読み出されたデータを含んでいる。

【0099】

半導体装置の構成例

半導体装置の一つであるプログラマブルロジックデバイス(PLD: Programmable Logic Device)は、適当な規模の論理ブロック(プログラマブルロジックエレメント)で論理回路が構成されており、各論理ブロックの機能や、論理ブロック間の接続構造を、製造後において変更(コンフィギュレーション)できることを特徴と

50

する。具体的に、上記 P L D は、複数の論理ブロックと、論理ブロック間の接続を制御する配線リソースとを有する。各論理ブロックの機能と、配線リソースにより構成される論理ブロック間の接続構造とは、コンフィギュレーションデータにより定義され、上記コンフィギュレーションデータは、各論理ブロックが有する記憶装置、または配線リソースが有する記憶装置に格納される。

**【 0 1 0 0 】**

図 1 に示した記憶装置 1 0 が有する半導体素子 1 6 としてスイッチを用い、半導体素子 1 6 により複数の論理ブロック 4 1 間の電氣的な接続が制御される、P L D の構成例を図 7 に示す。

**【 0 1 0 1 】**

図 7 では、記憶装置 1 0 に保持されているデータに従って、導通状態または非導通状態が選択されるスイッチとしての機能を有するトランジスタなどの半導体素子 1 6 と、半導体素子 1 6 により互いの電氣的な接続が制御される論理ブロック 4 1 - 1 及び論理ブロック 4 1 - 2 が図示されている。論理ブロック 4 1 - 1 及び論理ブロック 4 1 - 2 は、複数の論理ブロック ( L B ) 4 1 の一例に相当する。

**【 0 1 0 2 】**

具体的に、半導体素子 1 6 がデータに従って導通状態になると、論理ブロック 4 1 - 1 と論理ブロック 4 1 - 2 とは電氣的に接続され、半導体素子 1 6 がデータに従って非導通状態になると、論理ブロック 4 1 - 1 と論理ブロック 4 1 - 2 とは電氣的に分離される。

**【 0 1 0 3 】**

よって、記憶装置 1 0 に保持されているコンフィギュレーションデータに従って、論理ブロック 4 1 - 1 と論理ブロック 4 1 - 2 の電氣的な接続を制御することができる。

**【 0 1 0 4 】**

なお、記憶装置 1 0 におけるコンフィギュレーションデータの消失を事前に検出するために、検出用の記憶装置 1 0 を P L D に設けるようにしても良い。検出用の記憶装置 1 0 は、例えば、図 4 ( B ) に示す記憶装置 1 0 において、半導体素子 1 6 にインバータを用いた構成とすることができる。ノード N D 3 に接続された容量素子 1 5 やその他の寄生容量を含めた容量値は、検出用の記憶装置 1 0 の方が、コンフィギュレーションメモリとして用いる記憶装置 1 0 よりも、小さくなるように設定しておくことが望ましい。そして、コンフィギュレーションが終了した後、検出用の記憶装置 1 0 において、配線 D L の電位をハイレベルにして、ノード N D 3 にハイレベルの電位を書き込む。そして、ノード N D 3 の電位が、インバータである半導体素子 1 6 のしきい値電位よりも下がれば、半導体素子 1 6 から出力される電位はローレベルからハイレベルに変化するため、当該電位の変化を検出することで、コンフィギュレーションデータが消失するタイミングを見定めることができる。上記構成により、コンフィギュレーションデータが消失する前に、P L D にて使用中のデータを退避させた上でクロック信号及び電源電圧の供給を停止する、或いは、外部メモリにコンフィギュレーションデータの再書き込みを要求することができる。また、P L D の電源をオフにした後、再び電源をオンにする際に、インバータである半導体素子 1 6 から出力される電位がハイレベルであれば、P L D は外部メモリにコンフィギュレーションデータの再書き込みを要求することができる。

**【 0 1 0 5 】**

次いで、図 8 ( A ) に、論理ブロック ( L B ) 4 1 の一形態を例示する。図 8 ( A ) に示す論理ブロック 4 1 は、L U T ( ルックアップテーブル ) 4 2 と、フリップフロップ 4 3 と、記憶装置 1 0 と、を有する。L U T 4 2 は、記憶装置 1 0 が有するコンフィギュレーションデータに従って、行われる論理演算が定義される。具体的に L U T 4 2 は、入力端子 4 4 に与えられた複数の入力信号の入力値に対する、一の出力値が定まる。そして、L U T 4 2 からは、上記出力値を含む信号が出力される。フリップフロップ 4 3 は、L U T 4 2 から出力される信号を保持し、クロック信号 C L K に同期して当該信号に対応した出力信号を、第 1 出力端子 4 5 及び第 2 出力端子 4 6 から出力する。

**【 0 1 0 6 】**



なお、論理ブロック41がさらにマルチプレクサ回路を有し、当該マルチプレクサ回路によって、LUT42からの出力信号がフリップフロップ43を経由するか否かを選択できるようにしても良い。

【0107】

また、コンフィギュレーションデータによって、フリップフロップ43の種類を定義できる構成にしても良い。具体的には、コンフィギュレーションデータによって、フリップフロップ43がD型フリップフロップ、T型フリップフロップ、JK型フリップフロップ、またはRS型フリップフロップのいずれかの機能を有するようにしても良い。

【0108】

また、図8(B)に、論理ブロック41の別の形態を例示する。図8(B)に示す論理ブロック41は、図8(A)に示した論理ブロック41に、AND回路47が追加された構成を有している。AND回路47には、フリップフロップ43からの信号が、正論理の入力として与えられ、信号INITが負論理の入力として与えられている。上記構成により、論理ブロック41からの出力信号が供給される配線の電位を初期化することができる。よって、論理ブロック41間で大量の電流が流れることを未然に防ぎ、PLDの破損が引き起こされるのを防ぐことができる。

10

【0109】

また、図8(C)に、論理ブロック41の別の形態を例示する。図8(C)に示す論理ブロック41は、図8(A)に示した論理ブロック41に、マルチプレクサ48が追加された構成を有している。また、図8(C)に示す論理ブロック41は、記憶装置10a及び記憶装置10bで示される二つの記憶装置10を有する。LUT42は、記憶装置10aが有するコンフィギュレーションデータに従って、行われる論理演算が定義される。また、マルチプレクサ48は、LUT42からの出力信号と、フリップフロップ43からの出力信号とが入力されている。そして、マルチプレクサ48は、記憶装置10bに格納されているコンフィギュレーションデータに従って、上記2つの出力信号のいずれか一方を選択し、出力する機能を有する。マルチプレクサ48からの出力信号は、第1出力端子45及び第2出力端子46から出力される。

20

【0110】

図9(A)にPLD40の構造の一部を、一例として模式的に示す。図9(A)に示すPLD40は、複数の論理ブロック(LB)41と、複数の論理ブロック41のいずれかに接続された配線群121と、配線群121を構成する配線どうしの接続を制御するスイッチ回路122とを有する。配線群121及びスイッチ回路122が、配線リソース123に相当する。スイッチ回路122によって制御される配線どうしの接続構造は、記憶装置10が有するコンフィギュレーションデータによって定められる。

30

【0111】

図9(B)に、スイッチ回路122の構成例を示す。図9(B)に示すスイッチ回路122は、配線群121に含まれる配線125と配線126の接続構造を制御する機能を有する。具体的に、スイッチ回路122は、トランジスタ127乃至トランジスタ132を有する。トランジスタ127乃至トランジスタ132は、記憶装置10が有する半導体素子16に相当する。よって、スイッチ回路122と記憶装置10は、トランジスタ127乃至トランジスタ132を共有していると言える。トランジスタ127乃至トランジスタ132は、複数の記憶装置10のノードND3に、それぞれ接続されている。そして、トランジスタ127乃至トランジスタ132の導通状態または非導通状態の選択(スイッチング)は、記憶装置10のノードND3に保持されているデータにより定まる。

40

【0112】

トランジスタ127は、配線125におけるPoint Aと、配線126におけるPoint Cの電気的な接続を制御する機能を有する。トランジスタ128は、配線125におけるPoint Bと、配線126におけるPoint Cの電気的な接続を制御する機能を有する。トランジスタ129は、配線125におけるPoint Aと、配線126におけるPoint Dの電気的な接続を制御する機能を有する。トランジスタ130は、配線1

50

25におけるPoint Bと、配線126におけるPoint Dの電気的な接続を制御する機能を有する。トランジスタ131は、配線125におけるPoint AとPoint Bの電気的な接続を制御する機能を有する。トランジスタ132は、配線126におけるPoint CとPoint Dの電気的な接続を制御する機能を有する。

【0113】

また、スイッチ回路122は、配線群121と、PLD40の出力端子124の、電気的な接続を制御する機能を有する。

【0114】

図10に、PLD40全体の構成を一例として示す。図10では、PLD40に、I/Oエレメント140、PLL(phase lock loop)141、RAM142、乗算器143が設けられている。I/Oエレメント140は、PLD40の外部回路からの信号の入力、または外部回路への信号の出力を制御する、インターフェースとしての機能を有する。PLL141は、信号CKを生成する機能を有する。RAM142は、論理演算に用いられるデータを格納する機能を有する。乗算器143は、乗算専用の論理回路に相当する。PLD40に乗算を行う機能が含まれていれば、乗算器143は必ずしも設ける必要はない。

【0115】

セルの断面構造の例

図11に、図4(A)に示した記憶装置10が有する、トランジスタ11、トランジスタ12、トランジスタ18、トランジスタ19、及び容量素子15の断面構造を、一例として示す。

【0116】

図11では、SOI(Silicon On Insulator)基板に、pチャネル型のトランジスタ18、nチャネル型のトランジスタ19、nチャネル型のトランジスタ12が形成され、酸化半導体膜を用いたトランジスタ11が、トランジスタ18、トランジスタ19、及びトランジスタ12上に形成されている場合を例示している。トランジスタ18、トランジスタ19、及びトランジスタ12は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの薄膜の半導体膜を用いても良い。或いは、トランジスタ18、トランジスタ19、及びトランジスタ12は、酸化半導体膜を用いても良い。全てのトランジスタが酸化半導体膜を用いている場合、トランジスタ18、トランジスタ19、及びトランジスタ12上にトランジスタ11が積層されていなくとも良く、同一の絶縁表面上に全てのトランジスタが形成されていても良い。また、トランジスタ18、トランジスタ19、及びトランジスタ12は、単結晶のシリコン基板に形成されていても良い。ただし、ノードND1に負の極性を有する電位が供給されたときにラッチアップが生じるのを防ぐために、本発明の一態様では、絶縁表面上に設けられた薄膜の半導体膜を用いて、トランジスタ18、トランジスタ19、及びトランジスタ12を形成することが望ましい。

【0117】

なお、薄膜のシリコンを用いてトランジスタ18、トランジスタ19、及びトランジスタ12を形成する場合、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコンなどを用いても良い。

【0118】

図11では、絶縁膜401が形成された基板400上に、トランジスタ18、トランジスタ19、及びトランジスタ12が形成されている。

【0119】

基板400として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板400には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合

10

20

30

40

50

には、歪み点が730 以上のものを用いると良い。

【0120】

本実施の形態では、単結晶シリコンの半導体基板を基板400として用いることが望ましい。単結晶の半導体基板はガラス基板よりも表面の平坦性が高い。よって、基板のうねりに起因して絶縁膜や導電膜などの膜厚がばらつくのを防ぐことができるため、トランジスタなどの半導体素子を微細化しても半導体素子の電気的特性を均一にすることができる。

【0121】

具体的に、トランジスタ18は、絶縁膜401上に、結晶性を有する半導体膜402と、半導体膜402上のゲート絶縁膜403と、ゲート絶縁膜403を間に挟んで半導体膜402と重なる位置に設けられたゲート電極404とを有する。そして、半導体膜402は、チャンネル形成領域として機能する第1の領域405と、p型の導電性を有し、ソースまたはドレインとして機能する、第2の領域406及び第2の領域407とを有する。第2の領域406及び第2の領域407は、第1の領域405を間に挟んでいる。

10

【0122】

具体的に、トランジスタ19は、絶縁膜401上に、結晶性を有する半導体膜408と、半導体膜408上のゲート絶縁膜409と、ゲート絶縁膜409を間に挟んで半導体膜408と重なる位置に設けられたゲート電極410とを有する。そして、半導体膜408は、チャンネル形成領域として機能する第1の領域411と、n型の導電性を有し、ソースまたはドレインとして機能する、第2の領域412及び第2の領域413とを有する。第2の領域412及び第2の領域413は、第1の領域411を間に挟んでいる。

20

【0123】

具体的に、トランジスタ12は、絶縁膜401上に、結晶性を有する半導体膜414と、半導体膜414上のゲート絶縁膜415と、ゲート絶縁膜415を間に挟んで半導体膜414と重なる位置に設けられたゲート電極416とを有する。そして、半導体膜414は、チャンネル形成領域として機能する第1の領域417と、n型の導電性を有し、ソースまたはドレインとして機能する、第2の領域418及び第2の領域419とを有する。第2の領域418及び第2の領域419は、第1の領域417を間に挟んでいる。

【0124】

トランジスタ18、トランジスタ19、及びトランジスタ12上には、絶縁膜420が設けられている。絶縁膜420には開口部が形成されており、上記開口部において、第2の領域406に接続された配線423と、第2の領域407及び第2の領域412に接続された配線424と、第2の領域413に接続された配線425と、第2の領域418に接続された配線426と、第2の領域419に接続された配線427とが、絶縁膜420上に形成されている。

30

【0125】

配線423乃至配線427上には、絶縁膜430が形成されている。そして、絶縁膜430上には、トランジスタ11と、容量素子15と、配線445が形成されている。

【0126】

トランジスタ11は、絶縁膜430上に、酸化物半導体を含む半導体膜431と、半導体膜431上の、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜431、導電膜432及び導電膜433上のゲート絶縁膜434と、導電膜432と導電膜433の間において、ゲート絶縁膜434を間に挟んで半導体膜431と重なっているゲート電極435と、を有する。

40

【0127】

そして、導電膜432は、絶縁膜430に設けられた開口部において、配線424に接続されている。また、配線445は、絶縁膜430に設けられた開口部において、配線426に接続されている。

【0128】

また、ゲート絶縁膜434上において導電膜433と重なる位置に、導電膜436が設けられている。ゲート絶縁膜434を間に挟んで導電膜433及び導電膜436が重なって

50

いる部分が、容量素子 15 として機能する。

【0129】

なお、図 11 では、容量素子 15 がトランジスタ 11 と共に絶縁膜 430 上に設けられている場合を例示しているが、容量素子 15 は、トランジスタ 18、トランジスタ 19、及びトランジスタ 12 と共に、絶縁膜 430 の下に設けられていても良い。

【0130】

トランジスタ 11 及び容量素子 15 上には、絶縁膜 441 及び絶縁膜 442 が、順に積層するように設けられている。絶縁膜 441 は、絶縁膜 442 から放出された水素が半導体膜 431 に侵入するのを防ぐ機能を有する、窒化珪素などを用いた絶縁膜であることが望ましい。

10

【0131】

絶縁膜 441、絶縁膜 442、及びゲート絶縁膜 434 には開口部が設けられており、上記開口部においてゲート電極 435 及び配線 445 に接続される導電膜 443 が、絶縁膜 442 上に設けられている。

【0132】

なお、図 11 において、トランジスタ 11 は、ゲート電極 435 を半導体膜 431 の片側において少なくとも有していれば良いが、半導体膜 431 を間に挟んで存在する一対のゲート電極を有していても良い。

【0133】

トランジスタ 11 が、半導体膜 431 を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極のみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

20

【0134】

また、図 11 では、トランジスタ 11 が、一のゲート電極 435 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 11 は、電気的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

30

【0135】

半導体膜について

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i* 型（真性半導体）又は *i* 型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【0136】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が  $1 \times 10^6 \mu\text{m}$  でチャネル長が  $10 \mu\text{m}$  の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が  $1 \text{V}$  から  $10 \text{V}$  の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち  $1 \times 10^{-13} \text{A}$  以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$  以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が  $3 \text{V}$  の場合に、数十  $\text{yA} / \mu\text{m}$  という、さらに小さいオフ電流が得られることが分かった。従っ

40

50

て、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【0137】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。また、スタビライザーとしてジルコニウム (Zr) を含むことが好ましい。

10

【0138】

酸化物半導体の中でも In - Ga - Zn系酸化物、In - Sn - Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0139】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

20

【0140】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn系酸化物、Sn - Zn系酸化物、Al - Zn系酸化物、Zn - Mg系酸化物、Sn - Mg系酸化物、In - Mg系酸化物、In - Ga系酸化物、In - Ga - Zn系酸化物 (IGZOとも表記する)、In - Al - Zn系酸化物、In - Sn - Zn系酸化物、Sn - Ga - Zn系酸化物、Al - Ga - Zn系酸化物、Sn - Al - Zn系酸化物、In - Hf - Zn系酸化物、In - La - Zn系酸化物、In - Pr - Zn系酸化物、In - Nd - Zn系酸化物、In - Ce - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、In - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

30

【0141】

なお、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In - Ga - Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

40

【0142】

例えば、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいは In : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子比の In - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子比の In - Sn - Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0143】

50

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0144】

以下では、酸化物半導体膜の構造について説明する。

【0145】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜などをいう。

10

【0146】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0147】

微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0148】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

20

【0149】

CAAC-OS膜を透過型電子顕微鏡(TEM:Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0150】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0151】

本明細書において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。従って、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。従って、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。

40

【0152】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0153】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0154】

50

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0155】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。InGaZnO<sub>4</sub>の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

10

【0156】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0157】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

20

【0158】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなる場合がある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

30

【0159】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0160】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

40

【0161】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0162】

電子機器の例

本発明の一態様に係る記憶装置または半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る記憶装置または半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、

50

電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１２に示す。

【０１６３】

図１２（Ａ）は携帯型ゲーム機であり、筐体５００１、筐体５００２、表示部５００３、表示部５００４、マイクロホン５００５、スピーカー５００６、操作キー５００７、スタイラス５００８等を有する。なお、図１２（Ａ）に示した携帯型ゲーム機は、２つの表示部５００３と表示部５００４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【０１６４】

図１２（Ｂ）は携帯情報端末であり、第１筐体５６０１、第２筐体５６０２、第１表示部５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により変更が可能である。第１表示部５６０３における映像を、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

20

【０１６５】

図１２（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。

【０１６６】

図１２（Ｄ）は電気冷凍冷蔵庫であり、筐体５３０１、冷蔵室用扉５３０２、冷凍室用扉５３０３等を有する。

30

【０１６７】

図１２（Ｅ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更が可能である。表示部５８０３における映像を、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って切り替える構成としても良い。

【０１６８】

図１２（Ｆ）は普通自動車であり、車体５１０１、車輪５１０２、ダッシュボード５１０３、ライト５１０４等を有する。

40

【符号の説明】

【０１６９】

- １０ 記憶装置
- １０ a 記憶装置
- １０ b 記憶装置
- １１ トランジスタ
- １２ トランジスタ
- １３ 論理素子

50

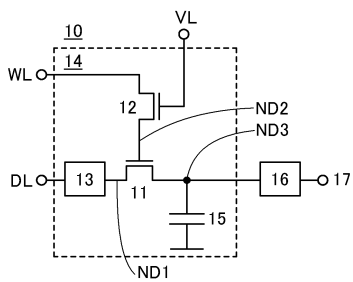


1 4	メモリセル	
1 5	容量素子	
1 6	半導体素子	
1 6 t	トランジスタ	
1 7	配線	
1 7 a	配線	
1 7 b	配線	
1 8	トランジスタ	
1 9	トランジスタ	
2 0	配線	10
2 1	配線	
2 2	インバータ	
3 0	セルアレイ	
4 0	P L D	
4 1	論理ブロック	
4 1 - 1	論理ブロック	
4 1 - 2	論理ブロック	
4 2	L U T	
4 3	フリップフロップ	
4 4	入力端子	20
4 5	出力端子	
4 6	出力端子	
4 7	A N D回路	
4 8	マルチプレクサ	
1 2 1	配線群	
1 2 2	スイッチ回路	
1 2 3	配線リソース	
1 2 4	出力端子	
1 2 5	配線	
1 2 6	配線	30
1 2 7	トランジスタ	
1 2 8	トランジスタ	
1 2 9	トランジスタ	
1 3 0	トランジスタ	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 4 0	I / Oエレメント	
1 4 1	P L L	
1 4 2	R A M	
1 4 3	乗算器	40
4 0 0	基板	
4 0 1	絶縁膜	
4 0 2	半導体膜	
4 0 3	ゲート絶縁膜	
4 0 4	ゲート電極	
4 0 5	第1の領域	
4 0 6	第2の領域	
4 0 7	第2の領域	
4 0 8	半導体膜	
4 0 9	ゲート絶縁膜	50

4 1 0	ゲート電極	
4 1 1	第1の領域	
4 1 2	第2の領域	
4 1 3	第2の領域	
4 1 4	半導体膜	
4 1 5	ゲート絶縁膜	
4 1 6	ゲート電極	
4 1 7	第1の領域	
4 1 8	第2の領域	
4 1 9	第2の領域	10
4 2 0	絶縁膜	
4 2 3	配線	
4 2 4	配線	
4 2 5	配線	
4 2 6	配線	
4 2 7	配線	
4 3 0	絶縁膜	
4 3 1	半導体膜	
4 3 2	導電膜	
4 3 3	導電膜	20
4 3 4	ゲート絶縁膜	
4 3 5	ゲート電極	
4 3 6	導電膜	
4 4 1	絶縁膜	
4 4 2	絶縁膜	
4 4 3	導電膜	
4 4 5	配線	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	30
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	40
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	50

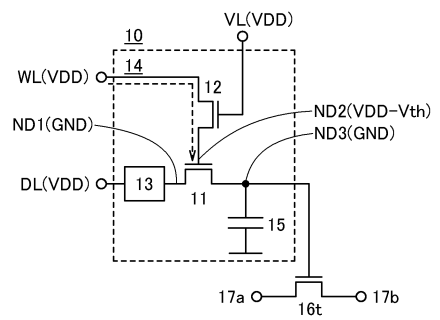
- 5 6 0 5 接続部
- 5 6 0 6 操作キー
- 5 8 0 1 筐体
- 5 8 0 2 筐体
- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部

【図1】

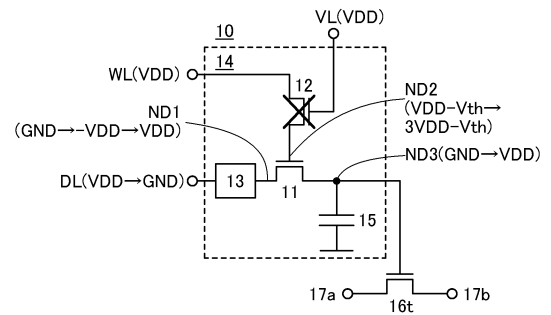


【図2】

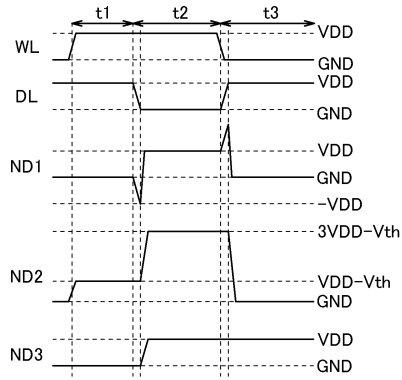
(A)



(B)

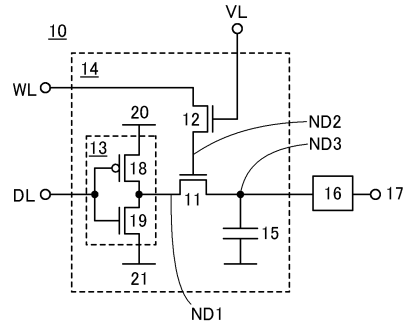


【 図 3 】

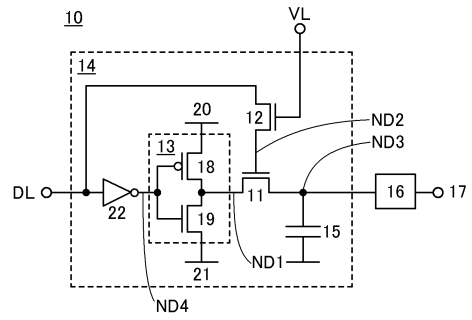


【 図 4 】

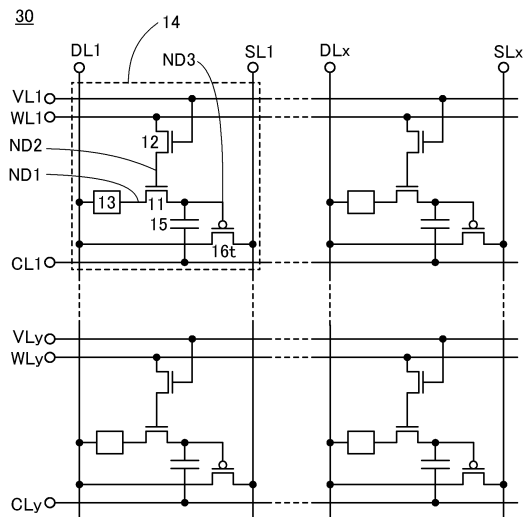
(A)



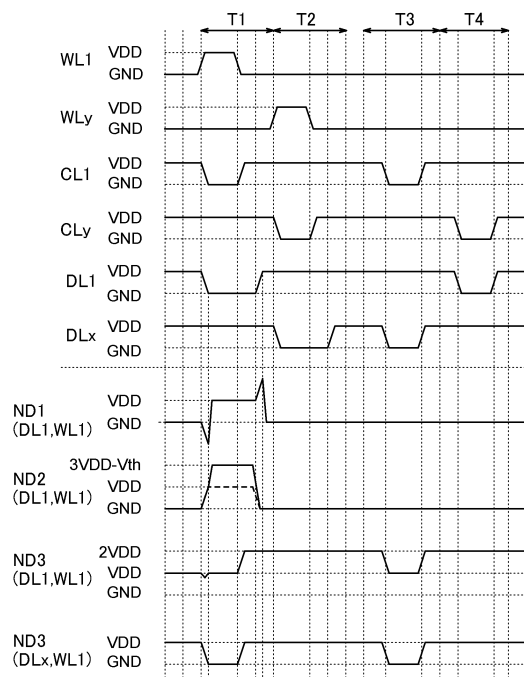
(B)



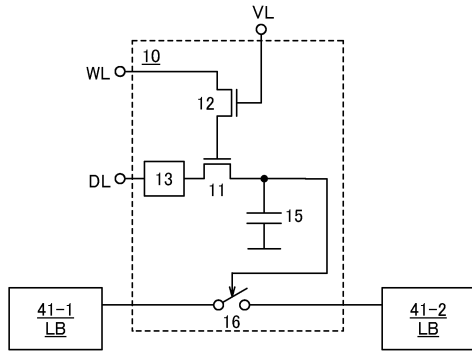
【 図 5 】



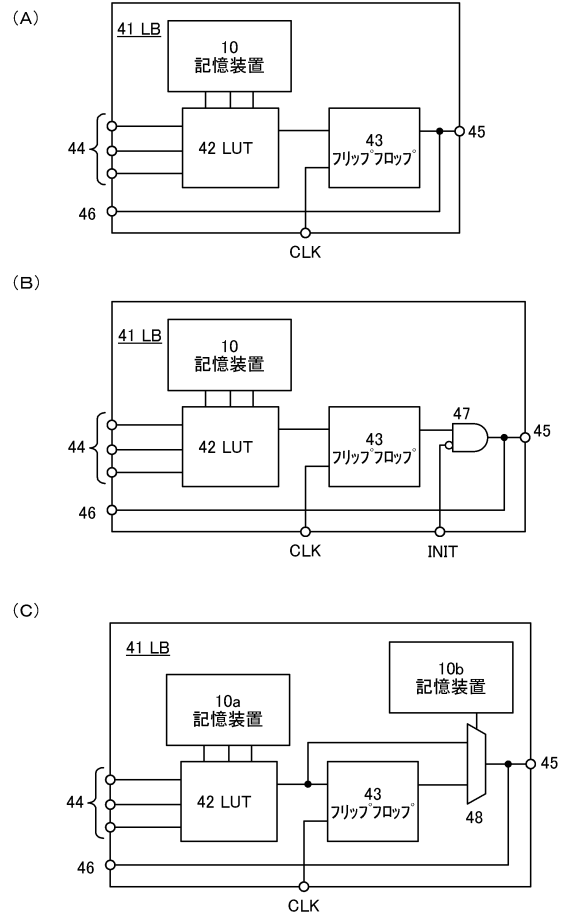
【 図 6 】



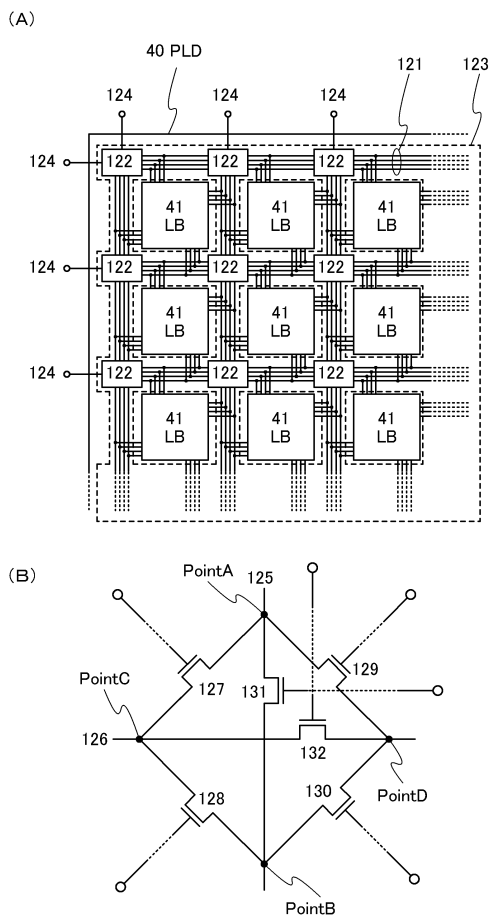
【図7】



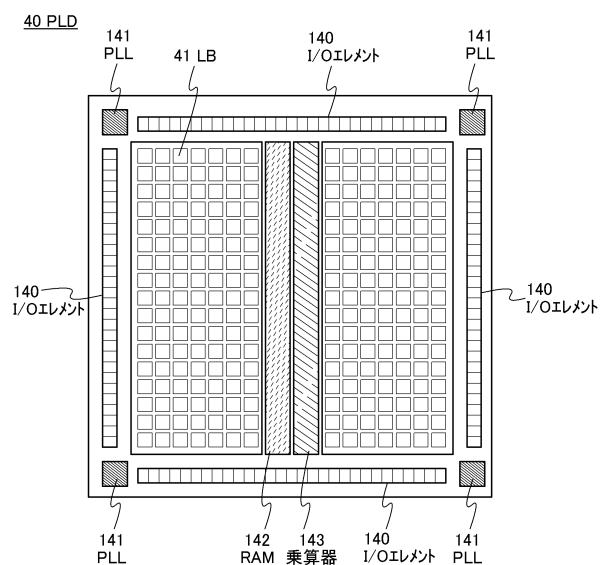
【図8】



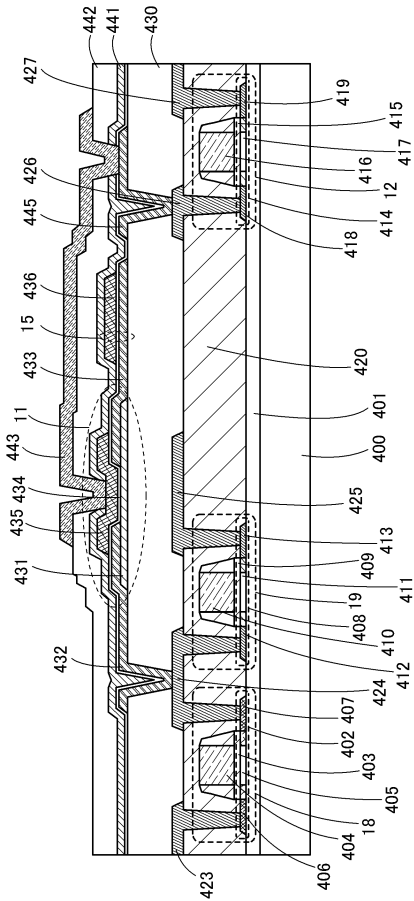
【図9】



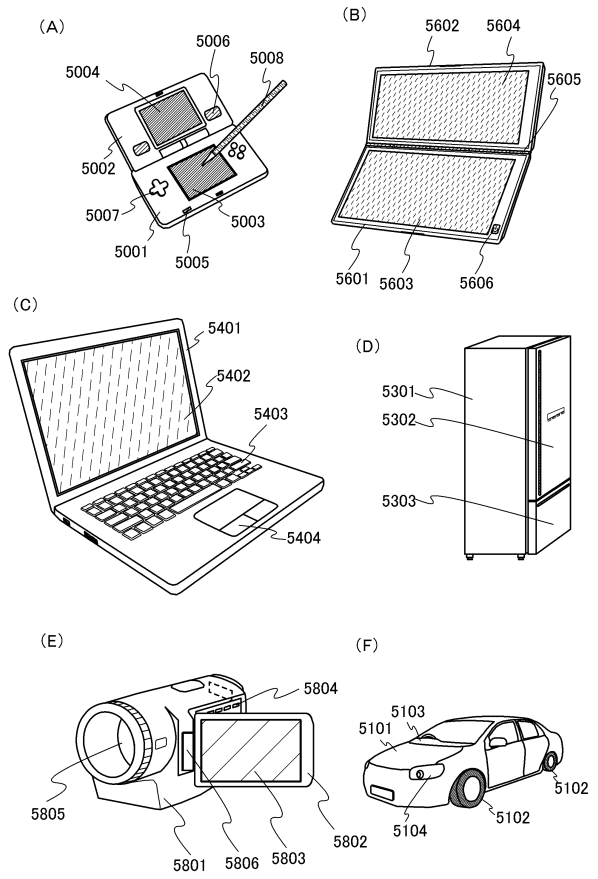
【図10】



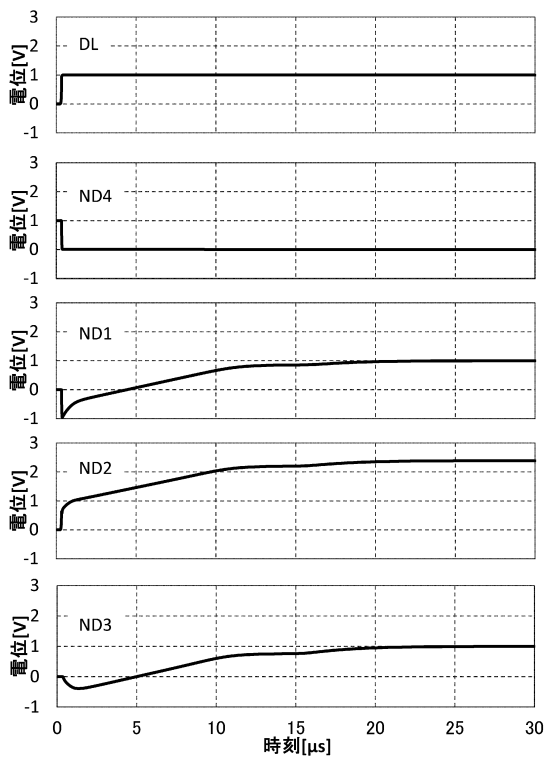
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

- (56)参考文献 米国特許第05568420(US,A)  
米国特許出願公開第2007/0086246(US,A1)  
特開2012-065042(JP,A)  
特開2012-160708(JP,A)  
特開平06-162764(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/405  
G11C 11/4094  
G11C 11/4091  
G11C 11/408  
G11C 7/12