



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0046739
(43) 공개일자 2022년04월15일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 25/16 (2006.01)
H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 25/167 (2013.01)
(21) 출원번호 10-2020-0129603
(22) 출원일자 2020년10월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이항재
경기도 용인시 기흥구 삼성로 1 (농서동)
남육현
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
오중한, 문용호

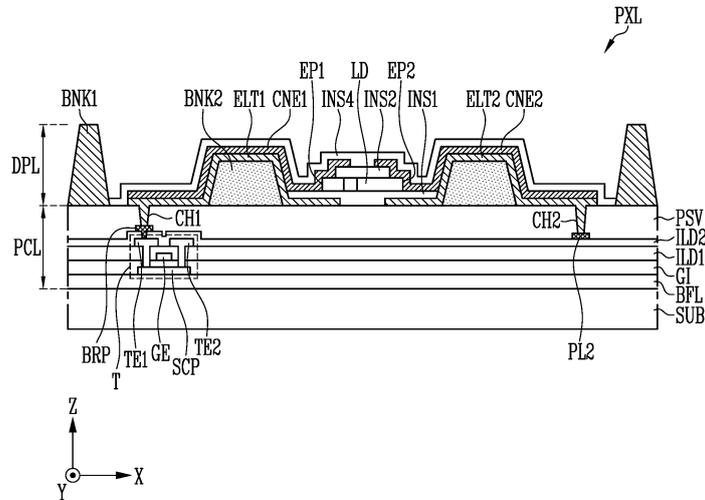
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

표시 장치 및 그 제조 방법이 제공된다. 표시 장치는 복수의 화소들을 포함하는 기관, 상기 화소들의 발광 영역을 정의하는 제1 बैं크, 상기 발광 영역에서 서로 이격된 제1 전극 및 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 복수의 발광 소자들을 포함하되, 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 동일한 물질을 포함한다.

대표도 - 도7



(52) CPC특허분류
H01L 27/1214 (2013.01)

김재훈
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
윤성재
경기도 용인시 기흥구 삼성로 1 (농서동)
김근탁
경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

복수의 화소들을 포함하는 기관;

상기 화소들의 발광 영역을 정의하는 제1 बैं크;

상기 발광 영역에서 서로 이격된 제1 전극 및 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이에 배치된 복수의 발광 소자들을 포함하되,

상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 동일한 물질을 포함하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 전도성 고분자를 포함하는 표시 장치.

청구항 3

제2 항에 있어서,

상기 전도성 고분자는 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함하는 표시 장치.

청구항 4

제2 항에 있어서,

상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 상기 전도성 고분자 내에 분산된 산란체를 포함하는 표시 장치.

청구항 5

제4 항에 있어서,

상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함하는 표시 장치.

청구항 6

제1 항에 있어서,

상기 제1 전극 및 상기 제2 전극과 상기 기관 사이에 배치된 제2 बैं크를 더 포함하는 표시 장치.

청구항 7

제6 항에 있어서,

상기 제2 बैं크는 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극과 동일한 물질을 포함하는 표시 장치.

청구항 8

제6 항에 있어서,
상기 제2 बैं크는 전도성 고분자를 포함하는 표시 장치.

청구항 9

제1 항에 있어서,
상기 제1 전극 및 상기 제2 전극과 상기 발광 소자들 사이에 배치된 절연층을 더 포함하는 표시 장치.

청구항 10

제9 항에 있어서,
상기 절연층은 수지 및 상기 수지 내에 분산된 산란체를 포함하는 표시 장치.

청구항 11

제10 항에 있어서,
상기 산란체는 황산 바륨($BaSO_4$), 탄산 칼슘($CaCO_3$), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함하는 표시 장치.

청구항 12

제1 항에 있어서,
상기 발광 소자의 일단과 상기 제1 전극을 전기적으로 연결하는 제1 컨택 전극; 및
상기 발광 소자의 타단과 상기 제2 전극을 전기적으로 연결하는 제2 컨택 전극을 더 포함하는 표시 장치.

청구항 13

복수의 화소들이 정의된 기관 상에 제1 전극 및 제2 전극을 제공하는 단계;
상기 화소들의 발광 영역을 정의하는 제1 बैं크를 제공하는 단계; 및
상기 제1 전극과 상기 제2 전극 사이에 복수의 발광 소자들을 제공하는 단계를 포함하되,
상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 동시에 형성되는 표시 장치의 제조 방법.

청구항 14

제13 항에 있어서,
상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극을 제공하는 단계는,
상기 기관 상에 전도성 고분자층을 제공하는 단계, 및
상기 전도성 고분자층을 패터닝하여 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극을 동시에 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 15

제14 항에 있어서,
상기 전도성 고분자층은 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및

폴리퓨란(polyfuran) 중 적어도 하나를 포함하는 표시 장치의 제조 방법.

청구항 16

제14 항에 있어서,
상기 전도성 고분자층은 산란체를 포함하는 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,
상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함하는 표시 장치의 제조 방법.

청구항 18

제13 항에 있어서,
상기 제1 전극 및 상기 제2 전극과 상기 기판 사이에 제2 बैं크를 제공하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,
상기 제2 बैं크는 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극과 동시에 형성되는 표시 장치의 제조 방법.

청구항 20

제13 항에 있어서,
상기 발광 소자의 일단과 상기 제1 전극을 전기적으로 연결하는 제1 컨택 전극; 및
상기 발광 소자의 타단과 상기 제2 전극을 전기적으로 연결하는 제2 컨택 전극을 제공하는 단계를 더 포함하는 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조됨에 따라, 표시 장치에 대한 연구 개발이 지속적으로 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 전면 발광 효율을 향상시킴과 동시에 마스크 수를 저감하여 비용을 절감할 수 있는 표시 장치 및 그 제조 방법을 제공하는 것이다.

[0004] 본 발명의 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 복수의 화소들을 포함하는 기판, 상기 화소들의 발광

영역을 정의하는 제1 बैं크, 상기 발광 영역에서 서로 이격된 제1 전극 및 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 복수의 발광 소자들을 포함하되, 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 동일한 물질을 포함한다.

- [0006] 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 전도성 고분자를 포함할 수 있다.
- [0007] 상기 전도성 고분자는 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있다.
- [0008] 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 상기 전도성 고분자 내에 분산된 산란체를 포함할 수 있다.
- [0009] 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다.
- [0010] 상기 제1 전극 및 상기 제2 전극과 상기 기판 사이에 배치된 제2 बैं크를 더 포함할 수 있다.
- [0011] 상기 제2 बैं크는 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극과 동일한 물질을 포함할 수 있다.
- [0012] 상기 제2 बैं크는 전도성 고분자를 포함할 수 있다.
- [0013] 상기 표시 장치는 상기 제1 전극 및 상기 제2 전극과 상기 발광 소자들 사이에 배치된 절연층을 더 포함할 수 있다.
- [0014] 상기 절연층은 수지 및 상기 수지 내에 분산된 산란체를 포함할 수 있다.
- [0015] 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다.
- [0016] 상기 표시 장치는 상기 발광 소자의 일단과 상기 제1 전극을 전기적으로 연결하는 제1 컨택 전극, 및 상기 발광 소자의 타단과 상기 제2 전극을 전기적으로 연결하는 제2 컨택 전극을 더 포함할 수 있다.
- [0017] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치의 제조 방법은 복수의 화소들이 정의된 기판 상에 제1 전극 및 제2 전극을 제공하는 단계, 상기 화소들의 발광 영역을 정의하는 제1 बैं크를 제공하는 단계, 및 상기 제1 전극과 상기 제2 전극 사이에 복수의 발광 소자들을 제공하는 단계를 포함하되, 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극은 동시에 형성될 수 있다.
- [0018] 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극을 제공하는 단계는, 상기 기판 상에 전도성 고분자층을 제공하는 단계, 및 상기 전도성 고분자층을 패터닝하여 상기 제1 बैं크, 상기 제1 전극, 및 상기 제2 전극을 동시에 형성하는 단계를 포함할 수 있다.
- [0019] 상기 전도성 고분자층은 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있다.
- [0020] 상기 전도성 고분자층은 산란체를 포함할 수 있다.
- [0021] 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다.
- [0022] 상기 표시 장치의 제조 방법은 상기 제1 전극 및 상기 제2 전극과 상기 기판 사이에 제2 बैं크를 제공하는 단계

를 더 포함할 수 있다.

[0023] 상기 제2 뱅크는 상기 제1 뱅크, 상기 제1 전극, 및 상기 제2 전극과 동시에 형성될 수 있다.

[0024] 상기 표시 장치의 제조 방법은 상기 발광 소자의 일단과 상기 제1 전극을 전기적으로 연결하는 제1 컨택 전극, 및 상기 발광 소자의 타단과 상기 제2 전극을 전기적으로 연결하는 제2 컨택 전극을 제공하는 단계를 더 포함할 수 있다.

[0025] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0026] 본 발명의 실시예에 의하면, 산란체를 포함하는 전도성 고분자 물질을 이용하여 제1 뱅크, 제1 전극, 및 제2 전극을 형성할 수 있다. 이에 따라, 발광 소자에서 방출된 광을 표시 패널의 전면 방향으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다. 아울러, 제1 뱅크, 제1 전극, 및 제2 전극을 동시에 형성함으로써 마스크 수를 저감하여 비용을 절감하고 제조 공정을 단순화할 수 있다.

[0027] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0028] 도 1 및 도 2는 일 실시예에 따른 발광 소자를 나타내는 사시도 및 단면도이다.

도 3은 일 실시예에 따른 표시 장치를 나타내는 평면도이다.

도 4 내지 도 6은 일 실시예에 따른 화소를 나타내는 회로도들이다.

도 7 및 도 8은 일 실시예에 따른 화소를 나타내는 단면도들이다.

도 9는 다른 실시예에 따른 화소를 나타내는 단면도이다.

도 10 내지 도 14는 일 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다.

도 15 내지 도 17은 다른 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 이점 및 특징, 그리고 이를 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다. 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0030] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자에 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0031] 또한, "연결" 또는 "접속"이라 함은 물리적 및/또는 전기적인 연결 또는 접속을 포괄적으로 의미할 수 있다. 또한, 이는 직접적 또는 간접적인 연결 또는 접속과 일체형 또는 비일체형 연결 또는 접속을 포괄적으로 의미할 수 있다.

[0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개제한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다.
- [0035] 도 1 및 도 2는 일 실시예에 따른 발광 소자를 나타내는 사시도 및 단면도이다. 도 1 및 도 2에서는 기둥형 발광 소자(LD)를 도시하였으나, 발광 소자(LD)의 종류 및/또는 형상이 이에 한정되지는 않는다.
- [0036] 도 1 및 도 2를 참조하면, 발광 소자(LD)는 제1 반도체층(11) 및 제2 반도체층(13), 및 제1 및 제2 반도체층들(11, 13)의 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)의 연장 방향을 길이(L) 방향이라고 하면, 발광 소자(LD)는 길이(L) 방향을 따라 순차적으로 적층된 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 포함할 수 있다.
- [0037] 발광 소자(LD)는 일 방향을 따라 연장된 기둥 형상으로 제공될 수 있다. 발광 소자(LD)는 제1 단부(EP1)와 제2 단부(EP2)를 가질 수 있다. 발광 소자(LD)의 제1 단부(EP1)에는 제1 및 제2 반도체층들(11, 13) 중 하나가 배치될 수 있다. 발광 소자(LD)의 제2 단부(EP2)에는 제1 및 제2 반도체층들(11, 13) 중 나머지 하나가 배치될 수 있다.
- [0038] 실시예에 따라, 발광 소자(LD)는 식각 방식 등을 통해 기둥 형상으로 제조된 발광 소자일 수 있다. 본 명세서에서, 기둥 형상이라 함은 원 기둥 또는 다각 기둥 등과 같이 길이(L) 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 또는 바 형상(bar-like shape)을 포괄하며, 그 단면의 형상이 특별히 한정되지는 않는다. 예를 들어, 발광 소자(LD)의 길이(L)는 그 직경(D)(또는, 횡단면의 폭)보다 클 수 있다.
- [0039] 발광 소자(LD)는 나노미터 스케일 내지 마이크로미터 스케일(nanometer scale to micrometer scale) 정도로 작은 크기를 가질 수 있다. 일 예로, 발광 소자(LD)는 각각 나노미터 스케일 내지 마이크로미터 스케일 범위의 직경(D)(또는, 폭) 및/또는 길이(L)를 가질 수 있다. 다만, 발광 소자(LD)의 크기가 이에 제한되는 것은 아니며, 발광 소자(LD)를 이용한 발광 장치를 광원으로 이용하는 각종 장치, 일 예로 표시 장치 등의 설계 조건에 따라 발광 소자(LD)의 크기는 다양하게 변경될 수 있다.
- [0040] 제1 반도체층(11)은 제1 도전형의 반도체층일 수 있다. 예를 들어, 제1 반도체층(11)은 N형 반도체층을 포함할 수 있다. 일 예로, 제1 반도체층(11)은 InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전형 도펀트가 도핑된 N형 반도체층을 포함할 수 있다. 다만, 제1 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 반도체층(11)을 구성할 수 있다.
- [0041] 활성층(12)은 제1 반도체층(11) 상에 배치되며, 단일 양자 우물(Single-Quantum Well) 또는 다중 양자 우물(Multi-Quantum Well) 구조로 형성될 수 있다. 활성층(12)의 위치는 발광 소자(LD)의 종류에 따라 다양하게 변경될 수 있다.
- [0042] 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수 있다. 일 예로, 클래드층은 AlGa_n층 또는 InAlGa_n층으로 형성될 수 있다. 실시예에 따라, AlGa_n, InAlGa_n 등의 물질이 활성층(12)을 형성하는 데에 이용될 수 있으며, 이 외에도 다양한 물질이 활성층(12)을 구성할 수 있다.
- [0043] 제2 반도체층(13)은 활성층(12) 상에 배치되며, 제1 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 예를 들어, 제2 반도체층(13)은 P형 반도체층을 포함할 수 있다. 일 예로, 제2 반도체층(13)은 InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전형 도펀트가 도핑된 P형 반도체층을 포함할 수 있다. 다만, 제2 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 반도체층(13)을 구성할 수 있다.
- [0044] 발광 소자(LD)의 양단에 문턱 전압 이상의 전압을 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다. 이러한 원리를 이용하여 발광 소자(LD)의 발광을 제어함으로써, 발광 소자(LD)를 표시 장치의 화소를 비롯한 다양한 발광 장치의 광원으로 이용할 수 있다.
- [0045] 발광 소자(LD)는 표면에 제공된 절연막(INF)을 더 포함할 수 있다. 절연막(INF)은 적어도 활성층(12)의 외주면을 둘러싸도록 발광 소자(LD)의 표면에 형성될 수 있으며, 이외에도 제1 및 제2 반도체층들(11, 13)의 일 영역을 더 둘러쌀 수 있다.
- [0046] 실시예에 따라, 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 양 단부를 노출할 수 있다. 예를 들어, 절연막(INF)은 발광 소자(LD)의 제1 및 제2 단부(EP1, EP2)에 위치한 제1 및 제2 반도체층들(11, 13) 각각의 일단을 노출할 수 있다. 다른 실시예에서, 절연막(INF)은 서로 다른 극성을 가지는 발광 소자(LD)의 제1

및 제2 단부(EP1, EP2)와 인접한 제1 및 제2 반도체층들(11, 13)의 측부를 노출할 수도 있다.

- [0047] 실시예에 따라, 절연막(INF)은 산화 규소(SiO_x), 질화 규소(SiN_x), 산질화 규소(SiO_xN_y), 산화 알루미늄(AlO_x), 및 산화 티타늄(TiO_x) 중 적어도 하나의 절연 물질을 포함하여 단일층 또는 다중층(예를 들어, 산화 알루미늄(AlO_x)과 산화 규소(SiO_x)로 구성된 이중층)으로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다. 실시예에 따라, 절연막(INF)은 생략될 수도 있다.
- [0048] 발광 소자(LD)의 표면, 특히 활성층(12)의 외주면을 커버하도록 절연막(INF)이 제공되는 경우, 활성층(12)이 후술할 제1 화소 전극 또는 제2 화소 전극 등과 단락되는 것을 방지할 수 있다. 이에 따라, 발광 소자(LD)의 전기적 안정성을 확보할 수 있다.
- [0049] 또한, 발광 소자(LD)의 표면에 절연막(INF)이 제공되면, 발광 소자(LD)의 표면 결함을 최소화하여 수명 및 효율을 향상시킬 수 있다. 아울러, 다수의 발광 소자들(LD)이 서로 밀접하여 배치되어 있는 경우에도 발광 소자들(LD)의 사이에서 원치 않는 단락이 발생하는 것을 방지할 수 있다.
- [0050] 일 실시예에서, 발광 소자(LD)는 제1 반도체층(11), 활성층(12), 제2 반도체층(13), 및/또는 이들을 감싸는 절연막(INF) 외에도 추가적인 구성요소를 더 포함할 수 있다. 예를 들면, 발광 소자(LD)는 제1 반도체층(11), 활성층(12) 및/또는 제2 반도체층(13)의 일단 측에 배치된 하나 이상의 형광체층, 활성층, 반도체층 및/또는 전극층을 추가적으로 포함할 수 있다. 일 예로, 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2)에는 각각 컨택 전극층이 배치될 수 있다. 한편, 도 1 및 도 2에서는 기동형 발광 소자(LD)를 예시하였으나, 발광 소자(LD)의 종류, 구조 및/또는 형상 등은 다양하게 변경될 수 있다. 예를 들어, 발광 소자(LD)는 다각 뿔 형상을 가지는 코어-셸 구조로 형성될 수도 있다.
- [0051] 상술한 발광 소자(LD)를 포함한 발광 장치는 표시 장치를 비롯하여 광원을 필요로 하는 다양한 종류의 장치에서 이용될 수 있다. 예를 들어, 표시 패널의 각 화소 내에 복수의 발광 소자들(LD)을 배치하고, 발광 소자들(LD)을 각 화소의 광원으로 이용할 수 있다. 다만, 발광 소자(LD)의 적용 분야가 상술한 예에 한정되지는 않는다. 예를 들어, 발광 소자(LD)는 조명 장치 등과 같이 광원을 필요로 하는 다른 종류의 장치에도 이용될 수 있다.
- [0052] 도 3은 일 실시예에 따른 표시 장치를 나타내는 평면도이다.
- [0053] 도 3에서는 도 1 및 도 2의 실시예들에서 설명한 발광 소자(LD)를 광원으로서 이용할 수 있는 전자 장치의 일 예로서, 표시 장치, 특히 표시 장치에 구비되는 표시 패널(PNL)을 도시하기로 한다.
- [0054] 표시 패널(PNL)의 각 화소 유닛(PXU) 및 이를 구성하는 각각의 화소는 적어도 하나의 발광 소자(LD)를 포함할 수 있다. 편의상, 도 3에서는 표시 영역(DA)을 중심으로 표시 패널(PNL)의 구조를 간략하게 도시하기로 한다. 다만, 실시예에 따라서는 도시되지 않은 적어도 하나의 구동 회로부(일 예로, 주사 구동부 및 데이터 구동부 중 적어도 하나), 배선들 및/또는 패드들이 표시 패널(PNL)에 더 배치될 수 있다.
- [0055] 도 3을 참조하면, 표시 패널(PNL)은 기판(SUB) 및 기판(SUB) 상에 배치된 화소 유닛(PXU)을 포함할 수 있다. 화소 유닛(PXU)은 제1 화소들(PXL1), 제2 화소들(PXL2) 및/또는 제3 화소들(PXL3)을 포함할 수 있다. 이하에서는, 제1 화소들(PXL1), 제2 화소들(PXL2) 및 제3 화소들(PXL3) 중 적어도 하나의 화소를 임의로 지칭하거나 두 종류 이상의 화소들을 포괄적으로 지칭할 때, "화소(PXL)" 또는 "화소들(PXL)"이라 하기로 한다.
- [0056] 기판(SUB)은 표시 패널(PNL)의 베이스 부재를 구성하는 것으로서, 경성 또는 연성의 기판이나 필름일 수 있다. 일 예로, 기판(SUB)은 유리 또는 강화 유리로 이루어진 경성 기판, 플라스틱 또는 금속 재질의 연성 기판(또는, 박막 필름), 또는 적어도 한 층의 절연층일 수 있다. 기판(SUB)의 재료 및/또는 물성이 특별히 한정되지는 않는다.
- [0057] 일 실시예에서, 기판(SUB)은 실질적으로 투명할 수 있다. 여기서, 실질적으로 투명이라 함은 소정의 투과도 이상으로 광을 투과시킬 수 있음을 의미할 수 있다. 다른 실시예에서, 기판(SUB)은 반투명 또는 불투명할 수 있다. 또한, 기판(SUB)은 실시예에 따라서 반사성의 물질을 포함할 수도 있다.
- [0058] 표시 패널(PNL) 및 이를 형성하기 위한 기판(SUB)은 영상을 표시하기 위한 표시 영역(DA) 및 표시 영역(DA)을 제외한 비표시 영역(NDA)을 포함할 수 있다.
- [0059] 표시 영역(DA)에는 화소들(PXL)이 배치될 수 있다. 비표시 영역(NDA)에는 표시 영역(DA)의 화소들(PXL)에 연결되는 각종 배선들, 패드들 및/또는 내장 회로부가 배치될 수 있다. 화소들(PXL)은 스트라이프(stripe) 또는 펜타일(PenTile) 배열 구조 등에 따라 규칙적으로 배열될 수 있다. 다만, 화소들(PXL)의 배열 구조가 이에 한정되

지는 않으며, 화소들(PXL)은 다양한 구조 및/또는 방식으로 표시 영역(DA)에 배열될 수 있다.

- [0060] 실시예에 따라, 표시 영역(DA)에는 서로 다른 색의 빛을 방출하는 두 종류 이상의 화소들(PXL)이 배치될 수 있다. 일 예로, 표시 영역(DA)에는 제1 색의 빛을 방출하는 제1 화소들(PXL1), 제2 색의 빛을 방출하는 제2 화소들(PXL2), 및 제3 색의 빛을 방출하는 제3 화소들(PXL3)이 배열될 수 있다. 서로 인접하도록 배치된 적어도 하나의 제1 내지 제3 화소들(PXL1, PXL2, PXL3)은 다양한 색의 빛을 방출할 수 있는 하나의 화소 유닛(PXU)을 구성할 수 있다. 예를 들어, 제1 내지 제3 화소들(PXL1, PXL2, PXL3)은 각각 소정 색의 빛을 방출하는 서브 화소일 수 있다. 실시예에 따라, 제1 화소(PXL1)는 적색의 빛을 방출하는 적색 화소일 수 있고, 제2 화소(PXL2)는 녹색의 빛을 방출하는 녹색 화소일 수 있으며, 제3 화소(PXL3)는 청색의 빛을 방출하는 청색 화소일 수 있으나, 이에 한정되지는 않는다.
- [0061] 일 실시예에서, 제1 화소(PXL1), 제2 화소(PXL2) 및 제3 화소(PXL3)는 각각 제1 색의 발광 소자, 제2 색의 발광 소자 및 제3 색의 발광 소자를 광원으로 구비함으로써, 각각 제1 색, 제2 색 및 제3 색의 빛을 방출할 수 있다. 다른 실시예에서, 제1 화소(PXL1), 제2 화소(PXL2) 및 제3 화소(PXL3)는 서로 동일한 색의 빛을 방출하는 발광 소자들을 구비하되, 각각의 발광 소자 상에 배치된 서로 다른 색상의 컬러 변환층 및/또는 컬러 필터를 포함함으로써, 각각 제1 색, 제2 색 및 제3 색의 빛을 방출할 수도 있다. 다만, 각각의 화소 유닛(PXU)을 구성하는 화소들(PXL)의 색상, 종류 및/또는 개수 등이 특별히 한정되지는 않는다. 즉, 각각의 화소(PXL)가 방출하는 빛의 색은 다양하게 변경될 수 있다.
- [0062] 화소(PXL)는 소정의 제어 신호(일 예로, 주사 신호 및 데이터 신호) 및/또는 소정의 전원(일 예로, 제1 전원 및 제2 전원)에 의해 구동되는 적어도 하나의 광원을 포함할 수 있다. 일 실시예에서, 상기 광원은 도 1 및 도 2의 실시예들 중 어느 하나의 실시예에 의한 적어도 하나의 발광 소자(LD), 일 예로, 나노미터 스케일 내지 마이크로미터 스케일 정도로 작은 크기를 가지는 초소형 기동형 발광 소자들(LD)을 포함할 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 이외에도 다양한 종류의 발광 소자(LD)가 화소(PXL)의 광원으로 이용될 수 있다.
- [0063] 일 실시예에서, 각각의 화소(PXL)는 능동형 화소로 구성될 수 있다. 다만, 표시 장치에 적용될 수 있는 화소들(PXL)의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다. 예를 들어, 각각의 화소(PXL)는 다양한 구조 및/또는 구동 방식이 수동형 또는 능동형 발광 표시 장치의 화소로 구성될 수 있다.
- [0064] 도 4 내지 도 6은 일 실시예에 따른 화소를 나타내는 회로도들이다. 예를 들어, 도 4 내지 도 6은 능동형 표시 장치에 적용될 수 있는 화소(PXL)의 실시예를 나타낸다. 다만, 화소(PXL) 및 표시 장치의 종류가 이에 한정되는 것은 아니다.
- [0065] 실시예에 따라, 도 4 내지 도 6에 도시된 화소(PXL)는 도 3의 표시 패널(PNL)에 구비된 제1 화소(PXL1), 제2 화소(PXL2) 및 제3 화소(PXL3) 중 어느 하나일 수 있다. 제1 화소(PXL1), 제2 화소(PXL2) 및 제3 화소(PXL3)는 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있다.
- [0066] 도 4를 참조하면, 화소(PXL)는 데이터 신호에 대응하는 휘도의 광을 생성하기 위한 광원 유닛(LSU), 및 광원 유닛(LSU)을 구동하기 위한 화소 회로(PXC)를 포함할 수 있다.
- [0067] 광원 유닛(LSU)은 제1 전원(VDD)과 제2 전원(VSS)의 사이에 연결된 적어도 하나의 발광 소자(LD)를 포함할 수 있다. 예를 들어, 광원 유닛(LSU)은 화소 회로(PXC) 및 제1 전원 배선(PL1)을 경유하여 제1 전원(VDD)에 연결되는 제1 전극(ELT1)("제1 화소 전극" 또는 "제1 정렬 전극"이라고도 함), 제2 전원 배선(PL2)을 통해 제2 전원(VSS)에 연결되는 제2 전극(ELT2)("제2 화소 전극" 또는 "제2 정렬 전극"이라고도 함), 및 제1 및 제2 전극들(ELT1, ELT2)의 사이에 서로 동일한 방향으로 연결되는 복수의 발광 소자들(LD)을 포함할 수 있다. 일 실시예에서, 제1 전극(ELT1)은 애노드 전극이고, 제2 전극(ELT2)은 캐소드 전극일 수 있다.
- [0068] 발광 소자들(LD) 각각은 제1 전극(ELT1) 및/또는 화소 회로(PXC)를 통해 제1 전원(VDD)에 연결되는 제1 단부(일 예로, P형 단부) 및 제2 전극(ELT2)을 통해 제2 전원(VSS)에 연결되는 제2 단부(일 예로, N형 단부)를 포함할 수 있다. 즉, 발광 소자들(LD)은 제1 및 제2 전극들(ELT1, ELT2)의 사이에 순방향으로 병렬 연결될 수 있다. 제1 전원(VDD)과 제2 전원(VSS)의 사이에 순방향으로 연결된 각각의 발광 소자(LD)는 각각의 유효 광원을 구성하고, 이러한 유효 광원들이 모여 화소(PXL)의 광원 유닛(LSU)을 구성할 수 있다.
- [0069] 제1 전원(VDD)과 제2 전원(VSS)은 발광 소자들(LD)이 발광할 수 있도록 서로 다른 전위를 가질 수 있다. 일 예로, 제1 전원(VDD)은 고전위 전원으로 설정되고, 제2 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 전원(VDD)과 제2 전원(VSS)의 전위 차는 적어도 화소(PXL)의 발광 기간 동안 발광 소자들(LD)의 문턱 전압 이상

으로 설정될 수 있다.

- [0070] 각각의 광원 유닛(LSU)을 구성하는 발광 소자들(LD)의 일 단부(일 예로, P형 단부)는 광원 유닛(LSU)의 일 전극(일 예로, 각 화소(PXL)의 제1 전극(ELT1))을 통해 화소 회로(PXC)에 공통으로 연결되며, 화소 회로(PXC) 및 제1 전원 배선(PL1)을 통해 제1 전원(VDD)에 연결될 수 있다. 발광 소자들(LD)의 타 단부(일 예로, N형 단부)는 광원 유닛(LSU)의 다른 전극(일 예로, 각 화소(PXL)의 제2 전극(ELT2)) 및 제2 전원 배선(PL2)을 통해 제2 전원(VSS)에 공통으로 연결될 수 있다.
- [0071] 발광 소자들(LD)은 해당 화소 회로(PXC)를 통해 공급되는 구동 전류에 대응하는 휘도로 발광할 수 있다. 예를 들어, 각각의 프레임 기간 동안 화소 회로(PXC)는 해당 프레임에서 표현할 계조 값에 대응하는 구동 전류를 광원 유닛(LSU)으로 공급할 수 있다. 광원 유닛(LSU)으로 공급된 구동 전류는 순방향으로 연결된 발광 소자들(LD)에 나누어 흐를 수 있다. 이에 따라, 각각의 발광 소자(LD)가 그에 흐르는 전류에 상응하는 휘도로 발광하면서, 광원 유닛(LSU)이 구동 전류에 대응하는 휘도의 광을 방출할 수 있다.
- [0072] 화소 회로(PXC)는 제1 전원(VDD)과 제1 전극(ELT1)의 사이에 전기적으로 연결될 수 있다. 화소 회로(PXC)는 해당 화소(PXL)의 주사선(Si) 및 데이터선(Dj)에 연결될 수 있다. 일 예로, 화소(PXL)가 표시 영역(DA)의 i(i는 자연수)번째 수평 라인(행) 및 j(j는 자연수)번째 수직 라인(열)에 배치되었다고 할 때, 화소(PXL)의 화소 회로(PXC)는 표시 영역(DA)의 i번째 주사선(Si) 및 j번째 데이터선(Dj)에 연결될 수 있다.
- [0073] 실시예에 따라, 화소 회로(PXC)는 복수의 트랜지스터들과 적어도 하나의 커패시터를 포함할 수 있다. 예를 들어, 화소 회로(PXC)는 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0074] 제1 트랜지스터(T1)는 제1 전원(VDD)과 광원 유닛(LSU)의 사이에 연결된다. 예를 들어, 제1 트랜지스터(T1)의 제1 전극(일 예로, 소스 전극)은 제1 전원(VDD)에 연결되고, 제1 트랜지스터(T1)의 제2 전극(일 예로, 드레인 전극)은 제1 전극(ELT1)에 연결될 수 있다. 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 연결된다. 이러한 제1 트랜지스터(T1)는 제1 노드(N1)의 전압에 대응하여 광원 유닛(LSU)으로 공급되는 구동 전류를 제어한다. 즉, 제1 트랜지스터(T1)는 화소(PXL)의 구동 전류를 제어하는 구동 트랜지스터일 수 있다.
- [0075] 제2 트랜지스터(T2)는 데이터선(Dj)과 제1 노드(N1)의 사이에 연결된다. 예를 들어, 제2 트랜지스터(T2)의 제1 전극(일 예로, 소스 전극)은 데이터선(Dj)에 연결되고, 제2 트랜지스터(T2)의 제2 전극(일 예로, 드레인 전극)은 제1 노드(N1)에 연결될 수 있다. 제2 트랜지스터(T2)의 게이트 전극은 주사선(Si)에 연결된다. 이러한 제2 트랜지스터(T2)는 주사선(Si)으로부터 게이트-온 전압(일 예로, 로우 레벨 전압)의 주사 신호(SSi)가 공급될 때 턴-온되어, 데이터선(Dj)과 제1 노드(N1)를 전기적으로 연결한다.
- [0076] 각각의 프레임 기간마다 데이터선(Dj)으로는 해당 프레임의 데이터 신호(DSj)가 공급되고, 데이터 신호(DSj)는 게이트-온 전압의 주사 신호(SSi)가 공급되는 기간 동안 턴-온된 제2 트랜지스터(T2)를 통해 제1 노드(N1)로 전달된다. 즉, 제2 트랜지스터(T2)는 각각의 데이터 신호(DSj)를 화소(PXL)의 내부로 전달하기 위한 스위칭 트랜지스터일 수 있다.
- [0077] 스토리지 커패시터(Cst)의 일 전극은 제1 전원(VDD)에 연결되고, 다른 전극은 제1 노드(N1)에 연결된다. 이러한 스토리지 커패시터(Cst)는 각각의 프레임 기간 동안 제1 노드(N1)로 공급되는 데이터 신호(DSj)에 대응하는 전압을 충전한다.
- [0078] 한편, 도 4에서는 화소 회로(PXC)에 포함되는 트랜지스터들, 일 예로 제1 및 제2 트랜지스터들(T1, T2)을 모두 P형 트랜지스터들로 도시하였으나, 반드시 이에 제한되는 것은 아니며, 제1 및 제2 트랜지스터들(T1, T2) 중 적어도 하나는 N형 트랜지스터로 변경될 수도 있다. 이외에도, 화소 회로(PXC)는 다양한 구조 및/또는 구동 방식의 화소 회로로 구성될 수 있다.
- [0079] 도 5를 참조하면, 화소 회로(PXC)는 센싱 제어선(SCLi) 및 센싱선(SLj)에 더 연결될 수 있다. 일 예로, 표시 영역(DA)의 i번째 수평 라인 및 j번째 수직 라인에 배치된 화소(PXL)의 화소 회로(PXC)는 표시 영역(DA)의 i번째 센싱 제어선(SCLi) 및 j번째 센싱선(SLj)에 연결될 수 있다. 화소 회로(PXC)는 제3 트랜지스터(T3)를 더 포함할 수 있다. 또는, 다른 실시예에서는 센싱선(SLj)이 생략되고, 해당 화소(PXL)(또는, 인접 화소)의 데이터선(Dj)을 통해 센싱 신호(SENj)를 검출함에 의해 화소(PXL)의 특성을 검출할 수도 있다.
- [0080] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)와 센싱선(SLj)의 사이에 연결된다. 예를 들어, 제3 트랜지스터(T3)의 일 전극은 제1 전극(ELT1)에 연결된 제1 트랜지스터(T1)의 일 전극(일 예로, 소스 전극)에 연결되고, 제3 트랜

지스터(T3)의 다른 전극은 센싱선(SLj)에 연결될 수 있다. 한편, 센싱선(SLj)이 생략되는 경우 제3 트랜지스터(T3)의 다른 전극은 데이터선(Dj)에 연결될 수도 있다.

[0081] 제3 트랜지스터(T3)의 게이트 전극은 센싱 제어선(SCLi)에 연결된다. 센싱 제어선(SCLi)이 생략되는 경우, 제3 트랜지스터(T3)의 게이트 전극은 주사선(Si)에 연결될 수도 있다. 이와 같은 제3 트랜지스터(T3)는 소정의 센싱 기간 동안 센싱 제어선(SCLi)으로 공급되는 게이트-온 전압(일 예로, 하이 레벨 전압)의 센싱 제어 신호(SCSi)에 의해 턴-온되어 센싱선(SLj)과 제1 트랜지스터(T1)를 전기적으로 연결한다.

[0082] 실시예에 따라, 센싱 기간은 표시 영역(DA)에 배치된 화소들(PXL) 각각의 특성(일 예로, 제1 트랜지스터(T1)의 문턱 전압 등)를 추출하는 기간일 수 있다. 상기 센싱 기간 동안 데이터선(Dj) 및 제2 트랜지스터(T2)를 통해 제1 노드(N1)에 제1 트랜지스터(T1)가 턴-온될 수 있는 소정의 기준 전압을 공급하거나, 각각의 화소(PXL)를 전류원 등에 연결함에 의해 제1 트랜지스터(T1)를 턴-온시킬 수 있다. 또한, 제3 트랜지스터(T3)로 게이트-온 전압의 센싱 제어 신호(SCSi)를 공급하여 제3 트랜지스터(T3)를 턴-온시킴에 의해 제1 트랜지스터(T1)를 센싱선(SLj)에 연결할 수 있다. 이후, 센싱선(SLj)을 통해 센싱 신호(SENj)를 획득하고, 센싱 신호(SENj)를 이용해 제1 트랜지스터(T1)의 문턱 전압 등을 비롯한 각 화소(PXL)의 특성을 검출할 수 있다. 각 화소(PXL)의 특성에 대한 정보는 표시 영역(DA)에 배치된 화소들(PXL) 사이의 특성 편차가 보상될 수 있도록 영상 데이터를 변환하는 데에 이용될 수 있다.

[0083] 한편, 도 5에서는 제1, 제2 및 제3 트랜지스터들(T1, T2, T3)이 모두 N형 트랜지스터들인 실시예를 개시하였으나, 반드시 이에 제한되는 것은 아니다. 발명이 이에 한정되지는 않는다. 예를 들어, 제1, 제2 및 제3 트랜지스터들(T1, T2, T3) 중 적어도 하나는 P형 트랜지스터로 변경될 수도 있다.

[0084] 또한, 도 4 및 도 5에서는 각각의 광원 유닛(LSU)을 구성하는 유효 광원들, 즉 발광 소자들(LD)이 모두 병렬로 연결된 실시예를 도시하였으나, 반드시 이에 제한되는 것은 아니다. 예를 들어, 도 6에 도시된 바와 같이 각 화소(PXL)의 광원 유닛(LSU)이 적어도 2단의 직렬 구조를 포함하도록 구성될 수도 있다. 도 6의 실시예들을 설명함에 있어, 도 4 및 도 5의 실시예들과 유사 또는 동일한 구성(일 예로, 화소 회로(PXC))에 대한 상세한 설명은 생략하기로 한다.

[0085] 도 6을 참조하면, 광원 유닛(LSU)은 서로 직렬로 연결된 적어도 두 개의 발광 소자들을 포함할 수 있다. 일 예로, 광원 유닛(LSU)은 제1 전원(VDD)과 제2 전원(VSS)의 사이에 순방향으로 직렬 연결된 제1 발광 소자(LD1), 제2 발광 소자(LD2) 및 제3 발광 소자(LD3)를 포함할 수 있다. 제1, 제2 및 제3 발광 소자들(LD1, LD2, LD3)은 각각의 유효 광원을 구성할 수 있다.

[0086] 이하에서는, 제1, 제2 및 제3 발광 소자들(LD1, LD2, LD3) 중 특정 발광 소자를 지칭할 때에는 해당 발광 소자를 "제1 발광 소자(LD1)", "제2 발광 소자(LD2)" 또는 "제3 발광 소자(LD3)"로 명기하기로 한다. 그리고, 제1, 제2 및 제3 발광 소자들(LD1, LD2, LD3) 중 적어도 하나의 발광 소자를 임의로 지칭하거나, 제1, 제2 및 제3 발광 소자들(LD1, LD2, LD3)을 포괄적으로 지칭할 때에는 "발광 소자(LD)" 또는 "발광 소자들(LD)"이라 하기로 한다.

[0087] 제1 발광 소자(LD1)의 제1 단부(일 예로, P형 단부)는 광원 유닛(LSU)의 제1 전극(즉, 제1 화소 전극)(ELT1) 등을 경유하여 제1 전원(VDD)에 연결된다. 그리고, 제1 발광 소자(LD1)의 제2 단부(일 예로, N형 단부)는 제1 중간 전극(IET1)을 통해 제2 발광 소자(LD2)의 제1 단부(일 예로, P형 단부)에 연결된다.

[0088] 제2 발광 소자(LD2)의 제1 단부는 제1 발광 소자(LD1)의 제2 단부에 연결된다. 그리고, 제2 발광 소자(LD2)의 제2 단부(일 예로, N형 단부)는 제2 중간 전극(IET2)을 통해 제3 발광 소자(LD3)의 제1 단부(일 예로, P형 단부)에 연결된다.

[0089] 제3 발광 소자(LD3)의 제1 단부는 제2 발광 소자(LD2)의 제2 단부에 연결된다. 그리고, 제3 발광 소자(LD3)의 제2 단부(일 예로, N형 단부)는 광원 유닛(LSU)의 제2 전극(즉, 제2 화소 전극)(ELT2) 등을 경유하여 제2 전원(VSS)에 연결될 수 있다. 상술한 방식으로, 제1, 제2 및 제3 발광 소자들(LD1, LD2, LD3)은 광원 유닛(LSU)의 제1 및 제2 전극들(ELT1, ELT2)의 사이에 순차적으로 직렬 연결될 수 있다.

[0090] 한편, 도 6에서는 3단 직렬 구조로 발광 소자들(LD)을 연결하는 실시예를 도시하였으나, 반드시 이에 제한되는 것은 아니며, 두 개의 발광 소자들(LD)을 2단 직렬 구조로 연결하거나, 네 개 이상의 발광 소자들(LD)을 4단 이상의 직렬 구조로 연결할 수도 있다.

[0091] 동일 조건(일 예로, 동일한 크기 및/또는 개수)의 발광 소자들(LD)을 이용하여 동일 휘도를 표현한다고 가정할

때, 발광 소자들(LD)을 직렬 연결한 구조의 광원 유닛(LSU)에서는 발광 소자들(LD)을 병렬 연결한 구조의 광원 유닛(LSU)에 비해 제1 및 제2 전극들(ELT1, ELT2)의 사이에 인가되는 전압은 증가하되, 광원 유닛(LSU)에 흐르는 구동 전류의 크기는 감소할 수 있다. 따라서, 직렬 구조를 적용하여 각 화소(PXL)의 광원 유닛(LSU)을 구성할 경우, 표시 패널(PNL)에 흐르는 패널 전류를 저감할 수 있다.

- [0092] 상술한 실시예들에서와 같이, 각각의 광원 유닛(LSU)은 제1 및 제2 전원들(VDD, VSS)의 사이에 순방향으로 연결되어 각각의 유효 광원을 구성하는 복수의 발광 소자들(LD)을 포함할 수 있다. 또한, 발광 소자들(LD) 사이의 연결 구조는 실시예에 따라 다양하게 변경될 수 있다. 예를 들어, 발광 소자들(LD)은 서로 직렬 또는 병렬로만 연결되거나, 직/병렬 혼합 구조로 연결될 수 있다.
- [0093] 도 7 및 도 8은 일 실시예에 따른 화소를 나타내는 단면도들이다.
- [0094] 도 7 및 도 8에서는 각각 하나의 발광 소자(LD)를 중심으로 각 화소(PXL)의 구조를 개략적으로 도시하며, 화소 회로(PXC)를 구성하는 다양한 회로 소자들 중 제1 전극(ELT1)에 연결되는 트랜지스터(T)를 도시하기로 한다. 이하에서, 제1 트랜지스터(T1)를 구분하여 명기할 필요가 없을 경우에는 제1 트랜지스터(T1)에 대해서도 "트랜지스터(T)"로 포괄하여 지칭하기로 한다.
- [0095] 한편, 트랜지스터들(T)의 구조 및/또는 층별 위치 등이 도 7 및 도 8에 도시된 실시예에 한정되는 것은 아니며, 실시예에 따라 다양하게 변경될 수 있다. 또한, 일 실시예에서, 각각의 화소 회로(PXC)를 구성하는 트랜지스터들(T)은 실질적으로 서로 동일 또는 유사한 구조를 가질 수 있으나, 이에 한정되지는 않는다. 예를 들어, 다른 실시예에서는 화소 회로(PXC)를 구성하는 트랜지스터들(T) 중 적어도 하나가 나머지 트랜지스터들(T)과는 상이한 단면 구조를 가지거나, 및/또는 상이한 층에 배치될 수도 있다.
- [0096] 도 7 및 도 8을 참조하면, 화소(PXL) 및 이를 구비한 표시 장치는 기관(SUB), 기관(SUB)의 일면 상에 배치된 회로층(PCL)과 표시층(DPL)을 포함할 수 있다. 실시예에 따라, 표시층(DPL) 상에는 컬러 변환층 및/또는 컬러 필터층이 더 배치될 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0097] 회로층(PCL)은 각 화소(PXL)의 화소 회로(PXC)를 구성하는 회로 소자들 및 이에 연결되는 각종 배선들을 포함할 수 있다. 표시층(DPL)은 각 화소(PXL)의 광원 유닛(LSU)을 구성하는 전극들(일 예로, 제1 및 제2 전극들(ELT1, ELT2) 및/또는 제1 및 제2 컨택 전극들(CNE1, CNE2))과 발광 소자들(LD)을 포함할 수 있다.
- [0098] 회로층(PCL)은 각 화소(PXL)의 발광 소자들(LD)에 전기적으로 연결되는 적어도 하나의 회로 소자를 포함할 수 있다. 예를 들어, 회로층(PCL)은 각각의 화소 영역에 배치되어 해당 화소(PXL)의 화소 회로(PXC)를 구성하는 복수의 트랜지스터들(T)을 포함할 수 있다. 또한, 회로층(PCL)은 각각의 화소 회로(PXC) 및/또는 광원 유닛(LSU)에 연결되는 적어도 하나의 전원 배선 및/또는 신호 배선을 더 포함할 수 있다. 예를 들어, 회로층(PCL)은 제1 전원 배선(PL1), 제2 전원 배선(PL2), 각 화소(PXL)의 주사선(Si) 및 데이터선(Dj)을 포함할 수 있다.
- [0099] 또한, 회로층(PCL)은 복수의 절연층들을 포함할 수 있다. 예를 들어, 회로층(PCL)은 기관(SUB)의 일면 상에 순차적으로 적층된 버퍼층(BFL), 게이트 절연층(GI), 제1 층간 절연층(ILD1), 제2 층간 절연층(ILD2) 및/또는 패시베이션층(PSV)을 포함할 수 있다. 또한, 회로층(PCL)은 적어도 일부의 트랜지스터(T)의 하부에 배치되는 적어도 하나의 차광 패턴(미도시) 등을 선택적으로 더 포함할 수 있다.
- [0100] 버퍼층(BFL)은 각각의 회로 소자에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 단일층으로 구성될 수 있으나, 적어도 2중층 이상의 다중층으로 구성될 수도 있다. 버퍼층(BFL)이 다중층으로 제공될 경우, 각 층은 동일한 재료로 형성되거나 또는 서로 다른 재료로 형성될 수 있다. 이러한 버퍼층(BFL) 상에는 트랜지스터들(T)과 같은 각종 회로 소자와 상기 회로 소자에 연결되는 각종 배선들이 배치될 수 있다. 버퍼층(BFL)은 실시예에 따라 생략될 수 있다.
- [0101] 각각의 트랜지스터(T)는 반도체 패턴(SCP)("반도체층" 또는 "활성층"이라고도 함), 게이트 전극(GE), 제1 및 제2 트랜지스터 전극들(TE1, TE2)을 포함할 수 있다. 한편, 도 7 및 도 8에서는 각각의 트랜지스터(T)가 반도체 패턴(SCP)과 별개로 형성된 제1 및 제2 트랜지스터 전극들(TE1, TE2)을 구비하는 실시예를 도시하였으나, 반드시 이에 제한되는 것은 아니다. 예를 들어, 다른 실시예에서는 적어도 하나의 트랜지스터(T)에 구비되는 제1 및/또는 제2 트랜지스터 전극들(TE1, TE2)이 각각의 반도체 패턴(SCP)과 통합되어 구성될 수도 있다.
- [0102] 반도체 패턴(SCP)은 버퍼층(BFL) 상에 배치될 수 있다. 일 예로, 반도체 패턴(SCP)은 버퍼층(BFL)이 형성된 기관(SUB)과 게이트 절연층(GI)의 사이에 배치될 수 있다. 반도체 패턴(SCP)은 각각의 제1 트랜지스터 전극(TE1)에 접촉되는 제1 영역, 각각의 제2 트랜지스터 전극(TE2)에 접촉되는 제2 영역, 및 상기 제1 및 제2 영역들의

사이에 위치한 채널 영역을 포함할 수 있다. 실시예에 따라, 상기 제1 및 제2 영역들 중 하나는 소스 영역이고, 다른 하나는 드레인 영역일 수 있다.

- [0103] 실시예에 따라, 반도체 패턴(SCP)은 폴리 실리콘, 아모포스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 또한, 반도체 패턴(SCP)의 채널 영역은 불순물이 도핑되지 않은 반도체 패턴으로서 진성 반도체일 수 있고, 반도체 패턴(SCP)의 제1 및 제2 영역들은 각각 소정의 불순물이 도핑된 반도체 패턴일 수 있다.
- [0104] 일 실시예에서, 각각의 화소 회로(PXC)를 구성하는 트랜지스터들(T)의 반도체 패턴들(SCP)은 실질적으로 동일 또는 유사한 물질로 이루어질 수 있다. 예를 들어, 트랜지스터들(T)의 반도체 패턴(SCP)은 폴리 실리콘, 아모포스 실리콘 및 산화물 반도체 중 동일한 어느 하나의 물질로 이루어질 수 있다.
- [0105] 다른 실시예에서, 트랜지스터들(T) 중 일부와 나머지 일부는 서로 다른 물질로 이루어진 반도체 패턴들(SCP)을 포함할 수도 있다. 예를 들어, 트랜지스터들(T) 중 일부 트랜지스터의 반도체 패턴(SCP)은 폴리 실리콘 또는 아모포스 실리콘으로 이루어지고, 트랜지스터들(T) 중 나머지 트랜지스터의 반도체 패턴(SCP)은 산화물 반도체로 이루어질 수 있다.
- [0106] 게이트 절연층(GI)은 반도체 패턴(SCP) 상에 배치될 수 있다. 일 예로, 게이트 절연층(GI)은 반도체 패턴(SCP)과 게이트 전극(GE)의 사이에 배치될 수 있다. 이러한 게이트 절연층(GI)은 단일층 또는 다중층으로 구성될 수 있으며, 질화 규소(SiN_x), 산화 규소(SiO_x) 또는 산질화 규소(SiO_xN_y) 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있다.
- [0107] 게이트 전극(GE)은 게이트 절연층(GI) 상에 배치될 수 있다. 예를 들어, 게이트 전극(GE)은 게이트 절연층(GI)을 사이에 개재하고 반도체 패턴(SCP)과 중첩되도록 배치될 수 있다. 한편, 도 7 및 도 8에서는 탑-게이트 구조의 트랜지스터(T)를 도시하였으나, 다른 실시예에서, 트랜지스터(T)는 바텀-게이트 구조를 가질 수도 있다. 이 경우, 게이트 전극(GE)은 반도체 패턴(SCP)의 하부에서 반도체 패턴(SCP)과 중첩되도록 배치될 수 있다.
- [0108] 제1 층간 절연층(ILD1)은 게이트 전극(GE) 상에 배치될 수 있다. 일 예로, 제1 층간 절연층(ILD1)은 게이트 전극(GE)과 제1 및 제2 트랜지스터 전극들(TE1, TE2)의 사이에 배치될 수 있다. 제1 층간 절연층(ILD1)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 예를 들어, 제1 층간 절연층(ILD1)은 질화 규소(SiN_x), 산화 규소(SiO_x) 또는 산질화 규소(SiO_xN_y) 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있으며, 제1 층간 절연층(ILD1)의 구성 물질이 특별히 한정되지는 않는다.
- [0109] 제1 및 제2 트랜지스터 전극들(TE1, TE2)은 적어도 한 층의 제1 층간 절연층(ILD1)을 사이에 개재하고, 각각의 반도체 패턴(SCP) 상에 배치될 수 있다. 예를 들어, 제1 및 제2 트랜지스터 전극들(TE1, TE2)은 게이트 절연층(GI) 및 제1 층간 절연층(ILD1)을 사이에 개재하고, 반도체 패턴(SCP)의 서로 다른 단부들 상에 배치될 수 있다. 제1 및 제2 트랜지스터 전극들(TE1, TE2)은 각각의 반도체 패턴(SCP)에 전기적으로 연결될 수 있다. 예를 들어, 제1 및 제2 트랜지스터 전극들(TE1, TE2)은 게이트 절연층(GI) 및 제1 층간 절연층(ILD1)을 관통하는 각각의 컨택홀을 통해 반도체 패턴(SCP)의 제1 및 제2 영역들에 연결될 수 있다. 실시예에 따라, 제1 및 제2 트랜지스터 전극들(TE1, TE2) 중 어느 하나는 소스 전극이고, 다른 하나는 드레인 전극일 수 있다.
- [0110] 화소 회로(PXC)에 구비된 적어도 하나의 트랜지스터(T)는 적어도 하나의 화소 전극에 연결될 수 있다. 일 예로, 트랜지스터(T)는 패시베이션층(PSV)을 관통하는 컨택홀(일 예로, 제1 컨택홀(CH1)) 및/또는 브릿지 패턴(BRP)을 통해, 해당 화소(PXL)의 제1 전극(ELT1)에 전기적으로 연결될 수 있다.
- [0111] 일 실시예에서, 각각의 화소(PXL)에 연결되는 적어도 하나의 신호 배선 및/또는 전원 배선은 화소 회로(PXC)를 구성하는 회로 소자들의 일 전극과 동일한 층에 배치될 수 있다. 일 예로, 각 화소(PXL)의 주사선(Si)은 트랜지스터들(T)의 게이트 전극들(GE)과 동일한 층에 배치되고, 각 화소(PXL)의 데이터선(Dj)은 트랜지스터들(T)의 제1 및 제2 트랜지스터 전극들(TE1, TE2)과 동일한 층에 배치될 수 있다.
- [0112] 제1 및/또는 제2 전원 배선들(PL1, PL2)은 트랜지스터들(T)의 게이트 전극들(GE) 또는 제1 및 제2 트랜지스터 전극들(TE1, TE2)과 동일한 층에 배치되거나, 상이한 층에 배치될 수 있다. 일 예로, 제2 전원(VSS)을 공급하기 위한 제2 전원 배선(PL2)은 제2 층간 절연층(ILD2) 상에 배치되어, 패시베이션층(PSV)에 의해 적어도 부분적으로 커버될 수 있다. 제2 전원 배선(PL2)은 패시베이션층(PSV)을 관통하는 제2 컨택홀(CH2)을 통해 패시베이션층(PSV)의 상부에 배치된 광원 유닛(LSU)의 제2 전극(ELT2)에 전기적으로 연결될 수 있다. 다만, 제1 및/또는 제2 전원 배선들(PL1, PL2)의 위치 및/또는 구조는 다양하게 변경될 수 있다. 예를 들어, 제2 전원 배선(PL2)이 트랜지스터들(T)의 게이트 전극들(GE) 또는 제1 및 제2 트랜지스터 전극들(TE1, TE2)과 동일한 층에 배치되어, 도

시되지 않은 적어도 하나의 브리지 패턴 및/또는 제2 컨택홀(CH2)을 통해 제2 전극(ELT2)에 전기적으로 연결될 수도 있다.

- [0113] 제2 층간 절연층(ILD2)은 제1 층간 절연층(ILD1)의 상부에 배치되며, 제1 층간 절연층(ILD1) 상에 위치한 제1 및 제2 트랜지스터 전극들(TE1, TE2)을 커버할 수 있다. 이러한 제2 층간 절연층(ILD2)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 예를 들어, 제2 층간 절연층(ILD2)은 질화 규소(SiNx), 산화 규소(SiOx), 또는 산질화 규소(SiOxNy) 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0114] 제2 층간 절연층(ILD2) 상에는 화소 회로(PXC)에 구비된 적어도 하나의 회로 소자(일 예로, 제1 트랜지스터(T1))를 제1 전극(ELT1)에 연결하기 위한 브릿지 패턴(BRP), 제1 전원 배선(PL1) 및/또는 제2 전원 배선(PL2)이 배치될 수 있다. 다만, 제2 층간 절연층(ILD2)은 실시예에 따라 생략될 수도 있다. 이 경우, 도 7 및 도 8의 브릿지 패턴(BRP) 등은 생략될 수 있고, 제2 전원 배선(PL2)은 트랜지스터(T)의 일 전극이 배치되는 층에 배치될 수 있다.
- [0115] 트랜지스터들(T)을 비롯한 회로 소자들 및/또는 제1 및 제2 전원 배선들(PL1, PL2)을 비롯한 배선들의 상부에는 패시베이션층(PSV)이 배치될 수 있다. 패시베이션층(PSV)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 일 예로, 패시베이션층(PSV)은 적어도 유기 절연층을 포함하며 회로층(PCL)의 표면을 실질적으로 평탄화하는 역할을 할 수 있다.
- [0116] 회로층(PCL)의 패시베이션층(PSV) 상에는 표시층(DPL)이 배치될 수 있다. 표시층(DPL)은 각 화소(PXL)의 발광 영역을 정의하는 제1 बैं크(BNK1), 각 화소(PXL)의 발광 영역에 배치되어 각각의 광원 유닛(LSU)을 구성하는 적어도 한 쌍의 제1 전극(ELT1) 및 제2 전극(ELT2)과 제1 전극(ELT1) 및 제2 전극(ELT2)의 사이에 연결된 적어도 하나의 발광 소자(LD)를 포함할 수 있다. 한편, 도 7 및 도 8에서는 각 화소(PXL)에 배치되는 하나의 발광 소자(LD)를 도시하였지만, 도 4 등의 실시예에서와 같이 각각의 화소(PXL)는 제1 및 제2 전극들(ELT1, ELT2)의 사이에 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 따라서, 이하에서는 화소(PXL)가 복수의 발광 소자들(LD)을 포함하는 것으로 가정하여 각각의 실시예를 설명하기로 한다.
- [0117] 또한, 표시층(DPL)은 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)을 보다 안정적으로 연결하기 위한 제1 및 제2 컨택 전극들(CNE1, CNE2), 제1 및 제2 전극들(ELT1, ELT2) 및/또는 제1 및 제2 컨택 전극들(CNE1, CNE2) 각각의 일 영역을 상부 방향으로 돌출시키기 위한 제2 बैं크(BNK2)를 더 포함할 수 있다.
- [0118] 제1 बैं크(BNK1)는 화소들(PXL)의 발광 영역을 둘러싸도록 배치될 수 있다. 즉, 제1 बैं크(BNK1)는 화소(PXL)가 제공되는 각 화소 영역의 경계 영역 및/또는 인접한 화소들(PXL) 사이의 영역에 배치될 수 있다. 제1 बैं크(BNK1)는 화소들(PXL)의 발광 영역을 정의하는 개구부를 포함할 수 있다. 제1 बैं크(BNK1)에 의해 각각의 발광 영역이 구획됨으로써, 각 발광 영역에 후술할 발광 소자들(LD)이 공급될 수 있다. 즉, 제1 बैं크(BNK1)는 발광 소자들(LD)을 공급하는 단계에서 발광 소자들(LD)이 공급되어야 할 각각의 발광 영역을 규정하는 댐 구조물로 기능할 수 있다.
- [0119] 일 실시예에서, 제1 बैं크(BNK1)는 각각 전도성 고분자 및 상기 전도성 고분자 내에 분산된 산란체를 포함할 수 있다. 예를 들어, 상기 전도성 고분자는 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPy), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 상기 산란체는 황산 바륨(BaSO4), 탄산 칼슘(CaCO3), 산화 티타늄(TiOx), 산화 알루미늄(AlOx), 산화 지르코늄(ZrOx), 및 산화 아연(ZnOx) 중 적어도 하나를 포함할 수 있다. 이와 같이, 제1 बैं크(BNK1)가 산란체를 포함하는 전도성 고분자로 형성되는 경우, 제1 बैं크(BNK1)는 발광 소자(LD)에서 방출된 광을 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다. 아울러, 제1 बैं크(BNK1)는 후술할 제1 및 제2 전극들(ELT1, ELT2)과 동일한 공정에서 동시에 형성될 수 있다. 이 경우, 마스크 수를 저감하여 비용을 절감하고 제조 공정을 단순화할 수 있다. 이에 대한 상세한 설명은 도 10 내지 도 17을 참조하여 후술하기로 한다.

- [0120] 제2 बैं크(BNK2)는 각 화소(PXL)의 발광 영역 내에서 회로층(PCL) 상에 배치될 수 있다. 제2 बैं크(BNK2)는 분리형 또는 일체형의 패턴으로 형성될 수 있다. 제2 बैं크(BNK2)는 기관(SUB)의 높이 방향 즉, 제3 방향(Z축 방향)으로 돌출될 수 있다.
- [0121] 제2 बैं크(BNK2)는 실시예에 따라 다양한 형상을 가질 수 있다. 일 실시예에서, 제2 बैं크(BNK2)는 정 테이퍼 구조를 가지는 बैं크 구조물일 수 있다. 예를 들어, 제2 बैं크(BNK2)는 도 7 및 도 8에 도시된 바와 같이 기관(SUB)에 대하여 일정한 각도로 기울어진 경사면을 가지도록 형성될 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제2 बैं크(BNK2)는 곡면 또는 계단 형상 등의 측벽을 가질 수 있다. 일 예로, 제2 बैं크(BNK2)는 반원 또는 반타원 형상 등의 단면을 가질 수도 있다.
- [0122] 제2 बैं크(BNK2)의 상부에 배치되는 전극들 및 절연층들은 제2 बैं크(BNK2)에 대응하는 형상을 가질 수 있다. 일 예로, 제1 및 제2 전극(ELT1, ELT2)과 제1 및 제2 콘택 전극(CNE1, CNE2)은 제2 बैं크(BNK2)의 일 영역 상부에 배치되며, 제2 बैं크(BNK2)의 형상에 상응하는 형상을 가지는 경사면 또는 곡면을 포함할 수 있다. 유사하게, 제1, 제3 및/또는 제4 절연층들(INS1, INS3, INS4)은 제2 बैं크(BNK2) 상에 배치되어 제2 बैं크(BNK2)의 형상에 상응하는 형상을 가지는 경사면 또는 곡면을 포함할 수 있다.
- [0123] 제2 बैं크(BNK2)는 폴리이미드계 수지(polyimides rein), 폴리아미드계 수지(polyamides resin), 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 투명한 유기 절연 물질을 포함할 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제2 बैं크(BNK2)는 산화 규소(SiO_x), 질화 규소(SiNx), 산질화 규소(SiO_xNy), 산화 알루미늄(AlO_x), 또는 산화 티타늄(TiO_x) 등의 무기 절연 물질을 포함하거나, 유무기 복합층으로 이루어질 수도 있다.
- [0124] 일 실시예에서, 제2 बैं크(BNK2)는 그 상부에 제공된 제1 및 제2 전극들(ELT1, ELT2)과 함께 각각의 발광 소자(LD)에서 방출된 광을 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다.
- [0125] 제2 बैं크(BNK2)의 상부에는 각 화소(PXL)의 화소 전극들을 구성하는 제1 및 제2 전극들(ELT1, ELT2)이 배치될 수 있다. 제1 및 제2 전극들(ELT1, ELT2)은 제2 बैं크(BNK2) 상에 직접 배치되어, 제2 बैं크(BNK2)를 커버하도록 배치될 수 있다. 제1 전극(ELT1) 및 제2 전극(ELT2)은 화소(PXL)가 제공 및/또는 형성되는 각각의 화소 영역에 배치될 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2)은 각 화소(PXL)의 발광 영역에서 소정 간격만큼 이격되어 나란히 배치될 수 있다.
- [0126] 실시예에 따라, 제1 및/또는 제2 전극들(ELT1, ELT2)은 화소(PXL)별로 분리된 패턴을 가지거나, 복수의 화소들(PXL)에서 공통으로 연결되는 패턴을 가질 수 있다. 한편, 화소(PXL)를 형성하는 공정, 특히 발광 소자들(LD)의 정렬이 완료되기 이전에는 표시 영역(DA)에 배치된 화소들(PXL)의 제1 전극들(ELT1)이 서로 연결되고, 화소들(PXL)의 제2 전극들(ELT2)이 서로 연결되어 있을 수 있다. 예를 들어, 발광 소자들(LD)의 정렬이 완료되기 이전에, 화소들(PXL)의 제1 전극들(ELT1)은 서로 일체 또는 비일체로 형성되어 서로 전기적으로 연결되고, 화소들(PXL)의 제2 전극들(ELT2)은 서로 일체 또는 비일체로 형성되며 서로 전기적으로 연결될 수 있다. 화소들(PXL)의 제1 전극들(ELT1) 또는 제2 전극들(ELT2)이 서로 비일체로 연결될 경우, 제1 전극들(ELT1) 또는 제2 전극들(ELT2)은 적어도 하나의 콘택홀 및/또는 브릿지 패턴 등에 의해 서로 전기적으로 연결될 수 있다.
- [0127] 제1 및 제2 전극들(ELT1, ELT2)은 발광 소자들(LD)의 정렬 단계에서 각각 제1 정렬 신호(또는, 제1 정렬 전압) 및 제2 정렬 신호(또는, 제2 정렬 전압)를 공급받을 수 있다. 일 예로, 제1 및 제2 전극들(ELT1, ELT2) 중 어느 하나는 교류 형태의 정렬 신호를 공급받고, 제1 및 제2 전극들(ELT1, ELT2) 중 다른 하나는 일정한 전압 레벨을 가지는 정렬 전압(일 예로, 접지 전압)을 공급받을 수 있다. 즉, 발광 소자들(LD)의 정렬 단계에서 제1 및 제2 전극들(ELT1, ELT2)에 소정의 정렬 신호가 인가될 수 있다. 이에 따라, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전계가 형성될 수 있다. 상기 전계에 의해 각각의 화소 영역(특히, 각 화소(PXL)의 발광 영역)에 공급된 발광 소자들(LD)이 제1 및 제2 전극들(ELT1, ELT2)의 사이에 자가 정렬할 수 있다. 발광 소자들(LD)의 정렬이 완료된 이후에는, 화소들(PXL)의 사이에서 적어도 제1 전극들(ELT1) 사이의 연결을 끊음으로써, 화소들(PXL)을 개별 구동이 가능한 형태로 형성할 수 있다.
- [0128] 제1 전극(ELT1)은 제1 콘택홀(CH1)을 통해 소정의 회로 소자(일 예로, 화소 회로(PXC)를 구성하는 적어도 하나의 트랜지스터), 전원 배선(일 예로, 제1 전원 배선(PL1)) 및/또는 신호 배선(일 예로, 주사선(Si), 데이터선

(Dj) 또는 소정의 제어선)에 전기적으로 연결될 수 있다. 일 실시예에서, 제1 전극(ELT1)은 제1 컨택홀(CH1)을 통해 브릿지 패턴(BRP)과 전기적으로 연결되고, 이를 통해 트랜지스터(T)와 전기적으로 연결될 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제1 전극(ELT1)이 소정의 전원 배선 또는 신호 배선에 직접 연결될 수도 있다.

[0129] 제2 전극(ELT2)은 제2 컨택홀(CH2)을 통해 소정의 회로 소자(일 예로, 화소 회로(PXC)를 구성하는 적어도 하나의 트랜지스터), 전원 배선(일 예로, 제2 전원 배선(PL2)) 및/또는 신호 배선(일 예로, 주사선(Si), 데이터선(Dj) 또는 소정의 제어선)에 전기적으로 연결될 수 있다. 일 실시예에서, 제2 전극(ELT2)은 제2 컨택홀(CH2)을 통해, 제2 전원 배선(PL2)에 전기적으로 연결될 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제2 전극(ELT2)이 소정의 전원 배선 또는 신호 배선에 직접 연결될 수도 있다.

[0130] 일 실시예에서, 제1 및 제2 전극들(ELT1, ELT2)은 상술한 제1 बैं크(BNK1)와 동일한 물질을 포함할 수 있다. 예를 들어, 제1 및 제2 전극들(ELT1, ELT2)은 각각 전도성 고분자 및 상기 전도성 고분자 내에 분산된 산란체를 포함할 수 있다. 상기 전도성 고분자는 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPy), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다. 이와 같이, 제1 및 제2 전극들(ELT1, ELT2)이 산란체를 포함하는 전도성 고분자로 형성되는 경우, 제1 및 제2 전극들(ELT1, ELT2)은 발광 소자(LD)에서 방출된 광을 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다. 아울러, 제1 및 제2 전극들(ELT1, ELT2)가 제1 बैं크(BNK1)와 동일한 공정에서 동시에 형성될 수 있으므로, 마스크 수를 저감하여 비용을 절감하고 제조 공정을 단순화할 수 있다. 이에 대한 상세한 설명은 도 10 내지 도 17을 참조하여 후술하기로 한다.

[0131] 제1 및 제2 전극(ELT1, ELT2) 상에는 제1 절연층(INS1)이 배치될 수 있다. 예를 들어, 제1 절연층(INS1)은 제1 및 제2 전극들(ELT1, ELT2) 각각의 일 영역을 커버하도록 형성되며, 제1 및 제2 전극들(ELT1, ELT2) 각각의 다른 일 영역을 노출하는 개구부를 포함할 수 있다. 일 예로, 제1 절연층(INS1)은 제2 बैं크(BNK2)의 상면 상에 형성된 개구부를 포함할 수 있다. 제1 절연층(INS1)이 개구된 영역에서 제1 및 제2 전극들(ELT1, ELT2)이 각각 제1 및 제2 컨택 전극들(CNE1, CNE2)에 전기적으로 연결될 수 있다.

[0132] 제1 절연층(INS1)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 일 실시예에서, 제1 절연층(INS1)은 질화 규소(SiNx), 산화 규소(SiOx), 산질화 규소(SiOxNy), 또는 산화 알루미늄(AlOx) 등을 비롯한 다양한 종류의 무기 절연 물질을 포함할 수 있다. 다른 실시예에서, 제1 절연층(INS1)은 고분자 수지 내에 분산된 산란체를 포함할 수 있다. 예를 들어, 상기 고분자 수지는 폴리이미드계 수지(polyimides resin), 폴리아미드계 수지(polyamides resin), 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등을 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다. 예를 들어, 제1 절연층(INS1)에 포함된 산란체는 상술한 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)에 포함된 산란체와 동일한 물질을 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 이와 같이, 제1 절연층(INS1)이 산란체를 포함한 고분자 수지로 이루어지는 경우, 발광 소자(LD)의 하부로 방출되는 광이 제1 절연층(INS1)에 의해 리사이클링되어 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 출광될 수 있다. 즉, 표시 패널(PNL)의 하부로 손실되는 광량을 최소화할 수 있으므로, 표시 장치의 전면 출광 효율을 향상시킬 수 있다.

[0133] 제1 및 제2 전극(ELT1, ELT2)과 제1 절연층(INS1) 상에는 발광 소자들(LD)이 공급 및 정렬될 수 있다. 발광 소자들(LD)은 제1 बैं크(BNK1), 제1 및 제2 전극들(ELT1, ELT2), 및 제1 절연층(INS1) 등이 형성된 각각의 화소 영역에 공급되어 제1 및 제2 전극들(ELT1, ELT2)의 사이에 정렬될 수 있다. 일 예로, 잉크젯 방식, 슬릿 코팅

방식, 또는 이외의 다양한 방식을 통해 각 화소(PXL)의 발광 영역에 다수의 발광 소자들(LD)이 공급되고, 발광 소자들(LD)은 제1 및 제2 전극들(ELT1, ELT2) 각각에 인가되는 소정의 정렬 신호(또는, 정렬 전압)에 의해 제1 및 제2 전극들(ELT1, ELT2)의 사이에 방향성을 가지고 정렬될 수 있다.

- [0134] 일 실시예에서, 발광 소자들(LD) 중 적어도 일부는 양 단부들(즉, 제1 및 제2 단부들(EP1, EP2))이 이웃한 한 쌍의 제1 및 제2 전극들(ELT1, ELT2)과 중첩되도록 한 쌍의 제1 및 제2 전극들(ELT1, ELT2)의 사이에 배치될 수 있다. 다른 실시예에서, 발광 소자들(LD) 중 적어도 일부는 이웃한 한 쌍의 제1 및 제2 전극들(ELT1, ELT2)의 사이에 제1 및/또는 제2 전극들(ELT1, ELT2)과 중첩되지 않도록 배치되며, 각각 제1 및 제2 콘택 전극들(CNE1, CNE2)을 통해 한 쌍의 제1 및 제2 전극들(ELT1, ELT2)에 전기적으로 연결될 수도 있다. 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전기적으로 연결된 각각의 발광 소자(LD)는 해당 화소(PXL)의 유효 광원을 구성할 수 있다. 이러한 유효 광원들은 해당 화소(PXL)의 광원 유닛(LSU)을 구성할 수 있다.
- [0135] 발광 소자들(LD)의 일 영역 상에는 제2 절연층(INS2)이 배치될 수 있다. 예를 들어, 제2 절연층(INS2)은 발광 소자들(LD) 각각의 제1 및 제2 단부들(EP1, EP2)을 노출하도록 발광 소자들(LD) 각각의 일 영역 상에 배치될 수 있다. 일 예로, 제2 절연층(INS2)은 발광 소자들(LD) 각각의 중앙 영역을 포함한 일 영역 상부에 국부적으로 배치될 수 있다. 발광 소자들(LD)의 정렬이 완료된 이후 발광 소자들(LD) 상에 제2 절연층(INS2)을 형성하게 되는 경우, 발광 소자들(LD)이 정렬된 위치에서 이탈하는 것을 방지할 수 있다.
- [0136] 제2 절연층(INS2)은 각 화소(PXL)의 발광 영역에 독립된 패턴으로 형성될 수 있으나, 이에 한정되지는 않는다. 실시예에 따라서 제2 절연층(INS2)은 생략될 수도 있으며, 이 경우 제1 및 제2 콘택 전극들(CNE1, CNE2) 각각의 일단은 발광 소자들(LD)의 상부면 상에 바로 위치될 수도 있다.
- [0137] 제2 절연층(INS2)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 예를 들어, 제2 절연층(INS2)은 질화 규소(SiNx), 산화 규소(SiOx), 산화 알루미늄(AlOx), 포토 레지스트(PR) 물질 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있다.
- [0138] 제2 절연층(INS2)에 의해 커버되지 않은 발광 소자들(LD)의 양 단부들, 즉 제1 및 제2 단부들(EP1, EP2)은 각각 제1 및 제2 콘택 전극들(CNE1, CNE2)에 의해 커버될 수 있다. 제1 및 제2 콘택 전극들(CNE1, CNE2)은 서로 이격되도록 형성된다. 예를 들어, 이웃한 제1 및 제2 콘택 전극들(CNE1, CNE2)은 제2 절연층(INS2)을 사이에 개재하고, 적어도 하나의 인접한 발광 소자(LD)의 제1 및 제2 단부들(EP1, EP2) 상에 서로 이격되어 배치될 수 있다.
- [0139] 또한, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 제1 및 제2 전극들(ELT1, ELT2) 각각의 노출 영역을 커버하도록 제1 및 제2 전극들(ELT1, ELT2)의 상부에 배치될 수 있다. 예를 들어, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 제2 बैं크(BNK2)의 상부 또는 제2 बैं크(BNK2)의 주변에서 제1 및 제2 전극들(ELT1, ELT2) 각각과 직/간접적으로 접촉되도록 제1 및 제2 전극들(ELT1, ELT2) 각각의 적어도 일 영역 상에 배치될 수 있다. 이에 따라, 제1 및 제2 콘택 전극들(CNE1, CNE2)이 각각 제1 및 제2 전극들(ELT1, ELT2)에 전기적으로 연결될 수 있다. 즉, 제1 및 제2 전극들(ELT1, ELT2) 각각은 제1 및 제2 콘택 전극들(CNE1, CNE2)을 통해 인접한 적어도 하나의 발광 소자(LD)의 제1 또는 제2 단부(EP1, EP2)에 전기적으로 연결될 수 있다.
- [0140] 일 실시예에서, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 도 7에 도시된 바와 같이 기판(SUB)의 일면 상에서 동일한 층에 배치될 수 있다. 즉, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 동일한 도전층으로 이루어질 수 있다. 이 경우, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 동일 공정에서 동시에 형성될 수 있으므로, 화소(PXL) 및 이를 구비한 표시 장치의 제조 공정을 간소화할 수 있다. 다른 실시예에서, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 도 8에 도시된 바와 같이 제1 및 제2 콘택 전극들(CNE1, CNE2)은 서로 다른 층에 순차적으로 형성될 수도 있다. 이 경우, 제1 콘택 전극(CNE1)과 제2 콘택 전극(CNE2)의 사이에는 제3 절연층(INS3)이 배치될 수 있다. 한편, 제1 및 제2 콘택 전극들(CNE1, CNE2)의 형성 순서는 실시예에 따라 달라질 수 있다.
- [0141] 제1 및 제2 콘택 전극들(CNE1, CNE2)은 다양한 투명 도전 물질로 구성될 수 있다. 일 예로, 제1 및 제2 콘택 전극들(CNE1, CNE2)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), AZO(Aluminum Zinc Oxide), GZO(Gallium Zinc Oxide), ZTO(Zinc Tin Oxide), GTO(Gallium Tin Oxide) 또는 FTO(Fluorine Tin Oxide)를 비롯한 다양한 투명 도전 물질 중 적어도 하나를 포함하며, 소정의 투광도를 만족하도록 실질적으로 투명 또는 반투명하게 구현될 수 있다. 이에 따라, 각각의 제1 및 제2 단부들(EP1, EP2)을 통해 발광 소자들(LD)로부터 방출되는 광은 제1 및 제2 콘택 전극들(CNE1, CNE2)을 투과하여 표시 패널(PNL)의 외부로 방출될 수 있게 된다.
- [0142] 제3 절연층(INS3)은 제1 콘택 전극(CNE1)과 제2 콘택 전극(CNE2) 사이에 배치될 수 있다. 이와 같이 제1 콘택

전극(CNE1)과 제2 컨택 전극(CNE2) 사이에 제3 절연층(INS3)을 형성하게 되면, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2) 사이의 전기적 안정성을 확보할 수 있다. 예를 들어, 제3 절연층(INS3)에 의해 제1 및 제2 컨택 전극들(CNE1, CNE2)이 안정적으로 분리될 수 있다. 이에 따라, 발광 소자들(LD)의 제1 및 제2 단부들(EP1, EP2)의 사이에서 쇼트 결합이 발생하는 것을 효과적으로 방지할 수 있다.

- [0143] 제3 절연층(INS3)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 예를 들어, 제3 절연층(INS3)은 질화 규소(SiNx), 산화 규소(SiOx), 산화 알루미늄(AIOx), 포토 레지스트(PR) 물질 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있다.
- [0144] 제1 및 제2 컨택 전극들(CNE1, CNE2) 및/또는 제3 절연층(INS3) 상에는 제4 절연층(INS4)이 배치될 수 있다. 예를 들어, 제4 절연층(INS4)은 제2 बैं크(BNK2), 제1 및 제2 전극들(ELT1, ELT2), 제1, 제2 및/또는 제3 절연층들(INS1, INS2, INS3), 발광 소자들(LD), 및 제1 및 제2 컨택 전극들(CNE1, CNE2)을 커버할 수 있다. 제4 절연층(INS4)은 적어도 한 층의 무기막 및/또는 유기막을 포함할 수 있다.
- [0145] 제4 절연층(INS4)은 단일층 또는 다중층으로 구성될 수 있으며, 적어도 하나의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 예를 들어, 제4 절연층(INS4)은 질화 규소(SiNx), 산화 규소(SiOx), 또는 산화 알루미늄(AIOx) 등을 비롯한 다양한 종류의 유/무기 절연 물질을 포함할 수 있다.
- [0146] 일 실시예에서, 제4 절연층(INS4)은 다층 구조의 박막 봉지층을 포함할 수 있다. 예를 들어, 제4 절연층(INS4)은 적어도 두 층의 무기 절연층들과 상기 적어도 두 층의 무기 절연층들의 사이에 개재된 적어도 한 층의 유기 절연층을 포함한 다층 구조의 박막 봉지층으로 구성될 수 있다. 다만, 반드시 이에 제한되는 것은 아니며, 제4 절연층(INS4)의 구성 물질 및/또는 구조는 다양하게 변경될 수 있을 것이다.
- [0147] 상술한 일 실시예에 따른 표시 장치에 의하면, 산란체를 포함하는 전도성 고분자 물질을 이용하여 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)을 형성할 수 있다. 이에 따라, 발광 소자(LD)에서 방출된 광을 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다. 아울러, 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)을 동시에 형성함으로써 마스크 수를 저감하여 비용을 절감하고 제조 공정을 단순화할 수 있다.
- [0148] 이하, 다른 실시예에 대해 설명한다. 이하의 실시예에서 이미 설명한 구성과 동일한 구성에 대해서는 동일한 참조 번호로서 지칭하며, 중복 설명은 생략하거나 간략화하기로 한다.
- [0149] 도 9는 다른 실시예에 따른 화소를 나타내는 단면도이다.
- [0150] 도 9를 참조하면, 본 실시예에 따른 표시 장치는 제2 बैं크(BNK2)가 제1 बैं크(BNK1), 제1 전극(ELT1), 및/또는 제2 전극(ELT2)과 동일한 물질을 포함한다는 점에서 도 1 내지 도 8의 실시예와 상이하다.
- [0151] 구체적으로, 제2 बैं크(BNK2)는 전도성 고분자 및 상기 전도성 고분자 내에 분산된 산란체를 포함할 수 있다. 상기 전도성 고분자는 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPy), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 상기 산란체는 황산 바륨(BaSO4), 탄산 칼슘(CaCO3), 산화 티타늄(TiOx), 산화 알루미늄(AIOx), 산화 지르코늄(ZrOx), 및 산화 아연(ZnOx) 중 적어도 하나를 포함할 수 있다. 이와 같이, 제2 बैं크(BNK2)가 산란체를 포함하는 전도성 고분자로 형성되는 경우, 발광 소자(LD)에서 방출된 광을 표시 패널(PNL)의 전면 방향, 즉 제3 방향(Z축 방향)으로 유도하여 표시 장치의 전면 발광 효율을 향상시킬 수 있다. 아울러, 제2 बैं크(BNK2)가 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)과 동일한 공정에서 동시에 형성될 수 있으므로, 마스크 수를 저감하여 비용을 절감하고 제조 공정을 단순화할 수 있음은 앞서 설명한 바와 같다.
- [0152] 계속해서, 상술한 실시예들에 따른 표시 장치의 제조 방법에 대해 설명한다.
- [0153] 도 10 내지 도 14는 일 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다. 도 10 내지 도 14는 도 7의 표시 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 7과 실질적으로 동일한 구성요소에 대해서는

동일한 부호로 나타내고 자세한 부호를 생략한다.

- [0154] 도 10을 참조하면, 먼저 상술한 트랜지스터(T) 등이 형성된 기판(SUB)을 준비하고, 복수의 화소들(PXL)이 각각 정의된 기판(SUB) 상에 제2 बैं크(BNK2)를 형성한다.
- [0155] 도 11을 참조하면, 이어서 제2 बैं크(BNK2)가 형성된 기판(SUB) 상에 전도성 고분자층(CPL)을 형성한다. 전도성 고분자층(CPL)은 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 전도성 고분자층(CPL)은 산란체를 더 포함할 수 있다. 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다.
- [0156] 도 12를 참조하면, 이어서 전도성 고분자층(CPL)을 패터닝하여 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)을 형성한다. 일 실시예에서, 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)은 하프톤 마스크를 이용하여 동시에 형성될 수 있다. 제1 बैं크(BNK1), 제1 전극(ELT1), 및 제2 전극(ELT2)이 동일한 공정에 의해 동시에 형성됨에 따라 마스크 수를 저감하고, 제조 공정을 간소화할 수 있음은 앞서 설명한 바와 같다.
- [0157] 도 13을 참조하면, 이어서 제1 및 제2 전극들(ELT1, ELT2) 상에 제1 절연층(INS1)을 형성하고, 제1 절연층(INS1) 상에서 제1 및 제2 전극들(ELT1, ELT2) 사이에 발광 소자들(LD)을 제공한다. 발광 소자들(LD)은 소정의 용액 내에 분산된 형태로 준비되어, 잉크젯 프린팅 방식 등을 통해 각 화소들(PXL)의 발광 영역에 공급될 수 있다. 일 예로, 발광 소자들(LD)은 휘발성 용매에 섞여 각각의 발광 영역에 투하될 수 있다. 이때, 각 화소들(PXL)의 제1 및 제2 전극들(ELT1, ELT2)을 통해 소정의 전압을 공급하게 되면, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 전계가 형성되면서, 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)이 정렬될 수 있다. 발광 소자들(LD)이 정렬된 이후에는 용매를 휘발시키거나 이외의 다른 방식으로 제거하여 제1 및 제2 전극들(ELT1, ELT2)의 사이에 발광 소자들(LD)을 안정적으로 배열할 수 있다.
- [0158] 도 14를 참조하면, 이어서 발광 소자들(LD) 상에 제2 절연층(INS2), 제1 및 제2 콘택 전극(CNE1, CNE2), 및 제4 절연층(INS4)을 형성하여 도 7에 도시된 표시 장치가 완성될 수 있다.
- [0159] 이하, 다른 실시예에 대해 설명한다. 이하의 실시예에서 이미 설명한 구성과 동일한 구성에 대해서는 동일한 참조 번호로서 지칭하며, 중복 설명은 생략하거나 간략화하기로 한다.
- [0160] 도 15 내지 도 17은 다른 실시예에 따른 표시 장치의 제조 방법의 공정 단계별 단면도들이다. 도 15 내지 도 17은 도 9의 표시 장치의 제조 방법을 설명하기 위한 단면도들로서, 도 9와 실질적으로 동일한 구성요소에 대해서는 동일한 부호로 나타내고 자세한 부호를 생략한다.
- [0161] 도 15를 참조하면, 먼저 트랜지스터(T) 등이 형성된 기판(SUB) 상에 전도성 고분자층(CPL)을 형성한다. 전도성 고분자층(CPL)은 폴리플루오렌(polyfluorene), 폴리페닐렌(polyphenylene), 폴리피렌(polypyrene), 폴리아줄렌(polyazulene), 폴리나프탈렌(polynaphthalene), 폴리아세틸렌(polyacetylene, PAC), 폴리-p-페닐렌비닐렌(poly(p-phenylene vinylene), PPV), 폴리피롤(polypyrrole, PPY), 폴리카바졸(polycarbazole), 폴리인돌(polyindole), 폴리티에닐렌비닐렌(polythienylenevinylene), 폴리아닐린(polyaniline, PANI), 폴리티오펜(polythiophene), 폴리(p-페닐렌설파이드(poly(p-phenylene sulfide), PPS), 폴리(3,4-에틸렌디옥시티오펜(poly(3,4-ethylenedioxy thiophene), PEDOT), 폴리스티렌술포산(polystyrene sulfonate, PSS)으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)(PEDOT:PSS), 폴리(3,4-에틸렌디옥시티오펜)-테트라메타크릴레이트(PEDOT-TMA), 및 폴리퓨란(polyfuran) 중 적어도 하나를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다. 또한, 전도성 고분자층(CPL)은 산란체를 더 포함할 수 있다. 상기 산란체는 황산 바륨(BaSO₄), 탄산 칼슘(CaCO₃), 산화 티타늄(TiO_x), 산화 알루미늄(AlO_x), 산화 지르코늄(ZrO_x), 및 산화 아연(ZnO_x) 중 적어도 하나를 포함할 수 있다.
- [0162] 도 16을 참조하면, 이어서 전도성 고분자층(CPL)을 패터닝하여 제1 बैं크(BNK1), 제2 बैं크(BNK2), 제1 전극(ELT1), 및 제2 전극(ELT2)을 형성한다. 일 실시예에서, 제1 बैं크(BNK1), 제2 बैं크(BNK2), 제1 전극(ELT1), 및 제2 전극(ELT2)은 하프톤 마스크를 이용하여 동시에 형성될 수 있다. 제1 बैं크(BNK1), 제2 बैं크(BNK2), 제1 전

극(ELT1), 및 제2 전극(ELT2)이 동일한 공정에 의해 동시에 형성됨에 따라 마스크 수를 저감하고, 제조 공정을 간소화할 수 있음은 앞서 설명한 바와 같다.

[0163] 도 17을 참조하면, 이어서 제1 절연층(INS1) 상에서 제1 및 제2 전극들(ELT1, ELT2) 사이에 발광 소자들(LD)을 제공하고, 발광 소자들(LD) 상에 제2 절연층(INS2), 제1 및 제2 콘택 전극(CNE1, CNE2), 및 제4 절연층(INS4)을 형성하여 도 9에 도시된 표시 장치가 완성될 수 있다.

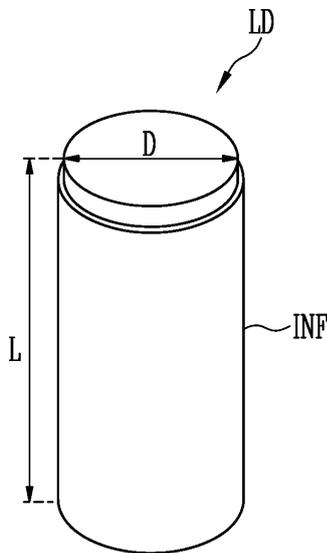
[0164] 본 실시예와 관련된 기술 분야에서 통상의 지식을 가진 자는 상기된 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 방법들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

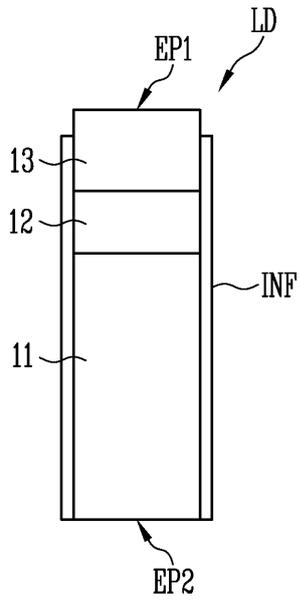
- [0165] SUB: 기판
 PXL: 화소
 BNK1: 제1 बैं크
 ELT1: 제1 전극
 ELT2: 제2 전극
 LD: 발광 소자

도면

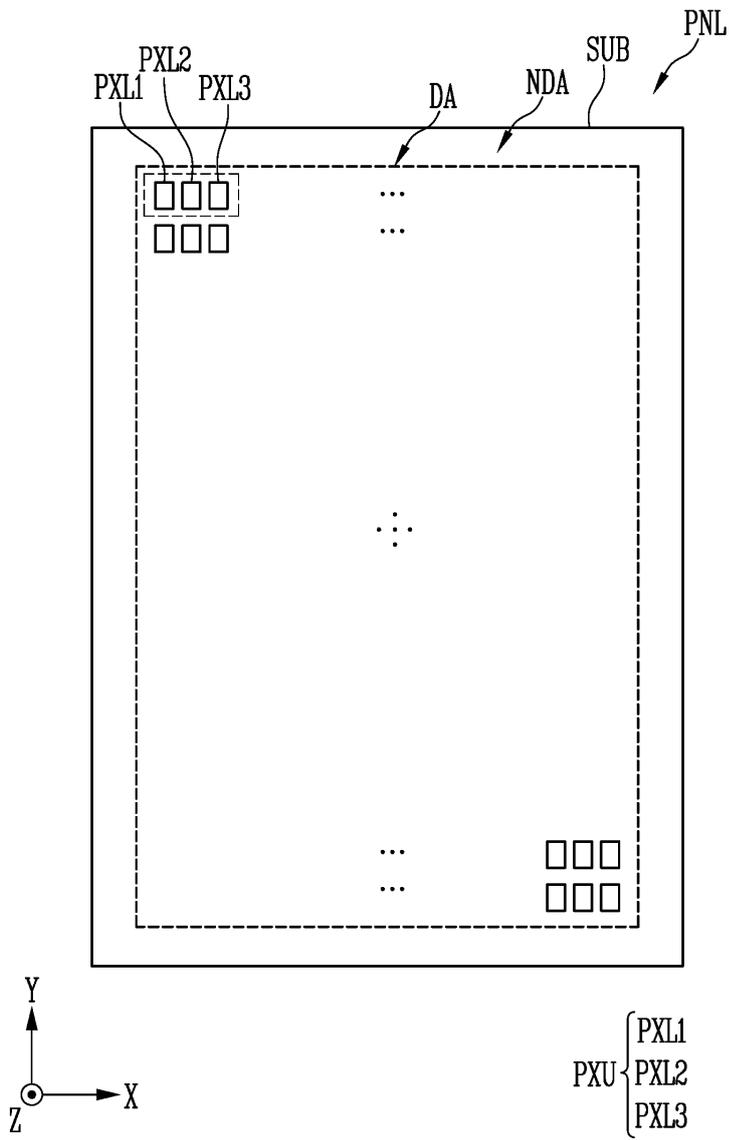
도면1



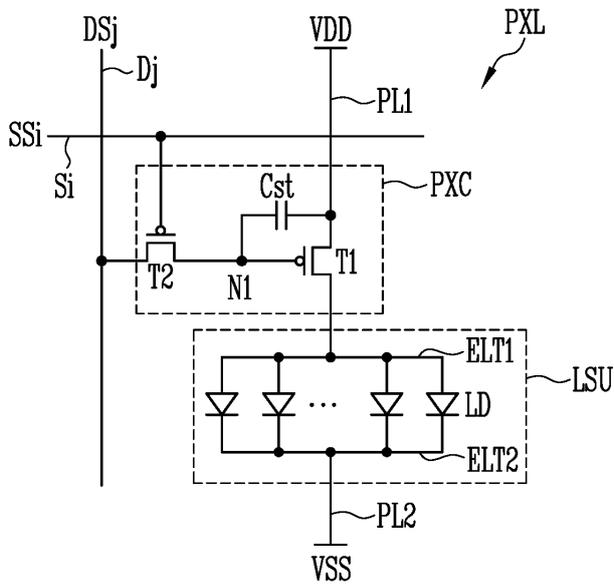
도면2



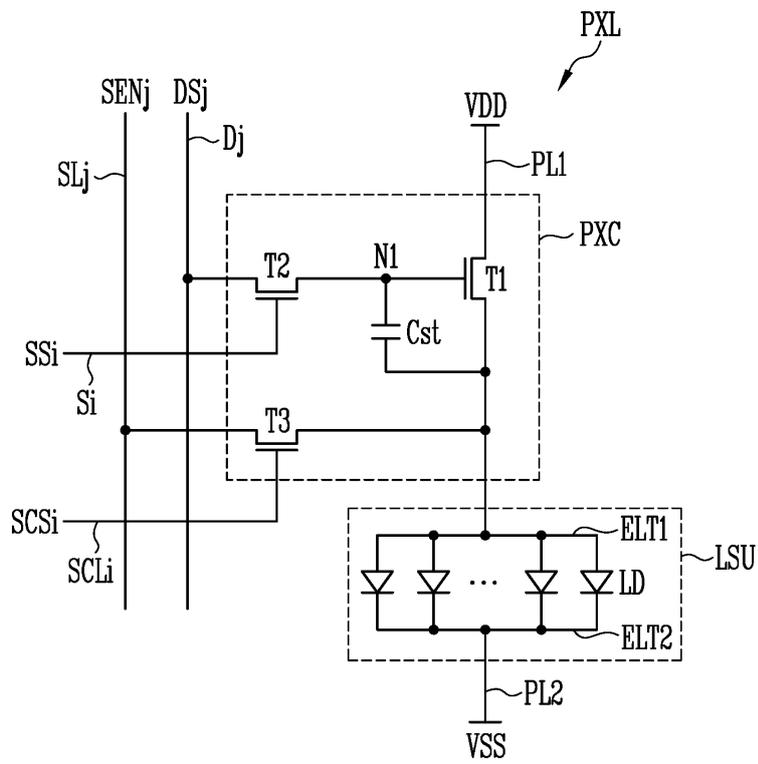
도면3



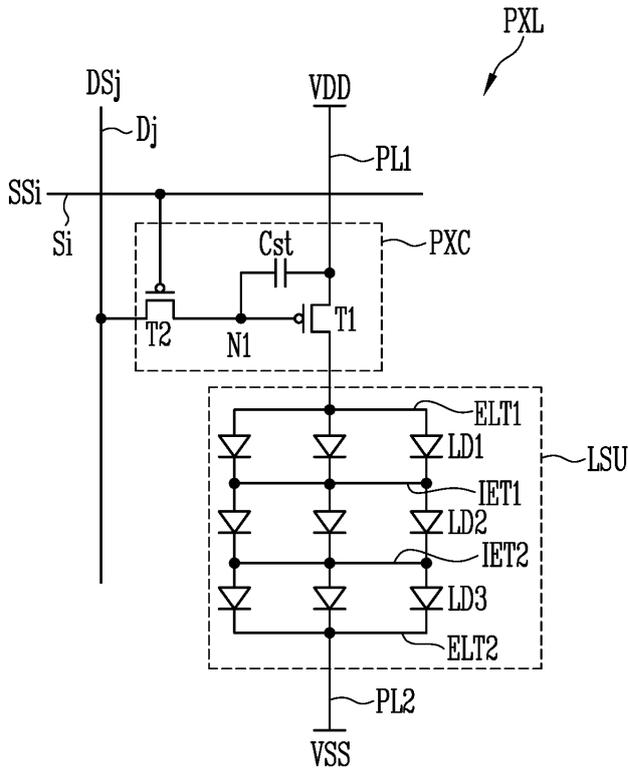
도면4



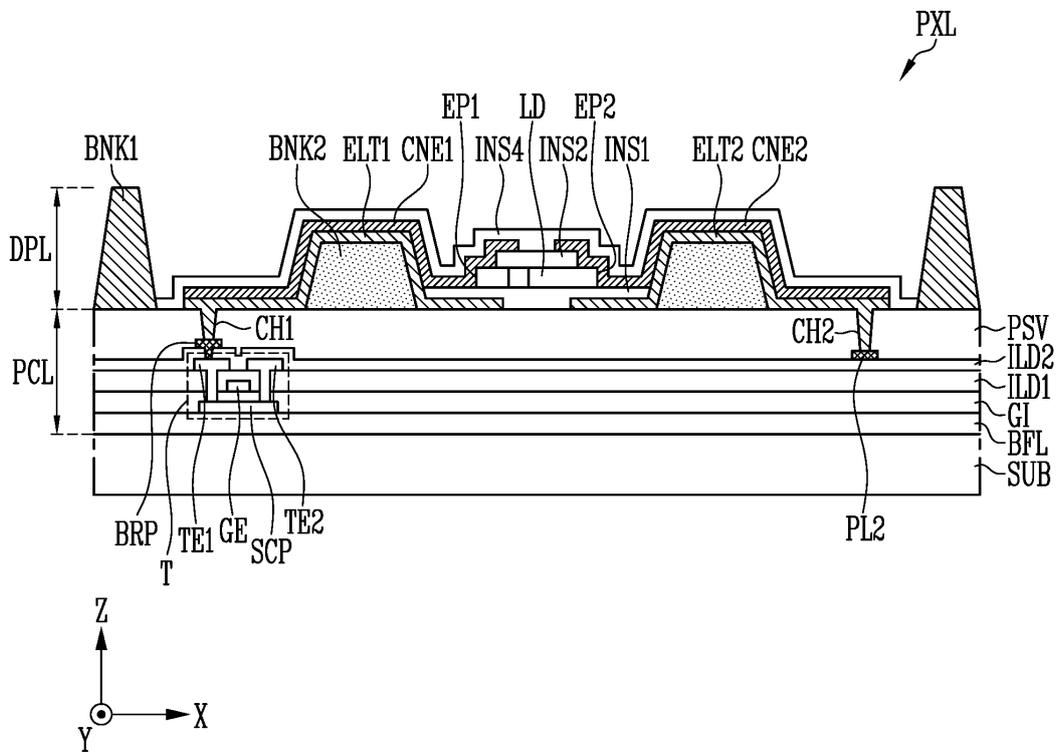
도면5



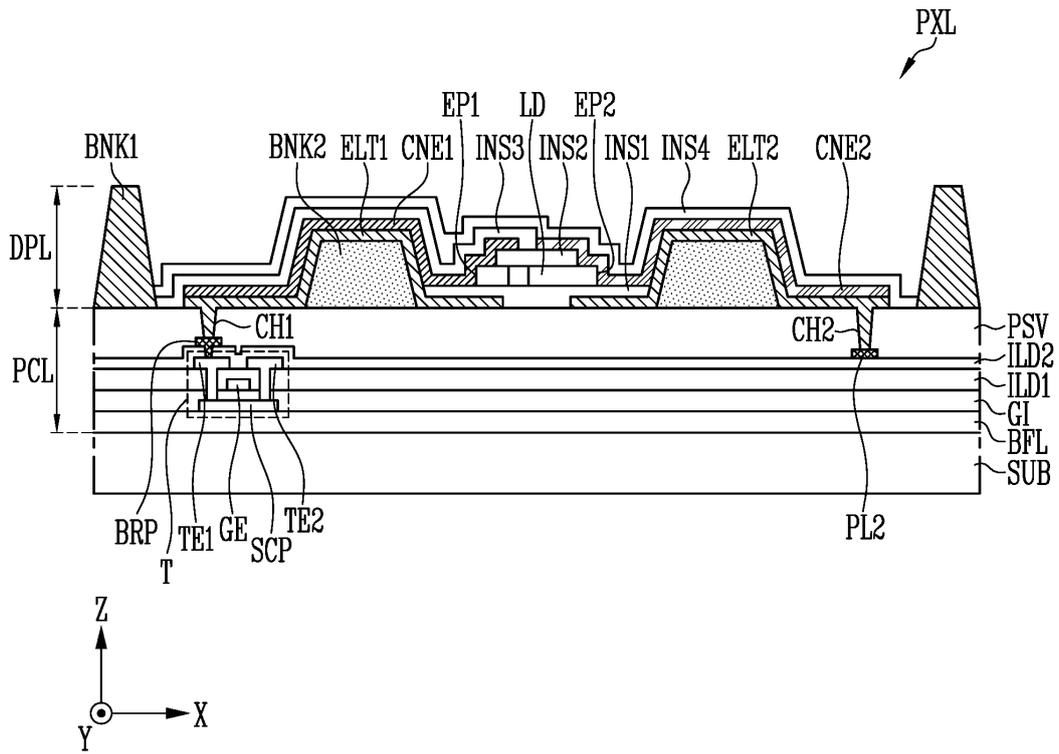
도면6



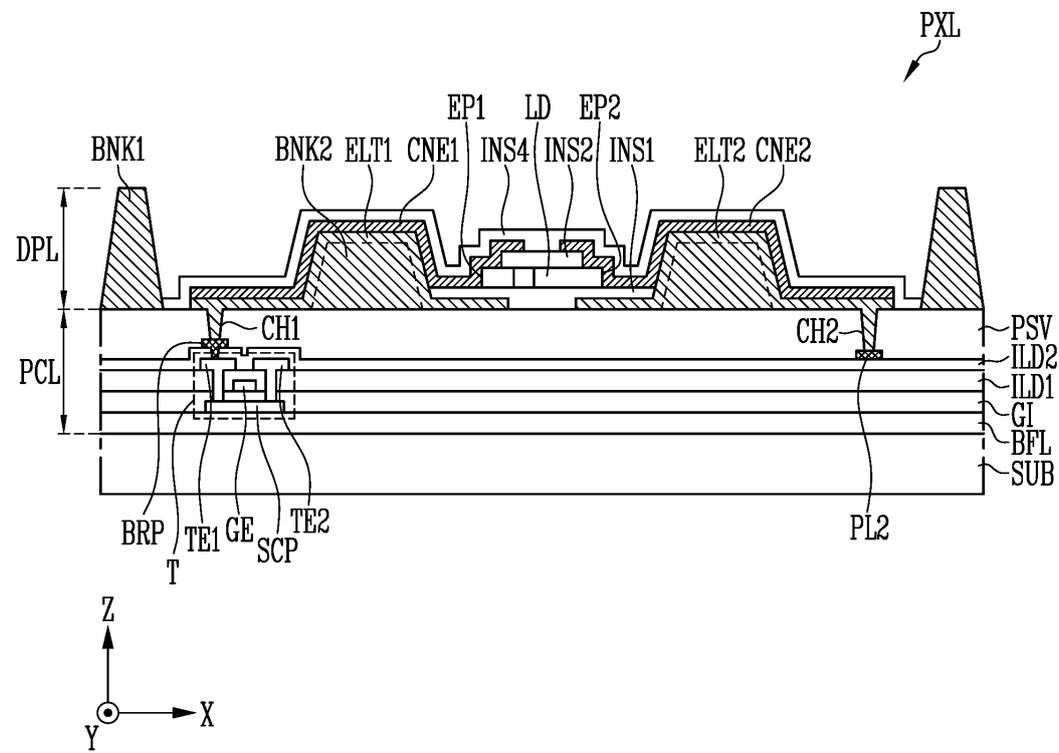
도면7



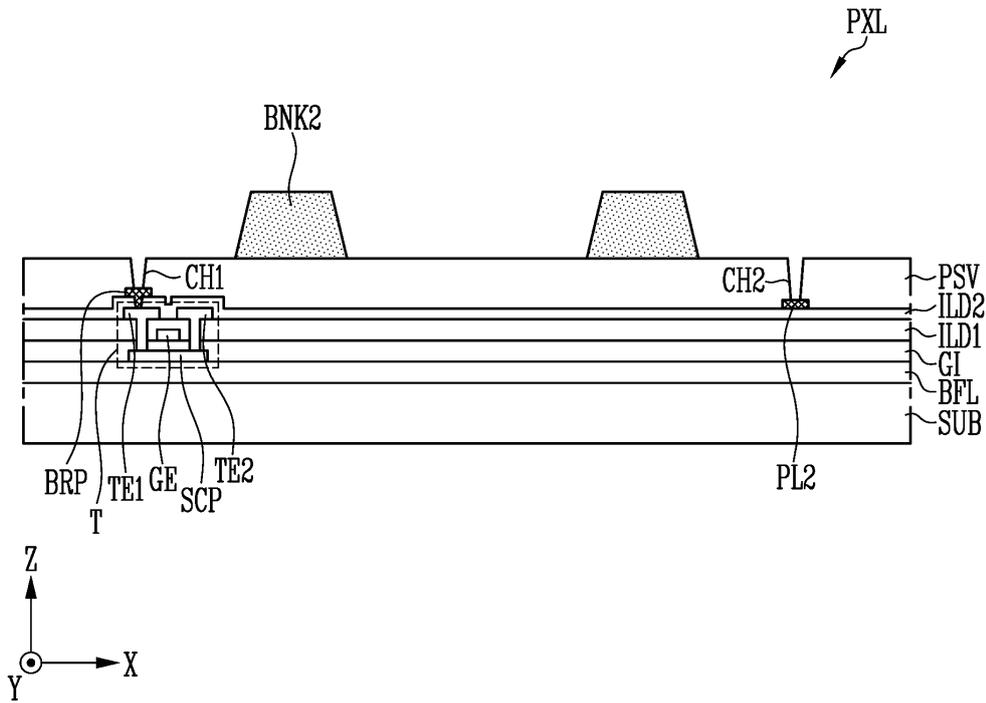
도면8



도면9



도면10



도면11

