

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4906135号
(P4906135)

(45) 発行日 平成24年3月28日 (2012.3.28)

(24) 登録日 平成24年1月20日 (2012.1.20)

(51) Int. Cl. F I
G06K 19/077 (2006.01) G O 6 K 19/00 L
G06K 19/07 (2006.01) G O 6 K 19/00 K
B42D 15/10 (2006.01) G O 6 K 19/00 H
 B 4 2 D 15/10 5 2 1

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2009-242129 (P2009-242129)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年10月21日 (2009.10.21)		神奈川県川崎市中原区下沼部1753番地
(62) 分割の表示	特願2003-316002 (P2003-316002) の分割	(74) 代理人	100089071 弁理士 玉村 静世
原出願日	平成15年9月8日 (2003.9.8)	(72) 発明者	西澤 裕孝 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(65) 公開番号	特開2010-15606 (P2010-15606A)	(72) 発明者	樋口 顕 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
(43) 公開日	平成22年1月21日 (2010.1.21)	(72) 発明者	大沢 賢治 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
審査請求日	平成21年10月21日 (2009.10.21)		

最終頁に続く

(54) 【発明の名称】 メモリカード

(57) 【特許請求の範囲】

【請求項1】

複数の外部接続端子が形成された配線基板に、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラに接続されたメモリと、セキュリティコントローラとが搭載され、

前記インタフェースコントローラ及びメモリに動作電源を供給する第1の外部接続端子とは別に前記セキュリティコントローラに動作電源を供給可能な第2の外部接続端子を有し、

前記セキュリティコントローラは、外部と非接触インタフェースが可能なICカード用マイクロコンピュータであって、

前記外部接続端子として非接触インタフェースのためのアンテナを接続可能なアンテナ接続端子を有し、

前記アンテナ接続端子は、前記第2の外部接続端子に隣接して前記第1の外部接続端子の近傍に配置され、且つ前記第1の外部接続端子よりも前記第2の外部接続端子の近くに配置されることを特徴とするメモリカード。

【請求項2】

前記複数の外部接続端子は、メモリカードの挿入方向前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有することを特徴とする請求項1記載のメモリカード。

【請求項3】

メモリカードの挿入方向前後に隣合う後側の配列に、前記第2の外部接続端子と前記ア

ンテナ接続端子を有することを特徴とする請求項 2 記載のメモリカード。

【請求項 4】

前記第 2 の外部接続端子及び前記アンテナ接続端子は列方向配置の中央部に位置することを特徴とする請求項 3 記載のメモリカード。

【請求項 5】

前記第 2 の外部接続端子は前記アンテナ接続端子に対して千鳥状に配置されることを特徴とする請求項 4 記載のメモリカード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載したメモリカードに関する。

【背景技術】

【0002】

特許文献 1 には MMC (マルチメディアカード：登録商標) 規格との互換性を維持しながらマルチバンクやマルチファンクションを実現するために、MMC 規格に準拠のメモリカードに SIM (Subscriber Identity Module) を搭載してセキュリティの強化を図るようにした技術が記載される。

【0003】

特許文献 2 には、フラッシュメモリチップとセキュリティー処理を実行する IC カードチップと、外部からの指示に従ってそれらを制御するコントローラチップを実装した記憶装置について記載がある。

【0004】

また非特許文献 1 はマルチメディアカードの規格が記載される。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】国際公開 W O 0 1 / 8 4 4 8 0 号パンフレット

【特許文献 2】特開平 2 0 0 3 - 9 1 7 0 4 号公報

【非特許文献】

【0006】

【非特許文献 1】The MultiMedia Card System Specification Version 3.3

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明者は、インタフェースコントローラ及びメモリと共に IC カード用マイクロコンピュータのようなセキュリティーコントローラを搭載してマルチファンクションを実現するメモリカードについて検討した。

【0008】

第 1 は、インタフェースコントローラとセキュリティーコントローラが接続されているとき、外部から供給された動作電源電圧を、インタフェースコントローラ及びメモリのための動作電源電圧の供給を停止し、セキュリティーコントローラだけに動作電源電圧を供給可能な場合に、セキュリティーコントローラだけに動作電源を投入して専らセキュリティー処理を実行させるというような動作形態において不都合の有ることが明らかにされた。即ち、インタフェースコントローラに動作電源が投入されていないと、前記セキュリティーコントローラに接続する前記インタフェースコントローラのインタフェース部において出力バッファの出力制御状態が不定になって低インピーダンス状態にされている場合があり、このような状態でセキュリティーコントローラのパワーオンリセット若しくは起動のためのクロックや信号が外部から供給されると、そのクロックや信号が低インピーダンス状態の前記インタフェース部に流れ込んで、無視し得ないノイズになったり誤動作を生ずる虞

10

20

30

40

50

のあることが見出された。特にセキュリティーコントローラ等が外部と非接触でインタフェースするような場合には通信感度を著しく低下されることが懸念される。

【 0 0 0 9 】

第2は、前記セキュリティーコントローラが非接触インタフェース機能を有するとき、カードの配線基板に通信感度向上のための外部アンテナの接続端子を設ける場合に、信号やクロック等その他の接続端子との配置関係を考慮することの重要性が本発明者によって見出された。即ち、配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、非接触動作時の入出力データに誤りを生じ得る。外部アンテナの接続端子に対してはそのようなノイズの発生を極力抑えることができるような配置を採用することが必要になる。さらに、インタフェースコントローラ及びメモリのための動作電源電圧の供給を停止し、セキュリティーコントローラに動作電源電圧を供給可能な場合に、インタフェースコントローラの動作電源電圧レベルよりセキュリティーコントローラの動作電源電圧レベルが高い場合には、高いレベルの動作電源を供給する外部接続端子の配置についても上記同様の考慮が必要になる。

10

【 0 0 1 0 】

本発明の目的は、インタフェースコントローラ及びメモリと共にセキュリティーコントローラを搭載してマルチファンクションを実現するメモリカードにおけるノイズの発生を抑制することにある。

20

【 0 0 1 1 】

本発明の目的は、インタフェースコントローラ及びメモリと共にセキュリティーコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、セキュリティーコントローラだけに動作電源を投入してセキュリティー処理を実行させる動作形態におけるノイズの発生を抑制することにある。

【 0 0 1 2 】

またインタフェースコントローラとセキュリティーコントローラの動作電源を分離することにより、メモリカード全体としての消費電力を低減することにある。

【 0 0 1 3 】

本発明の別の目的は、インタフェースコントローラ及びメモリと共にセキュリティーコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、非接触インタフェース機能を有する前記セキュリティーコントローラに外部アンテナを接続するための接続端子の配置が他の接続端子との関係でノイズの発生を助長しないようにすることにある。

30

【 0 0 1 4 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 5 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

40

【 0 0 1 6 】

〔 1 〕本発明に係るメモリカードは、複数の外部接続端子が形成された配線基板に、前記外部接続端子に接続されたインタフェースコントローラ(7)と、前記インタフェースコントローラに接続されたメモリ(8)と、前記インタフェースコントローラに接続されたセキュリティーコントローラ(9)とが搭載され、前記インタフェースコントローラ及びメモリに動作電源を供給する第1の外部接続端子(C4)とは別に前記セキュリティーコントローラに動作電源を供給可能な第2の外部接続端子(C15)を有し、前記セキュリティーコントローラに接続する前記インタフェースコントローラのインタフェース部は前

50

記第2の外部接続端子から動作電源を受け前記第1の外部接続端子からの動作電源供給が停止可能にされる。

【0017】

インタフェースコントローラへの動作電源の供給が断たれてもそのインタフェース部(11)にはセキュリティーコントローラへの動作電源が供給されるから、インタフェース部の出力が不定状態にならず、そこに不定な電流が流れてノイズになることを抑制することができる。インタフェース部に無駄な電流が全く流れないようにするには、前記インタフェース部は前記第1の外部接続端子からの動作電源供給が停止された状態において高インピーダンス状態に制御されればよい。

【0018】

本発明の具体的な形態では、前記インタフェース部は前記第1の外部接続端子に供給される第1電源電圧による信号レベルと前記第2の外部接続端子に供給される第2電源電圧による信号レベルとの間のレベルシフトを行なうレベルシフト機能を有する。

【0019】

本発明の具体的な形態では、前記セキュリティーコントローラのインタフェース端子として、クロック信号を入力する第3の外部接続端子(C11)、データ入出力用の第4の外部接続端子(C13)、リセット信号入力用の第5の外部接続端子(C10)を有する。このとき、前記第3の外部接続端子乃至第5の外部接続端子は、前記インタフェースコントローラが認識するカードモードに応じてインタフェースコントローラが入出力信号用の外部接続端子として利用可能である。例えば並列データ入出力ビット数が相違する幾つかのカードモードに対応することができる。前記インタフェースコントローラが第3の外部接続端子乃至第5の外部接続端子をデータ入出力用の外部接続端子として利用するとき、セキュリティーコントローラはインタフェースコントローラ経由で外部とのインタフェースを行なうことができる。このとき、前記第3の外部接続端子乃至第5の外部接続端子を分離スイッチ回路(12)にてインタフェースコントローラから切り離しておけば、前記第3の外部接続端子乃至第5の外部接続端子に接続する外部回路に、セキュリティーコントローラのインタフェース機能に従ってインタフェースコントローラとの間でやり取りされる信号が不所望に外部に出力されるのを抑制することができる。

【0020】

本発明の具体的な形態として、前記セキュリティーコントローラは、外部と非接触インタフェースが可能なICカード用マイクロコンピュータ及び外部と接触インタフェースが可能なICカード用マイクロコンピュータの双方又は何れか一方であってよい。また、前記セキュリティーコントローラは、外部と非接触インタフェースと接触インタフェースの双方が可能なICカード用マイクロコンピュータであってよい。

【0021】

本発明の具体的な形態として、前記セキュリティーコントローラが外部と非接触インタフェースが可能なICカード用マイクロコンピュータであるとき、前記外部接続端子として非接触インタフェースのための高周波アンテナを接続可能なアンテナ接続端子(C14, C16)を有する場合、前記アンテナ接続端子は前記第2の外部接続端子に隣接して前記第1の外部接続端子の近傍に配置されることが望ましい。そのようなアンテナ接続端子は非接触インタフェースの感度を上げるための外部高周波アンテナの接続に用いられる。アンテナ接続端子に印加される電圧は比較的高く周波数も高い。従って、配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、非接触動作時の入出力データに誤りを生じ得る。前記アンテナ接続端子は前記第2の外部接続端子に隣接して前記第1の外部接続端子の近傍に配置されるから、その配置はノイズの発生を極力抑えるのに好適な配置となる。

【0022】

10

20

30

40

50

前記複数個の外部接続端子は、メモ리카ードの挿入方向の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。この千鳥状配置により、メモ리카ードが着脱されるカードスロットには、その多数のスロット端子を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。例えば、メモ리카ードの挿入方向前後に隣合う後側の配列に、前記第2の外部接続端子乃至第5の外部接続端子と前記アンテナ接続端子を有する。特に、前記第2の外部接続端子及び前記アンテナ接続端子は列方向配置の中央部に位置すればよい。前記第2の外部接続端子は前記アンテナ接続端子に対して千鳥状配置とすればよい。

【0023】

本発明の更に別の具体的な形態として、前記インタフェースコントローラ、メモリ及びセキュリティコントローラが夫々個別の半導体チップであるとき、メモリを構成する半導体チップの上にインタフェースコントローラを構成する半導体チップを積層し、それら半導体チップの同じ向きの辺に沿って配置された電極パッドに配線基板の電極をワイヤボンディングするのがよい。ボンディングワイヤを短くでき、ワイヤの干渉も少なくなる。

【0024】

〔2〕本発明に係るメモ리카ードは、複数の外部接続端子が形成された配線基板に、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラに接続されたメモリと、セキュリティコントローラとが搭載され、前記インタフェースコントローラ及びメモリに動作電源を供給する第1の外部接続端子とは別に前記セキュリティコントローラに動作電源を供給可能な第2の外部接続端子を有し、前記セキュリティコントローラは、外部と非接触インタフェースが可能なICカード用マイクロコンピュータであって、前記外部接続端子として非接触インタフェースのためのアンテナを接続可能なアンテナ接続端子を有し、前記アンテナ接続端子は前記第2の外部接続端子に隣接して前記第1の外部接続端子の近傍に配置される。

【0025】

前記複数個の外部接続端子は、メモ리카ードの挿入方向の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。この千鳥状配置により、カードスロットには、その多数のスロット端子を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。例えば、メモ리카ードの挿入方向前後に隣合う後側の配列に、前記第2の外部接続端子乃至第5の外部接続端子と前記アンテナ接続端子を有する。特に、前記第2の外部接続端子及び前記アンテナ接続端子は列方向配置の中央部に位置すればよい。前記第2の外部接続端子は前記アンテナ接続端子に対して千鳥状配置とすればよい。

【発明の効果】

【0026】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0027】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモ리카ードにおいて、セキュリティコントローラだけに動作電源を投入してセキュリティ処理を実行させる動作形態におけるノイズの発生を抑制することができる。

【0028】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモ리카ードにおいて、非接触インタフェース機能を有する前記セキュリティコントローラに外部アンテナを接続するための接続端子の配置が他の接続端子との関係でノイズの発生を助長しないようにすることができる。

【0029】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモ리카ードにおけるノイズの発生を抑制することができ

10

20

30

40

50

る。

【図面の簡単な説明】

【0030】

【図1】本発明に係るメモリカードの一例を示すブロック図である。

【図2】本発明に係るメモリカードを適用した携帯電話機などの通信携帯端末装置の概略を示す説明図である。

【図3】メモリカードのカードモードに応じた外部接続端子の機能割り当てを例示する説明図である。

【図4】電源供給停止に応答して高出力インピーダンス状態に制御可能な出力バッファを例示する回路図である。

10

【図5】電源遮断時に前記インタフェース部の出力不定状態を解消するのにバススイッチを採用した例を示す説明図である。

【図6】レベルシフトに差動アンプを利用した回路を示す回路図である。

【図7】本発明に係るメモリカードの第2の構成例を示すブロック図である。

【図8】本発明に係るメモリカードの第3の構成例を示すブロック図である。

【図9】本発明に係るメモリカードの第4の構成例を示すブロック図である。

【図10】本発明に係るメモリカードの第5の構成例を示すブロック図である。

【図11】インタフェースコントローラの詳細を例示するブロック図である。

【図12】デュアルウェイのICカードマイコンの具体例を示すブロック図である。

【図13】本発明に係るメモリカードをMMC規格のスタンダードサイズのパッケージに封止した時の外観を示す説明図である。

20

【図14】本発明に係るメモリカードをMMC規格のハーフサイズのパッケージに封止した時の外観を示す説明図である。

【図15】図13及び図14の外部接続端子の形状に対してその一部を変更した例を示す説明図である。

【図16】図13及び図14の外部接続端子に対して外部接続端子数を削減した例を示す説明図である。

【図17】夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ、フラッシュメモリ及びICカードマイコンのスタック実装構造を例示する平面図である。

【図18】図17の実装構造の縦断面図である。

30

【図19】図17及び図18のスタック構造に対してICカードマイコンを2チップスタックする構造を示す縦断面図である。

【図20】夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ、フラッシュメモリ及びICカードマイコンの更に別のスタック実装構造を示す平面図である。

【図21】図20の実装構造に対する縦断面図である。

【図22】図20及び図21のスタック構造に対してICカードマイコンを2チップスタックする構造を示す縦断面図である。

【図23】メモリカードとメモリカードが挿入されるカードスロットを示す説明図である。

40

【図24】図23のメモリカードがカードスロットに挿入される第1過程を示す説明図である。

【図25】図23のメモリカードがカードスロットに挿入される第2過程を示す説明図である。

【図26】図23のメモリカードがカードスロットに挿入される第3過程を示す説明図である。

【発明を実施するための形態】

【0031】

《通信携帯端末装置》

図2には本発明の一例に係るメモリカードを適用した携帯電話機などの通信携帯端末装

50

置の概略が示される。通信携帯端末装置 1 は例えばシステム全体の制御を行うマイクロプロセッサ (MPU) 2 と、移動体通信のために変調及び復調などのベースバンド処理を行うベースバンド処理部 (BB) 3、規定の高周波による送受信を行う高周波部 (RFc1) 4、及びメモリカード (MRYC) 5 を有する。MRYC 5 は通信携帯端末装置 1 の図示を省略するカードスロットに着脱可能にされる。MPU 2 は MRYC 5 にとってカードホストとして位置付けられる。

【0032】

MRYC 5 は、例えば、メモリ記憶機能、E-コマースなどに対する高レベルのセキュリティ処理機能、交通機関における課金等のための低レベルのセキュリティ処理機能、コンテンツデータの暗号化・復号処理機能等のマルチファンクションを提供する。

10

【0033】

《ICカードマイコン内蔵MRYC》

図 1 には MRYC 5 の構成が例示される。MFMC 5 は、複数個の外部接続端子 C1 ~ C16 が形成された配線基板に、インタフェースコントローラ 7 と、前記インタフェースコントローラ 7 に接続されたフラッシュメモリ 8 と、前記インタフェースコントローラ 7 に接続されたセキュリティコントローラとしての IC (インテグレートッド・サーキット) カード用マイクロコンピュータ (ICカードマイコンとも称する) 9 が搭載される。前記インタフェースコントローラ 7、フラッシュメモリ 8、及び IC カードマイコン 9 は夫々個別の半導体集積回路チップで構成されている。

【0034】

20

インタフェースコントローラ 7 は、メモリカードとしての外部インタフェース機能、フラッシュメモリの仕様に応じたメモリインタフェース機能、そしてメモリカードコマンドを用いて IC カードマイコンとインタフェースする IC カードマイコンインタフェース機能を持つ。ここで、MRYC 5 はマルチメディアカード規格準拠のメモリカードとしての外部インタフェース仕様を満足するものとされる。

【0035】

フラッシュメモリ 8 は電氣的に消去及び書き込み可能な不揮発性メモリである。フラッシュメモリ 8 は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタ (フラッシュメモリセルとも記す) を有する。フラッシュメモリセルは、特に図示はしないが、フローティングゲートを有する所謂スタックドゲート構造、或いは ONO (オキサイド・ナイトライド・オキサイド) ゲート絶縁膜を備えたメモリトランジスタ部と選択トランジスタ部から成る所謂スプリットゲート構造を有する。前記フラッシュメモリセルは、前記フローティングゲート等に電子が注入されると閾値電圧が上昇し、また、前記フローティングゲート等から電子を引き抜くと閾値電圧が低下する。前記フラッシュメモリセルは、データ読み出しのためのワード線電圧に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

30

【0036】

IC カードマイコン 9 は、特に図示はしないが CPU とその動作プログラムおよび認証に利用する制御情報など保有する不揮発性メモリを備え、その動作プログラムに従って認証処理などを行う。ここでは IC カードマイコン 9 は外部と接触インタフェースと非接触インタフェースが可能な接触・非接触デュアルウェイの IC カードとされる。接触インタフェースは 1 ビットのデータ入出力端子 I/O、クロック端子 CLK、リセット端子 RES を用いたシリアル通信で行われる。非接触インタフェースは端子 TML1, TML2 に接続するアンテナを用いた高周波通信で行われる。図には外部アンテナ 10 と同調コンデンサ 13 が代表的に示されている。特に図示はしないが、非接触インタフェースは端子 TML1, TML2 に接続する内部アンテナを MRYC 5 のパッケージ内部若しくは回路基板上に設け、端子 C14, C16 に外部アンテナ 10 を接続した時に内部アンテナをスイッチで切り離し可能にする構成を備えもよい。

40

【0037】

50

前記外部接続端子C 1 ~ C 1 6の内、C 1 ~ C 7の機能と配置はMMC規格に準拠し、C 8 ~ C 1 3は多ビットのデータバスに対応する。C 1 4 ~ C 1 6は新設である。

【0038】

図3にはMRYC5のカードモードに応じた外部接続端子C 1 ~ C 1 6の機能割り当てが示される。1ビットモード、4ビットモード、8ビットモードはMRYC5の外部に対するデータ入出力ビット数を意味する。非接触カード機能のみとは外部インタフェース機能として非接触インタフェース機能だけしか持たないICカードマイコンを搭載した場合を意味し、この例については後でその詳細を説明する。図において、RSV (for MMC)はMMCモードにおけるリザーブ端子、CS (for SPI)はSPIモードにおけるチップセレクト端子、CMDはコマンド端子、Vss1, Vss2は回路の接地端子、Vddは電源端子、CLKはメモ리카ードのクロック端子、DATはシリアルデータ入出力端子、RES-icはICカードマイコンのリセット端子、CLK-icはICカードマイコンのクロック端子、Vcc-icはICカードマイコンの電源端子、LA, LBはアンテナ接続端子、Vcc-ICはICカードマイコンへの専用電源端子、DAT0 ~ DAT7は並列データ入出力端を意味する。

10

【0039】

図3から明らかのように、基本的に、C 1 ~ C 9がメモ리카ードインタフェース機能に、C 1 0 ~ C 1 6がICカードインタフェース機能に割り当てられる。ただし、C 1 0 ~ C 1 3は、1ビットモードと4ビットモードではICカードインタフェース機能に割り当てられるが、8ビットモードではDAT4 ~ DAT7の並列データ入出力端子としてメモ리카ードインタフェース機能に割り当てられる。この端子C 1 0 ~ C 1 3の機能割り当ての相違は、図1の回路では、インタフェースコントローラ7とICカードマイコン9を接続する配線L 1 ~ L 4として現れる。要するに、インタフェースコントローラ7のインタフェース部11において外部接続端子C 1 0 ~ C 1 3との接続に割り当てられる配線L 1 ~ L 4はICカードマイコン9の端子Vcc、I/O-ic、CLK-ic、RES-icに接続する。分離スイッチ回路12は、8ビットモードにおいて、インタフェースコントローラ7がICカードマイコン9と通信を行うときインタフェースコントローラ7の制御によりカット・オフされて外部接続端子C 1 0、C 1 1、C 1 3との接続を分離し、且つインタフェースコントローラ7がC 1 2をDAT6として外部と通信を行うときICカードマイコン9の端子Vccとの接続を分離し、8ビットモードで外部接続端子C 1 0 ~ C 1 3に割り当てられるデータ端子DAT4 ~ DAT7の機能と配線L 1 ~ L 4に接続される端子Vcc、I/O、CLK、RESの機能との相違による選択をMRYC5側で行う。

20

30

【0040】

ここで図1を参照してICカードマイコン9に対する動作電源の供給について説明する。前記インタフェースコントローラ7及びフラッシュメモリ8に動作電源Vddを供給する外部接続端子(第1の外部接続端子)C 4とは別に前記ICカードマイコン9に動作電源Vcc-ICを供給可能な外部接続端子(第2の外部接続端子)C 1 5を有している。ICカードマイコン9に対する動作電源の供給は、図1の構成ではC 1 2, C 1 5が行なうが、C 1 2による動作電源の供給は本質的ではない。C 1 5で代替可能である。尚、分離スイッチ回路12のスイッチSW1は端子C 1 5を追加したことによって必要になったスイッチである。即ち、C 1 2の利用形態の如何に拘わらず配線L 4にはC 1 5からVcc-ICが常時供給されることになるからである。

40

【0041】

端子C 1 5はインタフェース部11にも動作電源を供給し、C 4からの動作電源Vddの供給停止状態において、配線L 1 ~ L 4に接続するインタフェース部11における出力回路の入力インピーダンスの低下や出力不定状態を解消する。即ち、MRYC5のICカードマイコン9だけを動作させるような場合に無駄な電力消費を抑えるためにC 4からの電源Vddの供給を止めたとき、インタフェース部11における出力バッファの出力状態が不定になると、この状態で、C 1 0 ~ C 1 3を使った接触インタフェースでICカー

50

ドマイコン9のパワーオンリセットを行なってICカードマイコンを動作させたとき、例えばC11からのクロック信号がインタフェース部11の出力バッファに流入して過電流が流れたり、C13を介して入出力される信号が同じくインタフェース部11の出力バッファに流入して過電流が流れたりする。このような過電流はノイズとなり、また無駄な電力消費を増大させる。更にそのようなノイズは、アンテナ10を介する非接触インタフェースにおける感度や通信特性を低下させる。インタフェースコントローラ7への動作電源Vddの供給停止時にインタフェース部11にC15からICカードマイコン9用に動作電源Vcc-ICを供給することによって配線L1~L4に接続するインタフェース部11の出力バッファの出力不定状態を解消する。

【0042】

上記不定状態の解消には、例えば、電源Vdd供給停止にตอบสนองして配線L1~L4に接続する出力バッファを高インピーダンス状態に制御する。

【0043】

図4には電源Vdd供給停止にตอบสนองして高インピーダンス状態に制御可能な出力バッファが例示される。出力バッファ15は、例えばVddを動作電源とするCMOSインバータ16とVcc-ICを動作電源とするCMOSクロックドインバータ17の直列回路を有する。CMOSクロックドインバータ17は、pチャネル型MOSトランジスタQp1、Qp2とnチャネル型MOSトランジスタQn3、Qn4の直列回路を主体に、MOSトランジスタQp1、Qn4をスイッチ制御するインバータ18と電源電圧ディテクタ19を有する。電源電圧ディテクタ19は電源電圧Vddが投入されて動作保証電圧を超えたときVcc-ICレベルのハイレベル、電源電圧Vdd供給が遮断されたとき回路の接地電圧Vssであるローレベルにされる検出信号20を出力する。インバータ18はVcc-ICを動作電源とする。これにより、Vcc-ICが投入されている状態で、Vddが供給されているときクロックドインバータ17は出力動作可能にされ、Vddの供給が遮断されるとクロックドインバータ17は高インピーダンス状態に制御される。尚、クロックドインバータ17の電源に高抵抗R1を介して電源Vddが接続されているのはVcc-ICが遮断されたときの動作安定化のためである。

【0044】

図4でVddとVcc-ICのレベルが相違し、Vdd > Vcc-ICであることを考慮している。即ち、インバータ16の論理閾値電圧(VTL)をVdd/2とすると、クロックドインバータ17の論理閾値電圧もこれに合わせてVdd/2とされる。要するに、出力バッファ15は電源電圧Vddによる信号レベルと前記電源電圧Vcc-ICによる信号レベルとの間のレベルシフトを行なうレベルシフト機能を有する。

【0045】

尚、電源Vdd遮断時に前記インタフェース部の出力不定状態を解消するには上記レベルシフト機能を有する出力バッファ15における高インピーダンス制御に限定されず、図5に例示されるように、インタフェース部11とICカードマイコンとの切り離しには電源Vdd遮断時にオフ状態にされるバススイッチ21を採用し、レベルシフトには図6の差動アンプを利用した回路をインタフェース部11に設ければよい。図6の回路において差動アンプの電源に高抵抗R1を介して電源Vddが接続されているのはVcc-ICが遮断されたときの動作安定化のためである。

【0046】

図7にはMRYC5の第2の構成例が示される。図1に対して分離スイッチ回路12はスイッチSW1だけで構成される。1ビットモードまたは4ビットモードにおいて、インタフェースコントローラ7がICカードマイコン9と通信を行うときインタフェースコントローラ7の制御によりカット・オフされて外部接続端子C10、C11、C13との接続を分離するスイッチを不要とした。8ビットモードで外部接続端子C10~C13に割り当てられるデータ端子DAT4~DAT7の機能と1ビットモードまたは4ビットモードにおいて配線L1~L4に接続される端子Vcc、I/O、CLK、RESの機能との相違による選択はMRYC5の外部で行えばよい。その他の構成は図1と同じである。

10

20

30

40

50

【 0 0 4 7 】

図 8 には M R Y C 5 の第 3 の構成例が示される。図 1 の構成に対して I C カードマイコンへの動作電源供給を端子 C 1 5 だけで行なうようにした。スイッチ S W 1 が不用になる。特に図示はしないが図 7 と図 8 を組合わせて分離スイッチ回路 1 2 全体を廃止する構成を採用することも可能である。

【 0 0 4 8 】

図 9 には M R Y C 5 の第 4 の構成例が示される。同図に示される M R Y C 5 は、分離スイッチ回路 1 2 を図示しないが、図 7 または図 8 の接続関係を持つ I C カードマイコン 9 と、更に接触インタフェースのみを有し、インタフェースコントローラ 7 のインタフェース部 1 1 にのみ接続する別の I C カードマイコン 2 4 を搭載して構成される。その他の構成は図 1 と同様である。本実施例においては、I C カードマイコン 2 4 はインタフェースコントローラ 7 のコプロセッサとして動作し、I C カードマイコン 2 4 のみで独立して動作することはない。

10

【 0 0 4 9 】

図 1 0 には M R Y C 5 の第 5 の構成例が示される。同図に示される M R Y C 5 は図 7 または図 8 の構成に対し、非接触インタフェースのみを有する別の I C カードマイコン 2 5 をさらに搭載して構成される。I C カードマイコン 9 への動作電源の供給は C 1 2 (V c c - i c) で行ない、I C カードマイコン 2 5 への動作電源の供給は C 1 5 (V c c - I C) で行なう。非接触インタフェースを有する I C カードマイコン 2 5 は電磁波がアンテナ 1 1 を横切ることによって生ずる誘導起電力をその動作電源とすることができるので、C 1 5 から I C カードマイコン 2 5 への動作電源供給は必須ではない。I C カードマイコン 2 5 の電源安定化による動作の安定化を企図する場合に C 1 5 からの動作電源供給が意味をもつ。

20

【 0 0 5 0 】

図 1 1 にはインタフェースコントローラ 7 の詳細が例示される。インタフェースコントローラ 7 はホストインタフェース回路 3 0、マイクロコンピュータ 3 1、フラッシュコントローラ 3 2、バッファコントローラ 3 3、バッファメモリ 3 4、及びインタフェース部 1 1 から成る。バッファメモリ 3 4 は D R A M (Dynamic Random Access memory) 又は S R A M (Static Random Access Memory) 等から成る。インタフェース回路 1 1 には I C カードマイコン 9 が接続される。マイクロコンピュータ 3 1 は C P U (中央処理装置) 3 7、C P U 3 7 の動作プログラムを保有するプログラムメモリ (P G M) 3 8、及び C P U 3 7 のワーク領域に利用されるワークメモリ (W R A M) 3 9 などによって構成される。前記 M M C 仕様に対応するインタフェース制御態様の制御プログラムは P G M 3 8 が保有する。

30

【 0 0 5 1 】

ホストインタフェース回路 3 0 はメモリカードイニシャライズコマンドを発行すると、割込みによってマイクロコンピュータ 3 1 に M M C インタフェース制御態様の制御プログラムを実行可能にする。マイクロコンピュータ 3 1 はその制御プログラムを実行する事によってホストインタフェース回路 3 0 による外部インタフェース動作を制御し、フラッシュコントローラ 3 2 によるフラッシュメモリ 8 に対するアクセス (書き込み、消去、及び読み出し動作) とデータ管理を制御し、バッファコントローラ 3 3 によるメモリカード固有のデータフォーマットとメモリに対する共通のデータフォーマットとの間のフォーマット変換を制御する。

40

【 0 0 5 2 】

バッファメモリ 3 4 には、フラッシュメモリ 8 から読み出されたデータ又はフラッシュメモリ 8 に書き込まれるデータが一時的に保持される。フラッシュコントローラ 3 2 はフラッシュメモリ 8 をハードディスク互換のファイルメモリとして動作させ、データをセクタ単位で管理する。

【 0 0 5 3 】

尚、前記フラッシュコントローラ 3 2 は図示を省略する E C C 回路を備え、メモリへの

50

データ格納に際してECCコードを付加し、読み出しデータに対してECCコードによるエラー検出・訂正処理を行う。

【0054】

図12には前記ICカードマイコン9の詳細が例示される。ICカードマイコン9は、CPU41、ワークRAMとしてのRAM(ランダム・アクセス・メモリ)42、タイマ43、EEPROM(エレクトリカリ・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)44、コプロセッサユニット45、マスクROM(リード・オンリ・メモリ)46、システムコントロールロジック47、入出力ポート(I/Oポート)48、データバス49、アドレスバス50及びRF部51を有する。

【0055】

前記マスクROM46はCPU41の動作プログラム(暗号化プログラム、復号プログラム、インタフェース制御プログラム等)及びデータを格納するのに利用される。前記RAM42はCPU41のワーク領域又はデータの一時記憶領域とされ、例えばSRAM(スタティック・ランダム・アクセス・メモリ)若しくはDRAM(ダイナミック・ランダム・アクセス・メモリ)から成る。I/Oポート48にICカードコマンドが供給されると、システムコントロールロジック47がこれをデコードし、当該コマンドの実行に必要な処理プログラムをCPU41に実行させる。即ち、CPU41は、システムコントロールロジック47から指示されるアドレスでマスクROM46をアクセスして命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサユニット45はCPU41の制御に従ってRSAや楕円曲線暗号演算における剰余演算処理などを行う。I/Oポート48は1ビットの入出力端子I/Oを有し、データの入出力と外部割り込み信号の入力に兼用される。I/Oポート48はデータバス49に結合され、データバス49には前記CPU41、RAM42、タイマ43、EEPROM44、及びコプロセッサユニット45等が接続される。システムコントロールロジック47はICカードマイコン9の動作モードの制御及び割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジック等を有する。ICカードマイコン9はリセット信号RESによってリセット動作が指示されると、内部が初期化され、CPU41はマスクROM46のプログラムの先頭番地から命令実行を開始する。ICカードマイコン9はクロック信号CLKに同期動作される。

【0056】

前記EEPROM44は、電氣的に消去処理及び書込み処理が可能にされ、個人を特定するために用いられるID情報や認証証明書などのデータを格納する領域として用いられる。EEPROM44に代えてフラッシュメモリ或は強誘電体メモリなどを採用してもよい。ICカードマイコン9は外部とのインタフェースに外部接続端子を用いる接触インタフェースと、アンテナを用いる非接触インタフェースの一方または双方をサポートする。非接触インタフェースを行うためのRF部51はチップのアンテナ端子TML1, TML2を有する。アンテナを経由してRF部51より電力が供給されたり、あるいはシステムコントロールロジック47により内部バスを経由して非接触インタフェースが選択されると、RF部51は前記アンテナが所定の電磁波(例えば高周波の変動磁束やマイクロ波)を横切ることによって生ずる誘導起電力を動作電源として動作電源を発生し、該所定の電波の周波数に対応して生ずる誘導電流を基にした内部クロック信号CLK、該所定の電波に重なって受け渡されるデータをRF部51で分離した内部データ、さらにリセット信号RES、の夫々を生成し、アンテナから非接触で情報の入出力を行なう。ICカードマイコン9の内部において、非接触インタフェースを介して動作するRF部51は、接触インタフェースを介して動作するICカード動作のCPU41などとは独立した小規模の回路で構成するのが好ましい。RF部51として、その内部に非接触カード動作に必要な回路、例えば非接触カード用プロセッサ、当該プロセッサの制御プログラム領域及びワーク領域に用いられるメモリ、そしてRF送受信及び電源回路部が設けられる。このようにRF部51はプロセッサ機能とその制御プログラムというように独立した小規模の回路で構成されるため、例えば接触端子を介しての電源供給が得られない環境においても、外部か

10

20

30

40

50

らの誘導起電力によって回路を動作させることが容易となる。また、RF部51は内部のデータバス49及びアドレスバス50を経由することにより、非接触インタフェース部分と接触インタフェース部分との間でデータを入出力することも可能である。

【0057】

MRYC5におけるセキュリティー処理動作を説明する。例えばフラッシュメモリ8のセキュア領域にはユーザ識別情報が格納されている。コンテンツデータをダウンロードするときはユーザ識別情報を秘密鍵として暗号化されたライセンス情報を一緒にダウンロードする。コンテンツデータを復号するための復号キーはライセンス情報に含まれ、ライセンス情報はユーザ識別情報を復号キーに用いて復号される。これによってコンテンツデータに対する著作権保護を行う。係るセキュリティー処理はマイクロコンピュータ31によるプログラム制御で行なわれる。

10

【0058】

ICカードマイコン9によるセキュリティー処理について説明する。例えばICカードマイコン9は電子決済サービスなどに利用可能なISO/IEC15408の評価・認証機関による認証済み機能を実現している。EEPROM44には所定の認証証明書を保有し、ホストから認証要求があったときはその認証証明書を送り、これに対して認証を得ることを条件に、後続の通信処理が可能にされる。このようなセキュリティー処理の動作プログラムはマスクROM46が保有する。ICカードマイコン9による認証処理はICカードマイコン9内部に閉じた環境で行うのがセキュリティーの観点より望ましい。この点で、ICカードマイコン9の電源だけを投入して外部接続端子C10～C13又はアンテナ

20

【0059】

例えば上述の如くICカードマイコン9が電子決済サービスなどに利用可能なISO/IEC15408の評価・認証機関による認証済みである場合、キャッシュカード、クレジットカード或いは定期券などのカードホルダにMRYC5を挿入し、非接触インタフェースを用いてそれらカード機能を実現することが可能になる。

30

【0060】

ICカードマイコン9は電子決済などレベルの高いセキュリティー処理に利用されることを考慮すると、ICカードマイコン9の異常な状態に対して全ての内部状態を初期化するパワーオンリセットはインタフェースコントローラ7等に比べて頻繁に行われる可能性が高い。これを考慮すると、ICカードマイコン9には専用の電源供給端子C12(Vcc-ic)、C15(Vcc-IC)を設けているので、MRYC5全体をリセットすること無くICカードマイコン9単独で自由にパワーオンリセット可能になる。これにより、セキュリティーを保証しつつMRYC5の勝手を向上させることができる。

【0061】

《MRYCの外部接続端子配列》

40

図13には前記MRYC5をMMC規格のハーフサイズのパッケージに封止した時の外観を示す。図14には前記MRYC5をMMC規格のスタンダードサイズのパッケージに封止した時の外観を示す。両方の図面には外部接続端子の配列が明瞭に示されており、その配列は双方等しくされている。各端子C1～C16の機能割り当ては図3で説明した通りである。C1～C7はプリミティブなMMC規格に対応する。C8～C9は4ビットモードのための拡張端子、C10～C13はICカードマイコン接触インタフェース並びに8ビットモードのための拡張端子、C14及びC16は外部アンテナ接続用の拡張端子、C15はICカードマイコン専用の電源供給のための拡張端子である。C1～C16はメモリカードの挿入方向(矢印X方向)の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。第1列目はC1～C7である。C8～C13は第1列目の外部

50

接続端子列に対して離間配置された第2列目を構成する。C10～C13の外部接続端子の大きさはC1～C7の外部接続端子の大きさと一定の範囲において同じである。C8の外部接続端子は前記第1列目に配置されコネクタ端子列の列方向一端の端子C7と列方向で完全に隣合う位置まで延在され、C9の外部接続端子は前記第1列目に配置され端子列の端子C1と列方向で部分的に重なって隣合う位置まで延在されている。第1列目の外部接続端子列と第2列目の外部接続端子列とは、C4とC15を除き、外部接続端子の列方向配置が列方向で相互にずれて、千鳥状に配置されている。

【0062】

上記千鳥状配置により、MRYC5が装着される図示を省略するカードスロットには、その多数のスロット端子(ピン)を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。この多端子化という点で、後列の前記C11とC12の間の領域に新設された端子C14～C16も千鳥状に配置される。

10

【0063】

前記外部接続端子として非接触インタフェースのための高周波アンテナ10を接続可能なアンテナ接続端子C14、C16を有する場合、前記アンテナ接続端子C14、C16は前記ICカードマイコン専用電源端子としての外部接続端子C15に隣接して前記電源Vdd供給用外部接続端子C4の近傍に配置される。そのようなアンテナ接続端子C14、C16はICカードマイコンにおける非接触インタフェースの感度を上げるために外部高周波アンテナの接続に用いられる。アンテナ接続端子C14、C16に印加される電圧は比較的高く周波数も高い。従って、MRYC5の配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子C14、C16に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、RF部51で分離するデータに誤りを生じ得る。前記アンテナ接続端子C14、C16は前記ICカードマイコン専用電源端子としての外部接続端子C15に隣接して前記電源Vdd供給用外部接続端子C4の近傍に配置されるから、その配置はノイズの発生を極力抑えるのに好適な配置となる。

20

【0064】

図13及び図14で説明した外部接続端子の形状については図15の如く一部変更することが可能である。ここではC9とC8の形状を短くしている。これはカードスロットのC8及びC9に接触する端子の位置が、第1列目にあるカードスロットへの対応を企図したものである。また、図16に例示されるように外部接続端子数を削減することも可能である。外部接続端子C8、C9を廃止し、MMC規格の1ビットモードとICカードマイコンの接触インタフェースサポートを考慮した端子配列になる。図15、図16の場合にも外部接続端子の千鳥状配置と、C14、C16のアンテナ接続端子とICカードマイコン専用電源供給端子C15との配置関係はそのまま踏襲されている。

30

【0065】

《カードスロットへの挿入及び電源供給》

図23乃至図26にはメモリカードをカードスロットへ挿入する過程及びその過程の考察により得られたメモリカードへの電源供給について示されている。

40

【0066】

図23にはメモリカード5とメモリカード5が挿入されるカードスロット70が示され、カードスロット70にはメモリカード5の挿入を検知するためのセンサ71、メモリカード5の外部接続端子C1乃至C16のそれぞれに接触する端子72～87が設けられ、前記端子85、87には外部アンテナ88が接続されている。

【0067】

図24にはメモリカード5がカードスロット70に挿入される第1過程を示している。第1過程の段階では端子C15に接続される端子86がメモリカード5の端子C4に接触しており、またカードスロット70の端子79～85、87がメモリカード5の第1列の

50

端子C1～C9に接触する可能性があることを示している。メモリカード5の端子C15は電位Vcc-ICを供給する端子であり、インタフェースコントローラ7やフラッシュメモリ8に供給する電源Vddと同じ若しくはより高い電位が供給される。この状態でインタフェースコントローラ7やフラッシュメモリ8にVcc-ICが供給され、メモリカード5の第1列の端子C1～C9にカードスロット70の端子79～85, 87が接触することで電氣的に回路が形成されるおそれがある。また外部アンテナ88には外部の電界に応じて電位を発生させるため、端子85, 87がアンテナ接続端子C14, C16以外の端子に接触し、この電位がインタフェースコントローラ7に印可されるおそれがある。

【0068】

図25にはメモリカード5がカードスロット70に挿入される第2過程を示している。第2過程の段階では、カードスロット70の端子79～85, 87がメモリカード5の第1列の端子C1～C9に接触することはないが、カードスロット70の端子75と86がメモリカード5の外部接続端子C4を介して接続され、端子75にVddを供給するための図示しない回路にVcc-ICが供給されるおそれがある。また端子C4に端子75と端子86とが接触することでインタフェースコントローラ7やフラッシュメモリ8にVcc-ICが供給され、端子72～74, 76～80が端子C1～C3, C5～C9と接触することで電氣的に回路が形成されるおそれがある。

【0069】

図26にはメモリカード5がカードスロット70に挿入される第3過程を示している。第3過程の段階では、カードスロット70の端子72～87とメモリカード5の端子C1～C16が適切に接続されている。

【0070】

図24及び図25に示す過程において生じうる問題については、メモリカード5における解決策と、カードスロット70を有するホスト装置での解決策とがある。

【0071】

メモリカード5での解決策としては、端子C4とインタフェースコントローラ7及びフラッシュメモリ8との間に電源回路を備えておき、端子C4から電源Vddが供給されていることを検知した後に、インタフェースコントローラ7及びフラッシュメモリ8に動作電源の供給を開始するとともに、端子C1乃至C13をインタフェースコントローラ7と接続するようにすればよい。

【0072】

一方ホスト装置での解決策としては、Vcc-ICの供給及び外部アンテナ88に発生する電位の供給を第3過程において開始することで解決可能である。則ち、カードスロット70の端子72～87がメモリカードの端子C1～C16と過程的な接触をしていないことをセンサ71で検知した後に、Vcc-ICの供給を開始すればよい。カードスロット70の端子85, 87がメモリカード5の端子と過程的な接触を生じないようにメモリカード5及びカードスロット70の端子を形成するか、または外部アンテナ88と端子85, 87の間に電氣的に接続/切断が可能なスイッチ回路を設け、センサ71で過程的な接触をしていないことを検知した後に、外部アンテナ88を端子85, 87と電氣的に接続すればよい。

【0073】

またVdd, Vss1, Vss2の各電位については、常時供給していても、センサ71でメモリカード5がカードスロット70に挿入されたことを検知した後に供給を開始しても良い。カードスロット70の端子74, 77は基準電位の供給端子であり、また図示する構造では過程的な接触をすることがないからである。また端子75はVcc-ICと同電位またはより低い電位であるVddの供給端子であるため、端子C4を介して端子86と接続されていたとしても、Vcc-ICを供給するための図示しない回路にVddが供給されても特に問題を生じないと考えられるためである。

【0074】

《カードスロットからの引き抜き及び電源供給》

10

20

30

40

50

タックされる。その他の構成は図17及び図18のスタック構造と同じであり、同一機能を有する部材には同一符号を付してその詳細な説明を省略する。

【0078】

図22には図20及び図21のスタック構造に対してICカードマイコン9を2チップスタックする構造が示される。2個のICカードマイコン9のチップは同種で同サイズであるから直接重ねず、間にスペーサ用のダミーチップ67を挟める。フラッシュメモリ8は必要に応じて1チップまたは3チップ以上のチップスタックも同様に可能である。

【0079】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

10

【0080】

例えば、本発明はMMC規格のメモリカードだけでなくその他の規格に準拠するマルチファンクション形態のメモリカードに広く適用することができる。従って、外部接続端子の機能、配列、数などは適宜変更可能である。またメモリはフラッシュメモリに限定されず、強磁性体メモリなど、その他記憶形式のメモリであってよい。セキュリティコントローラはISO/IEC15408の評価・認証機関による認証済み機能を実現しているものに限定されない。単なる暗号化・復号を行なうマイクロコンピュータであってもよい。

【符号の説明】

20

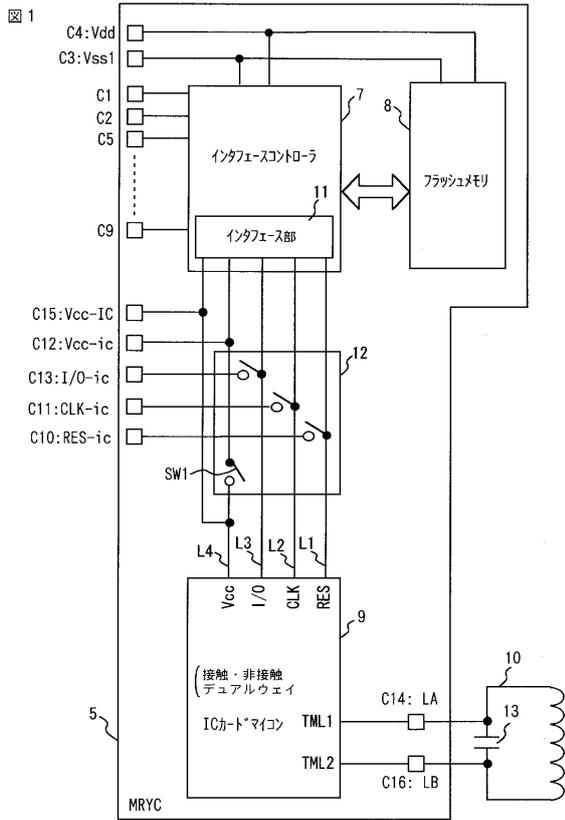
【0081】

- 5 メモリカード
- 7 インタフェースコントローラ
- 8 フラッシュメモリ
- 9 デュアルウェイのICカードマイコン
- 10 アンテナ
- 11 インタフェース部
- 12 分離スイッチ回路
- C4 V_{dd}供給用外部接続端子(第1の外部接続端子)
- C12 V_{cc-ic}供給用外部接続端子
- C15 V_{cc-IC}供給用外部接続端子(第2の外部接続端子)
- C11 CLK-ic割当て用外部接続端子(第3の外部接続端子)
- C13 I/O-ic割当て用外部接続端子(第4の外部接続端子)
- C10 RES-ic割当て用外部接続端子(第5の外部接続端子)
- C14, C16 アンテナ接続用外部接続端子
- 12 分離スイッチ回路
- 15 出力バッファ
- 17 クロックドインバータ
- 24 接触インタフェース型のICカードマイコン
- 25 非接触インタフェース型のICカードマイコン
- 60 回路基板
- 61 配線基板上の電極(ボンディングパッド)
- 64 半導体チップ上の電極パッド
- 65 ボンディングワイヤ

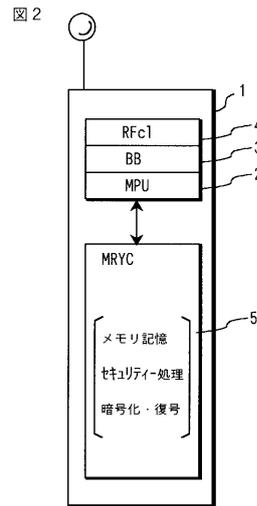
30

40

【図1】



【図2】

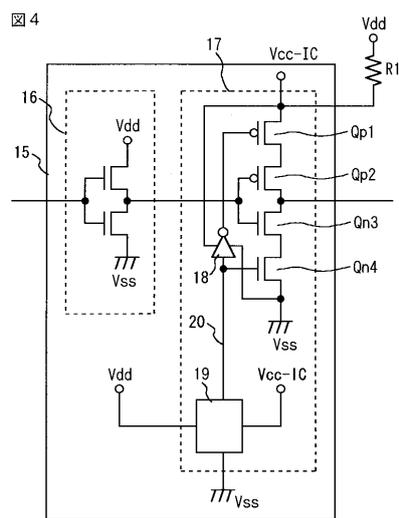


【図3】

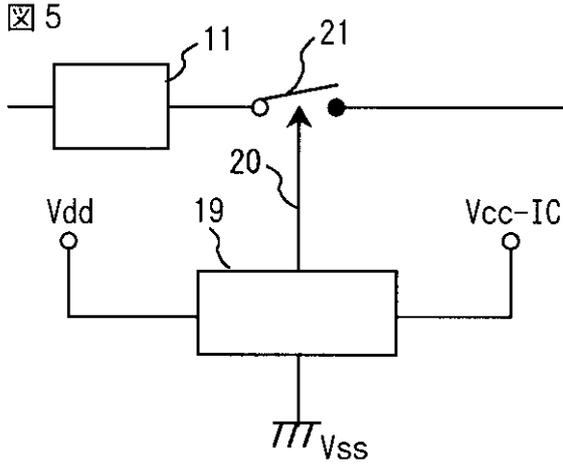
図3

端子番号	1bit-t*		4bit-t*		8bit-t*	
	デュアルICカード機能時	非接触カード機能のみ時	デュアルICカード機能時	非接触カード機能のみ時	デュアルICカード機能時	非接触カード機能のみ時
C1	RSV (for MMC) CS (for SPI)	RSV (for MMC) CS (for SPI)	DAT3	DAT3	DAT3	DAT3
C2	CMD	CMD	CMD	CMD	CMD	CMD
C3	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1
C4	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd
C5	CLK	CLK	CLK	CLK	CLK	CLK
C6	Vss2	Vss2	Vss2	Vss2	Vss2	Vss2
C7	DAT	DAT	DAT0	DAT0	DAT0	DAT0
C8	RSV	RSV	DAT1	DAT1	DAT1	DAT1
C9	RSV	RSV	DAT2	DAT2	DAT2	DAT2
C10	RES-ic	RSV	RES-ic	RSV	DAT4	DAT4
C11	CLK-ic	RSV	CLK-ic	RSV	DAT5	DAT5
C12	Vcc-ic	RSV	Vcc-ic	RSV	DAT6	DAT6
C13	I/O-ic	RSV/Vcc-ic	I/O-ic	RSV/Vcc-ic	DAT7	DAT7
C14	LA	LA	LA	LA	LA	LA
C15	Vcc-IC	(Vcc-IC)	Vcc-IC	(Vcc-IC)	Vcc-IC	(Vcc-IC)
C16	LB	LB	LB	LB	LB	LB

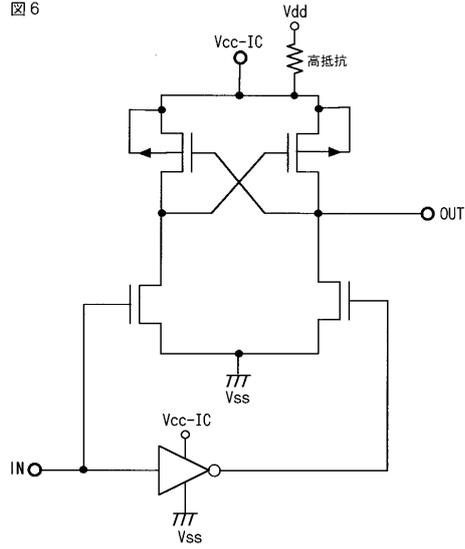
【図4】



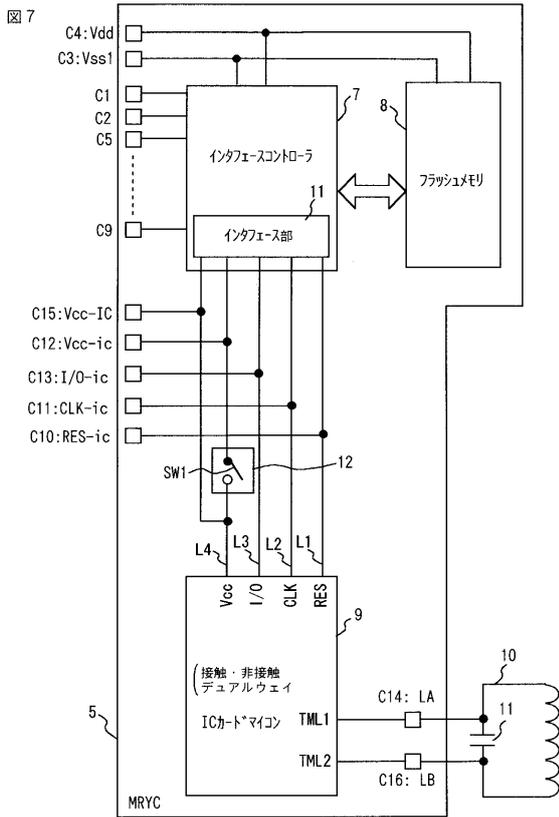
【図5】



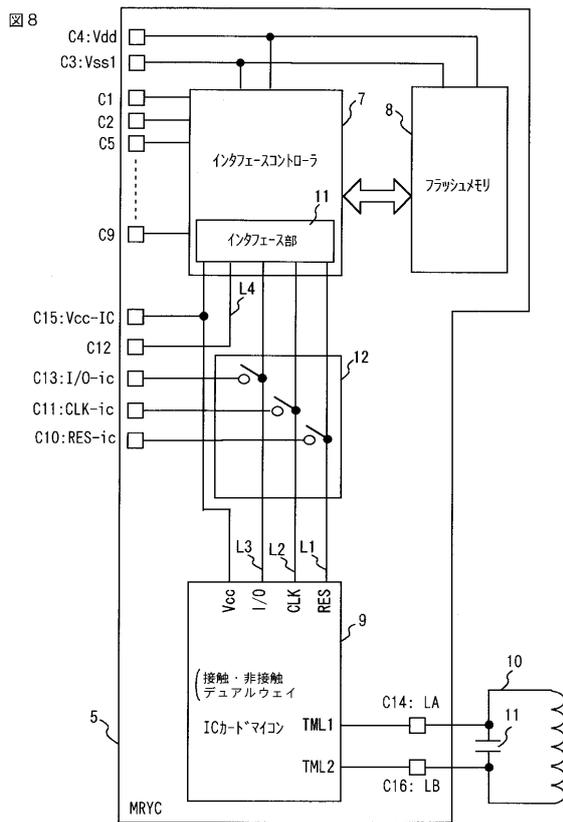
【図6】



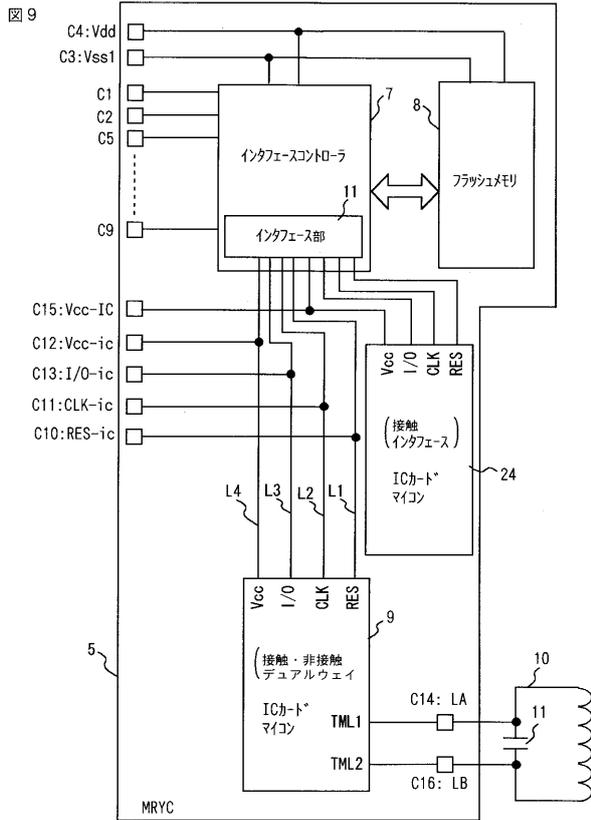
【図7】



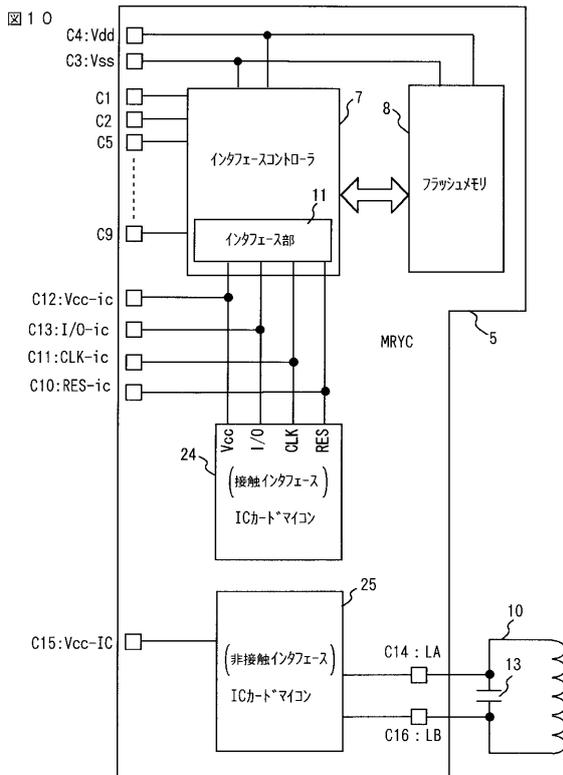
【図8】



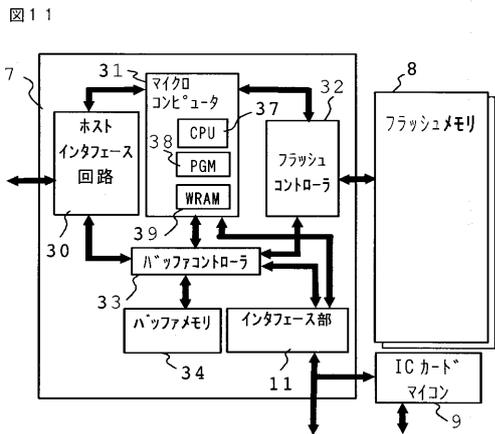
【図9】



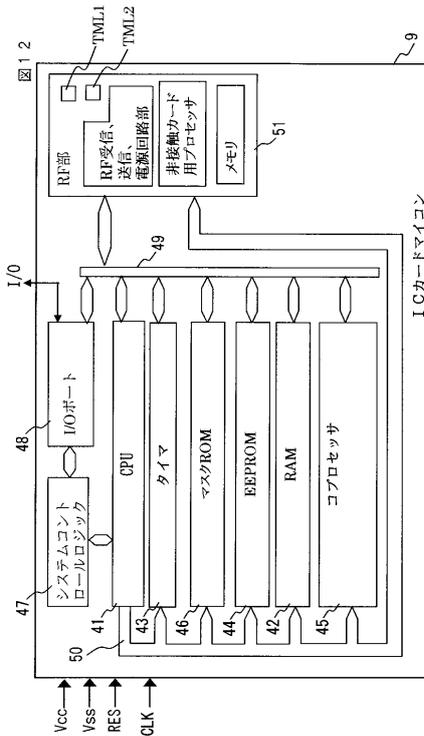
【図10】



【図11】

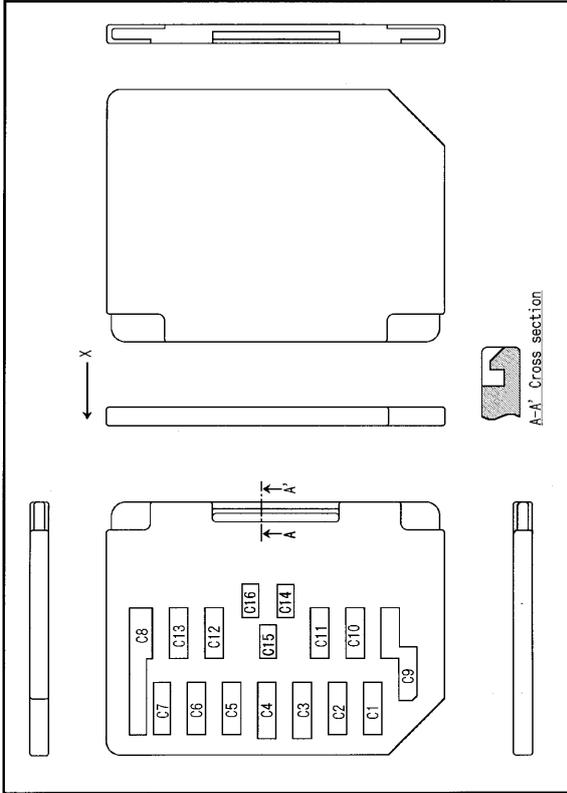


【図12】



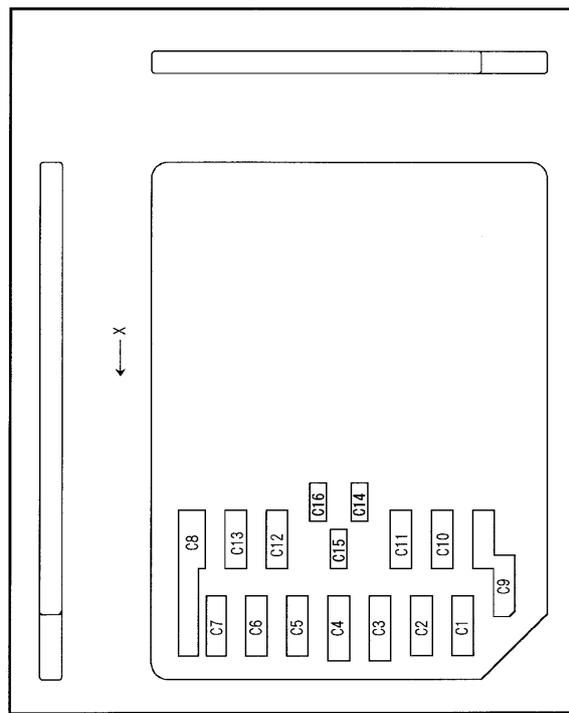
【 13 】

13



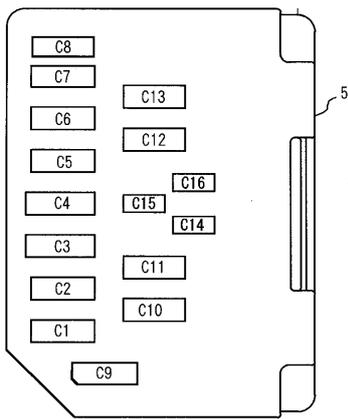
【 14 】

14



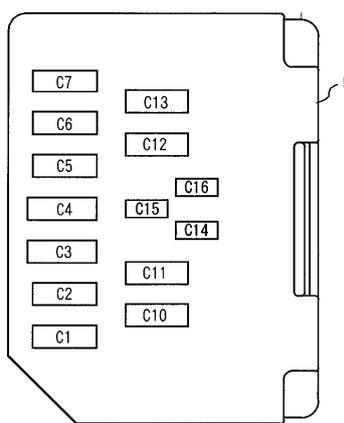
【 15 】

15



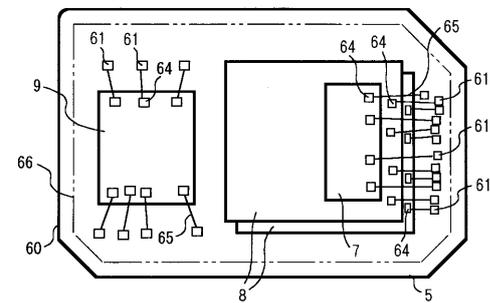
【 16 】

16



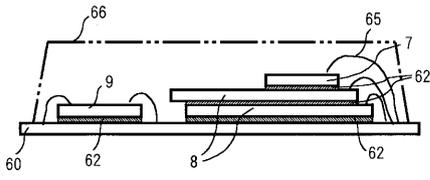
【 17 】

17



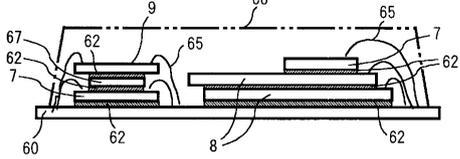
【図18】

図18



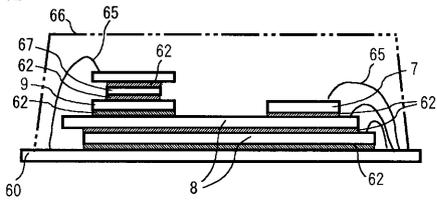
【図19】

図19



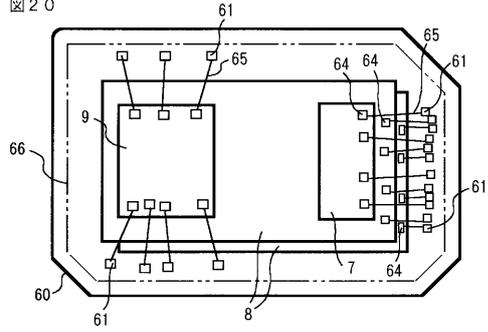
【図22】

図22



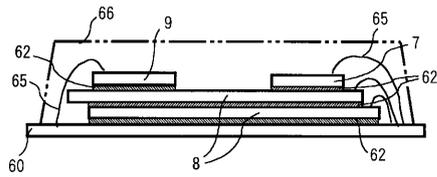
【図20】

図20



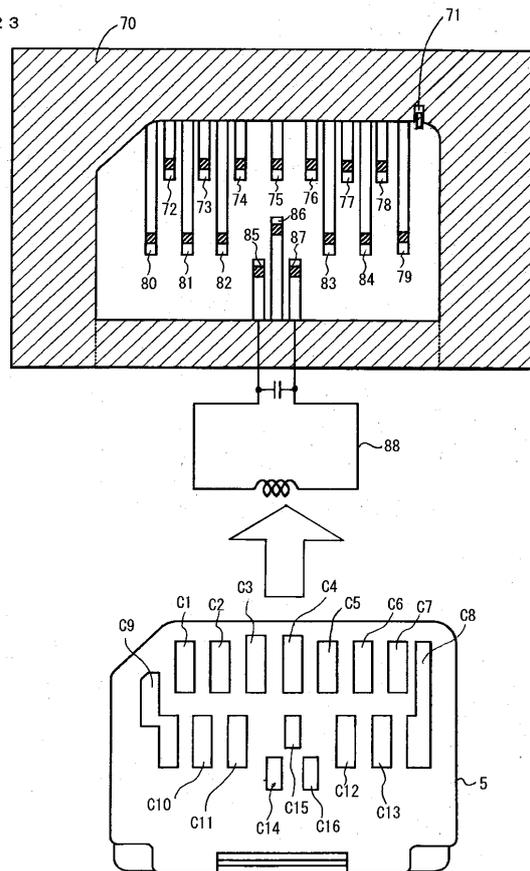
【図21】

図21

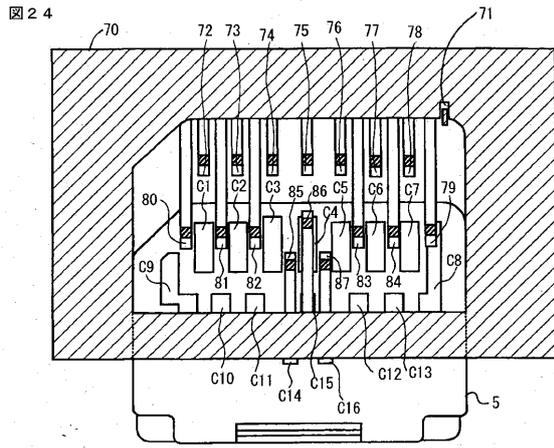


【図23】

図23

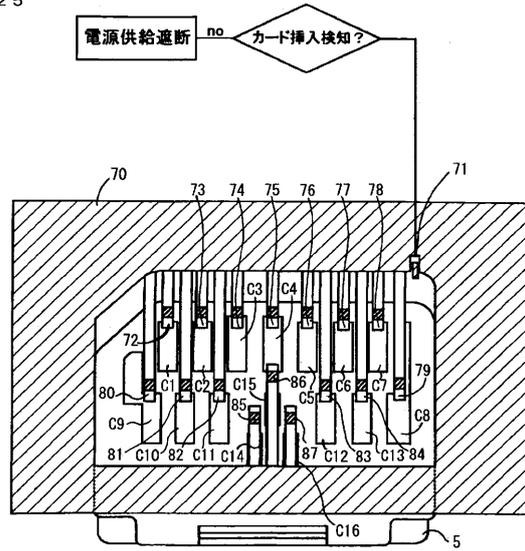


【図 24】



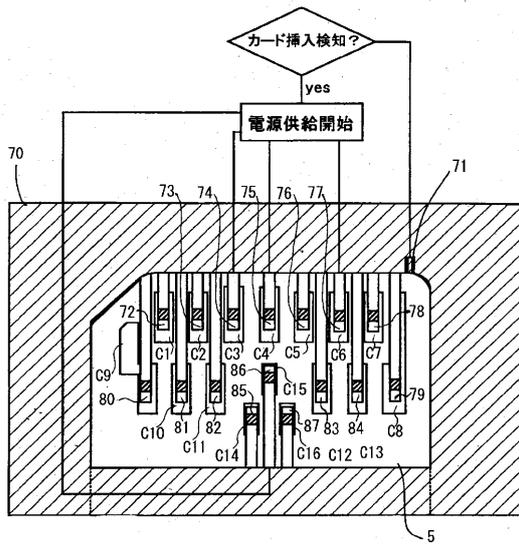
【図 25】

図 25



【図 26】

図 26



フロントページの続き

- (72)発明者 和田 環
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 杉山 道昭
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 大迫 潤一郎
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 前田 浩

- (56)参考文献 特開2003-091704(JP,A)
特開2002-342732(JP,A)
国際公開第01/084490(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
G06K 17/00 - 19/18