

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-313784
(P2006-313784A)

(43) 公開日 平成18年11月16日(2006.11.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 P	4 M 1 0 4
HO 1 L 21/336 (2006.01)	HO 1 L 21/28 3 O 1 S	5 F 0 4 8
HO 1 L 21/28 (2006.01)	HO 1 L 29/50 M	5 F 1 4 0
HO 1 L 29/417 (2006.01)	HO 1 L 29/58 G	
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 3 O 1 G	

審査請求 未請求 請求項の数 11 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2005-135188 (P2005-135188)
(22) 出願日 平成17年5月6日(2005.5.6)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100110928
弁理士 遠水 進治
(72) 発明者 君塚 直彦
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
(72) 発明者 今井 清隆
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 4M104 AA01 BB20 BB21 BB23 CC01
CC05 DD04 DD37 DD64 DD79
DD80 DD84 EE03 EE12 EE16
GG09 GG10 GG14 HH20
最終頁に続く

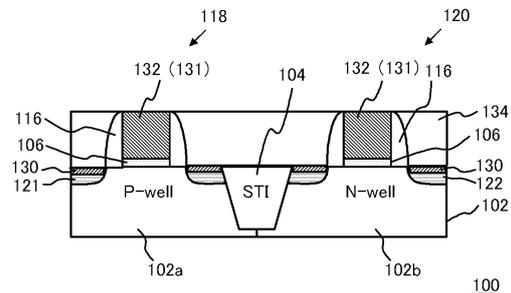
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート電極および不純物拡散層にシリサイド膜が形成された半導体装置において、不純物拡散層のシリサイド膜の異常成長や凝集を抑える。

【解決手段】 半導体装置100は、シリコン基板102と、シリコン基板102上に形成され、ゲート電極132を含む半導体素子と、ゲート長方向の断面において、シリコン基板102の半導体素子が形成された領域の両側方に形成された不純物拡散層121(または122)と、不純物拡散層121(または122)表面に形成され、第1の金属のシリサイド化合物により構成された第1のシリサイド膜130と、ゲート電極132の少なくとも表面に形成され、第1の金属のシリサイド化合物よりシリサイド化の温度が低い第2の金属のシリサイド化合物により構成された第2のシリサイド膜131と、を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に形成され、ゲート電極を含む半導体素子と、
ゲート長方向の断面において、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、
前記不純物拡散層表面に形成され、第 1 の金属のシリサイド化合物により構成された第 1 のシリサイド膜と、
前記ゲート電極の少なくとも表面に形成され、前記第 1 の金属とは異なる第 2 の金属のシリサイド化合物により構成された第 2 のシリサイド膜と、
を含み、
前記第 2 の金属のシリサイド化合物は、前記第 1 の金属のシリサイド化合物よりもシリサイド化の温度が低いことを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
前記第 1 の金属および前記第 2 の金属の組み合わせは、この順に、ニッケルおよびパラジウム、コバルトおよびパラジウム、またはコバルトおよびニッケルであることを特徴とする半導体装置。

【請求項 3】

半導体基板と、
前記半導体基板上に形成され、ゲート電極を含む半導体素子と、
ゲート長方向の断面において、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、
前記不純物拡散層表面に形成され、第 1 の金属のシリサイド化合物により構成された第 1 のシリサイド膜と、
前記ゲート電極の少なくとも表面に形成され、前記第 1 の金属とは異なる第 2 の金属のシリサイド化合物により構成された第 2 のシリサイド膜と、
を含み、
前記第 1 の金属および前記第 2 の金属の組み合わせは、この順に、ニッケルおよびパラジウム、コバルトおよびパラジウム、またはコバルトおよびニッケルであることを特徴とする半導体装置。

20

30

【請求項 4】

請求項 1 乃至 3 いずれかに記載の半導体装置において、
前記ゲート電極は、全体が前記第 2 のシリサイド膜により構成されたことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置において、
前記半導体素子は、前記半導体基板と前記ゲート電極との間に形成されたゲート絶縁膜をさらに含み、
前記ゲート絶縁膜は、HfまたはZrを含み、前記ゲート電極に接して設けられた膜を含むことを特徴とする半導体装置。

40

【請求項 6】

半導体基板上に形成され、多結晶シリコンにより構成されたゲート電極を含む半導体素子と、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、を含む構造体を準備する工程と、
前記不純物拡散層表面に、第 1 の金属のシリサイド化合物により構成された第 1 のシリサイド膜を形成する工程と、
前記ゲート電極の前記多結晶シリコンの少なくとも表面に、前記第 1 の金属とは異なる第 2 の金属のシリサイド化合物により構成された第 2 のシリサイド膜を形成する工程と、
を含み、

50

前記第 2 のシリサイド膜を形成する工程において、前記第 1 のシリサイド膜を形成する工程よりも低い温度条件で前記第 2 のシリサイド膜を形成することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 に記載の半導体装置の製造方法において、

前記第 1 のシリサイド膜を形成する工程は、

前記半導体基板上全面に、前記不純物拡散層に接するように、前記第 1 の金属の膜を形成する工程と、

第 1 の温度条件で加熱処理を行うことにより、前記不純物拡散層の表面をシリサイド化する工程と、を含み、

前記第 2 のシリサイド膜を形成する工程は、

前記半導体基板上全面に、前記ゲート絶縁膜の前記多結晶シリコンに接するように、前記第 2 の金属の膜を形成する工程と、

前記第 1 の温度条件よりも低い第 2 の温度条件で加熱処理を行うことにより、前記多結晶シリコンの少なくとも表面をシリサイド化する工程と、

を含むことを特徴とする半導体装置の製造方法。

10

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、

前記第 2 のシリサイド膜を形成する工程において、前記第 2 の温度条件は、前記第 1 の金属のシリサイド化合物のシリサイド化の温度よりも低い温度条件であることを特徴とする半導体装置の製造方法。

20

【請求項 9】

請求項 6 乃至 8 いずれかに記載の半導体装置の製造方法において、

前記第 2 のシリサイド膜を形成する工程において、前記多結晶シリコン全体を前記第 2 のシリサイド膜に変化させることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 6 乃至 9 いずれかに記載の半導体装置の製造方法において、

前記第 1 のシリサイド膜を形成する工程の前に、前記ゲート電極の表面に、保護膜を形成する工程と、

前記第 1 のシリサイド膜を形成する工程の後、前記第 2 のシリサイド膜を形成する工程の前に、前記保護膜を除去して前記ゲート電極の前記多結晶シリコンを露出させる工程と

30

、
をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、

前記第 2 のシリサイド膜を形成する工程の前に、

前記保護膜を埋め込むように、前記半導体基板全面に層間絶縁膜を形成する工程をさらに含み、

前記多結晶シリコンを露出させる工程は、前記層間絶縁膜とともに前記保護膜を平坦化除去して、前記ゲート電極の前記多結晶シリコンを露出させることを特徴とする半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート電極および不純物拡散層にシリサイド膜が形成された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

多結晶シリコンにより構成されたトランジスタのゲート電極表面やトランジスタのソース領域およびドレイン領域となる不純物拡散層表面をシリサイド化することにより、これ

50

らの領域の低抵抗化をはかる技術が知られている。トランジスタを低抵抗化することにより、トランジスタの動作を高速化することができる。

【0003】

従来、シリサイド化は、トランジスタのゲート絶縁膜、ゲート電極、側壁絶縁膜、および不純物拡散層を形成した後に、ゲート電極の多結晶シリコン（ポリシリコン）上および不純物拡散層上に金属層を形成し、熱処理を行うことにより、ゲート電極表面および不純物拡散層表面に同時にシリサイド膜を形成するという手順で行われていた。

【0004】

しかし、ゲート電極のシリサイド化と不純物拡散層のシリサイド化とに適切な条件が異なり、これらを同時に形成しようとする、たとえば不純物拡散層に結晶欠陥や異常成長が生じるという問題があった。

10

【0005】

特許文献1には、以下の半導体装置の製造方法が開示されている。第1回目のシリサイド工程で、拡散層上シリサイド膜と、ゲート上のダミーシリサイド膜とを形成する。第1の層間絶縁膜を堆積した後、CMPにより、ダミーシリサイド膜を除去して、第1の層間絶縁膜とポリシリコン電極とをともに平坦化する。その後、Co膜を堆積して、熱処理を行って、ポリシリコン電極の上部をシリサイド化してなるゲートシリサイド膜を形成する。これにより、不純物拡散層上のシリサイド膜と、ゲート上部のシリサイド膜とを異なる条件で形成することができ、ゲート上部シリサイド膜と拡散層上シリサイド膜との特性をともに適正に調整することが容易になると記載されている。

20

【特許文献1】特開2004-273556号公報

【非特許文献1】草野、「半導体大事典」、工業調査会、1999年12月20日、P521

【非特許文献2】佐野、第52回応用物理学関係連合講演会、講演予稿集（2005春）、P958

【非特許文献3】S. S. Lau et al, Interactions in the Co/Si thin-film system. I. Kinetics, J. appl. Phys. 49(7), July 1978, pp4005-4010

【非特許文献4】C. Hobbs et al, "Fermi Level Pinning at the PolySi/Metal Oxide Interface", 2003 Symposium on VLSI Technology Digest of Technical Papers, 4-89114-035-6/03

30

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、特許文献1に記載の方法では、ゲート上部シリサイド膜を形成する際に、高温で加熱処理が行われるため、不純物拡散層に形成されたシリサイド膜が異常成長したり、グレインが分割する凝集が生じたりするという課題があった。これにより、不純物拡散層が高抵抗となったり、接合リークが増大するという問題が生じる。

【課題を解決するための手段】

【0007】

本発明によれば、

40

半導体基板と、
前記半導体基板上に形成され、ゲート電極を含む半導体素子と、

ゲート長方向の断面において、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、

前記不純物拡散層表面に形成され、第1の金属のシリサイド化合物により構成された第1のシリサイド膜と、

前記ゲート電極の少なくとも表面に形成され、前記第1の金属とは異なる第2の金属のシリサイド化合物により構成された第2のシリサイド膜と、

を含み、

前記第2の金属のシリサイド化合物は、前記第1の金属のシリサイド化合物よりもシリ

50

サイド化の温度が低いことを特徴とする半導体装置が提供される。

【0008】

ここで、前記第1の金属および前記第2の金属の組み合わせは、この順に、ニッケルおよびパラジウム、コバルトおよびパラジウム、またはコバルトおよびニッケルとすることができる。コバルトのシリサイド化合物(CoSi_2)、ニッケルのシリサイド化合物(NiSi)、パラジウムのシリサイド化合物(Pd_2Si)は、この順でシリサイド化の温度が高い(非特許文献1~3)。第2の金属がニッケルの場合、第2の金属のシリサイド化合物は、 NiSi を主成分とする構成とすることができる。ただし、この場合でも、第2の金属のシリサイド化合物は、 NiSi_2 を含むことができる。

【0009】

このように、ゲート電極の第2のシリサイド膜は、第1の金属のシリサイド化合物よりもシリサイド化の温度が低い第2の金属のシリサイド化合物により構成されるため、たとえば不純物拡散層表面に第1のシリサイド膜を形成した後に、これとは別の工程で、第2のシリサイド膜を形成する場合、第2のシリサイド膜を低い温度で形成することができる。そのため、第1のシリサイド膜を形成した後に、ゲート電極の第2のシリサイド膜を形成する際に、第1のシリサイド膜の異常成長や凝集を防ぐことができる。これにより、半導体装置の不純物拡散層の高抵抗化や、接合リークの増大を防ぐことができる。

【0010】

本発明によれば、
半導体基板と、
前記半導体基板上に形成され、ゲート電極を含む半導体素子と、
ゲート長方向の断面において、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、
前記不純物拡散層表面に形成され、第1の金属のシリサイド化合物により構成された第1のシリサイド膜と、
前記ゲート電極の少なくとも表面に形成され、前記第1の金属とは異なる第2の金属のシリサイド化合物により構成された第2のシリサイド膜と、
を含み、

前記第1の金属および前記第2の金属の組み合わせは、この順に、ニッケルおよびパラジウム、コバルトおよびパラジウム、またはコバルトおよびニッケルであることを特徴とする半導体装置が提供される。

【0011】

このような構成とすると、ゲート電極の第2のシリサイド膜を、第1の金属のシリサイド化合物のシリサイド化の温度よりも低い温度で形成することができる。そのため、第1のシリサイド膜を形成した後に、ゲート電極の第2のシリサイド膜を形成する際に、第1のシリサイド膜の異常成長や凝集を防ぐことができる。これにより、半導体装置の不純物拡散層の高抵抗化や、接合リークの増大を防ぐことができる。

【0012】

本発明の半導体装置において、前記ゲート電極は、全体が前記第2のシリサイド膜により構成されたものとしてすることができる。以下、ゲート電極全体が第2のシリサイド膜により構成された状態をフルシリサイド化という。前記半導体素子は、前記半導体基板と前記ゲート電極との間に形成されたゲート絶縁膜をさらに含むことができる。ゲート電極は、前記表面から前記ゲート絶縁膜と接する面にわたって前記第2のシリサイド膜により構成することができる。

【0013】

本発明の半導体装置によれば、ゲート電極の第2のシリサイド膜は、第1の金属のシリサイド化合物よりもシリサイド化の温度が低い第2の金属のシリサイド化合物により構成されるため、低温で第2の金属によりゲート電極のシリサイド化を行うことができる。そのため、不純物拡散層における第1のシリサイド膜の異常成長等を生じさせることなく、第2のシリサイド膜の膜厚を所望の厚さにすることができる。これにより、不純物拡散層

10

20

30

40

50

への影響を与えることなく、ゲート電極をフルシリサイド化することもできる。

【0014】

ゲート電極の材料として多結晶シリコン等の半導体材料を用いた場合、ゲート絶縁膜との界面近傍において、ゲート電極の多結晶シリコン中に空乏層が発生することがある。空乏層が発生すると、ゲート電圧を印加してもゲート絶縁膜に十分な電界が印加されず、チャンネル領域においてキャリアを誘起することが困難となる。この結果、閾値電圧が上昇するとともに、閾値電圧のばらつきが大きくなるという課題が生じていた。本発明によれば、ゲート電極がフルシリサイド化され、ゲート電極が半導体を含まない構成とされるので、このような問題も解消される。

【0015】

本発明の半導体装置において、前記半導体素子は、前記半導体基板と前記ゲート電極との間に形成され、HfまたはZrを含み、前記ゲート電極に接して設けられた膜を含むゲート絶縁膜をさらに含むことができる。

【0016】

ここで、HfまたはZrを含む前記膜は、高誘電率膜とすることができる。ゲート絶縁膜として高誘電率膜を用いることにより、ゲート絶縁膜の物理的な厚みのある程度厚くしても電氣的なシリコン酸化膜換算膜厚は薄くなり、物理的・構造的に安定なゲート絶縁膜を実現することができる。これにより、トランジスタの電流駆動能力を向上させたり、ゲートリーク電流を低減することができる。

【0017】

しかし、最近の研究によれば、ゲート絶縁膜を高誘電率膜で構成するとともにゲート電極を多結晶シリコンで構成した場合、フェルミレベルピニング (Fermi Level Pinning) といわれる現象が起こるとの知見が得られている (非特許文献4)。フェルミレベルピニングは、ゲート電極中のゲート絶縁膜側界面近傍において、高誘電率膜を構成する金属がゲート電極を構成する多結晶シリコン中に拡散し、シリコンと上記金属との結合に基づく準位が形成されることにより生じると考えられている。このようなフェルミレベルピニングは、とくに、HfやZrを含む膜を用いた場合、P型不純物を含む多結晶シリコンにより構成されたゲート電極を有するP型MOSFETで生じやすい。

【0018】

そのため、ゲート絶縁膜をHfまたはZrを含む膜で構成した場合、ゲート電極中のゲート絶縁膜側界面近傍において、多結晶シリコン中に上述したような空乏層が発生しやすくなる。従来、ゲート絶縁膜として高誘電率膜を用いた場合、閾値電圧の上昇および閾値電圧のばらつきが大きくなるという課題が、ゲート絶縁膜としてシリコン酸化膜を用いた場合よりも顕著だった。

【0019】

しかし、本発明によれば、ゲート電極において、第2のシリサイド膜をフルシリサイド化することができるので、このような空乏層の問題を解決することができる。これにより、トランジスタの電流駆動能力を向上させたり、ゲートリーク電流を低減することができる。HfまたはZrを含む前記膜が、高誘電率膜でない場合にも、空乏層の問題を解決する効果が得られ、本発明は当該膜が高誘電率膜でない場合に適用することもできる。

【0020】

本発明によれば、

半導体基板上に形成され、多結晶シリコンにより構成されたゲート電極を含む半導体素子と、前記半導体基板の前記半導体素子が形成された領域の両側方に形成された不純物拡散層と、を含む構造体を準備する工程と、

前記不純物拡散層表面に、第1の金属のシリサイド化合物により構成された第1のシリサイド膜を形成する工程と、

前記ゲート電極の前記多結晶シリコンの少なくとも表面に、前記第1の金属とは異なる第2の金属のシリサイド化合物により構成された第2のシリサイド膜を形成する工程と、を含み、

10

20

30

40

50

前記第2のシリサイド膜を形成する工程において、前記第1のシリサイド膜を形成する工程よりも低い温度条件で前記第2のシリサイド膜を形成することを特徴とする半導体装置の製造方法が提供される。

【0021】

このように、ゲート電極の第2のシリサイド膜は、前記第1のシリサイド膜を形成する工程よりも低い温度条件で形成されるため、たとえば不純物拡散層表面に第1のシリサイド膜を形成した後に、これとは別の工程で、第2のシリサイド膜を形成する場合、第2のシリサイド膜を低い温度で形成することができる。そのため、第1のシリサイド膜を形成した後に、ゲート電極の第2のシリサイド膜を形成する際に、第1のシリサイド膜の異常成長や凝集を防ぐことができる。これにより、半導体装置の不純物拡散層の高抵抗化や、接合リークの増大を防ぐことができる。

10

【0022】

本発明の製造方法において、

前記第1のシリサイド膜を形成する工程は、

前記半導体基板上全面に、前記不純物拡散層に接するように、前記第1の金属の膜を形成する工程と、

第1の温度条件で加熱処理を行うことにより、前記不純物拡散層の表面をシリサイド化する工程と、を含むことができ、

前記第2のシリサイド膜を形成する工程は、前記半導体基板上全面に、前記ゲート絶縁膜の前記多結晶シリコンに接するように、前記第2の金属の膜を形成する工程と、

20

前記第1の温度条件よりも低い第2の温度条件で加熱処理を行うことにより、前記多結晶シリコンの少なくとも表面をシリサイド化する工程と、を含むことができる。

【0023】

このように、第2のシリサイド膜を形成する工程において、第2の温度条件を低くすることにより、第1のシリサイド膜を形成した後に、ゲート電極の第2のシリサイド膜を形成する際に、第1のシリサイド膜の異常成長や凝集を防ぐことができる。これにより、半導体装置の不純物拡散層の高抵抗化や、接合リークの増大を防ぐことができる。

【0024】

本発明の半導体装置の製造方法において、前記第2のシリサイド膜を形成する工程において、前記第2の温度条件は、前記第1の金属のシリサイド化合物のシリサイド化の温度よりも低い温度条件とすることができる。

30

【0025】

このように、第2の温度条件を第1の金属のシリサイド化合物のシリサイド化の温度よりも低い温度とすることにより、第1のシリサイド膜を形成した後に、ゲート電極の第2のシリサイド膜を形成する際に、第1のシリサイド膜の異常成長や凝集を防ぐことができる。これにより、半導体装置の不純物拡散層の高抵抗化や、接合リークの増大を防ぐことができる。

【発明の効果】

【0026】

本発明によれば、ゲート電極および不純物拡散層にシリサイド膜が形成された半導体装置において、不純物拡散層のシリサイド膜の異常成長や凝集を抑えることができる。

40

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施の形態について、図面を用いて説明する。なお、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0028】

(第1の実施の形態)

図1は、本実施の形態における半導体装置の構成を示す断面図である。本実施の形態において、半導体装置100は、N型MOSFET118およびP型MOSFET120を

50

含むCMOS (Complementary Metal Oxide Semiconductor) デバイスである。また、このCMOS デバイスは、LSIの内部回路を構成する。

【0029】

半導体装置100は、P型の導電性を有するPウェル102aおよびN型の導電性を有するNウェル102bが設けられたシリコン基板102と、Pウェル102aとNウェル102bとを分離する素子分離領域104とを含む。Pウェル102aおよびNウェル102bには、それぞれ、N型MOSFET118およびP型MOSFET120が形成されている。シリコン基板102には、N型MOSFET118およびP型MOSFET120の側方を覆う層間絶縁膜134が形成される。

【0030】

Pウェル102aには、一对の不純物拡散層121が設けられ、これらの間にチャネル領域が形成されている。チャネル領域上には、ゲート絶縁膜106と、ゲート絶縁膜106上に設けられたゲート電極132と、側壁絶縁膜116と、により構成されたゲート(半導体素子)が設けられる。同様に、Nウェル102bにも一对の不純物拡散層122が設けられ、これらの間にチャネル領域が形成されている。チャネル領域上には、ゲート絶縁膜106と、ゲート絶縁膜106上に設けられたゲート電極132と、側壁絶縁膜116と、により構成されたゲートが設けられる。

【0031】

不純物拡散層121および不純物拡散層122の表面には、第1の金属のシリサイド化合物により構成された第1のシリサイド膜130が形成されている。本実施の形態において、ゲート電極132は、第1の金属のシリサイド化合物よりシリサイド化の温度が低い第2の金属のシリサイド化合物により構成された第2のシリサイド膜131により構成される。ここで、第1の金属と第2の金属との組み合わせは、この順に、ニッケルおよびパラジウム、コバルトおよびパラジウム、またはコバルトおよびニッケルとすることができる。コバルトのシリサイド化合物($CoSi_2$)のシリサイド化の温度は、約550 ~ 600、ニッケルのシリサイド化合物($NiSi$)のシリサイド化の温度は約400 ~ 500、パラジウムのシリサイド化合物(Pd_2Si)のシリサイド化の温度は約300である(非特許文献1~3)。本実施の形態において、後述するように、不純物拡散層121および不純物拡散層122上の第1のシリサイド膜130を形成した後に、これとは別の工程で、ゲート電極132の第2のシリサイド膜131を形成する。第2のシリサイド膜131は、第1の金属のシリサイド化合物よりシリサイド化の温度が低い第2の金属のシリサイド化合物により構成されるため、第2のシリサイド膜131は、第1のシリサイド膜130の第1の金属のシリサイド化合物のシリサイド化温度よりも低い温度で形成することができる。そのため、第1のシリサイド膜130を形成した後に、ゲート電極132の第2のシリサイド膜131を形成する際に、第1のシリサイド膜130の異常成長や凝集を防ぐことができる。

【0032】

以下に、図2から図4を参照して、本実施の形態の半導体装置の製造方法について説明する。

図2から図4は、本実施の形態における半導体装置100の製造手順を示す工程断面図である。

まず、公知の技術により、シリコン基板102に、たとえば、STI (Shallow Trench Isolation) による素子分離領域104を形成した後、P型不純物をイオン注入してPウェル102a、N型不純物をイオン注入してNウェル102bを、それぞれ形成する。素子分離領域104は、たとえばLOCOS法等の公知の他の方法で形成してもよい。つづいて、公知の技術により、Pウェル102aおよびNウェル102bにチャネル領域をそれぞれ形成する。なお、Pウェル102aおよびNウェル102bのチャネル領域の下方に、N型不純物およびP型不純物をそれぞれイオン注入することにより、パンチスルーストップ領域を形成することもできる。このようなパンチスルーストップ領域を形成することにより、短チャネル効果を抑制することができる。

10

20

30

40

50

【0033】

次いで、シリコン基板102の表面にゲート絶縁膜106を形成する。ここで、ゲート絶縁膜106は、たとえば、シリコン基板102の表面を熱酸化することにより形成されたシリコン酸化膜（たとえば膜厚約1nm~2nm）とすることができる。

【0034】

その後、ゲート絶縁膜106上に、多結晶シリコン膜114（たとえば膜厚約5nm~15nm）を成膜する。つづいて、多結晶シリコン膜114上に、保護膜140（たとえば膜厚約3nm~10nm）を形成する。保護膜140は、後の工程で、シリコン基板102表面の不純物拡散層をシリサイド化する際に、多結晶シリコン膜114がシリサイド化されるのを防ぐハードマスクとして機能すれば、どのような構成とすることもできる。保護膜140は、たとえばCVD（Chemical vapor deposition）法により形成されたシリコン窒化膜とすることができる。これにより、図2（a）に示した構造体を得られる。

10

【0035】

次いで、ゲート絶縁膜106、多結晶シリコン膜114、および保護膜140を所定の領域を残すように、選択的にドライエッチングし、ゲートの形状に加工する（図2（b））。

【0036】

その後、Pウェル102a上およびNウェル102b上において、ゲート絶縁膜106、多結晶シリコン膜114、および保護膜140の側壁に側壁絶縁膜116をそれぞれ形成する。側壁絶縁膜116は、たとえば、フルオロカーボンガスなどを用いた異方性エッチングにより形成することができる。つづいて、Pウェル102a上において、ゲート電極および側壁絶縁膜116をマスクとして、Pウェル102aの表層にPやAs等のN型不純物をドーピングして不純物拡散層121を形成する。また、Nウェル102b上において、ゲート電極および側壁絶縁膜116をマスクとして、Nウェル102bの表層にBやBF₂等のP型不純物をドーピングして不純物拡散層122を形成する。これにより、ソース領域およびドレイン領域が形成される。その後、非酸化雰囲気中で熱処理を行うことにより、不純物の活性化を行う（図2（c））。

20

【0037】

次いで、シリコン基板102上全面に、スパッタ法等により、第1の金属層142（たとえば膜厚約5nm~10nm）を形成する（図3（d））。ここで、第1の金属は、たとえばニッケルとすることができる。その後、以下の第1の熱処理（シンター）を行う。

30

【0038】

（a-1）約450℃で約30秒ランプアニールを行う；

（a-2）ウェットエッチングにより、未反応の第1の金属層142を除去する。

【0039】

以上の処理により、不純物拡散層121および不純物拡散層122の表面に、第1のシリサイド膜130（たとえば膜厚約10nm~20nm）が形成される（図3（e））。このときに、多結晶シリコン膜114上には、保護膜140が設けられているので、シリサイド層は形成されない。

【0040】

つづいて、シリコン基板102上全面に、保護膜140を埋め込むように、層間絶縁膜134を形成する（図4（f））。ここで、層間絶縁膜134は、たとえば、シリコン酸化膜とすることができる。また、層間絶縁膜134は、シリコン基板102上に形成されたシリコン窒化膜と、その上に形成されたシリコン酸化膜との積層膜とすることもできる。

40

【0041】

次いで、CMP（chemical mechanical polishing）により、層間絶縁膜134の上部および保護膜140を除去し、多結晶シリコン膜114を露出させる（図4（g））。その後、層間絶縁膜134上に、第2の金属層144（たとえば膜厚約10nm~30nm）を形成する（図4（h））。ここで、第2の金属は、たとえばパラジウムとすることができる。

50

できる。その後、以下の第2の熱処理（シンター）を行う。

【0042】

(b-1) 約300 で約10分ランプアニールを行う；

(b-2) ウェットエッチングにより、未反応の第2の金属層144を除去する。

【0043】

以上の処理により、多結晶シリコン膜114全体が、第2の金属層144によりフルシリサイド化され、ゲート電極132が形成される。ここで、フルシリサイド化とは、ゲート電極132全体が第2のシリサイド膜131により構成された状態をいう。つまり、多結晶シリコン膜114がほぼ100%シリサイド化され、シリコンが確認されないことをいう。ここで、ゲート絶縁膜106が、第2のシリサイド膜131と直接接する。上記第2の熱処理条件で、多結晶シリコン膜114をシリサイド化した半導体装置のゲート電極132の断面をTEM (Transmission Electron Microscope) で確認したところ、シリコンの存在は確認されず、多結晶シリコン膜114がフルシリサイド化されることが示された。以上の手順により、図1に示した構成の半導体装置100が形成される。

10

【0044】

本実施の形態における半導体装置100の製造方法によれば、第1のシリサイド膜130を形成した後に、多結晶シリコン膜114をシリサイド化する際の熱処理は、第1のシリサイド膜130を構成する第1の金属のシリサイド化温度よりも低い温度で行われる。そのため、第1のシリサイド膜130の異常成長や凝集を防ぐことができる。これにより、半導体装置100の不純物拡散層121や不純物拡散層122の高抵抗化や、接合リーク

20

【0045】

以上の例では、第1の金属がニッケルで第2の金属がパラジウムである場合を例として示したが、他の例において、第1の金属がコバルトで第2の金属がパラジウム、または第1の金属がコバルトで第2の金属がニッケルとすることもできる。各場合の熱処理の条件は、たとえば以下のようにすることができる。

【0046】

(i) 第1の金属がコバルトで第2の金属がパラジウムの場合；

30

第1の熱処理は、以下のようにすることができる。

(a-1) 約600 で約30秒ランプアニールを行う；

(a-2) ウェットエッチングにより、未反応の第1の金属層142を除去する。

【0047】

第2の熱処理は、以下のようにすることができる。

(b-1) 約300 で約10分間ランプアニールを行う；

(b-2) ウェットエッチングにより、未反応の第2の金属層144を除去する。

【0048】

(ii) 第1の金属がコバルトで第2の金属がニッケルの場合；

第1の熱処理は、以下のようにすることができる。

40

(a-1) 約600 で約30秒ランプアニールを行う；

(a-2) ウェットエッチングにより、未反応の第1の金属層142を除去する。

【0049】

第2の熱処理は、以下のようにすることができる。

(b-1) 約450 で約60秒ランプアニールを行う；

(b-2) ウェットエッチングにより、未反応の第2の金属層144を除去する。

【0050】

以上のように、ゲート電極132を構成する第2の金属として、そのシリサイド化温度が第1のシリサイド膜130を構成する第1の金属のシリサイド化温度よりも低いものを用いることにより、ゲート電極132をシリサイド化する際の熱処理温度を低くすること

50

ができる。これにより、先に形成される不純物拡散層 1 2 1 や不純物拡散層 1 2 2 の第 1 のシリサイド膜 1 3 0 の異常成長や凝集を抑えることができる。これにより、半導体装置 1 0 0 の不純物拡散層 1 2 1 や不純物拡散層 1 2 2 の高抵抗化や、接合リークの増大を防ぐことができる。さらに、第 2 の金属のシリサイド化温度が低いために、高温の熱処理を行わなくても、ゲート電極 1 3 2 をフルシリサイド化することができる。そのため、ゲート電極 1 3 2 における空乏層の発生を防ぐことができ、閾値電圧の上昇や閾値電圧のばらつきを防ぐこともできる。

【0051】

(第 2 の実施の形態)

本実施の形態においては、半導体装置 1 0 0 の製造手順の一部が第 1 の実施の形態と異なる。以下に、図 5 を参照して、本実施の形態における半導体装置の製造方法を説明する。図 5 は、本実施の形態における半導体装置 1 0 0 の製造手順の一部を示す工程断面図である。

【0052】

本実施の形態においても、第 1 の実施の形態で図 2 および図 3 を参照して説明したのと同様の手順で、図 3 (e) に示したのと同様の構造体を形成する。つづいて、たとえばドライエッチングにより、保護膜 1 4 0 を選択的に除去し、多結晶シリコン膜 1 1 4 を露出させる (図 5 (a)) 。

【0053】

次いで、シリコン基板 1 0 2 上全面に、第 2 の金属層 1 4 4 (たとえば膜厚約 5 n m ~ 1 0 n m) を形成する (図 5 (b)) 。その後、第 2 の熱処理を行う。第 2 の金属層 1 4 4 を構成する金属、および第 2 の熱処理の条件は、第 1 の実施の形態で説明したのと同様とすることができる。

【0054】

以上の処理により、多結晶シリコン膜 1 1 4 が第 2 の金属層 1 4 4 によりフルシリサイド化され、ゲート電極 1 3 2 が形成される。引き続き、未反応の第 2 の金属層 1 4 4 をウェットエッチにより除去して、本実施の形態における半導体装置 1 0 0 が得られる (図 5 (c)) 。

【0055】

本実施の形態においても、第 1 の実施の形態と同様の効果を得ることができる。また、半導体装置 1 0 0 の製造手順を簡略化することができる。

【0056】

(第 3 の実施の形態)

本実施の形態においては、半導体装置 1 0 0 の製造手順の一部が第 1 の実施の形態と異なる。以下に、図 6 から図 8 を参照して、本実施の形態における半導体装置の製造方法を説明する。図 6 から図 8 は、本実施の形態における半導体装置 1 0 0 の製造手順の一部を示す工程断面図である。

【0057】

まず、第 1 の実施の形態で説明したのと同様に、シリコン基板 1 0 2 に素子分離領域 1 0 4 、P ウェル 1 0 2 a 、および N ウェル 1 0 2 b を形成し、次いでシリコン基板 1 0 2 上にゲート絶縁膜 1 0 6 および多結晶シリコン膜 1 1 4 を形成する (図 6 (a)) 。本実施の形態において、多結晶シリコン膜 1 1 4 上に保護膜 1 4 0 を形成しない点で第 1 の実施の形態と異なる。

【0058】

つづいて、ゲート絶縁膜 1 0 6 および多結晶シリコン膜 1 1 4 を所定の領域を残すように、選択的にドライエッチングし、ゲートの形状に加工する (図 6 (b)) 。

【0059】

次いで、P ウェル 1 0 2 a 上および N ウェル 1 0 2 b 上において、ゲート絶縁膜 1 0 6 および多結晶シリコン膜 1 1 4 の側壁に側壁絶縁膜 1 1 6 をそれぞれ形成する。その後、P ウェル 1 0 2 a 上において、ゲート電極および側壁絶縁膜 1 1 6 をマスクとして、P ウ

10

20

30

40

50

エル102aの表層にPやAs等のN型不純物をドーブして不純物拡散層121を形成する。また、Nウェル102b上において、ゲート電極および側壁絶縁膜116をマスクとして、Nウェル102bの表層にBやBF₂等のP型不純物をドーブして不純物拡散層122を形成する(図6(c))。

【0060】

つづいて、シリコン基板102上全面に、スパッタ法等により、第1の金属層142(たとえば膜厚約5nm~10nm)を形成する(図7(d))。次いで、第1の熱処理を行う。これにより、不純物拡散層121および不純物拡散層122の表面に第1のシリサイド膜130が、多結晶シリコン膜114の表面にシリサイド膜146(たとえば膜厚約10nm~20nm)がそれぞれ形成される(図7(e))。

10

【0061】

次いで、シリコン基板102上全面に、シリサイド膜146を埋め込むように、層間絶縁膜134を形成する(図8(f))。その後、CMPにより、層間絶縁膜134の上部およびシリサイド膜146を除去し、多結晶シリコン膜114を露出させる(図8(g))。その後、層間絶縁膜134上に、第2の金属層144を形成する。つづいて、第2の熱処理を行う。本実施の形態において、第1の金属層142を構成する金属、第1の熱処理の条件、第2の金属層144を構成する金属、および第2の熱処理の条件は、第1の実施の形態で説明したのと同様とすることができる。

【0062】

以上の処理により、多結晶シリコン膜114が第2の金属層144によりフルシリサイド化され、ゲート電極132が形成される。これにより、本実施の形態においても、第1の実施の形態において図1に示したのと同様の構成の半導体装置100が形成される。

20

【0063】

本実施の形態においても、第1の実施の形態と同様の効果を得ることができる。また、半導体装置100の製造手順を簡略化することができる。

【0064】

(第4の実施の形態)

本実施の形態においては、ゲート絶縁膜106が、積層膜により構成されている点で、第1の実施の形態と異なる。以下に、図9を参照して、本実施の形態における半導体装置の構造について説明する。図9は、本実施の形態における半導体装置100の構造を示す断面図である。本実施の形態において、ゲート絶縁膜106が、シリコン酸化膜105と、高誘電率膜108とがこの順で積層された積層膜により構成されている。

30

【0065】

高誘電率膜108は、シリコン酸化膜105よりも比誘電率の高い膜であり、いわゆるhigh-k膜とすることができる。たとえば、高誘電率膜108は、比誘電率10以上の材料により構成することができる。具体的には、高誘電率膜108は、HfおよびZrからなる群から選択される一または二以上の元素と、Si、OおよびNからなる群から選択される一または二以上の元素との化合物により構成することができる。高誘電率膜108は、たとえばHfSiOまたはHfAlOあるいはこれらの窒化物により構成することができる。このような材料を用いることにより、高誘電率膜108の比誘電率を高くすることができるとともに、良好な耐熱性を付与することができる。そのため、MOSFETのサイズ縮小化、信頼性向上に寄与することができる。なお、N型MOSFET118とP型MOSFET120において、高誘電率膜108を同じ材料により構成することもできるが、異なる材料により構成することもできる。

40

【0066】

ゲート絶縁膜106は、シリコン酸化膜105を有しない構成とすることもできるが、高誘電率膜108とシリコン基板102との間にシリコン酸化膜105を設けることにより、高誘電率膜108の金属がシリコン基板102に拡散等するのを防ぐことができる。また、シリコン酸化膜105は、窒素を含むこともできる。

【0067】

50

以下に、図10を参照して、本実施の形態における半導体装置の製造方法を説明する。図10は、本実施の形態における半導体装置100の製造手順の一部を示す工程断面図である。

本実施の形態においても、まず、第1の実施の形態で説明したのと同様に、シリコン基板102に素子分離領域104、Pウェル102a、およびNウェル102bを形成する。つづいて、シリコン基板102上にシリコン酸化膜105を形成する。次いで、シリコン酸化膜105上に、高誘電率膜108（たとえば膜厚約1nm）を形成する。高誘電率膜108は、CVD法やALD法（原子層堆積法）等により成膜することができる。この後、たとえばアンモニア等の窒素含有ガスを用いてアニールを行う。この条件としては、処理温度900～1000、処理時間40秒等とする。アニールを行うことにより、高誘電率膜108の結晶化を抑制することができる。

10

【0068】

つづいて、高誘電率膜108上に多結晶シリコン膜114および保護膜140を形成する（図10（a））。

【0069】

つづいて、シリコン酸化膜105、高誘電率膜108、多結晶シリコン膜114、および保護膜140を選択的にドライエッチングし、ゲートの形状に加工する（図10（b））。

【0070】

次いで、Pウェル102a上およびNウェル102b上において、シリコン酸化膜105、高誘電率膜108、多結晶シリコン膜114、および保護膜140の側壁に側壁絶縁膜116をそれぞれ形成する。その後、Pウェル102a上に不純物拡散層121、Nウェル102b上に不純物拡散層122をそれぞれ形成する（図10（c））。

20

【0071】

この後、第1の実施の形態で説明したのと同様に、不純物拡散層121および不純物拡散層122表面に第1のシリサイド膜130を形成する。次いで、シリコン基板102上に層間絶縁膜134を形成し、CMPにより多結晶シリコン膜114を露出させた後、多結晶シリコン膜114をフルシリサイド化し、ゲート電極132を形成する。これにより、図9に示した構成の半導体装置100が形成される。

【0072】

本実施の形態においても、第1の実施の形態と同様の効果が得られる。また、上述したように、ゲート絶縁膜106として高誘電率膜108を用いた場合、フェルミレベルピンニングといわれる現象が起こり、ゲート電極132を多結晶シリコン膜114により構成した場合、多結晶シリコン膜114に空乏層が生じるという課題が生じる。しかし、本実施の形態において、ゲート電極132がフルシリサイド化されるので、ゲート電極132に空乏層が生じるのを防ぐことができ、高誘電率膜108を用いることによるトランジスタの電流駆動能力の向上およびゲートリーク電流の低減等のメリットを得ることができる。

30

【0073】

また、本実施の形態においても、第3の実施の形態で説明したのと同様にして、多結晶シリコン膜114上に保護膜140を形成せず、第1のシリサイド膜130を形成する際に多結晶シリコン膜114表面にもシリサイド膜146が形成されるようにし、後にシリサイド膜146を除去するようにすることもできる。これによっても、図9に示したのと同様の構成の半導体装置100が得られる。

40

【0074】

また、本実施の形態においても、第2の実施の形態で説明したのと同様にして、多結晶シリコン膜114上に保護膜140を形成して、第1のシリサイド膜130を形成した後に、保護膜140をエッチングにより選択的に除去するようにすることもできる。これにより、図11に示す構成の半導体装置100が得られる。

【0075】

以上、図面を参照して本発明の実施の形態および実施例について述べたが、これらは本

50

発明の例示であり、上記以外の様々な構成を採用することもできる。

【0076】

たとえば、第4の実施の形態において、高誘電率膜108がHfまたはZrを含む構成を示したが、高誘電率膜108は、これらに限らず、いわゆるhigh-k膜として知られる他の種々の材料により構成することができる。また、実施の形態では、高誘電率膜108を例示したが、この膜は、誘電率にかかわらず、HfまたはZrを含む膜とすることができる。この場合も、空乏層の問題を解決する効果が得られる。

【0077】

また、以上の実施の形態においては、ゲート電極132がフルシリサイド化された構成を示したが、本発明は、ゲート電極132をフルシリサイド化しない構成に適用することもできる。本発明によれば、第2のシリサイド膜131が第1のシリサイド膜130とは別の工程で形成され、また第2のシリサイド膜131を低温で形成することができるため、第2のシリサイド膜131の膜厚を所望の厚さにすることができる。その場合であっても、多結晶シリコン膜114のシリサイド化に先立ち形成される不純物拡散層121や不純物拡散層122の第1のシリサイド膜130の異常成長や凝集を抑えることができる。これにより、第2のシリサイド膜131の膜厚を厚くすることができ、ゲート電極132の抵抗を低くすることができる。

【0078】

なお、多結晶シリコン膜114をフルシリサイド化しない場合、多結晶シリコン膜114を形成した後に、Pウェル102a上に成膜された多結晶シリコン膜114にはN型不純物をイオン注入し、Nウェル102b上に成膜された多結晶シリコン膜114にはP型不純物をイオン注入することができる。このイオン注入は、多結晶シリコン膜114を形成した後、電極形状にパターニングする前に行ってもよく、電極形状にパターニングした後、不純物拡散層121や不純物拡散層122を形成する際に同時に行ってもよい。また、多結晶シリコン膜114をフルシリサイド化する場合も、同様の処理を行うことができるが、この場合、多結晶シリコン膜114への不純物の注入処理は省略することもできる。

【0079】

また、以上の実施の形態において、シリサイド化をランプアニールにより行う例を示したが、第1の金属のシリサイド化合物および第2の金属のシリサイド化合物のいずれか一方、または両方を、ファーンズアニールでシリサイド化することもできる。この場合も、第2の金属のシリサイド化合物は、第1のシリサイド化合物のシリサイド化温度よりも低い温度条件で形成することができる。

【図面の簡単な説明】

【0080】

【図1】本発明の実施の形態における半導体装置の構成を示す断面図である。

【図2】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図3】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図4】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図5】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図6】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図7】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図8】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図9】本発明の実施の形態における半導体装置の構成を示す断面図である。

【図10】本発明の実施の形態における半導体装置の製造手順を示す工程断面図である。

【図11】本発明の実施の形態における半導体装置の構成を示す断面図である。

【符号の説明】

【0081】

100 半導体装置

102 シリコン基板

10

20

30

40

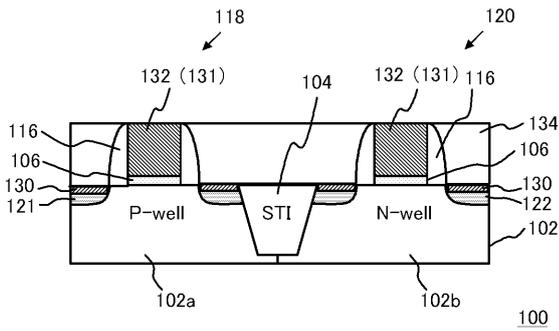
50

- 102 a Pウェル
- 102 b Nウェル
- 104 素子分離領域
- 105 シリコン酸化膜
- 106 ゲート絶縁膜
- 108 高誘電率膜
- 114 多結晶シリコン膜
- 116 側壁絶縁膜
- 118 N型MOSFET
- 120 P型MOSFET
- 121 不純物拡散層
- 122 不純物拡散層
- 130 第1のシリサイド膜
- 131 第2のシリサイド膜
- 132 ゲート電極
- 134 層間絶縁膜
- 140 保護膜
- 142 第1の金属層
- 144 第2の金属層
- 146 シリサイド膜

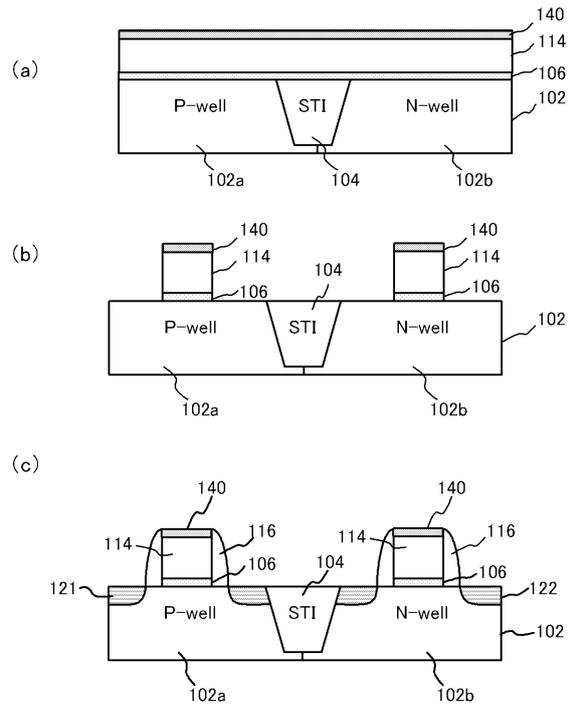
10

20

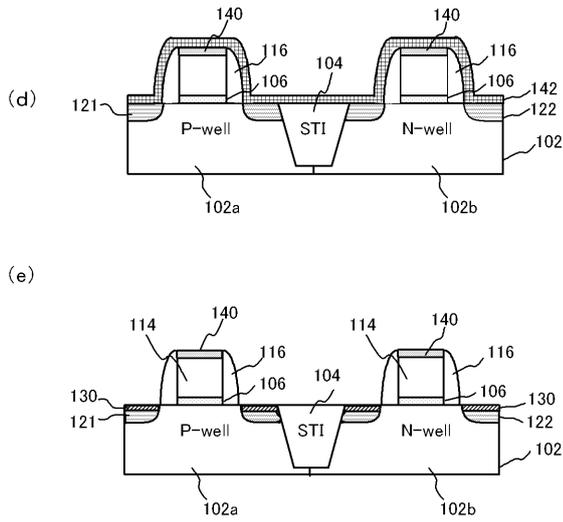
【図1】



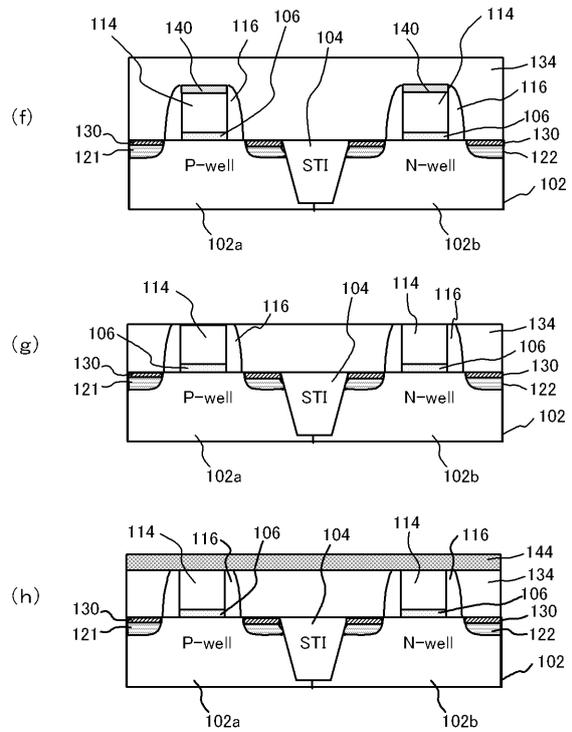
【図2】



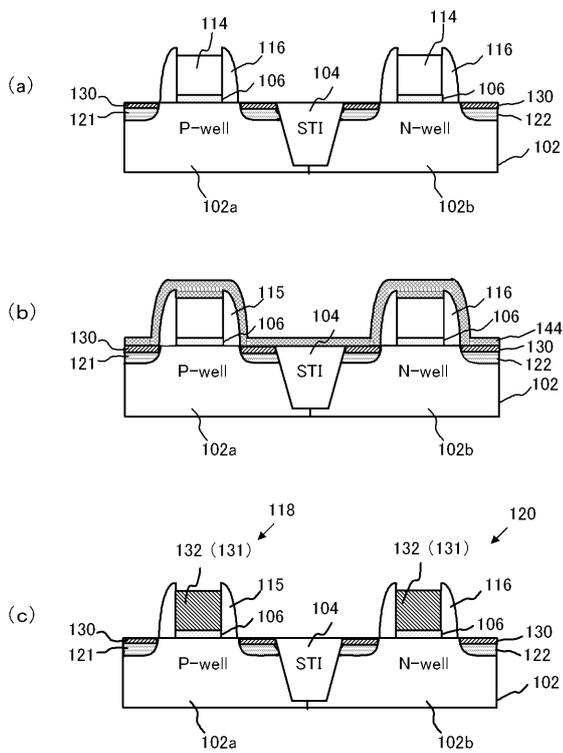
【 図 3 】



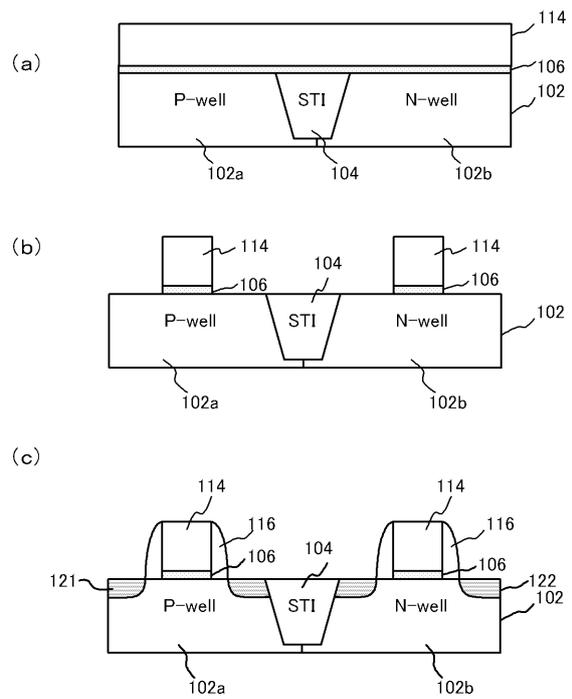
【 図 4 】



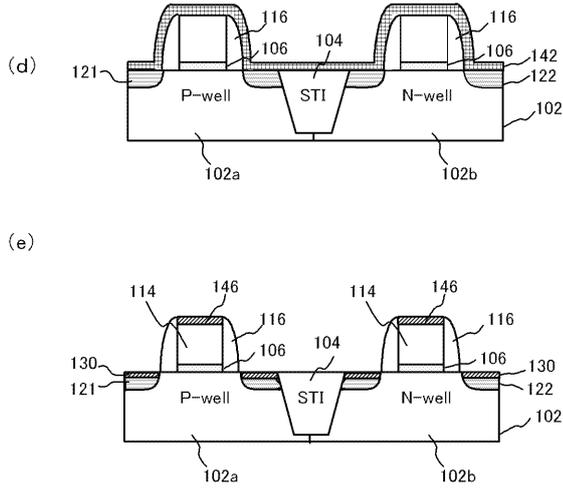
【 図 5 】



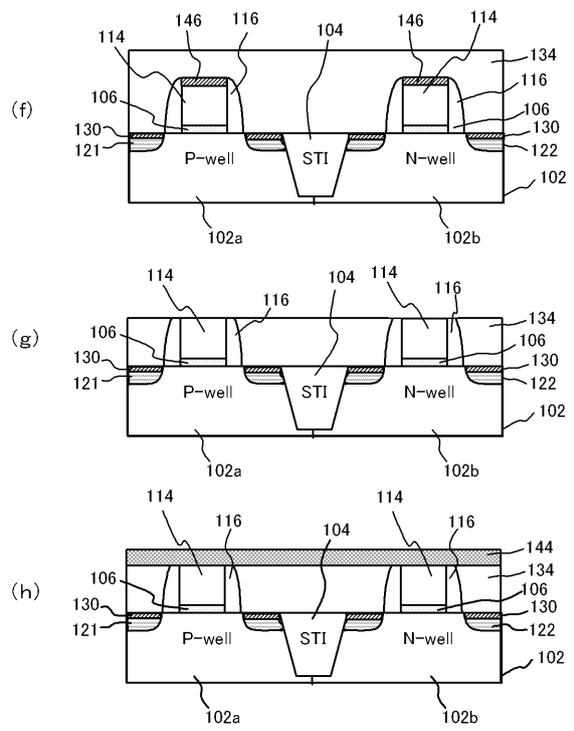
【 図 6 】



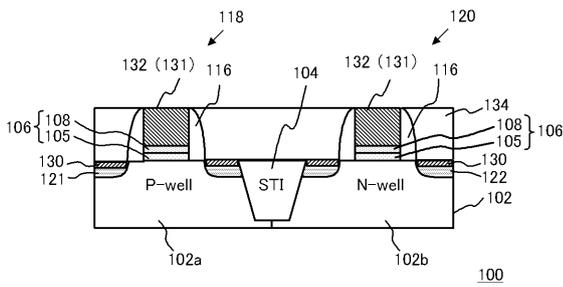
【 図 7 】



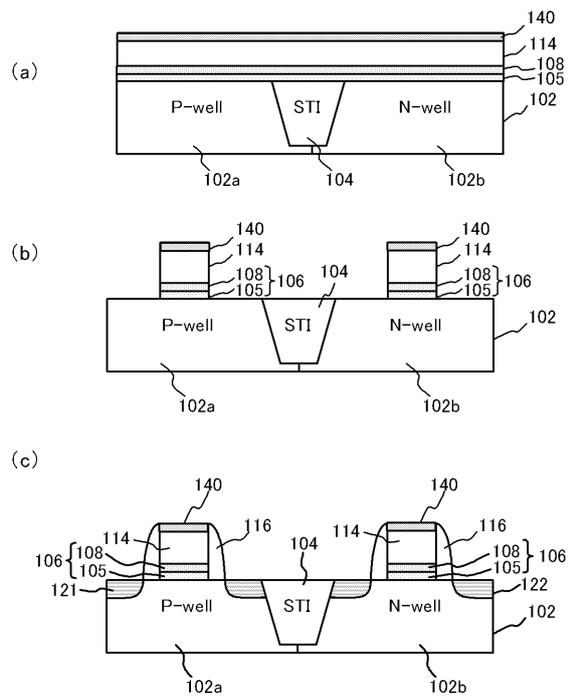
【 図 8 】



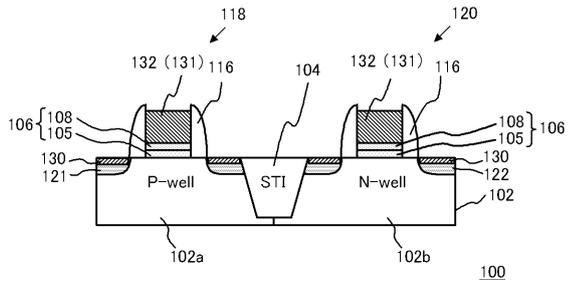
【 図 9 】



【 図 10 】



【 図 1 1 】



 フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
H O 1 L 29/49 (2006.01)		H O 1 L	27/08	3 2 1 D
H O 1 L 27/092 (2006.01)		H O 1 L	27/08	3 2 1 F
H O 1 L 21/8238 (2006.01)				

Fターム(参考)	5F048	AA00	AA07	AA08	AC03	BA01	BB08	BB11	BD04	BE03	BF06
		BG12	BG13	DA19	DA23						
	5F140	AA01	AA06	AA21	AA24	AB03	BA01	BC05	BD01	BD04	BD05
		BD13	BE07	BE09	BE10	BE17	BE19	BF01	BF08	BG08	BG22
		BG26	BG27	BG34	BG38	BG45	BH39	BJ01	BJ08	BK12	BK21
		BK29	BK34	BK39	CB01	CB04	CB08	CC01	CC03	CC08	CE07