



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월10일
(11) 등록번호 10-1210285
(24) 등록일자 2012년12월04일

(51) 국제특허분류(Int. Cl.)
G11C 29/04 (2006.01) G11C 11/41 (2006.01)
(21) 출원번호 10-2011-0006047
(22) 출원일자 2011년01월20일
심사청구일자 2011년01월20일
(65) 공개번호 10-2012-0084602
(43) 공개일자 2012년07월30일
(56) 선행기술조사문헌
KR1019920005295 B1*
KR1020050106580 A*
KR1020080087294 A*
KR1020080108855 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
창원대학교 산학협력단
경상남도 창원시 의창구 사림동 9 창원대학교
(72) 발명자
김영희
경상남도 창원시 반림동 현대아파트 112동 1001호
(74) 대리인
이철희

전체 청구항 수 : 총 9 항

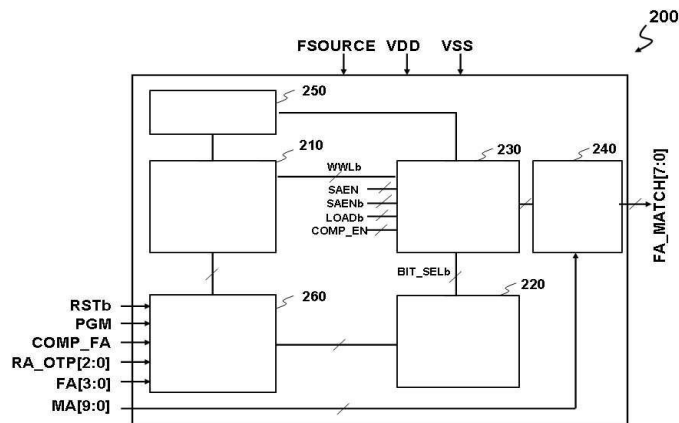
심사관 : 손준영

(54) 발명의 명칭 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로

(57) 요약

본 발명은 리턴던시 제어 회로에 관한 것으로, 더욱 상세하게는 프로그램 모드에서 외부 프로그램 전원을 e-Fuse(electrical Fuse) 셀에 직접 인가하고, e-Fuse(electrical Fuse) 셀을 쓰기 포트와 읽기 포트로 분리하며, 레이아웃 면적을 확연히 줄인 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로에 관한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

리턴던시 제어 회로에 있어서,

행 주소를 입력받아 디코딩을 통해 반전된 워드라인 선택신호(WWLb)를 출력하여 특정한 워드라인을 선택하게 하는 행 디코더부(210);

열 주소를 입력받아 디코딩을 통해 반전된 비트라인 선택신호(BIT_SELb)를 출력하여 특정한 비트라인을 선택하게 하는 프로그램 선택비트 선택부(220);

상기 선택된 워드라인과 비트라인에 연결된 e-Fuse 셀이 액티브 되어 불량 주소가 프로그램되는 e-Fuse 셀 어레이(230); 및

상기 불량 주소와 메모리 액세스 주소(MA)를 각 비트별로 비교하여 일치하는 경우 매칭신호(FA_MATCH)를 출력하는 리페어 주소 비교부(240);를 포함하되,

상기 불량 주소가 상기 e-Fuse 셀 어레이에 프로그램 될 때 외부 전압원(FSOURCE)을 공급하며,

상기 e-Fuse 셀은,

쓰기 포트(write port)와 읽기 포트(read port)가 분리된 듀얼 포트(dual port) 구조를 가지되,

상기 반전된 워드라인 선택신호(WWLb)와 상기 반전된 비트라인 선택신호(BIT_SELb)를 입력받아 부정논리합 연산을 수행하는 노어 게이트(NOR);

게이트에 상기 노어 게이트(NOR) 출력이 인가되고, 소오스에 접지전압(VSS)이 인가되는 제1 엔모스(NM1);

일단이 상기 제1 엔모스(NM1) 드레인에 연결되고, 타단에 상기 외부 전압원(FSOURCE)이 인가되는 e-Fuse;

게이트에 센싱신호(SAEN)가 인가되고, 소오스가 상기 제1 엔모스(NM1) 드레인에 연결된 제2 엔모스(MN2);

게이트에 반전된 로드신호(LOADb)가 인가되고, 소오스에 로직전압(VDD)이 인가되며 드레인이 상기 제2 엔모스(MN2) 드레인에 연결된 제1 피모스(MP1); 및

상기 제2 엔모스(MN2) 드레인의 전압레벨(Fuse_Data)을 입력받아 상기 센싱신호(SAEN)와 반전된 센싱신호(SAENb)에 응답하여 상기 불량 주소(IFA)와 반전된 불량 주소(IFAb)를 출력하는 D-래치 회로를 포함하는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 2

제 1 항에 있어서,

상기 불량 주소를 상기 e-Fuse 셀 어레이에 프로그램 하는 프로그램 모드;

상기 e-Fuse 셀 어레이의 프로그램 정보를 자동적으로 D-래치 회로에 저장하는 파워-온 모드; 및

상기 e-Fuse 셀 어레이의 프로그램 정보와 상기 메모리 액세스 주소를 비교하는 비교모드로 동작하는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 3

제 2 항에 있어서,

상기 프로그램 모드에서는, 상기 e-Fuse 셀 어레이에 상기 외부 전압원(FSOURCE)을 공급하고, 상기 파워-온 읽기 모드와 상기 비교모드에서는, 상기 e-Fuse 셀 어레이에 로직전압(VDD)을 공급하는 전원스위칭부(250)를 더 포함하는 것을 특징으로 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 4

제 3 항에 있어서,

상기 외부 전압원(FSOURCE)은 4.2V인 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제1 엔모스(MN1)의 채널 폭이 상기 제2 엔모스(MN2)의 채널 폭보다 큰 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 8

제 7 항에 있어서, 상기 D-래치 회로는,

게이트가 상기 제1 피모스(MP1) 드레인과 상기 제2 엔모스(MN2) 드레인에 공통으로 연결되고, 소오스에 로직전압(VDD)이 인가되는 제2 피모스(MP2);

게이트에 상기 반전된 센싱신호(SAENb)가 인가되고, 소오스가 상기 제2 피모스 드레인에 연결된 제3 피모스(MP3);

게이트에 상기 센싱신호(SAEN)가 인가되고, 드레인이 상기 제3 피모스 드레인에 연결된 제3 엔모스(MN3);

게이트가 상기 제1 피모스(MP1) 드레인과 상기 제2 엔모스(MN2) 드레인에 공통으로 연결되고, 드레인이 상기 제3 엔모스 소오스에 연결되며 소오스에 접지전압(VSS)이 인가되는 제4 엔모스(MN4);

상기 제3 엔모스(MN3) 드레인의 전압레벨을 반전시켜 상기 불량 주소(IFA) 신호를 출력하는 제1 인버터;

상기 제 1 인버터의 출력을 반전시켜 상기 반전된 불량 주소(IFAb) 신호를 출력하는 제2 인버터;

상기 제 1 인버터의 출력을 반전시키는 제3 인버터; 및

상기 센싱신호(SAEN)와 반전된 센싱신호(SAENb)에 응답하며 일단이 상기 제3 인버터 출력단에 연결되고 타단이 상기 제1 인버터 입력단에 연결된 전송 게이트를 포함하는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 9

제 1 항에 있어서, 상기 리페어 주소 비교부는,

게이트에 비교신호(COMP_EN)가 인가되고, 소오스에 로직전압(VDD)이 인가되는 제4 피모스(MP4);

상기 불량 주소와 상기 메모리 액세스 주소를 입력받아 상기 비교신호(COMP_EN)에 응답하여 상기 불량 주소와 상기 메모리 액세스 주소가 비트별로 모두 일치하는 경우 상기 제4 피모스 드레인에 내부매칭신호(IMATCH)를 출력하는 불량주소 비교 회로부(241);

상기 제4 피모스 드레인의 전압레벨을 반전시켜 출력하는 제4 인버터(INV4);

게이트에 상기 제4 인버터의 출력이 인가되고 소오스에 로직전압(VDD)이 인가되며 드레인이 상기 제4 피모스 드레인에 연결된 제5 피모스(MP5); 및

상기 제4 인버터의 출력 전압레벨을 반전시켜 상기 매칭신호(FA_MATCH)를 출력하는 제5 인버터(INV5)를 포함하는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리턴던시 제어 회로.

청구항 10

제 9 항에 있어서, 상기 불량주소 비교 회로부(241)는,

상기 비교신호(COMP_EN)에 응답하여 상기 불량 주소와 상기 메모리 액세스 주소를 1-비트씩 비교하는 제1 내지 제N 의 1-bit 불량주소 비교 회로(241-1 ~ 241-N)로 구성되어 있는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로.

청구항 11

제 10 항에 있어서, 상기 제1의 1-bit 불량주소 비교회로(241-1)는,

게이트에 상기 반전된 불량 주소의 첫 번째 비트(IFAb[0])가 인가되고, 드레인이 상기 제4 피모스 드레인에 연결된 제5 엔모스(MN5);

게이트에 상기 불량 주소의 첫 번째 비트(IFA[0])가 인가되고, 드레인이 상기 제4 피모스 드레인에 연결된 제6 엔모스(MN6);

게이트에 상기 메모리 액세스 주소의 첫 번째 비트(MA[0])가 인가되고, 드레인이 상기 제5 엔모스의 소오스에 연결된 제7 엔모스(MN7);

게이트에 상기 반전된 메모리 액세스 주소의 첫 번째 비트(MAb[0])가 인가되고, 드레인이 상기 제6 엔모스의 소오스에 연결된 제8 엔모스(MN8);

게이트에 상기 비교신호(COMP_EN)가 인가되고, 소오스에 접지전압(VSS)이 인가되며 드레인이 상기 제7 엔모스의 소오스에 연결된 제9 엔모스(MN9); 및

게이트에 상기 비교신호(COMP_EN)가 인가되고, 소오스에 접지전압(VSS)이 인가되며 드레인이 상기 제8 엔모스의 소오스에 연결된 제10 엔모스(MN10)를 포함하는 것을 특징으로 하는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로.

명세서

기술분야

[0001] 본 발명은 리던던시 제어 회로에 관한 것으로, 더욱 상세하게는 프로그램 모드에서 외부 프로그램 전원을 e-Fuse(electrical Fuse) 셀에 직접 인가하고, e-Fuse(electrical Fuse) 셀을 쓰기 포트와 읽기 포트와 분리하며, 레이아웃 면적을 확연히 줄인 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로에 관한 것이다.

배경기술

[0002] 최근 들어 디스플레이 패널의 해상도가 증가하면서 대용량의 SRAM IP가 요구되고 있다. 대용량 SRAM IP는 6T-SRAM 셀(cell) 대신 셀 크기가 작은 1T-SRAM 셀을 사용하여 설계하는 연구가 많이 진행 되고 있다.

[0003] 한편, 메모리 용량이 증가하면서 공정 결함 등의 원인으로 불량이 발생하면서 메모리 수율을 떨어뜨린다. 따라서 대용량 메모리는 불량인 메모리 셀을 여분의 메모리 셀로 대체하는 리던던시(redundancy) 회로가 필요하다. 리던던시 회로는 불량인 메모리 셀을 선택하는 리페어 주소(repair address)가 입력되면 여분의(redundant) 메모리 셀에서 데이터를 읽거나 쓰도록 해준다.

[0004] 불량인 메모리 셀의 리페어 주소를 프로그래밍하는 방식은, 크게 고에너지를 갖는 레이저(laser)를 이용하여 메탈 퓨즈(metal fuse) 또는 폴리실리콘(polysilicon) 퓨즈를 끊는 레이저 프로그래밍 방식, 폴리실리콘 퓨즈에 고전류(high current)를 흘려 퓨즈를 끊는 e-Fuse(electrical Fuse) 프로그래밍 방식, 얇은 산화막인 ONO(oxide-nitride-oxide) 커패시터인 안티퓨즈(antifuse)를 고전압(high voltage)을 인가하여 단락(short)시키는 안티퓨즈 프로그래밍 방식이 있다.

[0005] 이들 프로그래밍 방식 중 e-Fuse 방식은 레이저 장비가 필요 없고, 고전압을 공급하기 위한 전하 펌프가 필요 없으며, 웨이퍼 상태나 패키지 상태 모두에서 프로그래밍이 가능한 장점이 있다.

[0006] 도 1은 종래의 e-Fuse 셀 회로를 도시한 도면이다.

[0007] 도 1에 도시된 바와 같이, 종래의 e-Fuse 셀 회로(100)는 e-Fuse, 제1 내지 제5 엔모스(MN1 ~ MN5), 제1 내지 제2 피모스(MP1, MP2) 및 기준저항(Rref)을 구비한다.

- [0008] e-Fuse는 게이트 폴리실리콘으로써 일단에 로직전압(VDD)이 인가되고, 타단이 노드 1(N1)에 연결된다. 제1 엔모스(MN1)는 프로그램 트랜지스터로, 게이트에 프로그램 신호(PGM)가 인가되고, 소오스에 접지 전압(VSS)이 인가되며, 드레인이 노드 1(N1)에 연결된다. 제2 내지 제3 엔모스(MN2)는 리셋 트랜지스터로, 게이트에 리셋 신호(MRESET)가 인가되고, 소오스에 접지전압(VSS)이 인가되며, 제2 엔모스(MN2)의 드레인은 노드 3(N3)에, 제3 엔모스(MN3)의 드레인은 노드 4(N4)에 각각 연결된다.
- [0009] 제1 내지 제2 피모스(MP1, MP2)와 제4 내지 제5 엔모스(MN4, MN5)는 래치회로를 구성하며, 제1 피모스(MP1)는 소오스가 노드 1(N1)에 연결되고, 드레인이 노드 3(N3)에 연결되며 게이트가 노드 4(N4)에 연결된다. 제2 피모스(MP2)는 소오스가 노드 2(N2)가 연결되고, 드레인이 노드 4(N4)가 연결되며, 게이트가 노드 3(N3)에 연결된다. 제4 엔모스(MN4)는 소오스에 접지전압(VSS)이 인가되고, 드레인이 노드 3(N3)에 연결되고, 게이트가 노드 4(N4)에 연결된다. 제5 엔모스(MN5)는 소오스에 접지전압(VSS)이 인가되고, 드레인이 노드 4(N4)에 연결되고, 게이트가 노드 3(N3)이 연결된다. 기준저항(Rref)은 일단에 로직전압(VDD)이 인가되고, 타단이 노드 2(N2)에 연결된다.
- [0010] 상기와 같이 구성된 종래의 e-Fuse 셀 회로(100)의 동작을 살펴보면 다음과 같다.
- [0011] 프로그램 모드에서, 프로그램 신호(PGM)가 하이(high)로 활성화되면 e-Fuse에 고전류가 흐르면서 e-Fuse는 끊어(blowing)지게 된다. 이 때 리셋 신호(MRESET)는 로우(low) 상태를 유지한다. 그리고 e-Fuse가 끊어졌는지 여부는 프로그램 신호(PGM)가 로우(low)인 상태에서 리셋 신호(MRESET)에 펄스(pulse)를 인가한다. 만약 e-Fuse의 저항이 기준저항(Rref)에 비해 작으면 노드 3(N3)과 노드 4(N4)의 전압은 각각 로직전압(VDD)과 0V가 래치된다. 그리고 e-Fuse가 프로그램된 경우는 e-Fuse 저항이 기준저항(Rref)에 비해 크므로 노드 3(N3)과 노드 4(N4)의 전압은 각각 0V와 로직전압(VDD)로 래치 된다.
- [0012] 그러나 이와 같은 종래의 e-Fuse 셀 회로를 사용하여 메모리 셀의 리페어 주소를 프로그램 하는 기술은 반도체 공정 기술이 스케일 다운(scale-down)되면서 로직전압(VDD)이 1.2V 이하로 낮아지게 되고 e-Fuse 셀에 인가되는 프로그램 파워(program power)가 작아지는 문제점이 있다. 이와 같이 충분한 프로그램 파워가 e-Fuse에 인가되지 못한다면 프로그램 불량 발생 가능성이 증대된다.
- [0013] 또한, 프로그램 된 리페어 주소와 메모리 액세스(access) 주소가 일치하는지 비교하는 회로는 CMOS 로직 회로를 이용하여 구현이 가능하나 리페어 가능한 메모리 비트가 증가할수록 차지하는 레이아웃(layout) 면적이 증가되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명이 해결하고자 하는 기술적 과제는, 프로그램 모드에서 외부 프로그램 전원을 e-Fuse 셀에 직접 인가하고, e-Fuse 셀을 쓰기 포트와 읽기 포트로 분리하며, 레이아웃 면적을 확연히 줄인 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로를 제공하는데 있다.

과제의 해결 수단

- [0015] 상기 기술적 과제를 이루기 위한 본 발명에 따른 e-Fuse 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로는, 행 주소를 입력받아 디코딩을 통해 반전된 워드라인 선택신호(WWLb)를 출력하여 특정한 워드라인을 선택하게 하는 행 디코더부(210); 열 주소를 입력받아 디코딩을 통해 반전된 비트라인 선택신호(BIT_SELb)를 출력하여 특정한 비트라인을 선택하게 하는 프로그램 선택비트 선택부(220); 상기 선택된 워드라인과 비트라인에 연결된 e-Fuse 셀이 액티브 되어 불량 주소가 프로그램되는 e-Fuse 셀 어레이(230); 및 상기 불량 주소와 메모리 액세스 주소(MA)를 각 비트별로 비교하여 일치하는 경우 매칭신호(FA_MATCH)를 출력하는 리페어 주소 비교부(240);를 포함하되, 상기 불량 주소가 상기 e-Fuse 셀 어레이에 프로그램 될 때 외부 전압원(FSOURCE)을 공급하는 것을 특징으로 한다.

발명의 효과

- [0016] 본 발명은 e-Fuse 셀에 인가되는 프로그램 파워가 떨어지는 문제점을 해결하였고, 레이아웃 면적이 19% 정도 줄어든 장점이 있다.

도면의 간단한 설명

- [0017] 도 1은 종래의 e-Fuse 셀 회로를 도시한 도면이다.
- 도 2는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 블록도를 도시한 도면이다.
- 도 3a는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로에서 프로그램 모드 타이밍 다이어그램을 도시한 도면이다.
- 도 3b는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로에서 파워-온 읽기 모드의 타이밍 다이어그램을 도시한 도면이다.
- 도 3c는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로에서 비교 모드의 타이밍 다이어그램을 도시한 도면이다.
- 도 4는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 듀얼포트 e-Fuse 셀의 상세 구성을 나타내는 회로도이다.
- 도 5는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 리페어 주소 비교부의 상세 구성을 나타내는 회로도이다.
- 도 6은 본 발명에 따른 듀얼 포트 e-Fuse 셀에 인가되는 프로그램 파워와 종래의 e-Fuse 셀에 인가되는 프로그램 파워를 비교한 모의실험 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.
- [0019] 도 2는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 블록도를 도시한 도면이다.
- [0020] 도 2를 참고하면, 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로(200)는 행 디코더부(210), 프로그램 비트 선택부(220), e-Fuse 셀 어레이(230), 리페어 주소 비교부(240) 및 전원스위칭부(250)를 포함한다. 기타, 동작 모드 즉 프로그램 모드, 파워-온 읽기 모드 및 비교모드에 따라 각각 필요한 제어 신호를 발생시키는 제어로직(260)을 더 포함한다.
- [0021] 행 디코더부(210)는 행 주소(RA_OTP[2:0])를 입력받고, 디코딩을 통해 반전된 워드라인 선택신호(WWLb[Write Word-Line bar][7:0] 신호)를 출력하여 특정한 워드라인을 선택한다. 그리고 프로그램 비트 선택 회로부(220)는 열 주소(FA[3:0])를 입력받고, 디코딩을 통해 반전된 비트라인 선택신호(PGM_BIT_SELb[9:0] 신호)를 출력하여 특정한 비트라인을 선택한다.
- [0022] e-Fuse 셀 어레이(230)는 상기 선택된 워드라인과 비트라인에 연결된 e-Fuse 셀이 액티브 되어 불량주소가 프로그램 된다. 리페어 주소 비교부(240)는 비교 모드에서 e-Fuse 셀 어레이(230)에 저장된 불량주소와 메모리 액세스 주소(MA[9:0])를 각 비트별로 비교하여 일치하는 경우 매칭신호들(FA_MATCH[7:0] 신호)을 하이(high)로 활성화 시켜 출력한다. 그러나 일치하는 주소가 하나도 없다면 매칭신호들(FA_MATCH[7:0] 신호) 모두는 로우(low)로 출력될 것이다.
- [0023] 전원스위칭부(250)는 프로그램 모드에서 외부 전압원(FSOURCE)을 공급하고, 파워-온 읽기 모드와 비교모드에서는 로직전압(VDD)을 공급하는 역할을 한다.
- [0024] 본 발명의 일 실시 예에 따른 리던던시 제어회로는 e-Fuse 셀의 용량이 8 × 10 비트이고, 셀 어레이는 8행(row) × 10열(columns)로 구성되어 총 8개의 불량 메모리 리페어 주소를 저장한다. 디스플레이 구동 칩에 사용되는 1T-SRAM은 레이아웃 면적을 고려했을 때 워드라인(Word-Line) 단위로 리페어 하며, e-Fuse 셀 어레이의 10열은 WVGA급에 사용되는 1T-SRAM의 주소 비트 수를 고려한 것이다.
- [0025] 로직전압(VDD)은 1.2V가 사용되며, 외부 프로그램 전압원(FSOURCE)은 프로그램 모드(program mode)에서 4.2V, 파워-온 읽기 모드와 비교모드 모드에서는 0V를 공급한다. 프로그램 전류가 크기 때문에 전원 라인의 전압강하를 고려하여 프로그램은 한 비트 씩 수행된다. 그리고 프로그램 전압은 4.2V, 프로그램 시간은 200μs이다. 설계

에서 사용된 MOS 소자는 1.2V의 로직 트랜지스터와 3.3V의 MV(Medium Voltage) 트랜지스터를 사용하고 있다.

- [0026] 도 3a, 3b 및 3c는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 동작모드인 프로그램 모드, 파워-온 읽기 모드 및 비교 모드의 타이밍 다이어그램을 각각 도시한 도면이다.
- [0027] 도 3a를 참고하면, 프로그램 모드는 불량 메모리 셀의 리페어 주소를 e-Fuse 셀에 프로그램 시키는 모드로써, 본 발명에서는 e-Fuse 셀에 충분한 프로그램 파워를 공급할 목적으로 외부 전압원(FSOURCE)을 사용한다. 본 발명의 일 실시 예는 3.3V 트랜지스터를 사용하므로 외부 전압원(FSOURCE)은 상기 3.3V의 1.33배인 4.2V를 사용한다. 일반적으로, 3.3V 소자는 신뢰성을 고려했을 때 3.6V가 최대 사용전압이지만, 본 발명에서는 e-Fuse 셀을 한 번만 프로그램 시키므로 신뢰성에 문제가 없는 4.2V가 바람직하다.
- [0028] 프로그램 모드에서 동작을 살펴보면, 제어로직에 의해 행 주소(RA_OTP[2:0]), 열 주소(FA[3:0]) 그리고 4.2V의 외부 전압원(FSOURCE)이 인가된 상태에서 프로그램 신호(PGM)가 하이(high)로 200us동안 인가된다. 그 결과로써, 행 주소(RA_OTP[2:0])와 열 주소(FA[3:0])에 의해 지정된 e-Fuse 셀이 프로그램 된다. 이 때, 메모리 액세스 주소(MA[9:0])는 돈은 케어(don't care) 상태를 유지한다.
- [0029] 계속하여, 도 3b를 참고하면, 파워-온 모드는 e-Fuse 셀의 프로그램 정보를 자동적으로 D-래치 회로에 저장하는 모드이다. 파워-온 모드에서 동작을 살펴보면, 파워-온 후, 제어로직에 의해 RSTb 신호가 로우(low)에서 하이(high)로 활성화되면, 리던던시 제어회로의 센싱 신호(SAEN 신호)에 응답하여 e-Fuse의 프로그램 정보가 e-Fuse 셀의 읽기 포트 트랜지스터를 통해 D-래치 회로에 저장된다.
- [0030] 마지막으로, 도 3c를 참고하면, 비교 모드는 e-Fuse 셀의 프로그램 정보인 불량 메모리 셀의 리페어 주소와 메모리 액세스 주소가 일치하는지 비교하는 모드이다.
- [0031] 비교 모드에서 동작을 살펴보면, 먼저 메모리 액세스 주소(MA[9:0])를 인가한 상태에서 불량주소 비교 신호(COMP_FA)가 하이(high)로 활성화되면 D-래치 회로에 저장된 8개의 메모리 리페어 주소와 상기 메모리 액세스 주소를 비교한 후, 그 결과를 매칭신호(FA_MATCH[7:0] 신호)로 출력하게 된다. 즉 D-래치 회로에 저장된 8개의 불량주소 중 메모리 액세스 주소(MA[9:0])와 일치하는 e-Fuse 행이 있다면, 매칭신호(FA_MATCH[7:0]) 중 일치하는 행이 하이(high)로 활성화되어 출력하게 된다. 이 때 외부 전압원(FSOURCE)은 0V를 인가하고, RSTb 신호는 로직전압(VDD)을 인가한다.
- [0032] 도 4는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 듀얼포트 e-Fuse 셀의 상세 구성을 나타내는 회로도이다.
- [0033] 도 4에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 듀얼포트 e-Fuse 셀 회로(230)는, 노어 게이트(NOR), e-Fuse(211), 제1 내지 제2 엔모스(MN1, MN2), 제1 피모스(MP1) 및 D-래치 회로(212)를 포함한다.
- [0034] 노어 게이트(NOR)는 반전된 비트라인 선택신호(PGM_BIT_SELb[9:0] 신호)와 반전된 워드라인 선택신호(WWLb[7:0] 신호)를 수신하고 출력단이 노드 1(N1)에 연결된다. e-Fuse(212)는 일단에 외부 전압원(FSOURCE)이 인가되고, 타단이 노드 2(N2)에 연결된다.
- [0035] 제1 엔모스(MN1)는 쓰기 포트 트랜지스터로, 게이트에 노어 게이트(NOR)의 출력이 인가되고, 소오스에 접지전압(VSS)이 인가되며, 드레인이 노드 2(N2)에 연결된다. 제2 엔모스(MN2)는 읽기 포트 트랜지스터로, 게이트에 센싱신호(SAEN)가 인가되고, 드레인이 노드 3(N3)에 연결되며 소오스가 노드 2(N2)에 연결된다.
- [0036] 본 발명의 일 실시 예에 따른 듀얼포트 e-Fuse 셀 회로(230)는 제1 엔모스(MN1)가 프로그램 모드에서 충분한 프로그램 전류를 흘려주기 위해 90 μ m의 큰 채널 폭을 사용하였다. 그리고 제2 엔모스(MN2)는 읽기 전류를 줄이기 위해 1 μ m의 작은 채널 폭을 사용하였다.
- [0037] 제1 피모스(MP1)는 풀-업 부하 트랜지스터로, 게이트에 반전된 로드신호(LOADb)가 인가되고, 소오스에 로직전압(VDD)이 인가되며 드레인이 노드 3(N3)에 연결된다. D-래치회로는 상기 노드 3의 출력신호(Fuse_Data)를 입력받아 상기 센싱신호(SAEN)와 반전된 센싱신호(SAENb)에 응답하여 불량주소(IRA) 신호와 반전된 불량주소(IFAb) 신호를 출력한다.
- [0038] 본 발명의 일 실시 예에 따른 D-래치 회로(212)는 제2 내지 제3 피모스(MP2, MP3), 제3 내지 제4 엔모스(MN3, MN4), 전송게이트(212-1) 및 제1 내지 제3 인버터(INV1 ~ INV3)를 구비한다.
- [0039] 제2 피모스(MP2)는 게이트에 상기 노드 3의 출력(Fuse_Data)이 인가되고, 소오스에 상기 로직전압(VDD)이 인가된다. 제3 피모스(MP3)는 게이트에 상기 반전된 센싱신호(SAENb)가 인가되고, 소오스가 상기 제2 피모스의 드레

인에 연결된다. 또한 제3 엔모스(MN3)는 게이트에 상기 센싱신호(SAEN)가 인가되고, 드레인이 상기 제3 피모스 드레인에 연결되고 제4 엔모스(MN4)는 게이트에 상기 노드 3의 출력(Fuse_Data)이 인가되고, 소오스에 상기 접지전압(VSS)이 인가되며 드레인이 상기 제3 엔모스의 소오스에 연결된다.

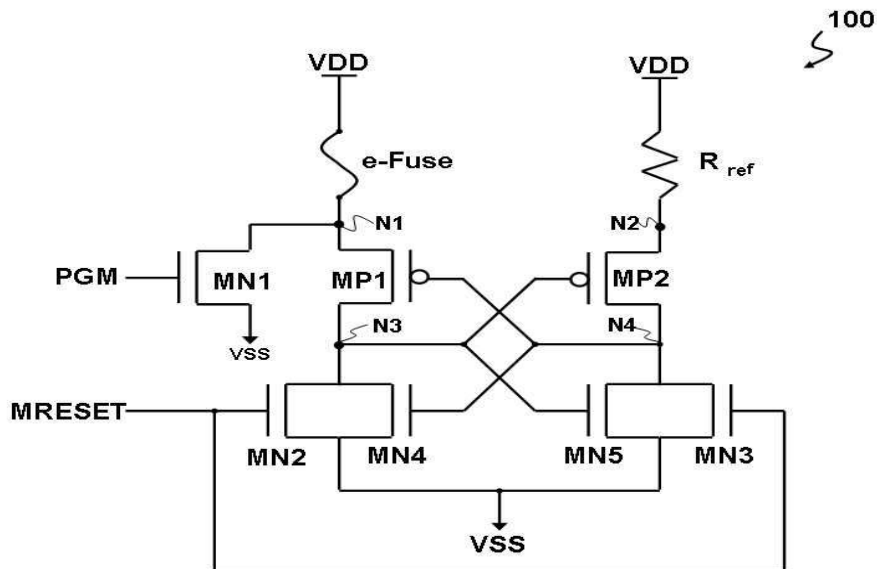
- [0040] 제1 인버터(INV1)는 상기 제3 엔모스(MN3) 드레인의 전압레벨을 반전시켜 상기 불량 주소(IFA) 신호를 출력하고, 제2 인버터(INV2)는 상기 제 1 인버터의 출력을 반전시켜 상기 반전된 불량 주소(IFAb) 신호를 출력하며, 제3 인버터는 상기 제 1 인버터의 출력을 반전시켜 출력한다. 전송게이트(212-1)는 일단이 상기 제3 인버터 출력단에 연결되고 타단이 상기 제1 인버터 입력단에 연결된다.
- [0041] 상기와 같이 구성된 듀얼모트 e-Fuse 셀 회로의 동작을 프로그램 모드와 파워-온 읽기 모드에서 살펴보면 다음과 같다.
- [0042] 먼저, 프로그램 모드에서 e-Fuse 셀에 인가되는 전압은 전원스위칭부(250)에 의해 외부 전압원(FSOURCE)이 공급된다. 본 발명의 일실시 예는 외부 전압원을 4.2V로 한다. 이 때, 행 주소(RA_OTP[2:0])와 열 주소(FA[3:0])에 의해 선택된 e-Fuse 셀은 반전된 워드라인 선택신호(WWLb 신호)와 반전된 비트라인 선택신호(PGM_BIT_SELb 신호)가 모두 0V가 되어 쓰기 포트의 제1 엔모스(MN1)가 턴 온(Turn-ON) 된다. 반면 선택되지 않은 e-Fuse 셀은 반전된 워드라인 선택신호(WWLb 신호)와 반전된 비트라인 선택신호(PGM_BIT_SELb 신호) 중 어느 한 신호 이상이 전원전압(VPP)이 인가되며, 해당되는 셀의 제1 엔모스(MN1)는 턴 오프(Turn-OFF) 된다.
- [0043] 이와 같이 프로그램 되는 셀은 외부 전압원(FSOURCE), e-Fuse 및 제 1 엔모스(MN1)의 경로를 통해 큰 프로그램 전류가 흐르면서 e-Fuse가 끊어(blowing)지게 된다. 끊어(blowing)지게 된 e-Fuse는 저항이 수 십 KΩ 이상이 된다. 한편 프로그램 모드에서 D-래치 회로(215)는 오페이크(opaque) 상태를 유지한다.
- [0044] 다음으로, 파워-온 읽기 모드에서 제어로직에 의해 반전된 로드 신호(LOADb 신호)는 로우(low)가 되면서, 노드 3의 Fuse Data는 풀-업 부하의 제1 피모스(MP1)에 의해 로직전압(VDD)으로 풀-업 된다. 그리고 RSTb 신호가 로우(low)에서 하이(high)로 스위칭되어 센싱신호(SAEN 신호)가 하이(high)로 활성화되면, D-래치에 의해 e-Fuse의 정보가 불량 주소(Internal Failed Address, IFA)에 래치 된다. 즉 e-Fuse가 프로그램 되지 않은 경우와 프로그램 된 경우의 불량 주소(IFA)는 각각 0V, 로직전압(VDD)으로 래치하게 된다.
- [0045] 도 5는 본 발명에 따른 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM의 리던던시 제어 회로의 리페어 주소 비교부의 상세 구성을 나타내는 회로도이다.
- [0046] 도 5에 도시된 바와 같이, 본 발명에 따른 다이내믹 슈드 엔모스(dynamic pseudo NMOS) 로직을 이용한 리페어 주소 비교부(240)는, 제4 내지 제5 피모스(MP4, MP5), 불량주소 비교 회로부(241) 및 제4 내지 제5 인버터(INV4, INV5)를 포함한다.
- [0047] 제4 피모스(MP4)는 게이트에 제어로직에 의한 비교신호(COMP_EN)가 인가되고, 소오스에 로직전압(VDD)이 인가되며 드레인이 노드 4(N4)에 연결되고, 제5 피모스(MP5)는 소오스에 로직전압(VDD)이 인가되고 게이트가 노드 5(N5)가 연결되며 드레인이 노드 4(N4)에 연결된다.
- [0048] 불량주소 비교 회로부(241)는 상기 불량 주소(IFA)와 상기 메모리 액세스 주소(MA)를 입력받아 비교신호(COMP_EN)에 응답하여 상기 불량 주소와 상기 메모리 액세스 주소를 비트별로 비교하여 비트끼리 모두 일치하는 경우 상기 노드 4(N4)에 내부매칭신호(IMATCH)를 출력한다.
- [0049] 제4 인버터는 입력단이 상기 노드 4(N4)에 연결되며 출력단이 상기 노드 5(N5)에 연결되고, 제5 인버터는 상기 제4 인버터의 전압레벨을 반전시켜 매칭신호(FA_MATCH)를 출력한다.
- [0050] 본 발명의 일실시 예에 따른 불량주소 비교 회로부(241)는 비교신호(COMP_EN)에 응답하여 상기 불량 메모리 주소와 상기 메모리 액세스 주소를 각각 1-비트씩 비교하는 제1 내지 제N의 1-bit 불량주소 비교 회로로 구성되어 있다.
- [0051] 제1의 1-bit 불량주소 비교회로는 제5 내지 제10 엔모스(MN5 ~ MN10)를 구비한다. 제5 엔모스(MN5)는 게이트에 상기 반전된 불량 주소의 첫 번째 비트(IFAb[0])가 인가되고, 드레인이 상기 노드 4에 연결되고, 제6 엔모스(MN6)는 게이트에 상기 불량 주소의 첫 번째 비트(IFA[0])가 인가되고, 상기 제 5 엔모스와 병렬로 연결된다. 제7 엔모스(MN7)는 게이트에 상기 메모리 액세스 주소의 첫 번째 비트(MA[0])가 인가되고, 드레인이 상기 제5 엔모스의 소오스에 연결되고, 제8 엔모스(MN8)는 게이트에 상기 반전된 메모리 액세스 주소의 첫 번째 비트(MAb[0])가 인가되고, 드레인이 상기 제6 엔모스의 소오스에 연결된다. 제9 엔모스(MN9)는 게이트에 상기 비교신호(COMP_EN)가 인가되고, 소오스에 접지전압(VSS)이 인가되며 드레인이 상기 제6 엔모스의 소오스에

연결되고, 제10 엔모스는 게이트에 상기 비교신호(COMP_EN)가 인가되고, 소오스에 접지전압(VSS)이 인가되며 드레인이 상기 제8 엔모스의 소오스에 연결된다.

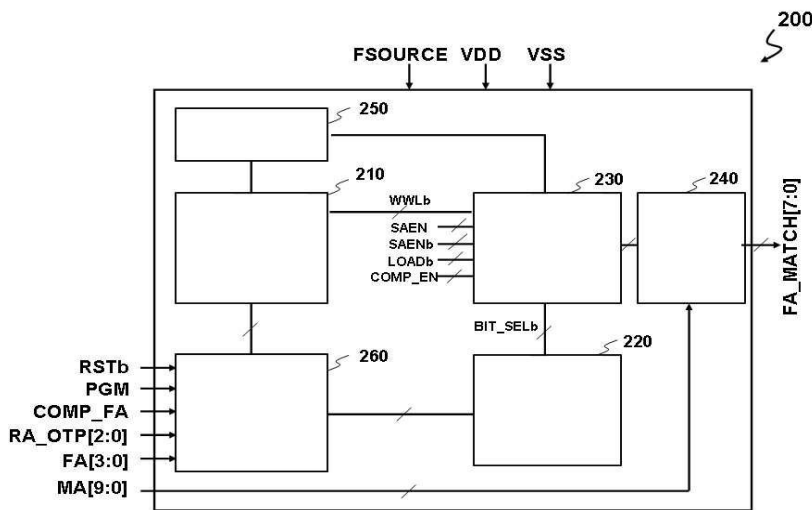
- [0052] 제1 내지 제N 불량주소 비교 회로(241-1 ~ 241-N)는 노드 4(N6)와 접지전압(VSS)사이 에 각각 병렬로 연결되고, 각 불량 주소 비교 회로는 동일하며 메모리 액세스 주소(MA[9:0])와 불량 메모리 셀의 주소를 1-비트씩 비교한다.
- [0053] 상기와 같이 연결된 본 발명에 따른 다이내믹 슈드 엔모스(dynamic pseudo NMOS) 로직을 이용한 N-bit 불량주소 비교 회로의 동작은 다음과 같다.
- [0054] 비교 신호(COMP_EN)가 0V인 경우는 노드 4(N4)가 로직전압(VDD)로 프리차지 (precharge) 상태를 유지하여 매칭 신호(FA_MATCH 신호)는 로직전압(VDD)을 출력한다. 먼저 비교모드에서는 메모리 액세스 주소(MA[9:0])가 먼저 셋-업 (set-up)된 상태에서 비교 신호(COMP_EN)가 하이(high)로 활성화된다.
- [0055] 만약 10-비트의 메모리 액세스 주소(MA[9:0])와 불량 주소(IFA[9:0])가 비트끼리 모두 일치하면 노드 4(N4)는 로직전압(VDD)을 유지하며, 불량 주소가 일치한다는 의미로 매칭신호(FA_MATCH 신호)는 로직전압(VDD)을 출력한다. 만약 10-비트의 주소 중 어느 한 비트이상 다르면 노드 4(N4)는 0V로 방전되어 매칭신호(FA_MATCH 신호)는 0V를 출력한다.
- [0056] 제5 피모스(MP7)는 래치-백(latch-back) 트랜지스터로써 N-비트 주소가 모두 일치하는 경우 커플링 노이즈 (coupling noise)에 의해 노드 4(N4)가 로우(low)로 떨어지는 것을 방지하기 위한 것이다.
- [0057] 결과적으로, 매칭신호들(FA_MATCH[7:0]) 중 한 신호라도 로직전압(VDD)이 출력된다면 저장된 8개의 불량 주소 중에 하나가 일치한 경우이므로 1T-SRAM의 정상적인 셀은 디스 에이블(disable)되고 리페어 셀로 대체되게 제어 된다.
- [0058] 도 6은 본 발명에 따른 듀얼 포트 e-Fuse 셀에 인가되는 프로그램 파워와 종래의 e-Fuse 셀에 인가되는 프로그램 파워를 비교한 모의실험 결과를 도시한 도면이다.
- [0059] 본 발명에 따른 1T-SRAM 리던던시 제어회로는 동부하이텍 0.11 μ m Mixed Signal 공정을 이용하여 설계하였다. 도 6을 참고하면, 본 발명에 따른 e-Fuse 셀은 종래의 e-Fuse 셀을 사용할 경우보다도 프로그램 파워가 더 많이 인가되고 있음을 알 수 있다.
- [0060] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면

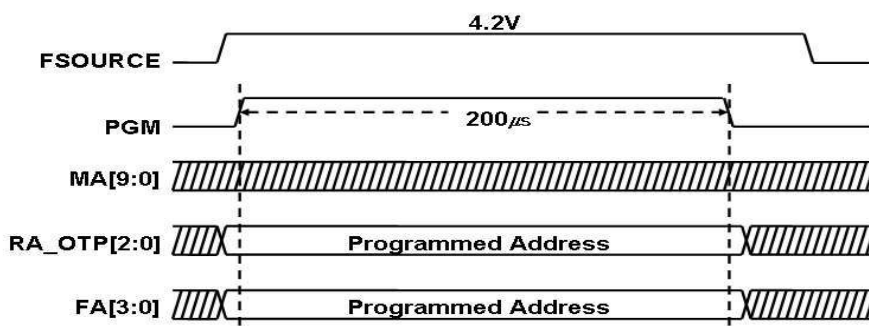
도면1



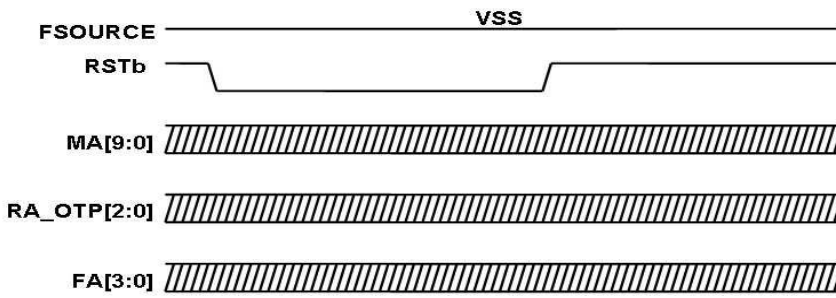
도면2



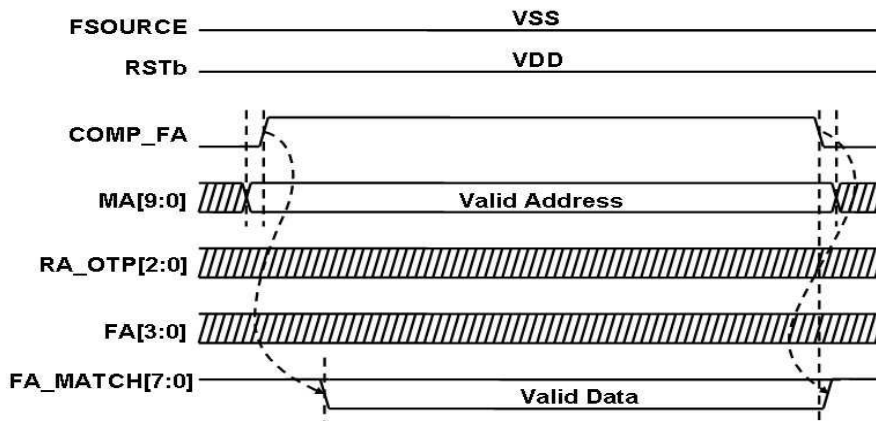
도면3a



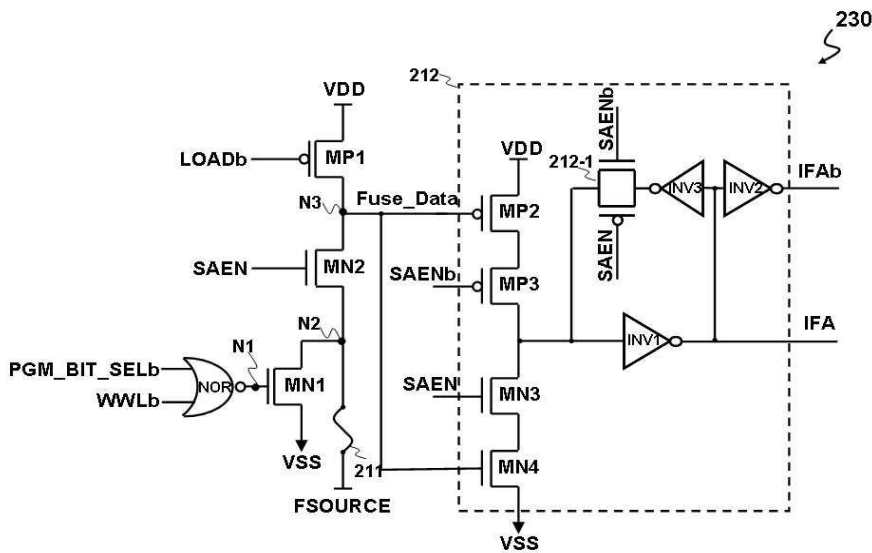
도면3b



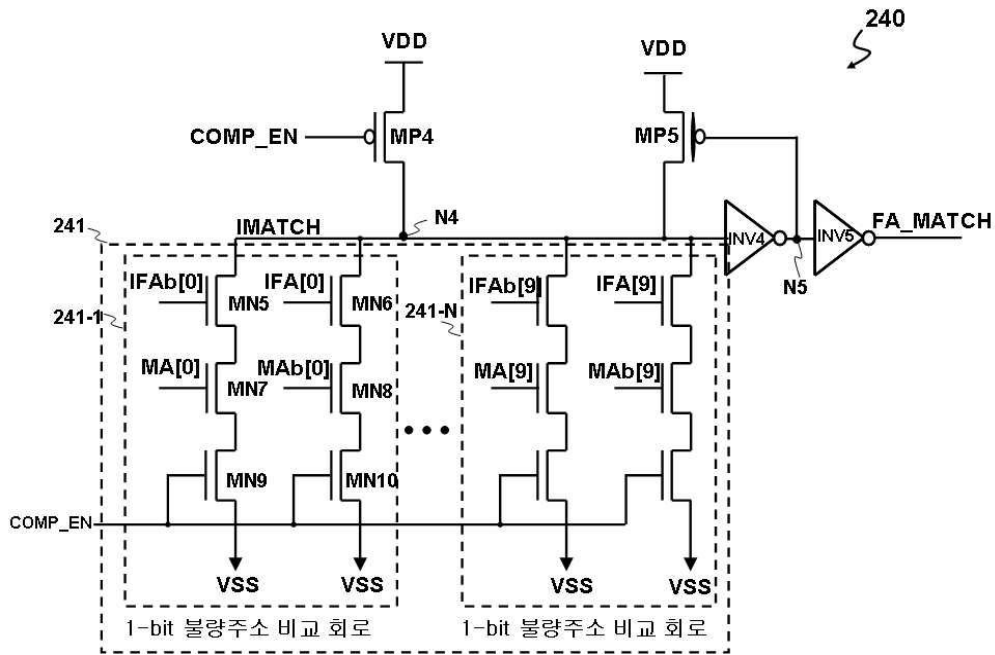
도면3c



도면4



도면5



도면6

