

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-127011

(P2020-127011A)

(43) 公開日 令和2年8月20日(2020.8.20)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 3 2 1	5 F 0 4 8
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 6 7 1 Z	5 F 0 8 3
HO 1 L 27/1156 (2017.01)	HO 1 L 27/1156	5 F 1 0 1
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 1 0
HO 1 L 29/788 (2006.01)	HO 1 L 27/06 1 0 2 A	

審査請求 有 請求項の数 2 O L (全 52 頁) 最終頁に続く

(21) 出願番号 特願2020-42787 (P2020-42787)
 (22) 出願日 令和2年3月12日(2020.3.12)
 (62) 分割の表示 特願2018-73276 (P2018-73276)
 の分割
 原出願日 平成22年12月21日(2010.12.21)
 (31) 優先権主張番号 特願2009-296202 (P2009-296202)
 (32) 優先日 平成21年12月25日(2009.12.25)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

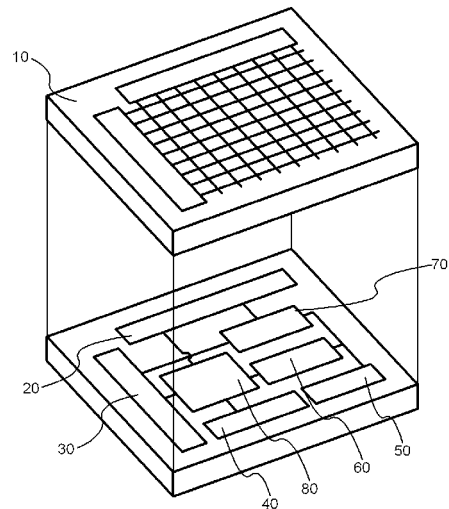
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 記憶保持期間において、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【解決手段】 酸化物半導体以外の半導体材料が用いられた第1のチャンネル形成領域を有する第1のトランジスタと、第1のトランジスタの上方、酸化物半導体材料が用いられた第2のチャンネル形成領域を有する第2のトランジスタと、容量素子と、を有し、第2のトランジスタの第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方とは、電気的に接続された半導体装置である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

積層構造を有する半導体装置であって、

前記積層構造は、論理回路又は駆動回路を有する第 1 の層と、前記第 1 の層上に設けられ、且つ記憶回路を有する第 2 の層と、を有し、

前記第 1 の層は、第 1 のトランジスタを有し、

前記第 2 の層は、前記第 1 のトランジスタと電氣的に接続され、且つ酸化物半導体層を有する第 2 のトランジスタと、を有する、半導体装置。

【請求項 2】

積層構造を有する半導体装置であって、

前記積層構造は、論理回路又は駆動回路を有する第 1 の層と、前記第 1 の層上に設けられ、且つ記憶回路を有する第 2 の層と、を有し、

前記第 1 の層は、第 1 のトランジスタを有し、

前記第 2 の層は、前記第 1 のトランジスタと電氣的に接続され、且つ酸化物半導体層を有する第 2 のトランジスタと、容量素子と、を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAM は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAM では、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作 (リフレッシュ動作) が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としては SRAM (Static Random Access Memory) がある。SRAM は、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においては DRAM より有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAM と変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く (半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している (例えば、特許文献 1 参照)。

10

20

30

40

50

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、記憶保持期間において電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明では、高純度化された酸化物半導体を用いて半導体装置を構成する。高純度化された酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。

【0012】

開示する発明の一態様は、酸化物半導体以外の半導体材料が用いられた第1のチャネル形成領域と、第1のチャネル形成領域を挟むように設けられた不純物領域と、第1のチャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電氣的に接続された第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタと、第1のトランジスタの上方の第2のソース電極および第2のドレイン電極と、第2のソース電極および第2のドレイン電極と電氣的に接続され、酸化物半導体材料が用いられた第2のチャネル形成領域と、第2のチャネル形成領域上の第2のゲート絶縁層と、第2のゲート絶縁層上の第2のゲート電極と、を有する第2のトランジスタと、容量素子と、を有し、第2のトランジスタの第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方とは、電氣的に接続された半導体装置である。

【0013】

上記において、容量素子は、第2のソース電極または第2のドレイン電極と、第2のゲート絶縁層と、第2のゲート絶縁層上の容量素子用電極と、によって構成することができる。

【0014】

また、上記において、第1のトランジスタの上方の第3のソース電極および第3のドレイン電極と、第3のソース電極および第3のドレイン電極と電氣的に接続され、酸化物半導体材料が用いられた第3のチャネル形成領域と、第3のチャネル形成領域上の第3のゲート絶縁層と、第3のゲート絶縁層上の第3のゲート電極と、を有する第3のトランジスタと、ソース線と、ビット線と、ワード線と、第1信号線と、第2信号線と、を有し、第3のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の電極の一方とは、電氣的に接続され、ソース線と、第3のソース電極とは、電氣的に接続され

10

20

30

40

50

、ビット線と、第3のドレイン電極とは、電氣的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、第2信号線と、第2のゲート電極とは、電氣的に接続され、ワード線と、容量素子の電極の他方とは電氣的に接続された構成とすることができる。

【0015】

また、上記において、第1のトランジスタによって、論理回路（演算回路）または駆動回路を構成することができる。

【0016】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

10

【0017】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0018】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

20

【0019】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0020】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

30

【発明の効果】

【0021】

本発明の一態様では、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタの積層構造に係る半導体装置が提供される。

【0022】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

40

【0023】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、浮遊ゲートへの電子の注入や、浮遊ゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

50

【 0 0 2 4 】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを用いることにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【 0 0 2 5 】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 】半導体装置の概念図。

【 図 2 】半導体装置の断面図。

【 図 3 】半導体装置の断面図。

【 図 4 】半導体装置の断面図。

【 図 5 】半導体装置の回路図。

【 図 6 】半導体装置の作製工程に係る断面図。

【 図 7 】半導体装置の作製工程に係る断面図。

【 図 8 】半導体装置の作製工程に係る断面図。

【 図 9 】半導体装置の作製工程に係る断面図。

【 図 1 0 】半導体装置の作製工程に係る断面図。

【 図 1 1 】S O I 基板の作製工程に係る断面図。

【 図 1 2 】半導体装置の作製工程に係る断面図。

【 図 1 3 】半導体装置の回路図。

【 図 1 4 】半導体装置の回路図。

【 図 1 5 】半導体装置の回路図。

【 図 1 6 】半導体装置を用いた電子機器を説明するための図。

【 図 1 7 】メモリウィンドウ幅の調査結果を示す図。

【 発明を実施するための形態 】

【 0 0 2 7 】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 8 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 2 9 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 3 0 】

（実施の形態 1）

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図 1 乃至図 5 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

【 0 0 3 1 】

半導体装置の構成の概略

図 1 は、半導体装置の構成の一例を示す概念図である。開示する発明の一態様に係る半導体装置は、代表的には、上部に記憶回路を有し、下部に高速動作が必要な論理回路（演算回路ともいう）や駆動回路を有する、積層構造の半導体装置である。

10

20

30

40

50

【0032】

図1に示す半導体装置は、上部にメモリセルアレイ10を有し、下部に、カラムデコーダ20、ローデコーダ30、IOコントローラ40、IOバッファ50、コマンドバッファ60、アドレスバッファ70、コントローラ80、などの駆動回路を有する半導体装置(記憶装置)である。下部には、CPUなどの演算回路を有していても良い。なお、ここでは、半導体装置の一例として記憶装置について示したが、開示する発明の一態様はこれに限定されない。

【0033】

半導体装置の断面構成

図2は、半導体装置の具体的構成の例を示す断面図である。図2(A)には、第1の例に係る半導体装置の断面を、図2(B)には、第2の例に係る半導体装置の断面を、それぞれ示す。図2(A)および図2(B)に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ(トランジスタ170またはトランジスタ570)を有し、上部に酸化物半導体を用いたトランジスタ162および容量素子164を有するものである。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易であり、論理回路(演算回路ともいう)などに用いられる。一方で、酸化物半導体を用いたトランジスタは、その特性を利用する記憶回路などに用いられる。

10

【0034】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置の具体的な構成をここで示すものに限定する必要はない。

20

【0035】

図2(A)におけるトランジスタ170は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120(これらをあわせて単に不純物領域とも呼ぶ)と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、不純物領域と電気的に接続するソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bを有する。

30

【0036】

ここで、ゲート電極110の側面にはサイドウォール絶縁層118が設けられている。また、基板100の、表面に垂直な方向から見てサイドウォール絶縁層118と重ならない領域には、高濃度不純物領域120を有し、高濃度不純物領域120に接する金属化合物領域124が存在する。また、基板100上にはトランジスタ170を囲むように素子分離絶縁層106が設けられており、トランジスタ170を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124と電気的に接続されている。つまり、ソース電極またはドレイン電極130a、およびソース電極またはドレイン電極130bは、金属化合物領域124を介して高濃度不純物領域120および不純物領域114と電気的に接続されている。なお、トランジスタ170の集積化などのため、サイドウォール絶縁層118が形成されない場合もある。

40

【0037】

図2(B)におけるトランジスタ570は、窒素含有層502および酸化膜512上の半導体材料(例えば、シリコンなど)を含む層に設けられたチャネル形成領域534と、チャネル形成領域534を挟むように設けられた低濃度不純物領域532および高濃度不純物領域530(これらをあわせて単に不純物領域とも呼ぶ)と、チャネル形成領域534上に設けられたゲート絶縁層522aと、ゲート絶縁層522a上に設けられたゲート電

50

極 5 2 4 と、不純物領域と電氣的に接続するソース電極またはドレイン電極 5 4 0 a、およびソース電極またはドレイン電極 5 4 0 b を有する。

【0038】

ここで、ゲート電極 5 2 4 の側面にはサイドウォール絶縁層 5 2 8 が設けられている。また、ベース基板 5 0 0 の、表面に垂直な方向から見てサイドウォール絶縁層 5 2 8 と重ならない領域には、高濃度不純物領域 5 3 0 を有する。また、トランジスタ 5 7 0 を覆うように、層間絶縁層 5 3 6 および層間絶縁層 5 3 8 が設けられている。ソース電極またはドレイン電極 5 4 0 a、およびソース電極またはドレイン電極 5 4 0 b は、層間絶縁層 5 3 6 および層間絶縁層 5 3 8 に形成された開口を通じて、高濃度不純物領域 5 3 0 と電氣的に接続されている。なお、トランジスタ 5 7 0 の集積化などのため、サイドウォール絶縁層 5 2 8 が形成されない場合もある。

10

【0039】

図 2 (A) および図 2 (B) におけるトランジスタ 1 6 2 は、絶縁層 1 3 8 上に設けられたソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b と電氣的に接続されている酸化物半導体層 1 4 4 と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、酸化物半導体層 1 4 4 を覆うゲート絶縁層 1 4 6 と、ゲート絶縁層 1 4 6 上に酸化物半導体層 1 4 4 と重畳するように設けられたゲート電極 1 4 8 a と、を有する。

【0040】

ここで、酸化物半導体層 1 4 4 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されているものであることが望ましい。具体的には、例えば、酸化物半導体層 1 4 4 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 1 4 4 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定したものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 1 4 4 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温でのオフ電流密度 (オフ電流をトランジスタのチャネル幅で除した値) は $10 \text{ zA} / \mu\text{m}$ から $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 程度となる。このように、i 型化 (真性化) または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 1 6 2 を得ることができる。

20

30

【0041】

なお、図 2 のトランジスタ 1 6 2 では、酸化物半導体層 1 4 4 が島状に加工されないため、加工の際のエッチングによる酸化物半導体層 1 4 4 の汚染を防止できる。

【0042】

容量素子 1 6 4 は、ソース電極またはドレイン電極 1 4 2 a、酸化物半導体層 1 4 4、ゲート絶縁層 1 4 6、および電極 1 4 8 b、で構成される。すなわち、ソース電極またはドレイン電極 1 4 2 a は、容量素子 1 6 4 の一方の電極として機能し、電極 1 4 8 b は、容量素子 1 6 4 の他方の電極として機能することになる。

40

【0043】

なお、図 2 の容量素子 1 6 4 では、酸化物半導体層 1 4 4 とゲート絶縁層 1 4 6 を積層させることにより、ソース電極またはドレイン電極 1 4 2 a と、電極 1 4 8 b との間の絶縁性を十分に確保することができる。

【0044】

なお、トランジスタ 1 6 2 および容量素子 1 6 4 において、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b の端部は、テーパー形状であ

50

ることが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極またはドレイン電極142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状とすることにより、酸化物半導体層144の被覆性を向上し、段切れを防止することができるためである。

【0045】

また、トランジスタ162および容量素子164の上には、層間絶縁層150が設けられており、層間絶縁層150上には層間絶縁層152が設けられている。

【0046】

半導体装置の変形例

図3は、半導体装置の構成の変形例を示す断面図である。図3(A)には、第1の変形例に係る半導体装置の断面を、図3(B)には、第2の変形例に係る半導体装置の断面を、それぞれ示す。なお、図3(A)および図3(B)に示される半導体装置は、いずれも図2(A)に示される構成の変形例に相当する。

【0047】

図3(A)に示される半導体装置と、図2(A)に示される半導体装置の相違は、層間絶縁層128と絶縁層138との間に、絶縁層132および絶縁層134を有するか否かにある。ここで、絶縁層132には、水素が添加された窒化シリコンが用いられ、絶縁層134には水素が添加されていない窒化シリコンが用いられる。また、絶縁層138は酸化シリコンを用いたものであることが望ましい。

【0048】

このように、下層に水素が添加された窒化シリコンでなる絶縁層132を有し、上層に水素が添加されていない窒化シリコンでなる絶縁層134を有する構成を採用することで、トランジスタ170のチャンネル形成領域116を構成する材料（例えばシリコン）に水素を供給して、トランジスタ170の特性を向上させるとともに、酸化物半導体を用いたトランジスタ162の特性悪化の原因となる水素の、酸化物半導体層144への混入を防止することができる。なお、水素が添加された窒化シリコンでなる絶縁層132は、プラズマCVD法などによって形成することができる。また、水素が添加されていない窒化シリコンでなる絶縁層134は、スパッタリング法などによって形成することができる。この場合、例えば、成膜雰囲気、窒素雰囲気または窒素とアルゴンとの混合雰囲気とし、スパッタリングターゲットとしては、水素を含まないシリコンを用いればよい。

【0049】

図3(B)に示される半導体装置と、図2(A)に示される半導体装置の相違は、層間絶縁層128と絶縁層138との間に、絶縁層134を有するか否かにある。ここで、絶縁層134には水素が添加されていない窒化シリコンが用いられる。また、層間絶縁層126には、水素が添加された窒化シリコンが用いられる。層間絶縁層128や絶縁層138は酸化シリコンを用いたものであることが望ましい。

【0050】

このように、水素が添加された窒化シリコンでなる層間絶縁層126を有し、水素が添加されていない窒化シリコンでなる絶縁層134を有する構成を採用することで、トランジスタ170のチャンネル形成領域116を構成する材料（例えばシリコン）に水素を供給して、トランジスタ170の特性を向上させるとともに、酸化物半導体を用いたトランジスタ162の特性悪化の原因となる水素の、酸化物半導体層144への混入を防止することができる。なお、水素が添加された窒化シリコンでなる層間絶縁層126は、プラズマCVD法などによって形成することができる。また、水素が添加されていない窒化シリコンでなる絶縁層134は、スパッタリング法などによって形成することができる。この場合、例えば、成膜雰囲気、窒素雰囲気または窒素とアルゴンとの混合雰囲気とし、スパッタリングターゲットとしては、水素を含まないシリコンを用いればよい。

【0051】

10

20

30

40

50

上部のトランジスタおよび容量素子の変形例

次に、図 2 における上部のトランジスタ 1 6 2 および容量素子 1 6 4 の変形例を、図 4 に示す。

【 0 0 5 2 】

図 4 (A) に示すトランジスタおよび容量素子は、図 2 における半導体装置の上部のトランジスタおよび容量素子の変形例の一である。

【 0 0 5 3 】

図 4 (A) に示す構成と、図 2 に示す構成との相違は、酸化物半導体層を島状に形成している点にある。つまり、図 2 に示す構成では、酸化物半導体層 1 4 4 が、絶縁層 1 3 8、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b の全体を覆っている。これに対して、図 4 (A) に示す構成では、島状の酸化物半導体層 1 4 4 が、絶縁層 1 3 8、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b の一部を覆っている。ここで、島状の酸化物半導体層 1 4 4 の端部は、テーパ形状であることが好ましい。テーパ角は、例えば、30°以上60°以下とすることが好ましい。

10

【 0 0 5 4 】

また、容量素子 1 6 4 において、酸化物半導体層 1 4 4 とゲート絶縁層 1 4 6 を積層させることにより、ソース電極またはドレイン電極 1 4 2 a と、電極 1 4 8 b との間の絶縁性を十分に確保することができる。

【 0 0 5 5 】

図 4 (B) に示すトランジスタおよび容量素子は、図 2 における半導体装置の上部のトランジスタおよび容量素子の変形例の一である。

20

【 0 0 5 6 】

図 4 (B) に示す構成と、図 2 に示す構成との相違は、絶縁層 1 4 3 が、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b 上に形成されている点にある。さらに、酸化物半導体層 1 4 4 が、絶縁層 1 4 3、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b を覆うように形成されている点にある。また、酸化物半導体層 1 4 4 は、絶縁層 1 4 3 に設けられた開口を介して、ソース電極またはドレイン電極 1 4 2 a に接して設けられている。

【 0 0 5 7 】

絶縁層 1 4 3 を有することにより、ゲート電極と、ソース電極またはドレイン電極との間に形成される容量が低減され、トランジスタ動作の高速化を図ることができる。

30

【 0 0 5 8 】

図 4 (C) に示すトランジスタおよび容量素子は、図 4 (A) や図 4 (B) のトランジスタおよび容量素子と一部異なる構成である。

【 0 0 5 9 】

図 4 (C) に示す構成と、図 4 (A) に示す構成との相違は、絶縁層 1 4 3 が、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b 上に形成されている点にある。さらに、酸化物半導体層 1 4 4 が、絶縁層 1 4 3、ソース電極またはドレイン電極 1 4 2 a、およびソース電極またはドレイン電極 1 4 2 b を覆うように形成されている点にある。また、図 4 (C) に示す構成と、図 4 (B) に示す構成との相違は、酸化物半導体層 1 4 4 が島状に形成されている点にある。当該構成により、図 4 (A) の構成における効果と、図 4 (B) の構成における効果とを併せて得ることができる。

40

【 0 0 6 0 】

半導体装置の回路構成および動作

次に、上記半導体装置の回路構成の例、およびその動作について説明する。図 5 は、図 2 に示す半導体装置を用いた回路構成の例である。

【 0 0 6 1 】

図 5 (A - 1) に示す半導体装置において、第 1 の配線 (1 s t Line : ソース線とも呼ぶ) とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 (2 n

50

d Line : ビット線とも呼ぶ) とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line : 第1信号線とも呼ぶ) とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line : 第2信号線とも呼ぶ) と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line : ワード線とも呼ぶ) と、容量素子164の電極の他方は電氣的に接続されている。

【0062】

ここで、トランジスタ160およびトランジスタ162には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。なお、酸化物半導体を用いたトランジスタ162は、チャンネル長(L)を10nm以上1000nm以下としているため、消費電力が小さく、動作速度もきわめて大きいという特徴を有する。

10

【0063】

図5(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

20

【0064】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

30

【0065】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0066】

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャンネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み

40

50

出すことができる。

【0067】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ160がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。また、各メモリセル間でトランジスタ160がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

10

【0068】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

20

【0069】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0070】

なお、トランジスタ162のソース電極またはドレイン電極は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のソース電極またはドレイン電極とトランジスタ160のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化半導体を用いたトランジスタ162のオフ電流は、シリコンなどで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化半導体を用いたトランジスタ162により、不揮発性の記憶装置を実現することが可能である。

30

【0071】

例えば、トランジスタ162の室温でのオフ電流密度が 10 z A (1 z A (zeptoアンペア)は $1 \times 10^{-21}\text{ A}$)程度であり、容量素子164の容量値が 1 pF 程度である場合には、少なくとも 10^6 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

40

【0072】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

【0073】

50

図5(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図5(A-2)のような回路に置き換えることが可能である。つまり、図5(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量)値に相当する。なお、抵抗値R2は、トランジスタ160のゲート電極とチャンネル形成領域との間の抵抗値を示すものに過ぎないから、この点を明確にするために、接続の一部を点線で示している。

10

【0074】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、R1およびR2が、 $R1 > ROS$ (R1はROS以上)、 $R2 > ROS$ (R2はROS以上)を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0075】

逆に、当該関係を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162以外において生じるリークが大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

20

【0076】

一方で、C1とC2は、 $C1 > C2$ (C1はC2以上)の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際(例えば、読み出しの際)に、第5の配線の電位の変動を低く抑えることができるためである。

【0077】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160やトランジスタ162のゲート絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

30

【0078】

図5(B)に示す半導体装置は、図5(A-1)におけるトランジスタ160を設けない構成の半導体装置である。図5(B)に示す半導体装置において、第1の配線(1st Line:第1信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第2の配線(2nd Line:第2信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ162のソース電極またはドレイン電極の他方と、容量素子164の電極の一方とは、電氣的に接続され、第3の配線(3rd Line:容量線とも呼ぶ)と、容量素子164の電極の他方とは、電氣的に接続されている。

40

【0079】

ここで、トランジスタ162には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子164に与えられた電位を、極めて長時間にわたって保持することが可能である。なお、酸化物半導体を用いたトランジスタ162は、チャンネル長(L)を10nm以上1000nm以下としているため、消費電力が小さく、動作速度もきわめて大きいという特徴を有する。

【0080】

図5(B)に示す半導体装置では、容量素子164に与えられた電位が保持可能という特

50

徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0081】

はじめに、情報の書き込みおよび保持について説明する。ここでは簡単のため、第3の配線の電位は固定されているものとする。まず、第2の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第1の配線の電位が、容量素子164の電極の一方に与えられる。すなわち、容量素子164には、所定の電荷が与えられる（書き込み）。その後、第2の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、容量素子164に与えられた電荷が保持される（保持）。トランジスタ162は上述のとおり、極めてオフ電流が小さいので、長時間にわたって電荷を保持できる。

10

【0082】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第2の配線の電位を、トランジスタ162がオン状態となる電位にすると、容量素子164に保持されている電荷量に応じて、第1の配線は異なる電位をとる。このため、第1の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0083】

なお、情報が読み出された場合、容量素子164の電荷は失われるため、再度の書き込みを行う点に留意が必要である。

【0084】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第2の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第1の配線の電位（新たな情報に係る電位）が、容量素子164の電極の一方に与えられる。その後、第2の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、容量素子164は、新たな情報に係る電荷が与えられた状態となる。

20

【0085】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このため、半導体装置の高速動作が実現される。

【0086】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

30

【0087】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることができる。

【0088】

（実施の形態2）

本実施の形態では、酸化物半導体を用いた半導体装置の作製方法、具体的には、図2の上部のトランジスタ162の作製方法について、図6を用いて説明する。なお、図6は、主としてトランジスタ162の作製工程などについて示すものであるから、トランジスタ162の下部に存在するトランジスタ170等の詳細な説明については省略する。

40

【0089】

まず、層間絶縁層128上に絶縁層138を形成する。その後、絶縁層138上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図6（A）参照）。

【0090】

絶縁層138は下地として機能するものであり、PVD法やCVD法などを用いて形成することができる。また、絶縁層138は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用い

50

て形成することができる。なお、絶縁層138は、できるだけ水素や水を含まないように形成することが望ましい。また、絶縁層138を設けない構成とすることも可能である。

【0091】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0092】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bへの加工が容易であるというメリットがある。

【0093】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金(In_2O_3 SnO_2 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

20

【0094】

導電層のエッチングは、形成されるソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。なお、テーパ角とは、テーパ形状を有する層(例えば、ソース電極またはドレイン電極142a)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

30

【0095】

トランジスタのチャネル長(L)は、ソース電極またはドレイン電極142aの下端部と、およびソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う場合には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行うのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1 μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

40

【0096】

なお、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bとの間の寄生容量を低減することが可能である。

【0097】

50

次に、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142bを覆うように、酸化物半導体層 144を形成する(図6(B)参照)。

【0098】

酸化物半導体層 144は、四元系金属酸化物である In-Sn-Ga-Zn-O系や、三元系金属酸化物である In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物である In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、一元系金属酸化物である In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

10

【0099】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0100】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $InGaO_3(ZnO)_m$ ($m > 0$ 、 m : 自然数とは限らない)で表記されるものがある。また、Gaに代えてMを用い、 $InMO_3(ZnO)_m$ ($m > 0$ 、 m : 自然数とは限らない)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

20

【0101】

酸化物半導体層 144をスパッタ法で作製するためのターゲットとしては、In:Ga:Zn = 1:x:y (xは0以上、yは0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [mol数比]の組成比を有するターゲットなどを用いることができる。また、 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [mol数比]の組成比を有するターゲットや、 $In_2O_3:Ga_2O_3:ZnO = 1:1:4$ [mol数比]の組成比を有するターゲットや、 $In_2O_3:ZnO = 1:2$ [mol数比]の組成比を有するターゲットを用いることもできる。

30

【0102】

本実施の形態では、非晶質構造の酸化物半導体層 144を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

【0103】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層 144を形成することが可能である。

【0104】

酸化物半導体層 144の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

40

【0105】

酸化物半導体層 144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層 144の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水な

50

どが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層144中の不純物濃度を低減できる。

【0106】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気酸素(酸素流量比率100%)雰囲気、またはアルゴン(アルゴン流量比率100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に形成される粉状の物質(パーティクル、ゴミともいう)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層144の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

【0107】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば層間絶縁層128の表面)の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

【0108】

その後、酸化物半導体層144に対して、熱処理(第1の熱処理)を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素(水や水酸基を含む)を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

【0109】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0110】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

10

20

30

40

50

【0111】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠乏に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0112】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

10

【0113】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0114】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

20

【0115】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する（図6（C）参照）。ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

【0116】

上述のように、ゲート絶縁層146を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、などの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

40

【0117】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは25

50

0 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0118】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

10

【0119】

次に、ゲート絶縁層 146 上において酸化物半導体層 144 と重畳する領域にゲート電極 148 a を形成する（図 6（D）参照）。ゲート電極 148 a は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148 a となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 142 a などの場合と同様であり、これらの記載を参照できる。なお、ゲート電極 148 a の形成の際に、先の実施の形態における容量素子 164 の電極 148 b を併せて形成することができる。

20

【0120】

次に、ゲート絶縁層 146 およびゲート電極 148 a 上に、層間絶縁層 150 および層間絶縁層 152 を形成する（図 6（E）参照）。層間絶縁層 150 および層間絶縁層 152 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒素シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層 150 と層間絶縁層 152 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。また、層間絶縁層を設けない構成とすることも可能である。

30

【0121】

なお、上記層間絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0122】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 が完成する（図 6（E）参照）。

【0123】

図 6（E）に示すトランジスタ 162 は、酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続するソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、酸化物半導体層 144、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148 a と、ゲート絶縁層 146 およびゲート電極 148 a 上の層間絶縁層 150 と、層間絶縁層 150 上の層間絶縁層 152 とを有する。

40

【0124】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけ

50

るキャリア密度 ($1 \times 10^{14} / \text{cm}^3$ 程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満) をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 162 の室温でのオフ電流密度 (オフ電流をトランジスタのチャネル幅で除した値) は $10 \text{ zA} / \mu\text{m}$ から $100 \text{ zA} / \mu\text{m}$ (1 zA (zeptoampere) は $1 \times 10^{-21} \text{ A}$) 程度となる。

【0125】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0126】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることができる。

【0127】

(実施の形態 3)

本実施の形態では、酸化物半導体 (特に非晶質構造を有する酸化物半導体) を用いたトランジスタの作製方法について、図 7 を用いて説明する。当該トランジスタは、先の実施の形態におけるトランジスタ 162 などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。

【0128】

まず、被処理物 200 上に絶縁層 202 を形成する。その後、絶縁層 202 上に酸化物半導体層 206 を形成する (図 7 (A) 参照)。

【0129】

被処理物 200 は、例えば、先の実施の形態における層間絶縁層 128 である。被処理物 200 の表面は、算術平均粗さ (Ra) が 1 nm 以下であることが望ましい。より望ましくは、 0.5 nm 以下である。半導体装置の微細化に伴い、パターニングに用いるマスクの露光条件の要求は高まるが、このような平坦性の高い表面とすることで、露光条件の要求が高い場合でも、対応が容易になるためである。なお、上述の算術平均粗さには、例えば、 $10 \mu\text{m} \times 10 \mu\text{m}$ の領域で測定できる。

【0130】

絶縁層 202 は、先の実施の形態における絶縁層 138 に相当し、下地として機能する。詳細については、先の実施の形態を参照できる。なお、絶縁層 202 を設けない構成とすることも可能である。

【0131】

酸化物半導体層 206 は、先の実施の形態における酸化物半導体層 144 に相当する。用いることができる材料、作製方法、その他の詳細については、先の実施の形態を参照できる。

【0132】

本実施の形態では、非晶質構造の酸化物半導体層 206 を、In-Ga-Zn-O 系の金属酸化物ターゲットを用いるスパッタ法により形成する。

【0133】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層 206 を加工して、島状の酸化物半導体層 206a を形成する。

【0134】

酸化物半導体層 206 のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせることもできる。酸化物半導体層を所望の形状にエッチングできるように、材料に合わせてエッチング条件 (エッチングガスやエッチング液、エッチング時間、温度等) は適宜設定する。

10

20

30

40

50

【0135】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば、塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）がある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いても良い。

【0136】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、被処理物側の電極に印加される電力量、被処理物側の電極温度等）は適宜設定する。

10

【0137】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）などのエッチング液を用いてもよい。

【0138】

酸化物半導体層206aの端部は、テーパ形状となるようにエッチングすることが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。なお、テーパ角とは、テーパ形状を有する層（例えば、酸化物半導体層206a）を、その断面（被処理物の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。酸化物半導体層206aの端部をテーパ形状となるようにエッチングすることにより、後に形成されるソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bの被覆性が向上し、段切れを防止することができる。

20

【0139】

その後、酸化物半導体層206aに対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層206a中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。詳細については先の実施の形態を参酌できる。なお、ここで示すように、熱処理（第1の熱処理）をエッチング後に行う場合には、ウェットエッチングを用いる場合であっても、エッチングレートが高い状態でエッチングを行うことができるため、エッチングにかかる時間を短縮することができるというメリットがある。

30

【0140】

なお、第1の熱処理は、島状の酸化物半導体層206aに加工する前の酸化物半導体層206に行うこともできる。その場合には、第1の熱処理後に、加熱装置から被処理物200を取り出し、フォトリソグラフィ工程を行うことになる。

【0141】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理は、酸化物半導体層の形成後や、酸化物半導体層206a上にソース電極またはドレイン電極を積層させた後、ゲート絶縁層を形成した後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってよい。

40

【0142】

次に、酸化物半導体層206aに接するように導電層を形成する。そして、導電層を選択的にエッチングして、ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bを形成する（図7（B）参照）。導電層や、ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208b、その他の詳細については、先の実

50

施の形態における導電層や、ソース電極またはドレイン電極等に関する記載を参酌できる。

【0143】

次に、酸化物半導体層206aの一部に接するゲート絶縁層212を形成する(図7(C)参照)。ゲート絶縁層212の詳細については、先の実施の形態におけるゲート絶縁層等に関する記載を参酌できる。

【0144】

ゲート絶縁層212の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。第2の熱処理の詳細についても、先の実施の形態を参酌できる。

10

【0145】

なお、本実施の形態では、ゲート絶縁層212の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。

【0146】

次に、ゲート絶縁層212上において酸化物半導体層206aと重畳する領域にゲート電極214を形成する(図7(D)参照)。ゲート電極214は、ゲート絶縁層212上に導電層を形成した後に、当該導電層を選択的にパターンングすることによって形成することができる。詳細は、先の実施の形態を参酌すればよい。なお、ゲート電極214の形成の際に、先の実施の形態における容量素子の電極を併せて形成することができる。

20

【0147】

次に、ゲート絶縁層212およびゲート電極214上に、層間絶縁層216および層間絶縁層218を形成する(図7(E)参照)。詳細は、先の実施の形態を参酌すればよい。なお、層間絶縁層を設けない構成とすることも可能である。

【0148】

以上により、高純度化された非晶質構造の酸化物半導体層206aを用いたトランジスタ250が完成する(図7(E)参照)。なお、熱処理の条件によっては、酸化物半導体層206a中に、結晶成分が僅かに存在する場合もある。

【0149】

このように高純度化され、真性化された酸化物半導体層206aを用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

30

【0150】

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成(図2や図4に示す構成など)に、本実施の形態の構成の一部を適用することができる。また、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成や、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成などに対しても、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、非晶質構造の酸化物半導体を備えた様々なトランジスタを実現することができる。

40

【0151】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0152】

(実施の形態4)

50

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について、図8を用いて説明する。本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層と、第1の酸化物半導体層の結晶領域から結晶成長させた第2の酸化物半導体層を用いる場合について、詳細に説明する。当該トランジスタは、先の実施の形態におけるトランジスタ162などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。

【0153】

なお、第1の酸化物半導体層のみで必要な厚さを確保できる場合には、第2の酸化物半導体層は不要である。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。

10

【0154】

まず、被処理物300上に絶縁層302を形成する。それから、絶縁層302上に第1の酸化物半導体層を形成し、第1の熱処理によって少なくとも第1の酸化物半導体層の表面を含む領域を結晶化させて、第1の酸化物半導体層304を形成する(図8(A)参照)。

【0155】

被処理物300の詳細(表面などの詳細)については、先の実施の形態を参酌できる。

【0156】

絶縁層302は下地として機能するものである。絶縁層302の詳細についても、先の実施の形態を参酌すればよい。なお、絶縁層302を設けない構成としてもよい。

20

【0157】

第1の酸化物半導体層は、先の実施の形態における酸化物半導体層と同様に形成することができる。このため、第1の酸化物半導体層およびその成膜方法の詳細については、先の実施の形態を参酌すればよい。ただし、本実施の形態では、第1の熱処理によって第1の酸化物半導体層を意図的に結晶化させるため、結晶化が生じやすい酸化物半導体を用いて第1の酸化物半導体層を形成することが望ましい。このような酸化物半導体としては、例えば、ZnOなどが挙げられる。また、In-Ga-Zn-O系の酸化物半導体であっても、例えば、Znの濃度の高いものは結晶化しやすく、金属元素(In、Ga、およびZn)においてZnの占める割合が60atom%以上のものは、この目的に用いるには望ましい。また、第1の酸化物半導体層の厚さは、1nm以上10nm以下とするのが望ましい。本実施の形態では一例として3nmの厚さとする。ただし、適用する酸化物半導体材料や半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

30

【0158】

第1の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。また、熱処理の時間は、1分以上24時間以下とすることが望ましい。なお、熱処理の温度や、熱処理の時間は、酸化物半導体の種類などによって異なる。

【0159】

また、第1の熱処理の雰囲気は、水素や水などを含まない雰囲気とすることが望ましい。例えば、水が十分に除去された、窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気とすることができ。

40

【0160】

熱処理装置は、電気炉の他、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、LRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である

50

。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0161】

上述の第1の熱処理によって、少なくとも第1の酸化物半導体層の表面を含む領域が結晶化する。当該結晶領域は、第1の酸化物半導体層表面から、第1の酸化物半導体層内部に向かって結晶成長が進行することにより形成される領域である。なお、当該結晶領域は、平均厚さが1nm以上10nm以下の板状結晶を含む場合がある。また、当該結晶領域は、酸化物半導体層の表面に対して略垂直な方向にc軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態をいうものとする。

10

【0162】

また、第1の熱処理によって結晶領域を形成すると共に、第1の酸化物半導体層中の水素（水や水酸基を含む）などを除去することが望ましい。水素などの除去を行う場合には、純度が、6N（99.9999%）以上（即ち不純物の濃度が1ppm以下）の窒素、酸素、希ガス（ヘリウム、ネオン、アルゴン等）雰囲気において第1の熱処理を行うと良い。より望ましくは、純度が7N（99.99999%）以上（即ち不純物の濃度が0.1ppm以下）の雰囲気である。また、 H_2O が20ppm以下の超乾燥空気中で、好ましくは、 H_2O が1ppm以下の超乾燥空気中で、第1の熱処理を行っても良い。

20

【0163】

また、第1の熱処理により結晶領域を形成すると共に、第1の酸化物半導体層に酸素を供給することが望ましい。例えば、熱処理の雰囲気を酸素雰囲気とすることで、第1の酸化物半導体層に酸素を供給することができる。

【0164】

本実施の形態では、第1の熱処理として、窒素雰囲気下で700、1時間の熱処理を行って酸化物半導体層から水素などを除去した後、酸素雰囲気に切り替えることで、第1の酸化物半導体層内部に酸素を供給する。なお、第1の熱処理の主たる目的は結晶領域の形成にあるから、水素などの除去や、酸素の供給を目的とする処理は別に行うこともできる。例えば、水素などを除去するための熱処理や、酸素を供給するための処理を行った後に、結晶化のための熱処理を行うことが可能である。

30

【0165】

このような第1の熱処理によって、結晶領域を有し、水素（水や水酸基を含む）などが除去され、酸素が供給された第1の酸化物半導体層が得られる。

【0166】

次に、少なくとも表面を含む領域に結晶領域を有する第1の酸化物半導体層304上に、第2の酸化物半導体層305を形成する（図8（B）参照）。なお、第1の酸化物半導体層304のみで必要な厚さを確保できる場合には、第2の酸化物半導体層305は不要である。この場合、第2の酸化物半導体層305にかかる工程を省略することができる。

【0167】

第2の酸化物半導体層305は、先の実施の形態における酸化物半導体層と同様に形成することができる。このため、第2の酸化物半導体層305およびその成膜方法の詳細については、先の実施の形態を参酌すればよい。ただし、第2の酸化物半導体層305は、第1の酸化物半導体層304より厚く形成することが望ましい。また、第1の酸化物半導体層304と第2の酸化物半導体層305の厚さの和が1nm以上50nm以下、好ましくは1nm以上10nm以下となるように、第2の酸化物半導体層305を形成することが望ましい。本実施の形態では、一例として7nmの厚さとする。なお、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

40

【0168】

第2の酸化物半導体層305には、第1の酸化物半導体層304と同一主成分の材料であ

50

って、結晶化後の格子定数が近接した材料（ミスマッチが1%以下）を用いることが望ましい。このような材料を用いる場合には、第2の酸化物半導体層305の結晶化において、第1の酸化物半導体層304の結晶領域を種とする結晶成長を進行させやすくなるためである。さらに、同一主成分材料である場合には、界面物性や電気的特性も良好になる。

【0169】

なお、結晶化によって所望の膜質が得られる場合には、異なる主成分の材料を用いて第2の酸化物半導体層305を形成しても良い。

【0170】

次に、第2の酸化物半導体層305に第2の熱処理を行い、第1の酸化物半導体層304の結晶領域を種として結晶成長させて、第2の酸化物半導体層306を形成する（図8（C）参照）。第2の酸化物半導体層305を形成しない場合、当該工程は省略することができる。

10

【0171】

第2の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。第2の熱処理の加熱時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。なお、第2の熱処理においても、熱処理の雰囲気には、水素や水などが含まれないことが望ましい。

【0172】

雰囲気の詳細および熱処理による効果は、第1の熱処理と同様である。また、用いることができる熱処理装置も、第1の熱処理の場合と同様である。例えば、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気とすることで、窒素雰囲気で水素などの除去を、酸素雰囲気で酸素の供給を行うことができる。

20

【0173】

上述のような第2の熱処理を行うことにより、第1の酸化物半導体層304に形成された結晶領域から第2の酸化物半導体層305全体に結晶成長を進行させて、第2の酸化物半導体層306を形成することができる。また、水素（水や水酸基を含む）などが除去され、酸素が供給された第2の酸化物半導体層306を形成することができる。また、第2の熱処理によって、第1の酸化物半導体層304の結晶領域の配向性を高めることも可能である。

【0174】

例えば、In-Ga-Zn-O系の酸化物半導体材料を第2の酸化物半導体層306に用いる場合、第2の酸化物半導体層306は、 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然数とは限らない）で表される結晶や、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ （In：Ga：Zn：O = 2：2：1：7 [atom比]）で表される結晶などを含み得る。このような結晶は、第2の熱処理によって、そのc軸が、第2の酸化物半導体層306の表面と略垂直な方向をとるように配向する。

30

【0175】

ここで、上述の結晶は、a軸（a-axis）およびb軸（b-axis）に平行なレイヤーの積層構造である。また、各レイヤーはIn、Ga、Znのいずれかを含有する。具体的には、上述の結晶は、Inを含有するレイヤーと、Inを含有しないレイヤー（GaまたはZnを含有するレイヤー）が、c軸方向に積層された構造を有する。

40

【0176】

In-Ga-Zn-O系の酸化物半導体結晶では、Inを含有するレイヤーの面内方向、すなわち、a軸およびb軸に平行な方向に関する導電性は良好である。これは、In-Ga-Zn-O系の酸化物半導体結晶では電気伝導が主としてInによって制御されること、一のInの5s軌道が、隣接するInの5s軌道と重なりを有することにより、キャリアパスが形成されること、などによる。

【0177】

また、第1の酸化物半導体層304が絶縁層302との界面に非晶質領域を有するような構造の場合、第2の熱処理を行うことにより、第1の酸化物半導体層304の表面に形成

50

されている結晶領域から第1の酸化物半導体層304の下方に向かって結晶成長が進行し、該非晶質領域が結晶化される場合もある。なお、絶縁層302を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

【0178】

また、第1の酸化物半導体層304と第2の酸化物半導体層305とに同一主成分の酸化物半導体材料を用いる場合、図8(C)に示すように、第1の酸化物半導体層304と、第2の酸化物半導体層306とが、同一の結晶構造を有する場合がある。このため、図8(C)では点線で示したが、第1の酸化物半導体層304と第2の酸化物半導体層306の境界が判別できなくなり、第1の酸化物半導体層304と第2の酸化物半導体層306を同一の層と見なせる場合もある。

10

【0179】

次に、マスクを用いたエッチングなどの方法によって第1の酸化物半導体層304および第2の酸化物半導体層306を加工して、島状の第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを形成する(図8(D)参照)。なお、ここでは、第2の熱処理の後に、島状の酸化物半導体層への加工を行っているが、島状の酸化物半導体層への加工後に、第2の熱処理を行っても良い。この場合、ウェットエッチングを用いる場合であっても、エッチングレートが高い状態でエッチングを行うことができるため、エッチングにかかる時間を短縮することができるというメリットがある。

【0180】

第1の酸化物半導体層304および第2の酸化物半導体層306のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)は適宜設定する。第1の酸化物半導体層304および第2の酸化物半導体層306のエッチングは、先の実施の形態における酸化物半導体層のエッチングと同様に行うことができる。詳細については、先の実施の形態を参酌すればよい。

20

【0181】

なお、酸化物半導体層のうち、チャネル形成領域となる領域は、平坦な表面を有していることが望ましい。例えば、第2の酸化物半導体層306表面の高低差(P-V)は、ゲート電極と重畳する領域(チャネル形成領域)において、1nm以下(好ましくは0.5nm以下)であると好適である。なお、上述の高低差には、例えば、10 μ m \times 10 μ mの領域で測定できる。

30

【0182】

次に、第2の酸化物半導体層306aに接するように導電層を形成する。それから、該導電層を選択的にエッチングして、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを形成する(図8(D)参照)。詳細については、先の実施の形態を参酌すればよい。

【0183】

なお、図8(D)に示す工程で、第1の酸化物半導体層304aまたは第2の酸化物半導体層306aの、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと接する結晶層が非晶質状態となることもある。このため、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aのすべての領域が結晶性とは限らない。

40

【0184】

次に、第2の酸化物半導体層306aの一部に接するゲート絶縁層312を形成する。詳細については、先の実施の形態を参酌すればよい。その後、ゲート絶縁層312上の、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aと重畳する領域にゲート電極314を形成する。そして、ゲート絶縁層312およびゲート電極314上に、層間絶縁層316および層間絶縁層318を形成する(図8(E)参照)。詳細については、先の実施の形態を参酌すればよい。

50

【0185】

ゲート絶縁層312の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第3の熱処理を行うのが望ましい。第3の熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、酸素を含む雰囲気下で250、1時間の熱処理を行えばよい。第3の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層312が酸素を含む絶縁層である場合、第2の酸化物半導体層306aに酸素を供給することもできる。

【0186】

なお、本実施の形態では、ゲート絶縁層312の形成後に第3の熱処理を行っているが、第3の熱処理のタイミングはこれに限定されない。また、第2の熱処理など、他の処理によって第2の酸化物半導体層306aに酸素を供給している場合には、第3の熱処理は省略しても良い。

10

【0187】

以上により、第1の酸化物半導体層304a、および、第2の酸化物半導体層306aを用いたトランジスタ350が完成する(図8(E)参照)。

【0188】

このように高純度化され、真性化された第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを用いることで、トランジスタのオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

20

【0189】

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成(図2や図4に示す構成など)に、本実施の形態の構成の一部を適用することができる。また、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成や、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の上部と、酸化物半導体層の下部とが接触する構成などに対しても、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、結晶領域を有する酸化物半導体層を備えた様々なトランジスタを実現することができる。

30

【0190】

さらに、本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層304aと、第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いているため、電界効果移動度を向上させ、良好な電気特性を有するトランジスタを実現することができる。例えば、電界効果移動度 $\mu > 100 \text{ cm}^2 / \text{V} \cdot \text{s}$ を実現することも可能である。これにより、高速動作が求められる各種論理回路に、上記トランジスタを適用することも可能である。

【0191】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることができる。

40

【0192】

(実施の形態5)

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について、図9を用いて説明する。当該トランジスタは、先の実施の形態におけるトランジスタ162などに代えて用いることができるものである。なお、本実施の形態に係るトランジスタは、一部の構成が先の実施の形態に係るトランジスタと共通している。このため、以下では、主として相違点について述べる。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成はトップゲート型に限られない。

50

【0193】

まず、被処理物400上に、絶縁層402を形成する。そして、絶縁層402上に酸化物半導体層406を形成する(図9(A)参照)。詳細については先の実施の形態を参酌すればよい。

【0194】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層406を加工して、島状の酸化物半導体層406aを形成し、当該酸化物半導体層406aを覆うように、導電層408および絶縁層410を形成する(図9(B)参照)。なお、絶縁層410は必須の構成要素ではないが、後に形成されるソース電極またはドレイン電極の側面を選択的に酸化させるためには有効である。また、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減するという点においても有効である。

10

【0195】

島状の酸化物半導体層406aの形成や熱処理などの詳細については、先の実施の形態を参酌することができる。また、導電層408の詳細についても、先の実施の形態を参酌すればよい。

【0196】

絶縁層410は、CVD法やスパッタリング法等を用いて形成することができる。また、絶縁層410は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、絶縁層410は、単層構造としても良いし、積層構造としても良い。絶縁層410の厚さは特に限定されないが、例えば、10nm以上200nm以下とすることができる。

20

【0197】

次に、導電層408および絶縁層410を選択的にエッチングして、ソース電極またはドレイン電極408a、ソース電極またはドレイン電極408b、絶縁層410a、絶縁層410bを形成する(図9(C)参照)。詳細は、先の実施の形態におけるソース電極またはドレイン電極の形成工程と同様である。なお、アルミニウム、チタン、モリブデン、銅などの材料は、後に行われるプラズマ酸化処理に適しており、ソース電極またはドレイン電極408a、ソース電極またはドレイン電極408bなどの材料として好適である。

【0198】

次に、酸化物半導体層406aに酸素を供給するための酸化処理を行う(図9(D)参照)。当該酸化処理によって、ソース電極またはドレイン電極408aの一部(特に、その側面に相当する部分)には酸化領域411aが、ソース電極またはドレイン電極408bの一部(特に、その側面に相当する部分)には酸化領域411bが形成される(図9(D)参照)。また、当該酸化処理によって、ソース電極またはドレイン電極408aや、ソース電極またはドレイン電極408bの外周部にも、酸化領域が形成される。

30

【0199】

酸化処理は、マイクロ波(300MHz~300GHz)によって励起された酸素プラズマを用いた酸化処理(プラズマ酸化処理)とするのが好適である。マイクロ波によってプラズマを励起することで、高密度プラズマが実現され、酸化物半導体層406aへのダメージを十分に低減することができるからである。

40

【0200】

より具体的には、例えば、周波数を300MHz~300GHz(代表的には2.45GHz)、圧力を50Pa~5000Pa(代表的には500Pa)、被処理物の温度を200~400(代表的には300)とし、酸素とアルゴンとの混合ガスを用いて上記処理を行うことができる。

【0201】

上記酸化処理によって、酸化物半導体層406aには酸素が供給されることになるため、酸化物半導体層406aへのダメージを十分に低減しつつ、酸素欠乏に起因するエネルギーギャップ中の欠陥準位を減少させることができる。つまり、酸化物半導体層406aの特性を一層向上させることができる。

50

【0202】

なお、酸化物半導体層406aへのダメージを十分に低減しつつ、酸化物半導体層406aに酸素を供給することができる方法であれば、マイクロ波を用いたプラズマ酸化処理に限定されない。例えば、酸素を含む雰囲気における熱処理などの方法を用いることもできる。

【0203】

また、上記酸化処理と併せて、酸化物半導体層406aから水や水素などを除去する処理を行ってもよい。この場合、例えば、窒素やアルゴンなどのガスを用いたプラズマ処理を用いることができる。

【0204】

なお、上記酸化処理によって形成された酸化領域411aや酸化領域411bは、トランジスタ450が微細化されている場合（例えば、チャンネル長が1000nm未満である場合）には、特に有効である。トランジスタの微細化に伴い、ゲート絶縁層に対してはその厚みを小さくすることが要求されるが、当該酸化領域を有することで、ゲート絶縁層の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極と、ソース電極またはドレイン電極のショートを防止できるためである。なお、当該酸化領域は、5nm以上（好ましくは10nm以上）の厚みを有していれば、十分に効果的である。

【0205】

また、上記酸化処理は、露出した絶縁層402の膜質改善の観点からも有効である。

【0206】

なお、ソース電極またはドレイン電極408aや、ソース電極またはドレイン電極408bの上部の酸化を防止する役割を有する点で、絶縁層410aおよび絶縁層410bは重要である。エッチングの際に用いるマスクを残存させたまま、上記プラズマ処理をするには大きな困難が伴うからである。

【0207】

次に、大気に触れさせることなく、酸化物半導体層406aの一部に接するゲート絶縁層412を形成する。そして、ゲート絶縁層412上の酸化物半導体層406aと重畳する領域にゲート電極414を形成し、ゲート絶縁層412およびゲート電極414上に、層間絶縁層416および層間絶縁層418を形成する（図9（E）参照）。詳細については、先の実施の形態を参酌することができる。

【0208】

以上により、酸化物半導体を用いたトランジスタ450が完成する。

【0209】

本実施の形態では、酸化物半導体層406aに酸素を供給するために、酸化物半導体層406aに酸素プラズマ処理を施している。このため、トランジスタ450の特性はさらに高いものとなる。また、ソース電極またはドレイン電極の側面に相当する領域が酸化されることとなるため、ゲート絶縁層の薄膜化に起因して生じるおそれのある、ゲート電極 - ソース電極（またはドレイン電極）間の短絡を防止することができる。また、酸化領域411a、酸化領域411bによって、適度なオフセット領域ができるので、酸化物半導体層から、ソース電極（またはドレイン電極）との界面にかけての電界の変化を、低く抑えることも可能である。

【0210】

また、ソース電極およびドレイン電極の上に絶縁層を設けることにより、ソース電極およびドレイン電極と、ゲート電極との間に形成される容量（寄生容量）を低減し、さらなる高速動作を実現することが可能である。

【0211】

なお、本実施の形態では、トップゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の上部とが接触する構成について説明したが、本実施の形態の構成を適用できるトランジスタはこれに限定されない。例えば、ボトムゲート型のトランジスタであって、ソース電極およびドレイン電極の下部と、酸化物半導体層の

10

20

30

40

50

上部とが接触する構成に、本実施の形態の構成の一部を適用することができる。つまり、本実施の形態により、酸素が供給された酸化物半導体、酸化領域を有する電極、などを備えた様々なトランジスタを実現することができる

【0212】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0213】

(実施の形態6)

本実施の形態では、酸化物半導体以外の半導体材料を用いた半導体装置の作製方法、具体的には、図2(A)の下部のトランジスタ170の作製方法について、図10および図2(A)を用いて説明する。

【0214】

まず、半導体材料を含む基板100を用意する(図10(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0215】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図10(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0216】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される(図10(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0217】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図10(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMPなどの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0218】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0219】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得

10

20

30

40

50

られる酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

10

【0220】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0221】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する(図10(C)参照)。

20

【0222】

次に、ゲート電極110を覆う絶縁層112を形成する(図10(C)参照)。そして、半導体領域104にリン(P)やヒ素(As)などを添加して、浅い接合深さの不純物領域114を形成する(図10(C)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物を添加すればよい。上記不純物領域114の形成により、半導体領域104のゲート絶縁層108下部には、チャネル形成領域116が形成される(図10(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

30

【0223】

次に、サイドウォール絶縁層118を形成する(図10(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を行うことで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させると良い。なお、サイドウォール絶縁層118は、高集積化などの目的のために形成されない場合もある。

【0224】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、不純物領域114と接する領域に、リン(P)やヒ素(As)などを添加して、高濃度不純物領域120を形成する(図10(E)参照)。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する(図10(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

40

【0225】

50

次に、熱処理を施して、上記金属層 1 2 2 と半導体材料とを反応させる。これにより、高濃度不純物領域 1 2 0 に接する金属化合物領域 1 2 4 が形成される（図 1 0 (F) 参照）。なお、ゲート電極 1 1 0 として多結晶シリコンなどを用いる場合には、ゲート電極 1 1 0 の金属層 1 2 2 と接触する部分にも、金属化合物領域が形成されることになる。

【 0 2 2 6 】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 1 2 4 を形成した後は、金属層 1 2 2 は除去する。

10

【 0 2 2 7 】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 1 2 6、層間絶縁層 1 2 8 を形成する（図 1 0 (G) 参照）。層間絶縁層 1 2 6 や層間絶縁層 1 2 8 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 1 2 6 と層間絶縁層 1 2 8 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。層間絶縁層 1 2 8 の形成後には、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

20

【 0 2 2 8 】

その後、上記層間絶縁層 1 2 6、1 2 8 に、金属化合物領域 1 2 4 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を形成する（図 1 0 (H) 参照）。ソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b は、例えば、開口を含む領域に P V D 法や C V D 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

30

【 0 2 2 9 】

より具体的には、例えば、開口を含む領域に P V D 法によりチタン膜を薄く形成し、C V D 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、P V D 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極（ここでは金属化合物領域 1 2 4）との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【 0 2 3 0 】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する場合には、その後の CMP によって、不要なタンゲステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【 0 2 3 1 】

なお、ここでは、金属化合物領域 1 2 4 と接触するソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b のみを示しているが、この工程において、ゲート電極 1 1 0 と接触する電極などをあわせて形成することができる。ソース電極または

50

ドレイン電極 130 a、ソース電極またはドレイン電極 130 bとして用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。また、後に行われる熱処理を考慮して、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 bは、熱処理に耐えうる程度の耐熱性を有する材料を用いて形成することが望ましい。

【0232】

以上により、半導体材料を含む基板 100を用いたトランジスタ 170が形成される(図 10(H)参照)。酸化物半導体以外の材料を用いたトランジスタ 170は、高速動作が可能であるから、当該トランジスタを用いて、論理回路(演算回路ともいう)などを構成することができる。また、先の実施の形態に示す記憶回路を駆動するための駆動回路などに用いることもできる。

10

【0233】

なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0234】

たとえば、上記工程の後に絶縁層 138を形成し、絶縁層 138に開口を形成してもよい。さらに該開口にソース電極またはドレイン電極 130 aに接続される電極 142 c、およびソース電極またはドレイン電極 130 bに接続される電極 142 dを形成してもよい(図 2(A)参照)。

20

【0235】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0236】

(実施の形態 7)

本実施の形態では、酸化物半導体以外の半導体材料を用いた半導体装置の作製方法、具体的には、図 2(B)の下部のトランジスタ 570の作製方法について、図 11および図 12を用いて説明する。以下では、はじめにベース基板上に単結晶半導体層が設けられた SOI 基板の作製方法について、図 11を参照して説明し、その後、該 SOI 基板を用いたトランジスタの作製方法について、図 12を参照して説明する。

30

【0237】

SOI 基板の作製方法

まず、ベース基板 500を準備する(図 11(A)参照)。ベース基板 500としては、絶縁体でなる基板を用いることができる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

【0238】

また、ベース基板 500として単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いても良い。ベース基板 500として半導体基板を用いる場合には、ガラス基板などを用いる場合と比較して熱処理の温度の上限が上がるため、良質な SOI 基板を得ることが容易になる。ここで、半導体基板としては、太陽電池級シリコン(SOG-Si: Solar Grade Silicon)基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

40

【0239】

本実施の形態では、ベース基板 500としてガラス基板を用いる場合について説明する。

50

ベース基板500として大面積化が可能で安価なガラス基板を用いることにより、低コスト化を図ることができる。

【0240】

上記ベース基板500に関しては、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、ベース基板500に対して、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、FPM（フッ酸、過酸化水素水、純水の混合液）等を用いて超音波洗浄を行う。このような洗浄処理を行うことにより、ベース基板500表面の平坦性向上や、ベース基板500表面に残存する研磨粒子の除去などが実現される。

【0241】

次に、ベース基板500の表面に、窒素含有層502（例えば、窒化シリコン膜（ SiN_x ）や窒化酸化シリコン膜（ SiN_xO_y ）（ $x > y$ ）等の窒素を含有する絶縁膜を含む層）を形成する（図11（B）参照）。窒素含有層502は、CVD法、スパッタリング法等を用いて形成することができる。

【0242】

本実施の形態において形成される窒素含有層502は、後に単結晶半導体層を貼り合わせるための層（接合層）となる。また、窒素含有層502は、ベース基板に含まれるナトリウム（Na）等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層としても機能する。

【0243】

上述のように、本実施の形態では窒素含有層502を接合層として用いるため、その表面が所定の平坦性を有するように窒素含有層502を形成することが好ましい。具体的には、表面の平均面粗さ（Ra、算術平均粗さともいう）が0.5nm以下、自乗平均粗さ（Rms）が0.60nm以下、より好ましくは、平均面粗さが0.35nm以下、自乗平均粗さが0.45nm以下となるように窒素含有層502を形成する。なお、上述の平均面粗さや自乗平均粗さには、例えば、 $10\mu m \times 10\mu m$ の領域で測定できる。膜厚は、10nm以上200nm以下、好ましくは50nm以上100nm以下の範囲とする。このように、表面の平坦性を高めておくことで、単結晶半導体層の接合不良を防止することができる。

【0244】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板510を用いる（図11（C）参照）。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

【0245】

単結晶半導体基板510としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素でなる単結晶半導体基板を用いることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ（125mm）、直径6インチ（150mm）、直径8インチ（200mm）、直径12インチ（300mm）、直径16インチ（400mm）サイズの円形のもので代表的である。なお、単結晶半導体基板510の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板510は、CZ（チョクラルスキー）法やFZ（フローティングゾーン）法を用いて作製することができる。

【0246】

単結晶半導体基板510の表面には酸化膜512を形成する（図11（D）参照）。なお、汚染物除去の観点から、酸化膜512の形成前に、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、FPM（フッ酸、過酸化水素水、純水の混合液）等を用いて単結晶半導体基板510の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

10

20

30

40

50

【0247】

酸化膜512は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜512の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて酸化膜512を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン（略称；TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

【0248】

本実施の形態では、単結晶半導体基板510に熱酸化処理を行うことにより酸化膜512（ここでは、 SiO_x 膜）を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

10

【0249】

例えば、塩素（Cl）が添加された酸化性雰囲気中で単結晶半導体基板510に熱酸化処理を行うことにより、塩素酸化された酸化膜512を形成することができる。この場合、酸化膜512は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属（例えば、Fe、Cr、Ni、Mo等）を捕集して金属の塩化物を形成し、これを外方に除去して単結晶半導体基板510の汚染を低減させることができる。また、ベース基板500と貼り合わせた後に、ベース基板からのNa等の不純物を固定して、単結晶半導体基板510の汚染を防止できる。

【0250】

なお、酸化膜512に含有させるハロゲン原子は塩素原子に限られない。酸化膜512にはフッ素原子を含有させてもよい。単結晶半導体基板510表面をフッ素酸化する方法としては、HF溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、 NF_3 を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

20

【0251】

次に、イオンを電界で加速して単結晶半導体基板510に照射し、添加することで、単結晶半導体基板510の所定の深さに結晶構造が損傷した脆化領域514を形成する（図11（E）参照）。

【0252】

脆化領域514が形成される領域の深さは、イオンの運動エネルギー、質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域514は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板510から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10nm以上500nm以下、好ましくは50nm以上200nm以下程度となるように平均侵入深さを調節すれば良い。

30

【0253】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

40

【0254】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板510に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、 H_3^+ の比率を高くすると良い。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上（より好ましくは80%以上）となるようにする。 H_3^+ の割合を高めることで、イオン照射の効率を向上させることができる。

【0255】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。

50

また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、別々の工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れをおさえることが可能である。

【0256】

なお、イオンドーピング装置を用いて脆化領域514を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜512を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板510の汚染を防ぐことができる。

【0257】

次に、ベース基板500と、単結晶半導体基板510とを対向させ、窒素含有層502の表面と酸化膜512とを密着させる。これにより、ベース基板500と、単結晶半導体基板510とが貼り合わされる(図11(F)参照)。

【0258】

貼り合わせの際には、ベース基板500または単結晶半導体基板510の一箇所に、 0.001 N/cm^2 以上 100 N/cm^2 以下、例えば、 1 N/cm^2 以上 20 N/cm^2 以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において窒素含有層502と酸化膜512の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

【0259】

なお、単結晶半導体基板510とベース基板500とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板510とベース基板500との界面での接合強度を向上させることができる。

【0260】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせる用いても良いし、異なるドライ処理どうしを組み合わせる用いても良い。

【0261】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域514における分離が生じない温度(例えば、室温以上 400 未満)とする。また、この温度範囲で加熱しながら、窒素含有層502と酸化膜512とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA(瞬間熱アニール、Rapid Thermal Anneal)装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

【0262】

次に、熱処理を行うことにより、単結晶半導体基板510を脆化領域において分離して、ベース基板500上に、窒素含有層502および酸化膜512を介して単結晶半導体層516を形成する(図11(G)参照)。

【0263】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層516の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、 300 以上 600 以下とすればよく、 400 以上 500 以下とすると、より効果的である。

【0264】

なお、単結晶半導体基板510を分離した後には、単結晶半導体層516に対して、 500 以上の温度で熱処理を行い、単結晶半導体層516中に残存する水素の濃度を低減させてもよい。

【0265】

10

20

30

40

50

次に、単結晶半導体層 5 1 6 の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層 5 1 8 を形成する。なお、レーザー光の照射処理に代えて、熱処理を行っても良い。

【0266】

なお、本実施の形態においては、単結晶半導体層 5 1 6 の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、開示する発明の一態様はこれに限定して解釈されない。単結晶半導体層 5 1 6 の分離に係る熱処理の後にエッチング処理を施して、単結晶半導体層 5 1 6 表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行って良いし、単結晶半導体層 5 1 6 表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記、エッチング処理としては、ウェットエッチング、ドライエッチングのいずれを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層 5 1 6 の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層 5 1 6 の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を用いればよい。

10

【0267】

以上の工程により、良好な特性の単結晶半導体層 5 1 8 を有する S O I 基板を得ることができる（図 1 1 (H) 参照）。

【0268】

トランジスタの作製方法

次に、上記の S O I 基板を用いたトランジスタ 5 7 0 の作製方法について、図 1 2 を参照して説明する。

20

【0269】

図 1 2 (A) は、図 1 1 に示す方法で作成した S O I 基板の一部を示す断面図である。

【0270】

まず、単結晶半導体層 5 1 8 を島状に加工して、半導体層 5 2 0 を形成する（図 1 2 (B) 参照）。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物や、p 型の導電性を付与する不純物を半導体層に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

30

【0271】

次に、半導体層 5 2 0 を覆うように、絶縁層 5 2 2 を形成する（図 1 2 (C) 参照）。絶縁層 5 2 2 は、後にゲート絶縁層となるものである。ここでは、プラズマ C V D 法を用いて、酸化シリコン膜を単層で形成することとする。絶縁層 5 2 2 の材料および形成方法は、先の実施の形態に係るゲート絶縁層（ゲート絶縁層 1 0 8 など）に関する記載を参照することができる。

【0272】

次に、絶縁層 5 2 2 上に導電層を形成した後、該導電層を選択的にエッチングして、半導体層 5 2 0 の上方にゲート電極 5 2 4 を形成する（図 1 2 (D) 参照）。ゲート電極 5 2 4 の材料および形成方法は、先の実施の形態に係るゲート電極（ゲート電極 1 1 0 など）に関する記載を参照することができる。

40

【0273】

次に、ゲート電極 5 2 4 をマスクとして、一導電性を付与する不純物を半導体層 5 2 0 に添加して、不純物領域 5 2 6 を形成する（図 1 2 (E) 参照）。なお、ここでは、n 型トランジスタを形成するために、リン (P) やヒ素 (A s) を添加するが、p 型トランジスタを形成する場合には、ホウ素 (B) やアルミニウム (A l) などの不純物を添加すればよい。ここで、添加される不純物の濃度は適宜設定することができる。

【0274】

次に、ゲート電極 5 2 4 の側面にサイドウォール絶縁層 5 2 8 を形成する。サイドウォール絶縁層 5 2 8 は、絶縁層 5 2 2 およびゲート電極 5 2 4 を覆うように絶縁層を形成した

50

後、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層522を部分的にエッチングしてゲート絶縁層522aを形成すると共に、不純物領域526を露出させるとよい。

【0275】

次に、ゲート電極524およびサイドウォール絶縁層528をマスクとして、一導電型を付与する不純物元素を、不純物領域526に添加する。なお、不純物領域526に添加する不純物元素は、先の工程で添加した不純物元素と同じ導電型の不純物元素である。そして、その濃度は、先の工程より高くする。当該不純物元素の添加により、半導体層520に、一对の高濃度不純物領域530と、一对の低濃度不純物領域532と、チャンネル形成領域534とが形成される(図12(G)参照)。高濃度不純物領域530は、ソース領域またはドレイン領域として機能する。

10

【0276】

なお、半導体層520がシリコンを含む材料でなる場合には、ソース領域およびドレイン領域をさらに低抵抗化するために、半導体層520の一部をシリサイド化したシリサイド領域を形成してもよい。シリサイド化は、半導体層に金属を接触させ、加熱処理(例えば、GRTA法、LRTA法等)により、半導体層中のシリコンと金属とを反応させて行う。シリサイド領域としては、コバルトシリサイドまたはニッケルシリサイドを形成すれば良い。半導体層520が薄い場合には、半導体層520の底部までシリサイド反応を進めても良い。シリサイド化に用いることができる金属材料としては、チタン、ニッケル、タングステン、モリブデン、コバルト、ジルコニウム、ハフニウム、タンタル、バナジウム、ネオジウム、クロム、白金、パラジウム等が挙げられる。また、レーザー光の照射などによってもシリサイド領域を形成することができる。

20

【0277】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層536、層間絶縁層538を形成する(図12(H)参照)。層間絶縁層536や層間絶縁層538は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層536と層間絶縁層538の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。層間絶縁層538の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。

30

【0278】

次に、上記層間絶縁層536、538に、高濃度不純物領域530にまで達する開口を形成し、当該開口にソース電極またはドレイン電極540a、ソース電極またはドレイン電極540bを形成する(図12(H)参照)。ソース電極またはドレイン電極540a、ソース電極またはドレイン電極540bの材料や作製方法は、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bなどに関する記載を参照すればよい。

【0279】

以上により、SOI基板を用いたトランジスタ570が形成される(図12(H)参照)。酸化物半導体以外の材料を用いたトランジスタ570は、高速動作が可能であるから、当該トランジスタを用いて、論理回路(演算回路ともいう)などを構成することができる。また、先の実施の形態に示す記憶回路を駆動するための駆動回路などに用いることもできる。

40

【0280】

なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0281】

50

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0282】

(実施の形態8)

本実施の形態では、先に実施の形態に示す半導体装置の応用例につき、図13および図14を用いて説明する。

【0283】

図13(A)および図13(B)は、図5(A-1)に示す半導体装置(以下、メモリセル190とも記載する)を複数用いて形成される半導体装置の回路図である。図13(A)は、メモリセル190が直列に接続された、いわゆるNAND型の半導体装置の回路図である。図13(B)は、メモリセル190が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

10

【0284】

図13(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、m本の第2信号線S2、m本のワード線WLと、複数のメモリセル190(1,1)~190(m,1)が、縦m個(行)×横1個(列)に配置されている。なお、図13(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られない。ソース線SLおよびビット線BLをn本有することで、縦m個(行)×横n個(列)のメモリセルアレイを有する構成としてもよい。

【0285】

各メモリセル190において、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電氣的に接続されている。また、第1信号線S1とトランジスタ162のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子164の電極の他方は電氣的に接続されている。

20

【0286】

また、メモリセル190が有するトランジスタ160のソース電極は、隣接するメモリセル190のトランジスタ160のドレイン電極と電氣的に接続され、メモリセル190が有するトランジスタ160のドレイン電極は、隣接するメモリセル190のトランジスタ160のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル190が有するトランジスタ160のドレイン電極は、ビット線と電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル190が有するトランジスタ160のソース電極は、ソース線と電氣的に接続される。

30

【0287】

図13(A)に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ162がオン状態となる電位を与え、書き込みを行う行のトランジスタ162をオン状態にする。これにより、指定した行のトランジスタ160のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

40

【0288】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ160のゲート電極の電荷によらず、トランジスタ160がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ160のゲート電極が有する電荷によって、トランジスタ160のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ピッ

50

ト線 B L 間の複数のトランジスタ 1 6 0 は、読み出しを行う行を除いてオン状態なので、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 1 6 0 の状態によって決定される。つまり、読み出しを行う行のトランジスタ 1 6 0 のゲート電極が有する電荷によって、読み出し回路が読み出すビット線 B L の電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

【 0 2 8 9 】

図 1 3 (B) に示す半導体装置は、 n 本のソース線 S L、ビット線 B L および第 1 信号線 S 1 と、 m 本の第 2 信号線 S 2 およびワード線 W L と、複数のメモリセル 1 9 0 (1、1) ~ 1 9 0 (m 、 n) が、縦 m 個 (行) × 横 n 個 (列) のマトリクス状に配置されたメモリセルアレイ 1 8 1 を有する。各トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方と、容量素子 1 6 4 の電極の一方とは、電氣的に接続されている。また、ソース線 S L とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、ビット線 B L とトランジスタ 1 6 0 のドレイン電極とは、電氣的に接続されている。また、第 1 信号線 S 1 とトランジスタ 1 6 2 のソース電極またはドレイン電極の他方とは、電氣的に接続され、第 2 信号線 S 2 と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、ワード線 W L と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。

10

【 0 2 9 0 】

図 1 3 (B) に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図 1 3 (A) に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線 W L に、トランジスタ 1 6 0 のゲート電極の電荷によらず、トランジスタ 1 6 0 がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ 1 6 0 をオフ状態とする。それから、読み出しを行う行のワード線 W L に、トランジスタ 1 6 0 のゲート電極が有する電荷によって、トランジスタ 1 6 0 のオン状態またはオフ状態が選択されるような電位 (読み出し電位) を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路 (図示しない) を動作状態とする。ここで、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 1 6 0 の状態によって決定される。つまり、読み出しを行う行のトランジスタ 1 6 0 のゲート電極が有する電荷によって、読み出し回路が読み出すビット線 B L の電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

20

30

【 0 2 9 1 】

次に、図 1 3 に示す半導体装置などに用いることができる読出し回路の一例について図 1 4 を用いて説明する。

【 0 2 9 2 】

図 1 4 (A) には、読み出し回路の概略を示す。当該読出し回路は、トランジスタとセンスアンプ回路を有する。

【 0 2 9 3 】

読み出し時には、端子 A は読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位 V_{bias} が印加され、端子 A の電位が制御される。

40

【 0 2 9 4 】

メモリセル 1 9 0 は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル 1 9 0 のトランジスタ 1 6 0 がオン状態の場合には低抵抗状態となり、選択したメモリセル 1 9 0 のトランジスタ 1 6 0 がオフ状態の場合には高抵抗状態となる。

【 0 2 9 5 】

メモリセルが高抵抗状態の場合、端子 A の電位が参照電位 V_{ref} より高くなり、センスアンプ回路は端子 A の電位に対応する電位 (データ " 1 ") を出力する。一方、メモリセルが低抵抗状態の場合、端子 A の電位が参照電位 V_{ref} より低くなり、センスアンプ回

50

路は端子 A の電位に対応する電位（データ " 0 " ）を出力する。

【 0 2 9 6 】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位 V_{ref} の代わりに参照用のビット線が接続される構成としても良い。

【 0 2 9 7 】

図 1 4 (B) に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 V_{out} を有し、 $V_{in}(+)$ と $V_{in}(-)$ の差を増幅する。 $V_{in}(+) > V_{in}(-)$ であれば V_{out} は、概ね High 出力、 $V_{in}(+) < V_{in}(-)$ であれば V_{out} は、概ね Low 出力となる。

10

【 0 2 9 8 】

図 1 4 (C) に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子 V_1 および V_2 と、制御用信号 S_p 、 S_n の入力端子を有する。まず、制御用信号 S_p を High、制御用信号 S_n を Low として、電源電位 (V_{dd}) を遮断する。そして、比較を行う電位を V_1 と V_2 に与える。その後、制御用信号 S_p を Low、制御用信号 S_n を High として、電源電位 (V_{dd}) を供給すると、比較を行う電位 V_{1in} と V_{2in} が $V_{1in} > V_{2in}$ の関係にあれば、 V_1 の出力は High、 V_2 の出力は Low となり、 $V_{1in} < V_{2in}$ の関係にあれば、 V_1 の出力は Low、 V_2 の出力は High となる。このような関係を利用して、 V_{1in} と V_{2in} の差を増幅することができる。

20

【 0 2 9 9 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【 0 3 0 0 】

（実施の形態 9）

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図 1 5 を参照して説明する。

【 0 3 0 1 】

図 1 5 (A) には、いわゆる DRAM (Dynamic Random Access Memory) に相当する構成の半導体装置の一例を示す。図 1 5 (A) に示すメモリセルアレイ 6 2 0 は、複数のメモリセル 6 3 0 がマトリクス状に配列された構成を有している。また、メモリセルアレイ 6 2 0 は、 m 本の第 1 の配線、および n 本の第 2 の配線を有する。なお、メモリセル 6 3 0 は、図 5 (B) に示す半導体装置に相当するものである。なお、本実施の形態においては、図 5 (B) における第 1 の配線をビット線 BL と呼び、第 2 の配線をワード線 WL と呼ぶ。

30

【 0 3 0 2 】

メモリセル 6 3 0 は、トランジスタ 6 3 1 と、容量素子 6 3 2 と、から構成されている。トランジスタ 6 3 1 のゲート電極は、第 1 の配線（ワード線 WL）と接続されている。また、トランジスタ 6 3 1 のソース電極またはドレイン電極の一方は、第 2 の配線（ビット線 BL）と接続されており、トランジスタ 6 3 1 のソース電極またはドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線 CL と接続され、一定の電位が与えられている。トランジスタ 6 3 1 には、先の実施の形態に示すトランジスタが適用される。

40

【 0 3 0 3 】

先の実施の形態において示したトランジスタは、オフ電流が極めて小さいという特徴を有する。このため、いわゆる DRAM として認識されている図 1 5 (A) に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

【 0 3 0 4 】

50

図15(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図15(B)に示すメモリセルアレイ640は、複数のメモリセル650がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ640は、第1の配線(ワード線WL)、第2の配線(ビット線BL)および第3の配線(反転ビット線/BL)をそれぞれ複数本有する。

【0305】

メモリセル650は、第1のトランジスタ651~第6のトランジスタ656を有している。第1のトランジスタ651と第2のトランジスタ652は、選択トランジスタとして機能する。また、第3のトランジスタ653と第4のトランジスタ654のうち、一方はnチャンネル型トランジスタ(ここでは、第4のトランジスタ654)であり、他方はpチャンネル型トランジスタ(ここでは、第3のトランジスタ653)である。つまり、第3のトランジスタ653と第4のトランジスタ654によってCMOS回路が構成されている。同様に、第5のトランジスタ655と第6のトランジスタ656によってCMOS回路が構成されている。

10

【0306】

第1のトランジスタ651、第2のトランジスタ652、第4のトランジスタ654、第6のトランジスタ656は、nチャンネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ653と第5のトランジスタ655は、pチャンネル型のトランジスタであり、酸化物半導体、またはそれ以外の材料(例えば、シリコンなど)を用いて形成することができる。

20

【0307】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【0308】

(実施の形態10)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図16を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ等のカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

30

【0309】

図16(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

40

【0310】

図16(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0311】

図16(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部7

50

25および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0312】

図16(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図16(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

10

20

【0313】

図16(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0314】

図16(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。先の実施の形態に示す半導体装置は、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

30

【0315】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

40

【実施例1】

【0316】

開示する発明の一態様にかかる半導体装置の書き換え可能回数につき調査した。本実施例では、当該調査結果につき、図17を参照して説明する。

【0317】

調査に用いた半導体装置は、図5(A-1)に示す回路構成の半導体装置である。ここで、トランジスタ162に相当するトランジスタには酸化物半導体を用いた。また、容量素子164に相当する容量素子として、0.33pFの容量値のものを用いた。

【0318】

50

調査は、初期のメモリウィンドウ幅と、データの保持およびデータの書き込みを所定回数繰り返した後のメモリウィンドウ幅とを比較することにより行った。データの保持およびデータの書き込みは、図5(A-1)における第3の配線に相当する配線に0V、または5Vのいずれかを与え、第4の配線に相当する配線に、0V、または5Vのいずれかを与えることにより行った。第4の配線に相当する配線の電位が0Vの場合には、トランジスタ162に相当するトランジスタはオフ状態であるから、フローティングゲート部FGに与えられた電位が保持される。第4の配線に相当する配線の電位が5Vの場合には、トランジスタ162に相当するトランジスタはオン状態であるから、第3の配線に相当する配線の電位がフローティングゲート部FGに与えられる。

【0319】

メモリウィンドウ幅とは記憶装置の特性を示す指標の一つである。ここでは、異なる記憶状態の間での、第5の配線に相当する配線の電位 V_{cg} と、トランジスタ160に相当するトランジスタのドレイン電流 I_d との関係を示す曲線($V_{cg}-I_d$ 曲線)の、シフト量 V_{cg} をいうものとする。異なる記憶状態とは、フローティングゲート部FGに0Vが与えられた状態(以下、Low状態という)と、フローティングゲート部FGに5Vが与えられた状態(以下、High状態という)をいう。つまり、メモリウィンドウ幅は、Low状態とHigh状態において、電位 V_{cg} の掃引を行うことで確認できる。またいずれの場合も、 $V_{ds} = 1V$ とした。

【0320】

図17に、初期状態のメモリウィンドウ幅と、 1×10^9 回の書き込みを行った後のメモリウィンドウ幅の調査結果を示す。図17において、実線は1回目の書き込みを示し、破線は 1×10^9 回目の書き込みを示す。また、実線と破線双方において、左側の曲線はHigh状態の書き込みを示し、右側の曲線はLow状態の書き込みを示す。また、横軸は V_{cg} (V)を示し、縦軸は I_d (A)を示す。図17から、 1×10^9 回の書き込み前後において、High状態とLow状態において電位 V_{cg} を掃引したメモリウィンドウ幅が変化していないことが確認できる。 1×10^9 回の書き込み前後においてメモリウィンドウ幅が変化しないということは、少なくともこの間は、半導体装置の特性が変化しないことを示すものである。

【0321】

上述のように、開示する発明の一態様に係る半導体装置は、保持および書き込みを多数回繰り返しても特性が変化しない。つまり、開示する発明の一態様によって、極めて信頼性の高い半導体装置が実現されるといえる。

【符号の説明】

【0322】

- 10 メモリセルアレイ
- 20 コラムデコーダ
- 30 ローデコーダ
- 40 I/Oコントローラ
- 50 I/Oバッファ
- 60 コマンドバッファ
- 70 アドレスバッファ
- 80 コントローラ
- 100 基板
- 102 保護層
- 104 半導体領域
- 106 素子分離絶縁層
- 108 ゲート絶縁層
- 110 ゲート電極
- 112 絶縁層
- 114 不純物領域

10

20

30

40

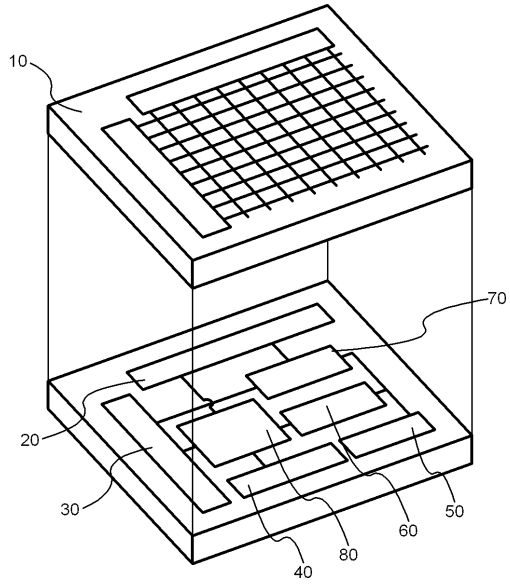
50

1 1 6	チャンネル形成領域	
1 1 8	サイドウォール絶縁層	
1 2 0	高濃度不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース電極またはドレイン電極	
1 3 0 b	ソース電極またはドレイン電極	
1 3 2	絶縁層	10
1 3 4	絶縁層	
1 3 8	絶縁層	
1 4 2 a	ソース電極またはドレイン電極	
1 4 2 b	ソース電極またはドレイン電極	
1 4 2 c	電極	
1 4 2 d	電極	
1 4 3	絶縁層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	20
1 4 8 b	電極	
1 5 0	層間絶縁層	
1 5 2	層間絶縁層	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	トランジスタ	
1 8 1	メモリセルアレイ	
1 9 0	メモリセル	
2 0 0	被処理物	30
2 0 2	絶縁層	
2 0 6	酸化物半導体層	
2 0 6 a	酸化物半導体層	
2 0 8 a	ソース電極またはドレイン電極	
2 0 8 b	ソース電極またはドレイン電極	
2 1 2	ゲート絶縁層	
2 1 4	ゲート電極	
2 1 6	層間絶縁層	
2 1 8	層間絶縁層	
2 5 0	トランジスタ	40
3 0 0	被処理物	
3 0 2	絶縁層	
3 0 4	第1の酸化物半導体層	
3 0 4 a	第1の酸化物半導体層	
3 0 5	第2の酸化物半導体層	
3 0 6	第2の酸化物半導体層	
3 0 6 a	第2の酸化物半導体層	
3 0 8 a	ソース電極またはドレイン電極	
3 0 8 b	ソース電極またはドレイン電極	
3 1 2	ゲート絶縁層	50

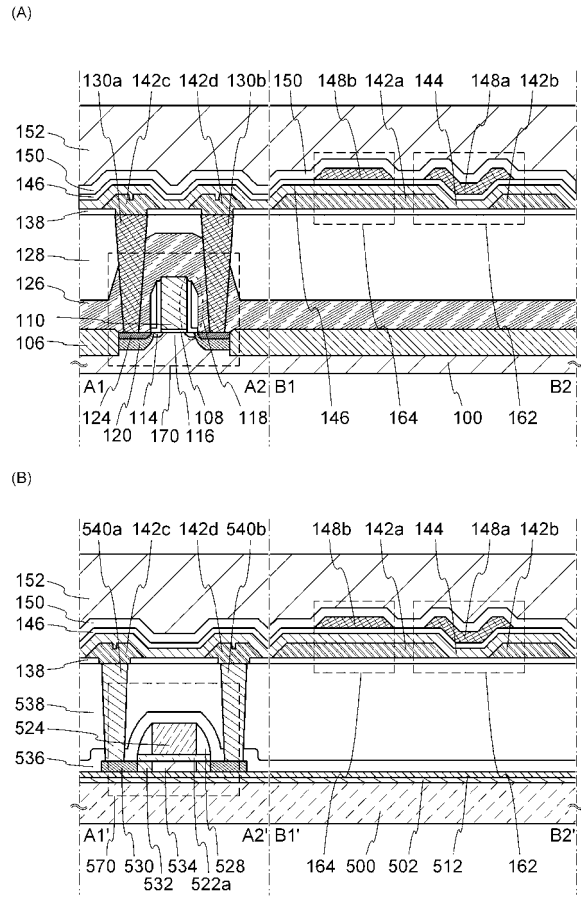
3 1 4	ゲート電極	
3 1 6	層間絶縁層	
3 1 8	層間絶縁層	
3 5 0	トランジスタ	
4 0 0	被処理物	
4 0 2	絶縁層	
4 0 6	酸化物半導体層	
4 0 6 a	酸化物半導体層	
4 0 8	導電層	
4 0 8 a	ソース電極またはドレイン電極	10
4 0 8 b	ソース電極またはドレイン電極	
4 1 0	絶縁層	
4 1 0 a	絶縁層	
4 1 0 b	絶縁層	
4 1 1 a	酸化領域	
4 1 1 b	酸化領域	
4 1 2	ゲート絶縁層	
4 1 4	ゲート電極	
4 1 6	層間絶縁層	
4 1 8	層間絶縁層	20
4 5 0	トランジスタ	
5 0 0	ベース基板	
5 0 2	窒素含有層	
5 1 0	単結晶半導体基板	
5 1 2	酸化膜	
5 1 4	脆化領域	
5 1 6	単結晶半導体層	
5 1 8	単結晶半導体層	
5 2 0	半導体層	
5 2 2	絶縁層	30
5 2 2 a	ゲート絶縁層	
5 2 4	ゲート電極	
5 2 6	不純物領域	
5 2 8	サイドウォール絶縁層	
5 3 0	高濃度不純物領域	
5 3 2	低濃度不純物領域	
5 3 4	チャネル形成領域	
5 3 6	層間絶縁層	
5 3 8	層間絶縁層	
5 4 0 a	ソース電極またはドレイン電極	40
5 4 0 b	ソース電極またはドレイン電極	
5 7 0	トランジスタ	
6 2 0	メモリセルアレイ	
6 3 0	メモリセル	
6 3 1	トランジスタ	
6 3 2	容量素子	
6 4 0	メモリセルアレイ	
6 5 0	メモリセル	
6 5 1	トランジスタ	
6 5 2	トランジスタ	50

6 5 3	トランジスタ	
6 5 4	トランジスタ	
6 5 5	トランジスタ	
6 5 6	トランジスタ	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	10
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	20
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	30
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	40
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	

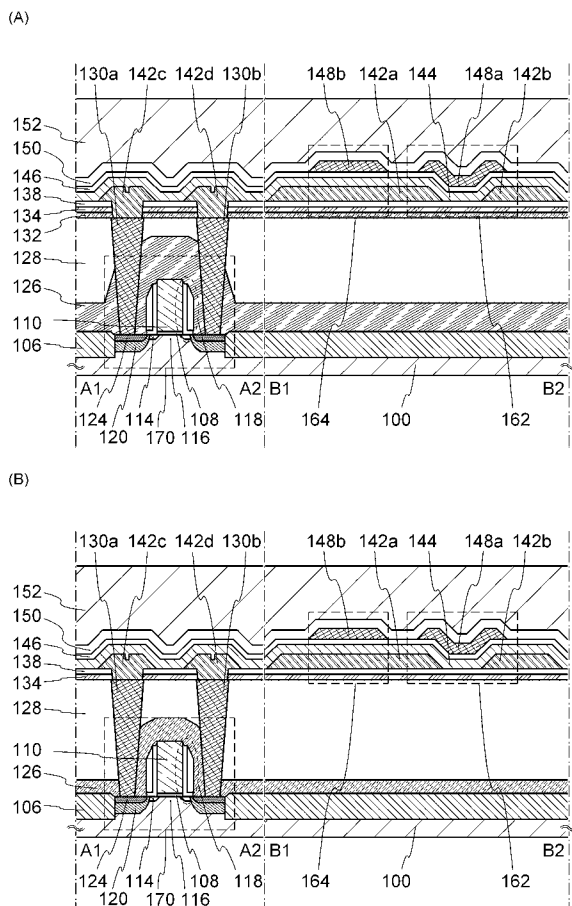
【 図 1 】



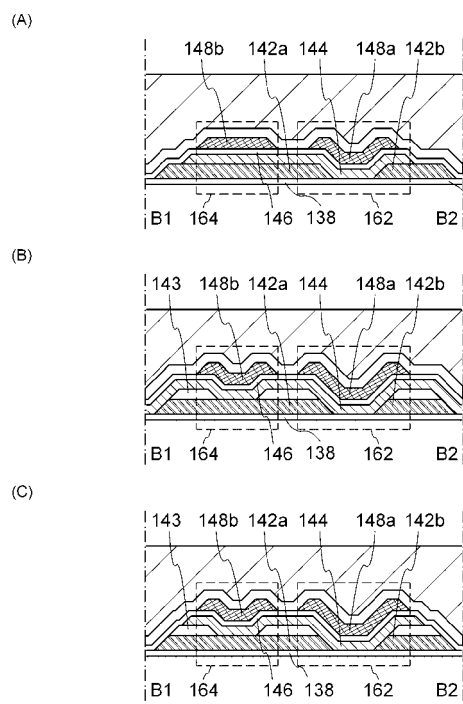
【 図 2 】



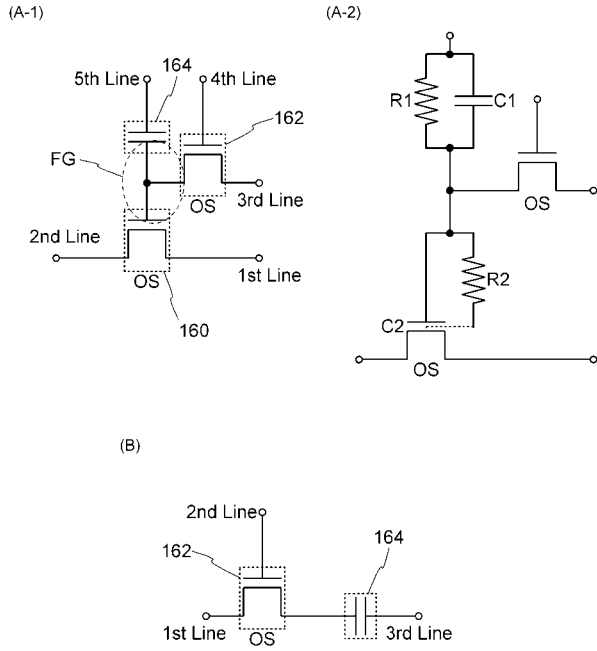
【 図 3 】



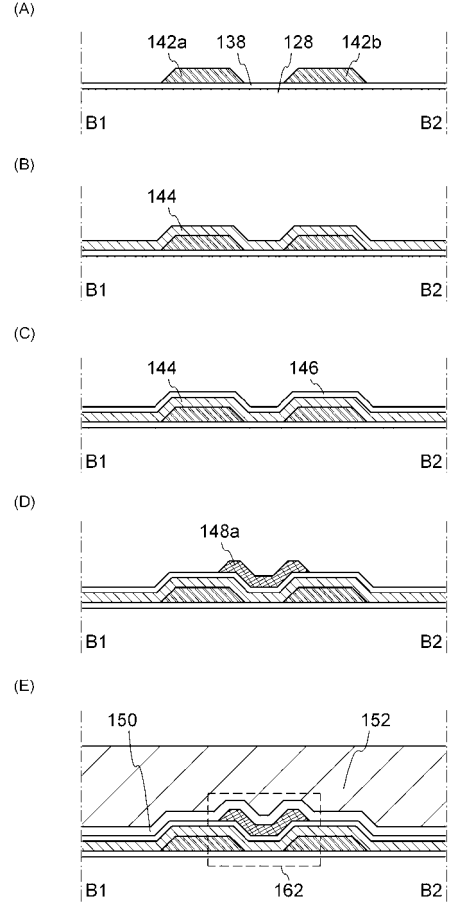
【 図 4 】



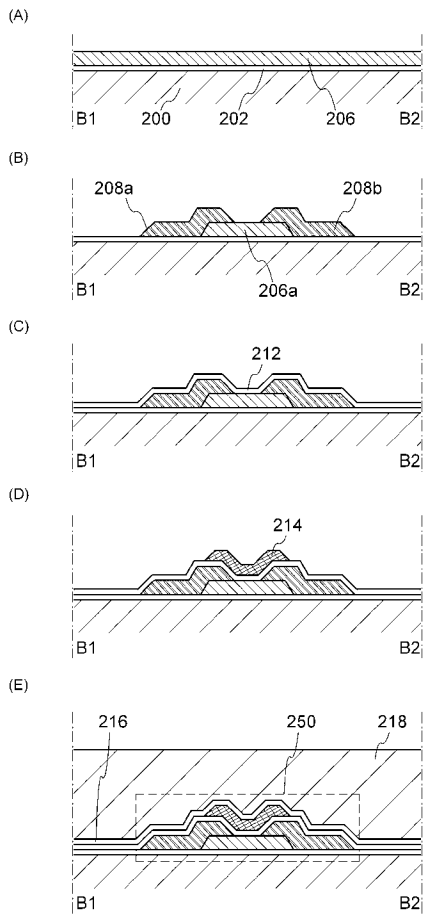
【 図 5 】



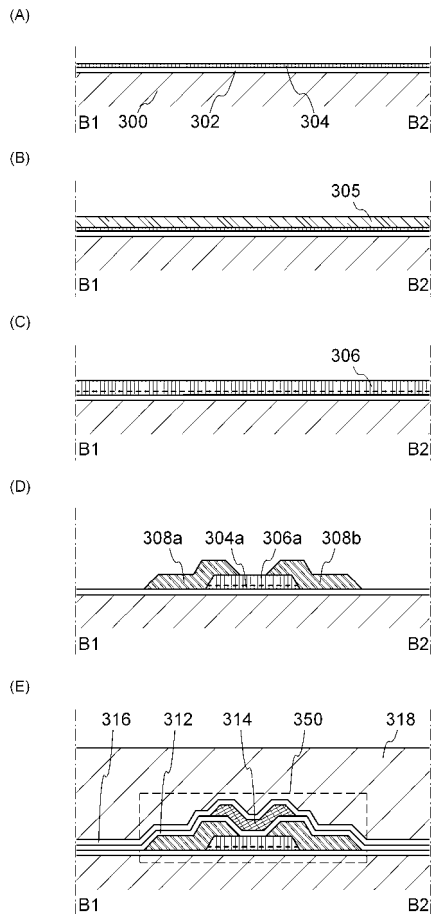
【 図 6 】



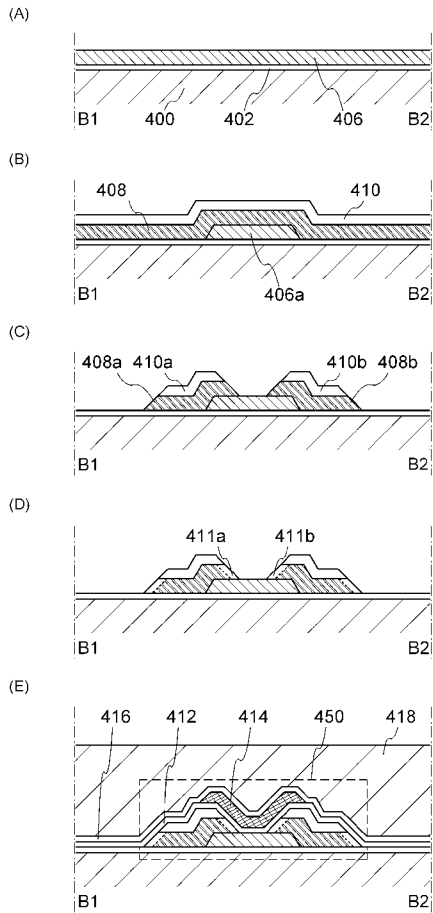
【 図 7 】



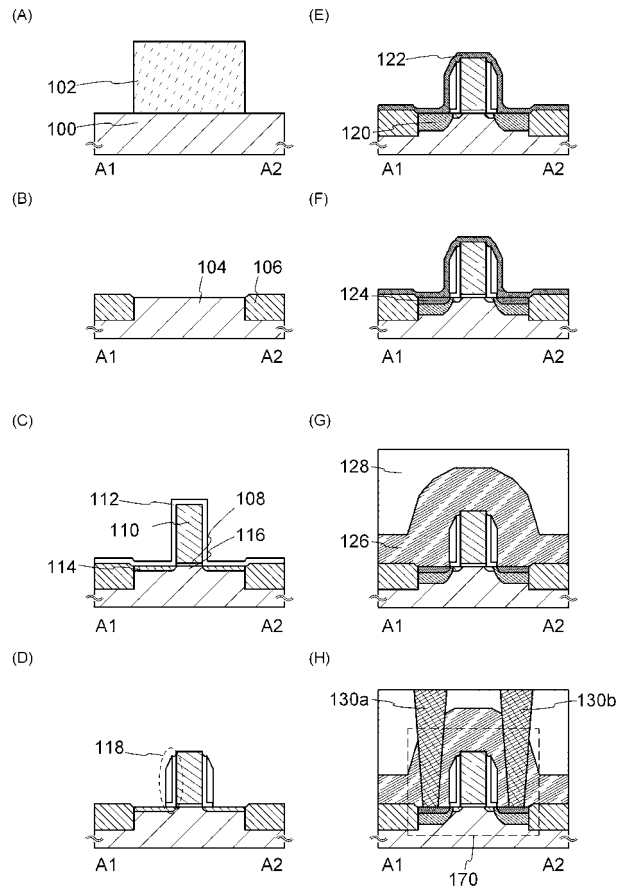
【 図 8 】



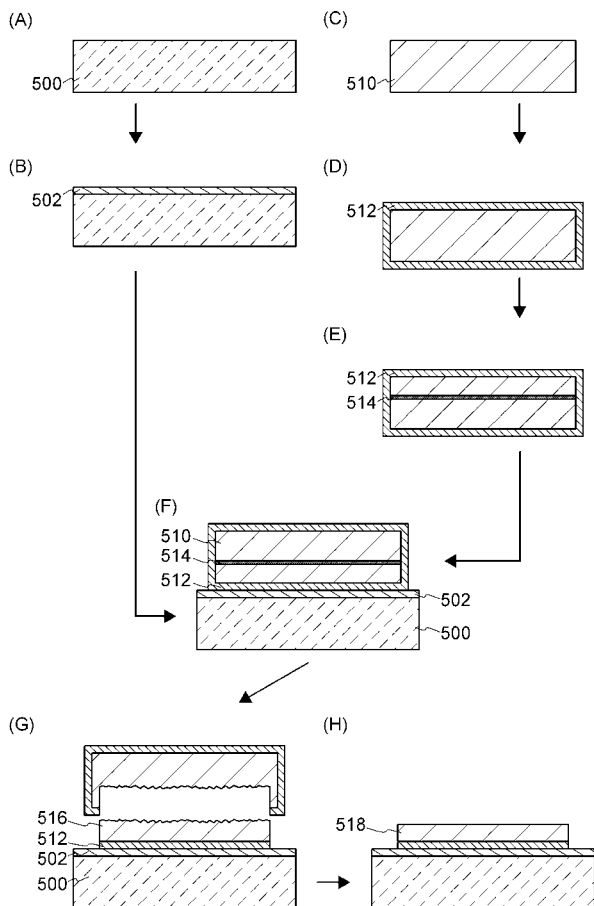
【 図 9 】



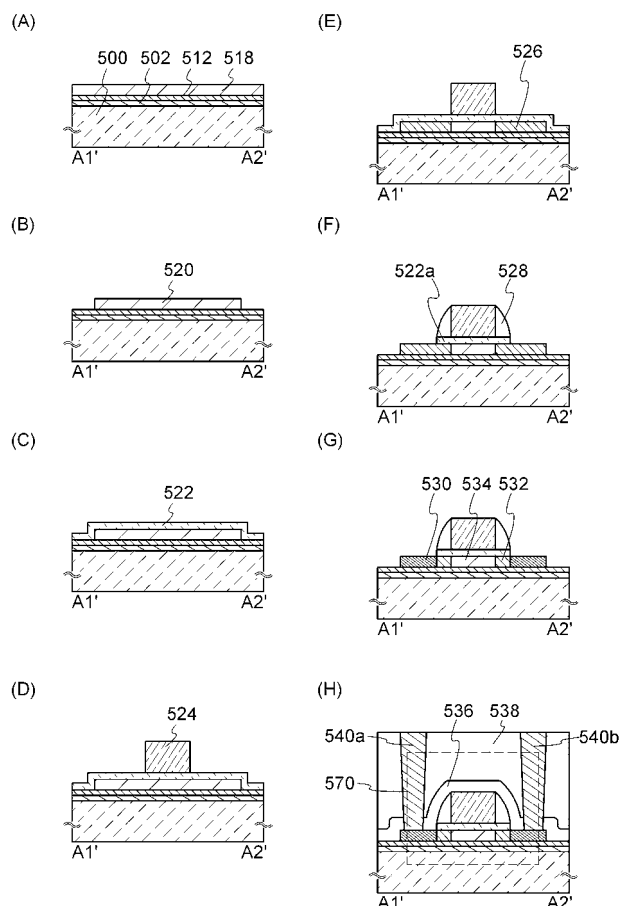
【 図 1 0 】



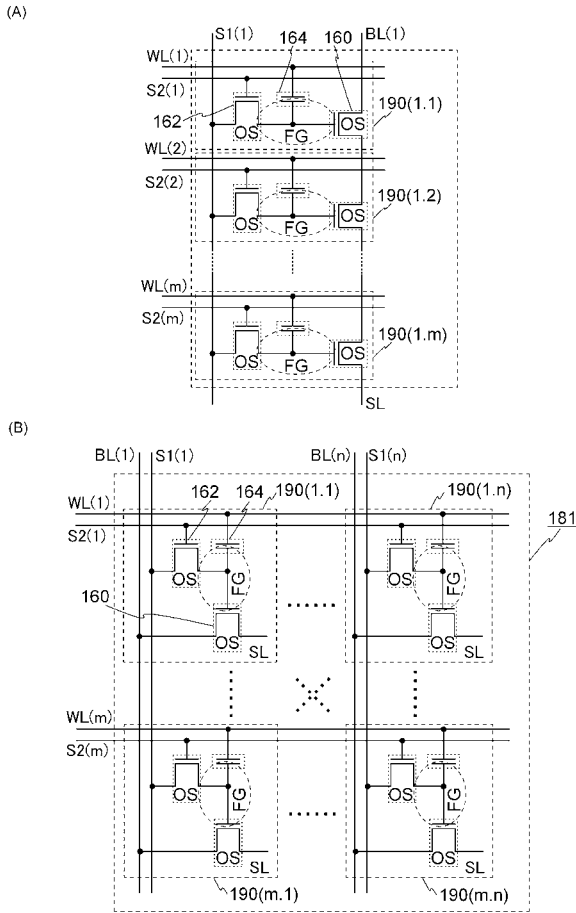
【 図 1 1 】



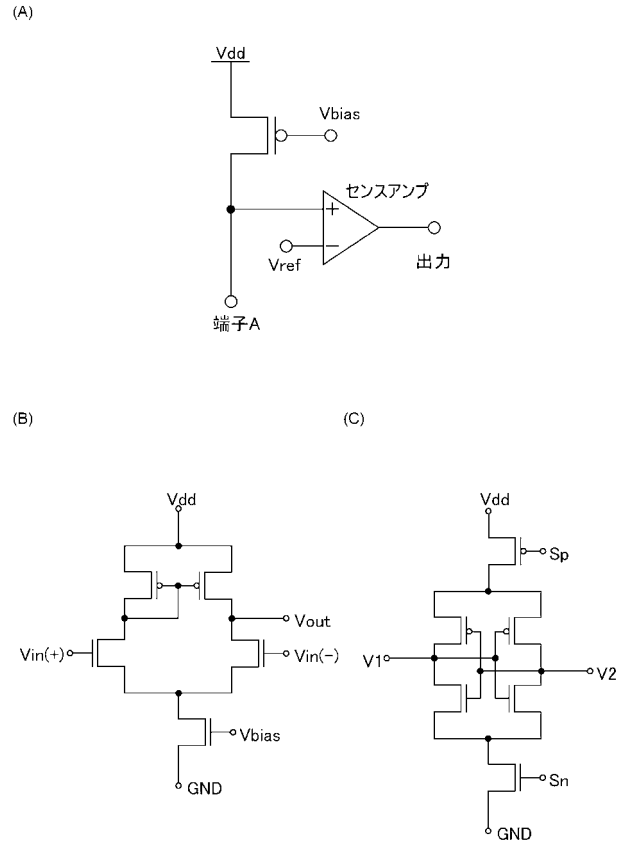
【 図 1 2 】



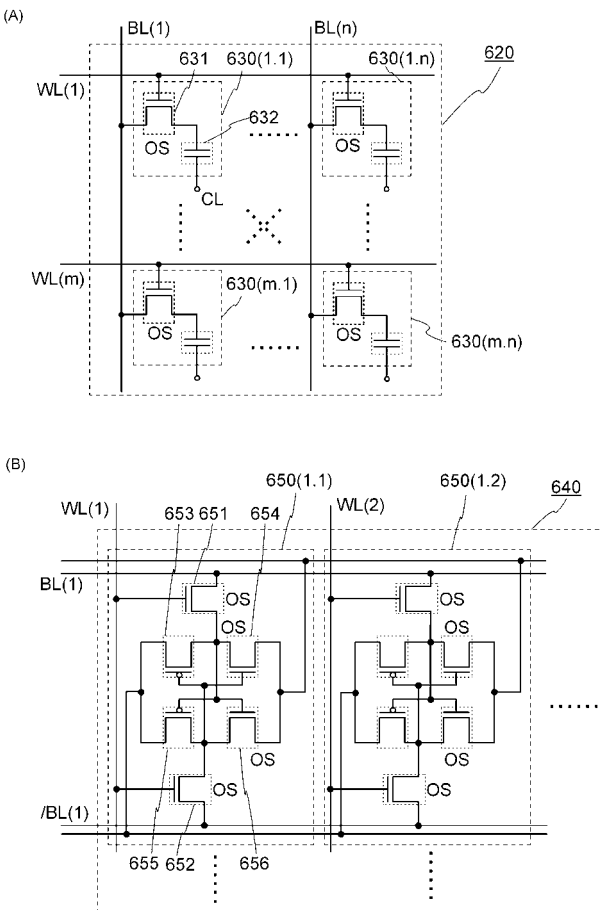
【図13】



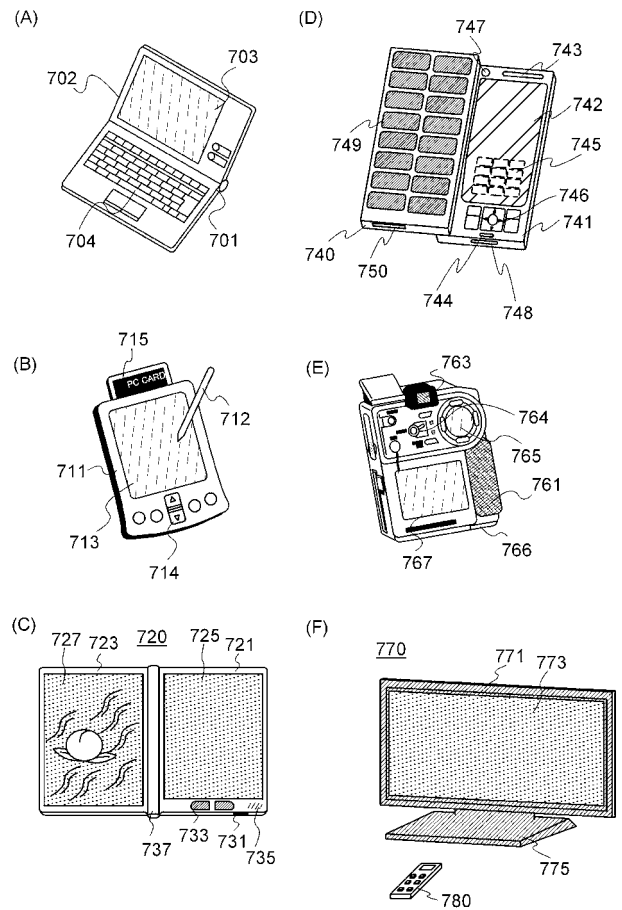
【図14】



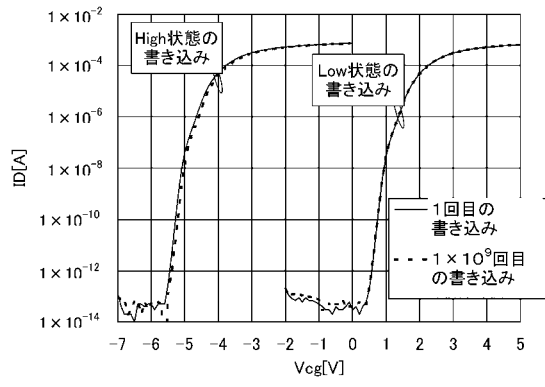
【図15】



【図16】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/792 (2006.01)		H 0 1 L	27/088	E
H 0 1 L 21/8234 (2006.01)		H 0 1 L	27/088	3 3 1 E
H 0 1 L 27/06 (2006.01)		H 0 1 L	29/78	6 1 3 Z
H 0 1 L 27/088 (2006.01)		H 0 1 L	29/78	6 1 3 B
H 0 1 L 29/786 (2006.01)		H 0 1 L	29/78	6 1 8 B

F ターム(参考)	5F048	AA01	AB01	AB03	AC01	AC10	BA01	BA14	BA15	BA16	BA19
		BA20	BB03	BB05	BB09	BB11	BC06	BC18	BD10	BF02	BF06
		BF15	BF16	BF17	BG13	CB01	CB03	DA24	DA30		
	5F083	AD02	AD21	AD69	EP02	EP76	EP77	GA01	GA05	GA06	GA10
		HA02	HA06	JA02	JA05	JA06	JA19	JA35	JA36	JA37	JA38
		JA39	JA40	JA42	JA56	JA58	JA60	LA12	LA16	LA20	NA01
		PR22	PR33	PR34	PR36	PR40	ZA12	ZA13			
	5F101	BA01	BB12	BD12	BD20	BD30	BD34	BD39	BE02	BF02	BF03
		BF05	BH09	BH16							
	5F110	AA01	AA06	AA09	AA14	BB05	BB11	CC01	CC03	CC05	CC07
		DD01	DD02	DD03	DD04	DD05	DD06	DD12	DD13	DD14	DD15
		DD17	EE01	EE02	EE03	EE04	EE06	EE07	EE09	EE32	EE42
		EE43	EE44	EE45	FF01	FF02	FF03	FF04	FF06	FF09	FF23
		FF26	FF28	FF29	FF30	FF36	GG01	GG02	GG03	GG04	GG06
		GG07	GG15	GG16	GG17	GG19	GG22	GG23	GG25	GG28	GG33
		GG34	GG35	GG43	GG57	GG58	HK01	HK02	HK03	HK04	HK05
		HK06	HK07	HK18	HK21	HK22	HK33	HK34	HK42	HL01	HL02
		HL03	HL04	HL09	HL11	HL22	HL23	HL24	HM01	HM03	HM15
		NN03	NN22	NN23	NN24	NN27	NN28	NN34	NN35	NN72	NN74
		NN78	PP02	PP10	PP13	PP23	QQ04	QQ09	QQ17	QQ19	