



(12) 发明专利

(10) 授权公告号 CN 110957320 B

(45) 授权公告日 2024. 05. 21

(21) 申请号 201811133685.1

CN 103367317 A, 2013.10.23

(22) 申请日 2018.09.27

CN 108231738 A, 2018.06.29

(65) 同一申请的已公布的文献号

CN 209045554 U, 2019.06.28

申请公布号 CN 110957320 A

CN 210575894 U, 2020.05.19

(43) 申请公布日 2020.04.03

KR 20110080511 A, 2011.07.13

(73) 专利权人 长鑫存储技术有限公司

KR 20140078473 A, 2014.06.25

地址 230601 安徽省合肥市经济技术开发

US 2004178433 A1, 2004.09.16

区翠微路6号海恒大厦630室

US 6300683 B1, 2001.10.09

审查员 黄宇

(72) 发明人 巩金峰

(51) Int. Cl.

H10B12/00 (2023.01)

(56) 对比文件

CN 101257025 A, 2008.09.03

CN 101459107 A, 2009.06.17

CN 101777520 A, 2010.07.14

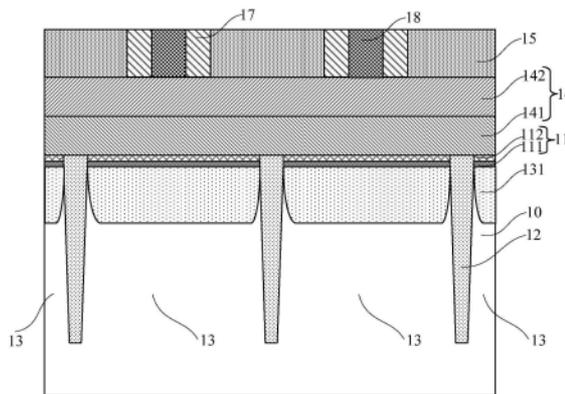
权利要求书4页 说明书19页 附图29页

(54) 发明名称

半导体结构、存储器结构及其制备方法

(57) 摘要

本发明提供一种半导体结构、存储器结构及其制备方法,包括如下步骤:1) 提供一半导体基底,于半导体基底的表面形成垫层结构;于半导体基底及垫层结构内形成浅沟槽隔离结构,于半导体基底内隔离出若干个间隔排布的有源区;2) 于垫层结构的表面形成硬掩膜层、底部抗反射层及光刻胶层,光刻胶层中形成有第一开口图形;3) 依据光刻胶层刻蚀底部抗反射层,以于底部抗反射层内形成第二开口图形;4) 于第二开口图形侧壁形成侧墙结构;5) 于侧墙结构之外的第二开口图形内形成填充层。本发明在基于所述半导体结构制备埋入式栅极字线及位线接触时,不需要光刻工艺来定义位线接触孔,可以避免光刻曝光偏移,确保位线接触的精确对准。



1. 一种半导体结构的制备方法,其特征在于,包括如下步骤:

1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;及

5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率。

2. 根据权利要求1所述的半导体结构的制备方法,其特征在于,步骤1) 与步骤2) 之间还包括如下步骤:

去除所述垫层结构;

于所述有源区内进行离子注入,以于所述有源区内形成深阱区域;及

于离子注入后的所述半导体基底表面再次形成垫层结构;其中,步骤2) 中,于再次形成的所述垫层结构的表面依次形成所述硬掩膜层、所述底部抗反射层及所述光刻胶层。

3. 根据权利要求1或2所述的半导体结构的制备方法,其特征在于,所述垫层结构包括:

垫氧化层,位于所述半导体基底的表面;及

垫氮化层,位于所述垫氧化层的表面。

4. 根据权利要求1所述的半导体结构的制备方法,其特征在于,步骤2) 中,于所述垫层结构的表面形成所述硬掩膜层包括如下步骤:

于所述垫层结构表面形成第一硬掩膜层;及

于所述第一硬掩膜层表面形成第二硬掩膜层。

5. 一种半导体结构,其特征在于,包括:

半导体基底;

垫层结构,位于所述半导体基底的表面;

浅沟槽隔离结构,位于所述半导体基底及所述垫层结构内,以于所述半导体基底内隔离出若干个间隔排布的有源区;

硬掩膜层,位于所述垫层结构的表面;

底部抗反射涂层,位于所述硬掩膜层的表面;

填充层,位于所述底部抗反射涂层内,所述填充层定义出需要形成的位线接触的位置及形状;及

侧墙结构,位于所述底部抗反射涂层内,且位于所述填充层的外侧,所述侧墙结构定义

出需要形成的埋入式栅极字线的位置及形状;其中,

于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率;

所述填充层是氮化物层,所述侧墙结构是氧化物侧墙结构。

6. 根据权利要求5所述的半导体结构,其特征在于,所述有源区内还形成有深阱区域。

7. 根据权利要求5所述的半导体结构,其特征在于,所述垫层结构包括:

垫氧化层,位于所述半导体基底的表面;

垫氮化层,位于所述垫氧化层的表面。

8. 根据权利要求5所述的半导体结构,其特征在于,所述硬掩膜层包括:

第一硬掩膜层,位于所述垫层结构的表面;及

第二硬掩膜层,位于所述第一硬掩膜层的表面。

9. 一种存储器结构的制备方法,其特征在于,包括以下步骤:

1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;

5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率;

6) 刻蚀去除所述侧墙结构、位于所述埋入式栅极字线区域的所述硬掩膜层,以于所述底部抗反射层及所述硬掩膜层内形成图形沟道,所述图形沟道定义出所述埋入式栅极字线的位置及形状;

7) 去除所述填充层及所述底部抗反射层;

8) 去除所述图形沟道底部的所述垫层结构,并去除所述位线接触区域之外的所述硬掩膜层;

9) 依据所述图形沟道刻蚀所述半导体基底,以于所述半导体基底内形成埋入式栅极字线沟槽;

10) 于所述埋入式栅极字线沟槽内形成埋入式栅极字线,所述埋入式栅极字线的上表面低于所述半导体基底的上表面;

11) 于所述埋入式栅极字线沟槽内及所述垫层结构表面形成介质层;所述介质层填满所述埋入式栅极字线沟槽并覆盖所述垫层结构的表面;

12) 去除所述位线接触区域的所述硬掩膜层并刻蚀所述半导体基底,以于所述介质层及所述半导体基底内形成位线接触孔,所述位线接触孔的底部陷入于所述半导体基底内;及

13) 于所述位线接触孔内填充接触材料,以形成位线接触。

10. 根据权利要求9所述的存储器结构的制备方法,其特征在于,步骤1)与步骤2)之间还包括如下步骤:

去除所述垫层结构;

于所述有源区内进行离子注入,以于所述有源区内形成深阱区域;及

于离子注入后的所述半导体基底表面再次形成垫层结构;其中,步骤2)中,于再次形成的所述垫层结构的表面依次形成所述硬掩膜层、所述底部抗反射层及所述光刻胶层。

11. 根据权利要求9或10所述的存储器结构的制备方法,其特征在于,所述垫层结构包括:

垫氧化层,位于所述半导体基底的表面;及

垫氮化层,位于所述垫氧化层的表面。

12. 根据权利要求9所述的存储器结构的制备方法,其特征在于,步骤2)中,于所述垫层结构的表面形成所述硬掩膜层包括如下步骤:

于所述垫层结构表面形成第一硬掩膜层;及

于所述第一硬掩膜层表面形成第二硬掩膜层。

13. 根据权利要求12所述的存储器结构的制备方法,其特征在于,步骤7)包括如下步骤:

7-1) 刻蚀去除所述底部抗反射层;

7-2) 刻蚀去除所述位线接触区域之外的所述第二硬掩膜层;及

7-3) 去除所述填充层。

14. 根据权利要求13所述的存储器结构的制备方法,其特征在于,步骤8)包括如下步骤:

8-1) 去除所述图形沟道底部的所述垫层结构;

8-2) 去除所述位线接触区域之外的所述第一硬掩膜层;及

8-3) 去除所述位线接触区域的所述第二硬掩膜层。

15. 根据权利要求9所述的存储器结构的制备方法,其特征在于,步骤10)包括如下步骤:

10-1) 于所述埋入式栅极字线沟槽的侧壁及底部形成栅极氧化层;

10-2) 于所述埋入式栅极字线沟槽内及所述垫层结构表面形成栅极导电层,所述栅极导电层填满所述埋入式栅极字线沟槽及所述位线接触区域之间的间隙,并覆盖保留的所述硬掩膜层;

10-3) 采用化学研磨工艺去除部分所述栅极导电层,使得保留的所述栅极导电层的上表面与保留的所述硬掩膜层的上表面相平齐;及

10-4) 回刻所述栅极导电层,以去除位于所述垫层结构表面的所述栅极导电层,并去除部分位于所述埋入式栅极字线沟槽内的所述栅极导电层,以形成所述埋入式栅极字线。

16. 一种存储器结构,其特征在于,包括:

半导体基底,所述半导体基底内形成有浅沟槽隔离结构,所述浅沟槽隔离结构在所述半导体基底内隔离出若干个间隔排布的有源区;

若干个间隔排布的埋入式栅极字线,位于所述有源区内,且所述埋入式栅极字线的上表面低于所述半导体基底的上表面;

位线接触,位于所述半导体基底上;及

介质层,位于所述埋入式栅极字线的表面,且填满所述位线接触之间的间隙;

其中,通过形成侧墙结构定义出需要形成的所述埋入式栅极字线的位置及形状,通过形成填充层定义出需要形成的所述位线接触的位置及形状,所述侧墙结构是氧化物侧墙结构,所述填充层是氮化物层。

17.根据权利要求16所述的存储器结构,其特征在于,所述有源区内还形成有深阱区域。

18.根据权利要求16所述的存储器结构,其特征在于,所述存储器结构还包括垫层结构,所述垫层结构位于所述埋入式栅极字线及所述位线接触之间的所述半导体基底的表面。

19.根据权利要求18所述的存储器结构,其特征在于,所述垫层结构包括:

垫氧化层,位于所述半导体基底的表面;及

垫氮化层,位于所述垫氧化层的表面。

20.根据权利要求16所述的存储器结构,其特征在于,所述位线接触的底部陷入于所述半导体基底内。

21.根据权利要求16所述的存储器结构,其特征在于,所述埋入式栅极字线包括:

栅极导电层,位于所述有源区内,所述栅极导电层的上表面低于所述半导体基底的上表面;及

栅极氧化层,位于所述有源区内,且位于所述栅极导电层与所述半导体基底之间。

## 半导体结构、存储器结构及其制备方法

### 技术领域

[0001] 本发明属于集成电路制造技术领域,特别是涉及一种半导体结构、存储器结构及其制备方法。

### 背景技术

[0002] 随着工艺的发展,半导体器件的集成度越来越高,半导体器件的尺寸也越来越小,制程工艺越来越复杂,成本也越来越高。同时,在半导体器件的制备过程中,若特征形状与目标值有误差(即特征形状不能够精确对准),则会对半导体器件的性能将产生明显不利的影响。譬如,在现有的存储器结构的制备工艺中,整个工艺流程步骤较多,成本较高,且在形成位线接触孔时,现有的光刻曝光工艺很难实现精确对准,从而使得制备得到的存储器结构的可靠性及稳定性较低。

### 发明内容

[0003] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种半导体结构、存储器结构及其制备方法,用于解决现有技术中存储器结构的制备工艺流程步骤较多、成本较高、位线接触孔难以实现精确对准,使得得到的存储器结构的可靠性及稳定性较差等问题。

[0004] 为实现上述目的及其他相关目的,本发明提供一种半导体结构的制备方法,所述半导体结构的制备方法包括如下步骤:

[0005] 1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

[0006] 2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

[0007] 3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

[0008] 4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;及

[0009] 5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率。

[0010] 作为本发明的一种优选方案,步骤1)与步骤2)之间还包括如下步骤:

[0011] 去除所述垫层结构;

[0012] 于所述有源区内进行离子注入,以于所述有源区内形成深阱区域;及

[0013] 于离子注入后的所述半导体基底表面再次形成垫层结构;其中,步骤2)中,于再次形成的所述垫层结构的表面依次形成所述硬掩膜层、所述底部抗反射层及所述光刻胶层。

[0014] 作为本发明的一种优选方案,所述垫层结构包括:

[0015] 垫氧化层,位于所述半导体基底的表面;及

[0016] 垫氮化层,位于所述垫氧化层的表面。

[0017] 作为本发明的一种优选方案,步骤2)中,于所述垫层结构的表面形成所述硬掩膜层包括如下步骤:

[0018] 于所述垫层结构表面形成第一硬掩膜层;及

[0019] 于所述第一硬掩膜层表面形成第二硬掩膜层。

[0020] 本发明还提供一种半导体结构,所述半导体结构包括:

[0021] 半导体基底;

[0022] 垫层结构,位于所述半导体基底的表面;

[0023] 浅沟槽隔离结构,位于所述半导体基底及所述垫层结构内,以于所述半导体基底内隔离出若干个间隔排布的有源区;

[0024] 硬掩膜层,位于所述垫层结构的表面;

[0025] 底部抗反射涂层,位于所述硬掩膜层的表面;

[0026] 填充层,位于所述底部抗反射涂层内,所述填充层定义出需要形成的位线接触的位置及形状;及

[0027] 侧墙结构,位于所述底部抗反射涂层内,且位于所述填充层的外侧,所述侧墙结构定义出需要形成的埋入式栅极字线的位置及形状;其中,

[0028] 于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率。

[0029] 作为本发明的一种优选方案,所述有源区内还形成有深阱区域。

[0030] 作为本发明的一种优选方案,所述垫层结构包括:

[0031] 垫氧化层,位于所述半导体基底的表面;

[0032] 垫氮化层,位于所述垫氧化层的表面。

[0033] 作为本发明的一种优选方案,所述硬掩膜层包括:

[0034] 第一硬掩膜层,位于所述垫层结构的表面;及

[0035] 第二硬掩膜层,位于所述第一硬掩膜层的表面。

[0036] 本发明还提供一种存储器结构的制备方法,所述存储器结构的制备方法包括如下步骤:

[0037] 1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

[0038] 2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

[0039] 3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底

部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

[0040] 4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;

[0041] 5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率;

[0042] 6) 刻蚀去除所述侧墙结构、位于所述埋入式栅极字线区域的所述硬掩膜层,以于所述底部抗反射层及所述硬掩膜层内形成图形沟道,所述图形沟道定义出所述埋入式栅极字线的位置及形状;

[0043] 7) 去除所述填充层及所述底部抗反射层;

[0044] 8) 去除所述图形沟道底部的所述垫层结构,并去除所述位线接触区域之外的所述硬掩膜层;

[0045] 9) 依据所述图形沟道刻蚀所述半导体基底,以于所述半导体基底内形成埋入式栅极字线沟槽;

[0046] 10) 于所述埋入式栅极字线沟槽内形成埋入式栅极字线,所述埋入式栅极字线的上表面低于所述半导体基底的上表面;

[0047] 11) 于所述埋入式栅极字线沟槽内及所述垫层结构表面形成介质层;所述介质层填满所述埋入式栅极字线沟槽并覆盖所述垫层结构的表面;

[0048] 12) 去除所述位线接触区域的所述硬掩膜层并刻蚀所述半导体基底,以于所述介质层及所述半导体基底内形成位线接触孔,所述位线接触孔的底部陷入于所述半导体基底内;及

[0049] 13) 于所述位线接触孔内填充接触材料,以形成位线接触。

[0050] 作为本发明的一种优选方案,步骤1)与步骤2)之间还包括如下步骤:

[0051] 去除所述垫层结构;

[0052] 于所述有源区内进行离子注入,以于所述有源区内形成深阱区域;及

[0053] 于离子注入后的所述半导体基底表面再次形成垫层结构;其中,步骤2)中,于再次形成的所述垫层结构的表面依次形成所述硬掩膜层、所述底部抗反射层及所述光刻胶层。

[0054] 作为本发明的一种优选方案,所述垫层结构包括:

[0055] 垫氧化层,位于所述半导体基底的表面;及

[0056] 垫氮化层,位于所述垫氧化层的表面。

[0057] 作为本发明的一种优选方案,步骤2)中,于所述垫层结构的表面形成所述硬掩膜层包括如下步骤:

[0058] 于所述垫层结构表面形成第一硬掩膜层;及

[0059] 于所述第一硬掩膜层表面形成第二硬掩膜层。

[0060] 作为本发明的一种优选方案,步骤7)包括如下步骤:

[0061] 7-1) 刻蚀去除所述底部抗反射层;

[0062] 7-2) 刻蚀去除所述位线接触区域之外的所述第二硬掩膜层;及

[0063] 7-3) 去除所述填充层。

- [0064] 作为本发明的一种优选方案,步骤8)包括如下步骤:
- [0065] 8-1) 去除所述图形沟道底部的所述垫层结构;
- [0066] 8-2) 去除所述位线接触区域之外的所述第一硬掩膜层;及
- [0067] 8-3) 去除所述位线接触区域的所述第二硬掩膜层。
- [0068] 作为本发明的一种优选方案,步骤10)包括如下步骤:
- [0069] 10-1) 于所述埋入式栅极字线沟槽的侧壁及底部形成栅极氧化层;
- [0070] 10-2) 于所述埋入式栅极字线沟槽内及所述垫层结构表面形成栅极导电层,所述栅极导电层填满所述埋入式栅极字线沟槽及所述位线接触区域之间的间隙,并覆盖保留的所述硬掩膜层;
- [0071] 10-3) 采用化学研磨工艺去除部分所述栅极导电层,使得保留的所述栅极导电层的上表面与保留的所述硬掩膜层的上表面相平齐;及
- [0072] 10-4) 回刻所述栅极导电层,以去除位于所述垫层结构表面的所述栅极导电层,并去除部分位于所述埋入式栅极字线沟槽内的所述栅极导电层,以形成所述埋入式栅极字线。
- [0073] 本发明还提供一种存储器结构,所述存储器结构包括:
- [0074] 半导体基底,所述半导体基底内形成有浅沟槽隔离结构,所述浅沟槽隔离结构在所述半导体基底内隔离出若干个间隔排布的有源区;
- [0075] 若干个间隔排布的埋入式栅极字线,位于所述有源区内,且所述埋入式栅极字线的上表面低于所述半导体基底的上表面;
- [0076] 位线接触,位于所述半导体基底上;及
- [0077] 介质层,位于所述埋入式栅极字线的表面,且填满所述位线接触之间的间隙。
- [0078] 作为本发明的一种优选方案,所述有源区内还形成有深阱区域。
- [0079] 作为本发明的一种优选方案,所述存储器结构还包括垫层结构,所述垫层结构位于所述埋入式栅极字线及所述位线接触之间的所述半导体基底的表面。
- [0080] 作为本发明的一种优选方案,所述垫层结构包括:
- [0081] 垫氧化层,位于所述半导体基底的表面;及
- [0082] 垫氮化层,位于所述垫氧化层的表面。
- [0083] 作为本发明的一种优选方案,所述位线接触的底部陷入于所述半导体基底内。
- [0084] 作为本发明的一种优选方案,所述埋入式栅极字线包括:
- [0085] 栅极导电层,位于所述有源区内,所述栅极导电层的上表面低于所述半导体基底的上表面;及
- [0086] 栅极氧化层,位于所述有源区内,且位于所述栅极导电层与所述半导体基底之间。
- [0087] 如上所述,本发明的半导体结构、存储器结构及其制备方法,具有以下有益效果:
- [0088] 本发明的半导体结构及其制备方法,在形成侧墙结构及填充层时即定义出埋入式栅极字线及位线接触的位置及形状,在基于所述半导体结构制备埋入式栅极字线及位线接触时,不需要额外的光刻工艺来定义位线接触孔,从而可以避免光刻曝光偏移,确保位线接触的精确对准;同时,半导体结构的制备方法简单,工艺步骤简洁,节约材料成本和工艺成本;
- [0089] 本发明的存储器结构及其制备方法,通过形成侧墙结构及填充层分别定义出埋入

式栅极字线及位线接触的位置及形状,在形成位线接触孔时不需要额外的光刻工艺来定义位线接触孔,从而可以避免光刻曝光偏移,确保位线接触的精确对准;同时,存储器结构的制备方法简单,工艺步骤简洁,节约材料成本和工艺成本。

### 附图说明

[0090] 图1显示为本发明实施例一中提供的半导体结构的制备方法的流程图。

[0091] 图2至图8显示为本发明实施例一中提供的半导体结构的制备方法中步骤1)所得结构的结构示意图;其中,图4为于半导体基底内形成浅沟槽隔离结构后所得结构的俯视结构示意图,图6为沿图4中AA方向的截面结构示意图。

[0092] 图9显示为本发明实施例一中提供的存半导体结构的制备方法中步骤2)所得结构的俯视结构示意图。

[0093] 图10显示为沿图9中AA方向的截面结构示意图。

[0094] 图11显示为本发明实施例一中提供的半导体结构的制备方法中步骤3)所得结构的截面结构示意图。

[0095] 图12显示为本发明实施例一中提供的半导体结构的制备方法中步骤4)所得结构的俯视结构示意图。

[0096] 图13显示为沿图12中AA方向的截面结构示意图。

[0097] 图14显示为本发明实施例一中提供的半导体结构的制备方法中步骤5)所得结构的示意图。

[0098] 图15为沿图14中AA方向的截面结构示意图。

[0099] 图16显示为本发明实施例三中提供的存储器结构的制备方法的流程图。

[0100] 图17至图23显示为本发明实施例三中提供的存储器结构的制备方法中步骤1)所得结构的结构示意图;其中,图19为于半导体基底内形成浅沟槽隔离结构后所得结构的俯视结构示意图,图20为沿图19中AA方向的截面结构示意图。

[0101] 图24显示为本发明实施例三中提供的存储器结构的制备方法中步骤2)所得结构的俯视结构示意图。

[0102] 图25显示为沿图24中AA方向的截面结构示意图。

[0103] 图26显示为本发明实施例三中提供的存储器结构的制备方法中步骤3)所得结构的截面结构示意图。

[0104] 图27显示为本发明实施例三中提供的存储器结构的制备方法中步骤4)所得结构的俯视结构示意图。

[0105] 图28显示为沿图27中AA方向的截面结构示意图。

[0106] 图29显示为本发明实施例三中提供的存储器结构的制备方法中步骤5)所得结构的俯视示意图。

[0107] 图30为沿图29中AA方向的截面结构示意图。

[0108] 图31显示为本发明实施例三中提供的存储器结构的制备方法中步骤6)所得结构的截面结构示意图。

[0109] 图32至图33显示为本发明实施例三中提供的存储器结构的制备方法中步骤7)所得结构的截面结构示意图。

[0110] 图34至图36显示为本发明实施例三中提供的存储器结构的制备方法中步骤8)所得结构的截面结构示意图。

[0111] 图37显示为本发明实施例三中提供的存储器结构的制备方法中步骤9)所得结构的俯视示意图。

[0112] 图38为沿图37中AA方向的截面结构示意图。

[0113] 图39至图41显示为本发明实施例三中提供的存储器结构的制备方法中步骤10)所得结构的截面结构示意图。

[0114] 图42显示为本发明实施例三中提供的存储器结构的制备方法中步骤11)所得结构的截面结构示意图。

[0115] 图43显示为本发明实施例三中提供的存储器结构的制备方法中步骤12)所得结构的俯视示意图。

[0116] 图44为沿图43中AA方向的截面结构示意图。

[0117] 图45显示为本发明实施例三中提供的存储器结构的制备方法中步骤13)所得结构的俯视示意图。

[0118] 图46为沿图44中AA方向的截面结构示意图。

[0119] 元件标号说明

- [0120] 10 半导体基底
- [0121] 11 垫层结构
- [0122] 111 垫氧化层
- [0123] 112 垫氮化层
- [0124] 12 浅沟槽隔离结构
- [0125] 13 有源区
- [0126] 131 深阱区域
- [0127] 14 硬掩膜层
- [0128] 141 第一硬掩膜层
- [0129] 142 第二硬掩膜层
- [0130] 15 底部抗反射层
- [0131] 151 第二开口图形
- [0132] 16 光刻胶层
- [0133] 161 第一开口图形
- [0134] 162 位线接触区域
- [0135] 163 埋入式栅极字线区域
- [0136] 17 侧墙结构
- [0137] 18 填充层
- [0138] 19 图形沟道
- [0139] 20 埋入式栅极字线沟槽
- [0140] 21 埋入式栅极字线
- [0141] 211 栅极氧化层
- [0142] 212 栅极导电层

[0143]	22	介质层
[0144]	23	位线接触孔
[0145]	24	位线接触

## 具体实施方式

[0146] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0147] 请参阅图1至图46。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,虽图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的形态、数量及比例可为一种随意的改变,且其组件布局形态也可能更为复杂。

[0148] 实施例一

[0149] 如图1所示,本发明提供一种半导体结构的制备方法,所述半导体结构的制备方法包括以下步骤:

[0150] 1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

[0151] 2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

[0152] 3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

[0153] 4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;及

[0154] 5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率。

[0155] 在步骤1)中,请参阅图1的S11步骤及图2至图5,提供一半导体基底10,于所述半导体基底10的表面形成垫层结构11;并于所述半导体基底10及所述垫层结构11内形成浅沟槽隔离结构12,所述浅沟槽隔离结构12于所述半导体基底10内隔离出若干个间隔排布的有源区13。

[0156] 作为示例,所述半导体衬底10可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底,另外,所述半导体衬底10为单晶衬底或多晶衬底时,还可以是本征硅衬底或者是轻微掺杂的硅衬底,进一步,可以为N型多晶硅衬底或P型多晶硅衬底。

[0157] 作为示例,可以采用物理气相沉积工艺或化学气相沉积工艺形成所述垫层结构

11,具体的,所述垫层结构11可以包括垫氧化层111及垫氮化层112,其中,所述垫氧化层位于所述半导体基底10的表面,所述垫氮化层112位于所述垫氧化层111的表面,如图3所示。

[0158] 作为示例,所述浅沟槽隔离结构12可以通过在所述半导体衬底10内形成隔离沟槽后,再采用化学气相沉积或其他的沉积技术在所述隔离沟槽内沉积绝缘层而形成。所述浅沟槽隔离结构12的材料可以包括氮化硅或氧化硅等等。所述浅沟槽隔离结构12的截面形状可以根据实际需要进行设定,其中,在图5中以所述浅沟槽隔离结构12的截面形状包括倒梯形作为示例,但在实际示例中并不以此为限。需要说明的是,在所述隔离沟槽内沉积所述绝缘层时,若所述绝缘层填满所述隔离沟槽且覆盖所述垫层结构11的表面,此时需要采用化学机械研磨工艺去除所述垫层结构11表面的所述绝缘层。

[0159] 作为示例,所述浅沟槽隔离结构12可以在所述半导体衬底10隔离出的若干个所述有源区13可以为但不限于如图4所示的呈阵列排布。

[0160] 作为示例,所述有源区13内形成有MOS器件(未示出),所述MOS器件包括栅极、源极及漏极,其中,所述源极与所述漏极分别位于所述栅极相对的两侧。

[0161] 作为示例,步骤1)之后还包括如下步骤:

[0162] 去除所述垫层结构11,如图6所示;具体的,可以干法刻蚀工艺或湿法刻蚀工艺去除所述垫层结构11;

[0163] 于所述有源区13内进行离子注入,以于所述有源区13内形成深阱区域131,如图7所示;具体的,形成的所述深阱区域131的类型可以根据实际需要进行选择,可以根据实际需要选择为P型掺杂区域或N型掺杂区域;及

[0164] 于离子注入后的所述半导体基底10表面再次形成垫层结构11,如图8所示。

[0165] 在离子注入前先去除了所述位于所述半导体基底10表面的所述垫层结构11,可以有效降低离子注入对能量和剂量的要求,降低离子注入的难度;同时,还可以减少后续可以工序边缘效应的累积。

[0166] 所述垫层结构11作为去除后续形成的硬掩膜层的刻蚀终止层,可以有效防止移除所述硬掩膜层时等离子体对所述半导体基底10的等离子损伤;同时,所述垫层结构11还可以作为后续形成的栅极导电层平坦化处理的终止层。

[0167] 在步骤2)中,请参阅图1中的S12步骤及图9至图10,于垫层结构11的表面依次形成硬掩膜层14、底部抗反射层15及光刻胶层16,其中,所述硬掩膜层14、所述底部抗反射层(BARC)15及所述光刻胶层16由下至上依次叠置,且所述光刻胶层16中形成有第一开口图形161,所述第一开口图形161暴露出需要形成位线接触的位线接触区域162及需要形成埋入式栅极字线的埋入式栅极字线区域163。

[0168] 作为示例,于所述垫层结构11的表面形成所述硬掩膜层14可以包括如下步骤:

[0169] 于所述垫层结构11表面形成第一硬掩膜层141;及

[0170] 于所述第一硬掩膜层141表面形成第二硬掩膜层142。

[0171] 作为示例,所述第一硬掩膜层141可以包括非定型碳( $\alpha$ -C)层、无定型硅( $\alpha$ -Si)层或氮氧化硅层(SiON);所述第二硬掩膜层142同样可以包括包括非定型碳层、无定型硅层或氮氧化硅层;所述第一硬掩膜层141的材料可以与所述第二硬掩膜层142的材料相同,也可以与所述第二硬掩膜层142的材料不同;优选地,本实施例中,所述第一硬掩膜层141的材料与所述第二硬掩膜层142的材料不同。

[0172] 在步骤3)中,请参阅图1中的S13步骤及图11,依据所述光刻胶层16刻蚀所述底部抗反射层15,将所述第一开口图形161转移至所述底部抗反射层15内,以于所述底部抗反射层15内形成第二开口图形151。

[0173] 作为示例,可以依据所述光刻胶层16采用但不仅限于干法刻蚀工艺刻蚀所述底部抗反射层15,以在所述底部抗反射层15内形成与所述第一开口图形161一致的所述第二开口图形151。

[0174] 作为示例,于所述底部抗反射层15内形成所述第二开口图形151之后,还包括去除所述光刻胶层16的步骤。

[0175] 在步骤4)中,请参阅图1中的S14步骤及图12至图13,于所述第二开口图形151侧壁形成侧墙结构17,所述侧墙结构17定义出所述埋入式栅极字线区域163的位置及形状,所述侧墙结构17之外的所述第二开口图形151定义出所述位线接触区域162的位置及形状。

[0176] 作为示例,于所述第二开口图形151侧壁形成所述侧墙结构17可以包括如下步骤:

[0177] 4-1) 采用原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺于所述底部抗反射层15的表面、所述第二开口图形151的侧壁及底部形成侧墙材料层;及

[0178] 4-2) 采用干法刻蚀工艺去除位于所述底部抗反射层15表面及所述第二开口图形151底部的所述侧墙材料层,保留于所述第二开口图形151侧壁的所述侧墙材料层即构成所述侧墙结构17。

[0179] 作为示例,所述侧墙结构17可以包括氧化物侧墙结构,即所述侧墙结构17的材料可以包括氧化物,譬如,氧化硅等等。

[0180] 需要说明的是,“所述侧墙结构17之外的所述第二开口图形151”是指所述第二开口图形151内形成所述侧墙结构17后保留的区域。

[0181] 在步骤5)中,请参阅图1中的S15步骤及图14至图15,于所述侧墙结构17之外的所述第二开口图形151内形成填充层18,其中,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率。

[0182] 作为示例,于所述侧墙结构17之外的所述第二开口图形151内形成填充层18包括如下步骤:

[0183] 5-1) 于所述侧墙结构17之外的所述开口图形151内及所述底部抗反射层15的表面形成填充层18;及

[0184] 5-2) 采用干法刻蚀工艺回刻去除位于所述底部抗反射层15表面的所述填充层18。

[0185] 作为示例,所述填充层18的材料应与所述底部抗反射层15的材料及所述侧墙结构17的材料均不相同,以使得所述填充层18具有与所述底部抗反射层15及所述侧墙结构17不同的刻蚀选择比;优选地,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率,即在相同的刻蚀条件下,所述填充层18与所述底部抗反射层15及所述侧墙结构17具有较高的选择比。更为优选地,本实施例中,所述填充层18可以但不仅限于包括氮化物层,即所述填充层18的材料可以包括但不仅限于氮化物,譬如,氮化硅。所述填充层18的材料的选择比高于所述底部抗反射层15及所述侧墙结构17的选择比,在刻蚀去除所述底部抗反射层15及所述侧墙结构17时,可以使得所述填充层18被保留下来,从而可以在需要形成位线接触孔时实现自对准。

[0186] 本发明的半导体结构的制备方法制备的半导体结构可以在形成所述侧墙结构17

及所述填充层18时即同时自对准定义出需要形成埋入式栅极字线的埋入式栅极字线区域163及需要形成位线接触的所述位线接触区域162的位置及形状,在基于所述半导体结构制备埋入式栅极字线及位线接触时,不需要额外的光刻工艺来定义位线接触孔,从而开避免光刻形成位线接触孔时存在的曝光偏移,进而确保位线接触的精确对准;同时,本发明的半导体结构的制备方法工艺步骤简洁,可以有效节约材料成本及工艺成本。

[0187] 实施例二

[0188] 请继续参阅图2至图15,本发明还提供一种半导体结构,所述半导体结构包括:半导体基底10;垫层结构11,所述垫层结构11位于所述半导体基底10的表面;浅沟槽隔离结构12,所述浅沟槽隔离结构12位于所述半导体基底10及所述垫层结构11内,以于所述半导体基底10内隔离出若干个间隔排布的有源区13;硬掩膜层14,硬掩膜层14位于所述垫层结构11的表面;底部抗反射涂层15,所述底部抗反射涂层15位于所述硬掩膜层14的表面;填充层18,所述填充层18位于所述底部抗反射涂层15内,所述填充层18定义出需要形成的位线接触的位置及形状;及侧墙结构17,所述侧墙结构17位于所述底部抗反射涂层15内,且位于所述填充层18的外侧,所述侧墙结构17定义出需要形成的埋入式栅极字线的位置及形状;其中,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率。

[0189] 作为示例,所述半导体衬底10可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底,另外,所述半导体衬底10为单晶衬底或多晶衬底时,还可以是本征硅衬底或者是轻微掺杂的硅衬底,进一步,可以为N型多晶硅衬底或P型多晶硅衬底。

[0190] 作为示例,所述垫层结构11包括垫氧化层111及垫氮化层112,其中,所述垫氧化层位于所述半导体基底10的表面,所述垫氮化层112位于所述垫氧化层111的表面,如图3所示。

[0191] 作为示例,所述浅沟槽隔离结构12可以通过在所述半导体衬底10内形成隔离沟槽后,再采用化学气相沉积或其他的沉积技术在所述隔离沟槽内沉积绝缘层而形成。所述浅沟槽隔离结构12的材料可以包括氮化硅或氧化硅等等。所述浅沟槽隔离结构12的截面形状可以根据实际需要进行设定,其中,在图5中以所述浅沟槽隔离结构12的截面形状包括倒梯形作为示例,但在实际示例中并不以此为限。需要说明的是,在所述隔离沟槽内沉积所述绝缘层时,若所述绝缘层填满所述隔离沟槽且覆盖所述垫层结构11的表面,此时需要采用化学机械研磨工艺去除所述垫层结构11表面的所述绝缘层。

[0192] 作为示例,所述浅沟槽隔离结构12可以在所述半导体衬底10隔离出的若干个所述有源区13可以为但不仅限于如图4所示的呈阵列排布。

[0193] 作为示例,所述有源区13内形成有MOS器件(未示出),所述MOS器件包括栅极、源极及漏极,其中,所述源极与所述漏极分别位于所述栅极相对的两侧。

[0194] 作为示例,所述有源区13内还形成有深阱区域131,如图7所示;具体的,形成的所述深阱区域131的类型可以根据实际需要进行选择,可以根据实际需要选择为P型掺杂区域或N型掺杂区域。

[0195] 所述垫层结构11作为去除后续形成的硬掩膜层的刻蚀终止层,可以有效防止移除所述硬掩膜层时等离子体对所述半导体基底10的等离子损伤;同时,所述垫层结构11还可以作为后续形成的栅极导电层平坦化处理的终止层。

[0196] 作为示例,所述硬掩膜层14包括:第一硬掩膜层141,所述第一硬掩膜层141位于所述垫层结构11的表面;及第二硬掩膜层142,所述第二硬掩膜层142位于所述第一硬掩膜层141的表面。

[0197] 作为示例,所述第一硬掩膜层141可以包括非定型碳( $\alpha$ -C)层、无定型硅( $\alpha$ -Si)层或氮氧化硅层(SiON);所述第二硬掩膜层142同样可以包括包括非定型碳层、无定型硅层或氮氧化硅层;所述第一硬掩膜层141的材料可以与所述第二硬掩膜层142的材料相同,也可以与所述第二硬掩膜层142的材料不同;优选地,本实施例中,所述第一硬掩膜层141的材料与所述第二硬掩膜层142的材料不同。

[0198] 作为示例,所述侧墙结构17定义出需要形成所述埋入式栅极字线的所述埋入式栅极字线区域163的位置及形状,所述侧墙结构17可以包括氧化物侧墙结构,即所述侧墙结构17的材料可以包括氧化物,譬如,氧化硅等等。

[0199] 作为示例,所述填充层18定义出需要形成的所述位线接触的位线接触区域162的位置及形状,所述填充层18的材料应与所述底部抗反射层15的材料及所述侧墙结构17的材料均不相同,以使得所述填充层18具有与所述底部抗反射层15及所述侧墙结构17不同的刻蚀选择比;优选地,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率,即在相同的刻蚀条件下,所述填充层18与所述底部抗反射层15及所述侧墙结构17具有较高的选择比。更为优选地,本实施例中,所述填充层18可以但不仅限于包括氮化物层,即所述填充层18的材料可以包括但不仅限于氮化物,譬如,氮化硅。所述填充层18的材料的选择比高于所述底部抗反射层15及所述侧墙结构17的选择比,在刻蚀去除所述底部抗反射层15及所述侧墙结构17时,可以使得所述填充层18被保留下来,从而可以在需要形成位线接触孔时实现自对准。

[0200] 本发明的半导体结构的制备方法制备的半导体结构可以在形成所述侧墙结构17及所述填充层18时即同时自对准定义出需要形成埋入式栅极字线的埋入式栅极字线区域163及需要形成位线接触的所述位线接触区域162的位置及形状,在基于所述半导体结构制备埋入式栅极字线及位线接触时,不需要额外的光刻工艺来定义位线接触孔,从而开避免光刻形成位线接触孔时存在的曝光偏移,进而确保位线接触的精确对准;同时,本发明的半导体结构的制备方法工艺步骤简洁,可以有效节约材料成本及工艺成本。

[0201] 实施例三

[0202] 请参阅图16,本发明还提供一种存储器结构的制备方法,所述存储器结构的制备方法包括以下步骤:

[0203] 1) 提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;

[0204] 2) 于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;

[0205] 3) 依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;

[0206] 4) 于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;

[0207] 5) 于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率;

[0208] 6) 刻蚀去除所述侧墙结构、位于所述埋入式栅极字线区域的所述硬掩膜层,以于所述底部抗反射层及所述硬掩膜层内形成图形沟道,所述图形沟道定义出所述埋入式栅极字线的位置及形状;

[0209] 7) 去除所述填充层及所述底部抗反射层;

[0210] 8) 去除所述图形沟道底部的所述垫层结构,并去除所述位线接触区域之外的所述硬掩膜层;

[0211] 9) 依据所述图形沟道刻蚀所述半导体基底,以于所述半导体基底内形成埋入式栅极字线沟槽;

[0212] 10) 于所述埋入式栅极字线沟槽内形成埋入式栅极字线,所述埋入式栅极字线的上表面低于所述半导体基底的上表面;

[0213] 11) 于所述埋入式栅极字线沟槽内及所述垫层结构表面形成介质层;所述介质层填满所述埋入式栅极字线沟槽并覆盖所述垫层结构的表面;

[0214] 12) 去除所述位线接触区域的所述硬掩膜层并刻蚀所述半导体基底,以于所述介质层及所述半导体基底内形成位线接触孔,所述位线接触孔,所述位线接触孔的底部陷入于所述半导体基底内;及

[0215] 13) 于所述位线接触孔内填充接触材料,以形成位线接触。

[0216] 在步骤1)中,请参阅图16中的S21步骤及图17至图20,提供一半导体基底10,于所述半导体基底10的表面形成垫层结构11;并于所述半导体基底10及所述垫层结构11内形成浅沟槽隔离结构12,所述浅沟槽隔离结构12于所述半导体基底10内隔离出若干个间隔排布的有源区13。

[0217] 作为示例,所述半导体衬底10可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底,另外,所述半导体衬底10为单晶衬底或多晶衬底时,还可以是本征硅衬底或者是轻微掺杂的硅衬底,进一步,可以为N型多晶硅衬底或P型多晶硅衬底。

[0218] 作为示例,可以采用物理气相沉积工艺或化学气相沉积工艺形成所述垫层结构11,具体的,所述垫层结构11可以包括垫氧化层111及垫氮化层112,其中,所述垫氧化层位于所述半导体基底10的表面,所述垫氮化层112位于所述垫氧化层111的表面,如图20所示。

[0219] 作为示例,所述浅沟槽隔离结构12可以通过在所述半导体衬底10内形成隔离沟槽后,再采用化学气相沉积或其他的沉积技术在所述隔离沟槽内沉积绝缘层而形成。所述浅沟槽隔离结构12的材料可以包括氮化硅或氧化硅等等。所述浅沟槽隔离结构12的截面形状可以根据实际需要进行设定,其中,在图20中以所述浅沟槽隔离结构12的截面形状包括倒梯形作为示例,但在实际示例中并不以此为限。需要说明的是,在所述隔离沟槽内沉积所述绝缘层时,若所述绝缘层填满所述隔离沟槽且覆盖所述垫层结构11的表面,此时需要采用化学机械研磨工艺去除所述垫层结构11表面的所述绝缘层。

[0220] 作为示例,所述浅沟槽隔离结构12可以在所述半导体衬底10隔离出的若干个所述有源区13可以为但不限于如图19所示的呈阵列排布。

[0221] 作为示例,所述有源区13内形成有MOS器件(未示出),所述MOS器件包括栅极、源极及漏极,其中,所述源极与所述漏极分别位于所述栅极相对的两侧。

[0222] 作为示例,步骤1)之后还包括如下步骤:

[0223] 去除所述垫层结构11,如图21所示;具体的,可以干法刻蚀工艺或湿法刻蚀工艺去除所述垫层结构11;

[0224] 于所述有源区13内进行离子注入,以于所述有源区13内形成深阱区域131,如图22所示;具体的,形成的所述深阱区域131的类型可以根据实际需要进行选择,可以根据实际需要选择为P型掺杂区域或N型掺杂区域;及

[0225] 于离子注入后的所述半导体基底10表面再次形成垫层结构11,如图23所示。

[0226] 在离子注入前先去去除所述位于所述半导体基底10表面的所述垫层结构11,可以有效降低离子注入对能量和剂量的要求,降低离子注入的难度;同时,还可以减少后续可以工序边缘效应的累积。

[0227] 所述垫层结构11作为去除后续形成的硬掩膜层的刻蚀终止层,可以有效防止移除所述硬掩膜层时等离子体对所述半导体基底10的等离子损伤;同时,所述垫层结构11还可以作为后续形成的栅极导电层平坦化处理的终止层。

[0228] 在步骤2)中,请参阅图16中的S22步骤及图24至图25,于垫层结构11的表面依次形成硬掩膜层14、底部抗反射层15及光刻胶层16,其中,所述硬掩膜层14、所述底部抗反射层(BARC)15及所述光刻胶层16由下至上依次叠置,且所述光刻胶层16中形成有第一开口图形161,所述第一开口图形161暴露出需要形成位线接触的位线接触区域162及需要形成埋入式栅极字线的埋入式栅极字线区域163。

[0229] 作为示例,于所述垫层结构11的表面形成所述硬掩膜层14可以包括如下步骤:

[0230] 于所述垫层结构11表面形成第一硬掩膜层141;及

[0231] 于所述第一硬掩膜层141表面形成第二硬掩膜层142。

[0232] 作为示例,所述第一硬掩膜层141可以包括非定型碳( $\alpha$ -C)层、无定型硅( $\alpha$ -Si)层或氮氧化硅层(SiON);所述第二硬掩膜层142同样可以包括包括非定型碳层、无定型硅层或氮氧化硅层;所述第一硬掩膜层141的材料可以与所述第二硬掩膜层142的材料相同,也可以与所述第二硬掩膜层142的材料不同;优选地,本实施例中,所述第一硬掩膜层141的材料与所述第二硬掩膜层142的材料不同。

[0233] 在步骤3)中,请参阅图16中的S23步骤及图26,依据所述光刻胶层16刻蚀所述底部抗反射层15,将所述第一开口图形161转移至所述底部抗反射层15内,以于所述底部抗反射层15内形成第二开口图形151。

[0234] 作为示例,可以依据所述光刻胶层16采用但不限于干法刻蚀工艺刻蚀所述底部抗反射层15,以在所述底部抗反射层15内形成与所述第一开口图形161一致的所述第二开口图形151。

[0235] 作为示例,于所述底部抗反射层15内形成所述第二开口图形151之后,还包括去除所述光刻胶层16的步骤。

[0236] 在步骤4)中,请参阅图16中的S24步骤及图27至图28,于所述第二开口图形151侧

壁形成侧墙结构17,所述侧墙结构17定义出所述埋入式栅极字线区域163的位置及形状,所述侧墙结构17之外的所述第二开口图形151定义出所述位线接触区域162的位置及形状。

[0237] 作为示例,于所述第二开口图形151侧壁形成所述侧墙结构17可以包括如下步骤:

[0238] 4-1) 采用原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺于所述底部抗反射层15的表面、所述第二开口图形151的侧壁及底部形成侧墙材料层;及

[0239] 4-2) 采用干法刻蚀工艺去除位于所述底部抗反射层15表面及所述第二开口图形151底部的所述侧墙材料层,保留于所述第二开口图形151侧壁的所述侧墙材料层即构成所述侧墙结构17。

[0240] 作为示例,所述侧墙结构17可以包括氧化物侧墙结构,即所述侧墙结构17的材料可以包括氧化物,譬如,氧化硅等等。

[0241] 需要说明的是,“所述侧墙结构17之外的所述第二开口图形151”是指所述第二开口图形151内形成所述侧墙结构17后保留的区域。

[0242] 在步骤5)中,请参阅图16中的S25步骤及图29至图30,于所述侧墙结构17之外的所述第二开口图形151内形成填充层18,其中,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率。

[0243] 作为示例,于所述侧墙结构17之外的所述第二开口图形151内形成填充层18包括如下步骤:

[0244] 5-1) 于所述侧墙结构17之外的所述开口图形151内及所述底部抗反射层15的表面形成填充层18;及

[0245] 5-2) 采用干法刻蚀工艺回刻去除位于所述底部抗反射层15表面的所述填充层18。

[0246] 作为示例,所述填充层18的材料应与所述底部抗反射层15的材料及所述侧墙结构17的材料均不相同,以使得所述填充层18具有与所述底部抗反射层15及所述侧墙结构17不同的刻蚀选择比;优选地,于相同的刻蚀条件下,所述填充层18的去除速率小于所述底部抗反射层15的去除速率及所述侧墙结构17的去除速率,即在相同的刻蚀条件下,所述填充层18与所述底部抗反射层15及所述侧墙结构17具有较高的选择比。更为优选地,本实施例中,所述填充层18可以但不仅限于包括氮化物层,即所述填充层18的材料可以包括但不仅限于氮化物,譬如,氮化硅。所述填充层18的材料的选择比高于所述底部抗反射层15及所述侧墙结构17的选择比,在刻蚀去除所述底部抗反射层15及所述侧墙结构17时,可以使得所述填充层18被保留下来,从而可以在需要形成位线接触孔时实现自对准。

[0247] 在步骤6)中,请参阅图16中的S26步骤及图31,刻蚀去除所述侧墙结构17、位于所述埋入式栅极字线区域163的所述硬掩膜层14,以于所述底部抗反射层15及所述硬掩膜层14内形成图形沟道19,所述图形沟道19定义出所述埋入式栅极字线的位置及形状。

[0248] 作为示例,可以采用但不仅限于干法刻蚀工艺刻蚀去除所述侧墙结构17、位于所述侧墙结构17正下方(即位于所述埋入式栅极字线区域163)的所述硬掩膜层14,刻蚀过程停止于所述垫层结构11,即所述垫层结构11作为刻蚀阻挡层。

[0249] 在步骤7)中,请参阅图16中的S27步骤及图32至图33,去除所述填充层18及所述底部抗反射层15。

[0250] 作为示例,去除所述填充层18及所述底部抗反射层15包括如下步骤:

[0251] 7-1) 刻蚀去除所述底部抗反射层15,如图32所示;具体的,可以采用干法刻蚀工艺

刻蚀去除所述底部抗反射层15;

[0252] 7-2) 刻蚀去除所述位线接触区域162之外的所述第二硬掩膜层142,即去除了所述填充层18正下方之外所述第二硬掩膜层142;具体的,可以依据所述填充层18作为掩膜层,采用但不仅限于干法刻蚀工艺刻蚀去除所述位线接触区域162之外的所述第二硬掩膜层142;及

[0253] 7-3) 去除所述填充层18,如图33所示;具体的,可以采用但不仅限于干法刻蚀工艺去除所述填充层18。

[0254] 在步骤8)中,请参阅图16中的S28步骤及图34至图36,去除所述图形沟道19底部的所述垫层结构11,并去除所述位线接触区域162之外的所述硬掩膜层14。

[0255] 作为示例,去除所述图形沟道19底部的所述垫层结构11,并去除所述位线接触区域162之外的所述硬掩膜层14包括如下步骤:

[0256] 8-1) 去除所述图形沟道19底部的所述垫层结构11,如图34所示;具体的,依据所述硬掩膜层14刻蚀所述垫层结构11,以去除裸露的位于所述图形沟道19底部的所述垫层结构11;更为具体的,可以采用但不仅限于干法刻蚀工艺刻蚀位于所述图形沟道19底部的所述垫层结构11;

[0257] 8-2) 去除所述位线接触区域162之外的所述第一硬掩膜层141,如图35所示;具体的,可以依据保留的所述第二硬掩膜层142作为掩膜,采用但不仅限于干法刻蚀工艺刻蚀去除所述位线接触区域162之外的所述第一硬掩膜层141;需要说明的是,去除所述第一硬掩膜层141的过程中,刻蚀终止于所述垫层结构11,即以所述垫层结构11作为刻蚀阻挡层;及

[0258] 8-3) 去除所述位线接触区域162的所述第二硬掩膜层142,如图36所示;具体的,可以采用但不仅限于干法刻蚀工艺去除位于所述位线接触区域162的所述第二硬掩膜层142;具体的,在去除所述第二硬掩膜层142时,不会对所述垫层结构11、位于所述位线接触区域162的所述第一硬掩膜层141及所述半导体基底10造成刻蚀,即刻蚀去除所述第二硬掩膜层142的刻蚀气体对所述垫层结构11、所述第一硬掩膜层141及所述半导体基底10的刻蚀去除速率非常小,几乎可以忽略不计;这样就可以确保在去除所述第二硬掩膜层142时,位于所述位线解除区域162的所述第一硬掩膜层141可以被保留下来。

[0259] 在步骤9)中,请参阅图16中的S29步骤及图37至图38,依据所述图形沟道19刻蚀所述半导体基底10,以于所述半导体基底10内形成埋入式栅极字线沟槽20。

[0260] 作为示例,可以采用但不仅限于干法刻蚀工艺刻蚀所述半导体基底10以于所述半导体基底10内形成所述埋入式栅极字线沟槽20。需要说明的是,在刻蚀过程中,可以依据保留的所述第一硬掩膜层141及所述垫层结构11作为掩膜刻蚀所述半导体基底10。

[0261] 在步骤10)中,请参阅图16中的S210及图39至图41,于所述埋入式栅极字线沟槽20内形成埋入式栅极字线21,所述埋入式栅极字线21的上表面低于所述半导体基底10的上表面。

[0262] 作为示例,于所述埋入式栅极字线沟槽20内形成埋入式栅极字线21包括如下步骤:

[0263] 10-1) 于所述埋入式栅极字线沟槽20的侧壁及底部形成栅极氧化层211,如图39所示;具体的,可以采用但不仅限于热氧化工艺于所述埋入式栅极字线沟槽20的侧壁及底部形成所述栅极氧化层211;

[0264] 10-2) 于所述埋入式栅极字线沟槽20内及所述垫层结构11表面形成栅极导电层212,所述栅极导电层212填满所述埋入式栅极字线沟槽20及所述位线接触区域162之间的间隙(即保留的所述第一硬掩膜层141之间的间隙),并覆盖保留的所述硬掩膜层14(此时,保留的所述硬掩膜层14为所述第一硬掩膜层141);

[0265] 10-3) 采用化学研磨(CMP)工艺去除部分所述栅极导电层212,使得保留的所述栅极导电层212的上表面与保留的所述硬掩膜层14(即如图40中的所述第一硬掩膜层141)的上表面相平齐,如图40所示;及

[0266] 10-4) 回刻所述栅极导电层212,以去除位于所述垫层结构11表面的所述栅极导电层212,并去除部分位于所述埋入式栅极字线沟槽20内的所述栅极导电层212,以形成所述埋入式栅极字线21,如图41所示。需要说明的是,本示例中所述的“所述埋入式栅极字线21的上表面低于所述半导体基底10的上表面”严格意义上是指所述埋入式栅极字线21中的苏搜栅极导电层212的上表面低于所述半导体基底10的上表面。

[0267] 作为示例,所述埋入式栅极字线21中的所述栅极导电层212的材料包括氮化钛、氮化钽及钨中的至少一种,即所述栅极导电层212的材料可以包括氮化钛、氮化钽或钨等低电阻率金属,也可以包括氮化钛、氮化钽及钨中的至少两种,即此时,所述栅极导电层212可以为氮化钛、氮化钽及钨至少两种材料组成的复合材料的导电层,也可以为包括氮化钛层、氮化钽层及钨层中的至少两层的导电层。

[0268] 在步骤11)中,请参阅图16中的步骤S211及图42,于所述埋入式栅极字线沟槽20内及所述垫层结构11表面形成介质层22;所述介质层22填满所述埋入式栅极字线沟槽20并覆盖所述垫层结构11的表面。

[0269] 作为示例,可以采用但不限于物理气相沉积工艺或化学气相沉积工艺形成所述介质层22,所述介质层22可以包括但不限于氧化物层或氮化物层,即所述介质层22的材料可以包括但不限于氧化物或氮化物。具体的,所述氧化物可以包括氧化硅,所述氮化物可以包括氮化硅。该步骤中,保留的所述第一硬掩膜层141,所述第一硬掩膜层141定义出后续要形成的位线接触孔23的位置,可以在后续形成所述位线接触孔23实现自对准。

[0270] 在步骤12)中,请参阅图16中的步骤S212及图43至图44,去除所述位线接触区域162的所述硬掩膜层14并刻蚀所述半导体基底10,以于所述介质层22及所述半导体基底10内形成位线接触孔23,所述位线接触孔23的底部陷入于所述半导体基底10内。

[0271] 作为示例,可以采用干法刻蚀工艺刻蚀所述硬掩膜层14及所述半导体基底10以形成所述位线接触孔23,由于保留的所述第一硬掩膜层141已经预先定义出所述位线接触孔23的位置及形状,此时不需要光刻工艺就可以依据保留的所述第一硬掩膜层141刻蚀形成所述位线接触孔23,从而实现位线接触孔23的精确自对准。

[0272] 需要说明的是,由于保留的所述第一硬掩膜层141下方具有垫层结构11,刻蚀去除所述第一硬掩膜层141时,位于所述第一硬掩膜层141正下方的所述垫层结构11也被一并去除。

[0273] 所述位线接触孔23除了位于所述介质层22内之外,还延伸至所述半导体基底10内,这样可以增大后续形成的位线接触与所述有源区13的接触面积,即增大后续形成的位线与所述有源区13的接触面积,从而减小接触电阻。

[0274] 需要说明的是,所述位线接触孔23延伸至所述有源区13的尺寸可以与所述位线接

触孔23位于所述介质层22内的部分的尺寸相同,所述位线接触孔23延伸至所述有源区13的尺寸也可以大于所述位线接触孔23位于所述介质层22内的部分的尺寸。

[0275] 在步骤13)中,请参阅图16中的步骤S213及图45至图46,于所述位线接触孔23内填充接触材料,以形成位线接触24。

[0276] 作为示例,于所述位线接触孔23内填充接触材料,以形成位线接触24可以包括如下步骤:

[0277] 13-1)采用物理气相沉积工艺或化学气相沉积工艺于所述位线接触孔23内及所述介质层22表面形成接触材料;

[0278] 13-2)采用化学机械研磨工艺去除位于所述介质层22表面的所述接触材料,保留于所述位线接触孔23内的所述接触材料即构成所述位线接触24。

[0279] 作为示例,所述位线接触24的材料包括但不限于多晶硅。具体的,所述位线接触24的材料可以包括掺杂多晶硅,以使得所述位线接触24导电。所述位线接触24作为后续形成的位线与所述有源区13相连接的结构。

[0280] 实施例四

[0281] 请结合图17至图46,本发明还提供一种存储器结构,半导体基底10,所述半导体基底10内形成有浅沟槽隔离结构12,所述浅沟槽隔离结构12在所述半导体基底10内隔离出若干个间隔排布的有源区13;若干个间隔排布的埋入式栅极字线21,位于所述有源区13内,且所述埋入式栅极字线21的上表面低于所述半导体基底10的上表面;位线接触24,所述位线接触24位于所述半导体基底10上;及介质层22,所述介质层22位于所述埋入式栅极字线21的表面,且填满所述位线接触24之间的间隙。

[0282] 作为示例,所述半导体衬底10可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底,另外,所述半导体衬底10为单晶衬底或多晶衬底时,还可以是本征硅衬底或者是轻微掺杂的硅衬底,进一步,可以为N型多晶硅衬底或P型多晶硅衬底。

[0283] 作为示例,所述浅沟槽隔离结构12可以通过在所述半导体衬底10内形成隔离沟槽后,再采用化学气相沉积或其他的沉积技术在所述隔离沟槽内沉积绝缘层而形成。所述浅沟槽隔离结构12的材料可以包括氮化硅或氧化硅等等。所述浅沟槽隔离结构12的截面形状可以根据实际需要进行设定,其中,在图46中以所述浅沟槽隔离结构12的截面形状包括倒梯形作为示例,但在实际示例中并不以此为限。需要说明的是,在所述隔离沟槽内沉积所述绝缘层时,若所述绝缘层填满所述隔离沟槽且覆盖所述垫层结构11的表面,此时需要采用化学机械研磨工艺去除所述垫层结构11表面的所述绝缘层。

[0284] 作为示例,所述浅沟槽隔离结构12可以在所述半导体衬底10隔离出的若干个所述有源区13可以为但不限于如图45所示的呈阵列排布。

[0285] 作为示例,所述有源区13内形成有MOS器件(未示出),所述MOS器件包括栅极、源极及漏极,其中,所述源极与所述漏极分别位于所述栅极相对的两侧。

[0286] 作为示例,所述有源区13内还形成有深阱区域131,如图46所示;具体的,形成的所述深阱区域131的类型可以根据实际需要进行选择,可以根据实际需要选择为P型掺杂区域或N型掺杂区域。

[0287] 作为示例,所述存储器结构还包括垫层结构11,所述垫层结构11位于所述埋入式栅极字线21及所述位线接触24之间的所述半导体基底10的表面。

[0288] 作为示例,所述垫层结构11包括垫氧化层111及垫氮化层112,其中,所述垫氧化层位于所述半导体基底10的表面,所述垫氮化层112位于所述垫氧化层111的表面,如图46所示。所述垫层结构11作为去除后续形成的硬掩膜层的刻蚀终止层,可以有效防止移除所述硬掩膜层时等离子体对所述半导体基底10的等离子损伤;同时,所述垫层结构11还可以作为后续形成的栅极导电层平坦化处理的终止层。

[0289] 作为示例,所述埋入式栅极字线21包括栅极氧化层211及栅极导电层212,所述栅极导电层212位于所述有源区13内,所述栅极导电层212的上表面低于所述半导体基底10的上表面;所述栅极氧化层211位于所述有源区13内,且位于所述栅极导电层212与所述半导体基底10之间。

[0290] 作为示例,所述埋入式栅极字线21中的所述栅极导电层212的材料包括氮化钛、氮化钽及钨中的至少一种,即所述栅极导电层212的材料可以包括氮化钛、氮化钽或钨等低电阻率金属,也可以包括氮化钛、氮化钽及钨中的至少两种,即此时,所述栅极导电层212可以为氮化钛、氮化钽及钨至少两种材料组成的复合材料的导电层,也可以为包括氮化钛层、氮化钽层及钨层中的至少两层的导电层。

[0291] 作为示例,所述位线接触24的底部陷入于所述半导体基底10内。所述位线接触24的底部陷入所述半导体基底10内,可以增大所述位线接触24与所述有源区13的接触面积,从而增大所述位线25与所述有源区13的接触面积,降低接触电阻。

[0292] 作为示例,所述位线接触24的材料包括但不限于多晶硅。具体的,所述位线接触24的材料可以包括掺杂多晶硅,以使得所述位线接触24导电。所述位线接触24作为后续形成的位线与所述有源区13相连接的结构。

[0293] 综上所述,本发明提供一种半导体结构、存储器结构及其制备方法,所述半导体结构的制备方法包括如下步骤:1)提供一半导体基底,于所述半导体基底的表面形成垫层结构;并于所述半导体基底及所述垫层结构内形成浅沟槽隔离结构,所述浅沟槽隔离结构于所述半导体基底内隔离出若干个间隔排布的有源区;2)于垫层结构的表面依次形成硬掩膜层、底部抗反射层及光刻胶层,其中,所述硬掩膜层、所述底部抗反射层及所述光刻胶层由下至上依次叠置,且所述光刻胶层中形成有第一开口图形,所述第一开口图形暴露出需要形成位线接触的位线接触区域及需要形成埋入式栅极字线的埋入式栅极字线区域;3)依据所述光刻胶层刻蚀所述底部抗反射层,将所述第一开口图形转移至所述底部抗反射层内,以于所述底部抗反射层内形成第二开口图形;4)于所述第二开口图形侧壁形成侧墙结构,所述侧墙结构定义出所述埋入式栅极字线区域的位置及形状,所述侧墙结构之外的所述第二开口图形定义出所述位线接触区域的位置及形状;及5)于所述侧墙结构之外的所述第二开口图形内形成填充层,其中,于相同的刻蚀条件下,所述填充层的去除速率小于所述底部抗反射层的去除速率及所述侧墙结构的去除速率。本发明的半导体结构及其制备方法,在形成侧墙结构及填充层时即定义出埋入式栅极字线及位线接触的位置及形状,在基于所述半导体结构制备埋入式栅极字线及位线接触时,不需要额外的光刻工艺来定义位线接触孔,从而可以避免光刻曝光偏移,确保位线接触的精确对准;同时,半导体结构的制备方法简单,工艺步骤简洁,节约材料成本和工艺成本;本发明的存储器结构及其制备方法,通过形成侧墙结构及填充层分别定义出埋入式栅极字线及位线接触的位置及形状,在形成位线接触孔时不需要额外的光刻工艺来定义位线接触孔,从而可以避免光刻曝光偏移,确保位

线接触的精确对准;同时,存储器结构的制备方法简单,工艺步骤简洁,节约材料成本和工艺成本。

[0294] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

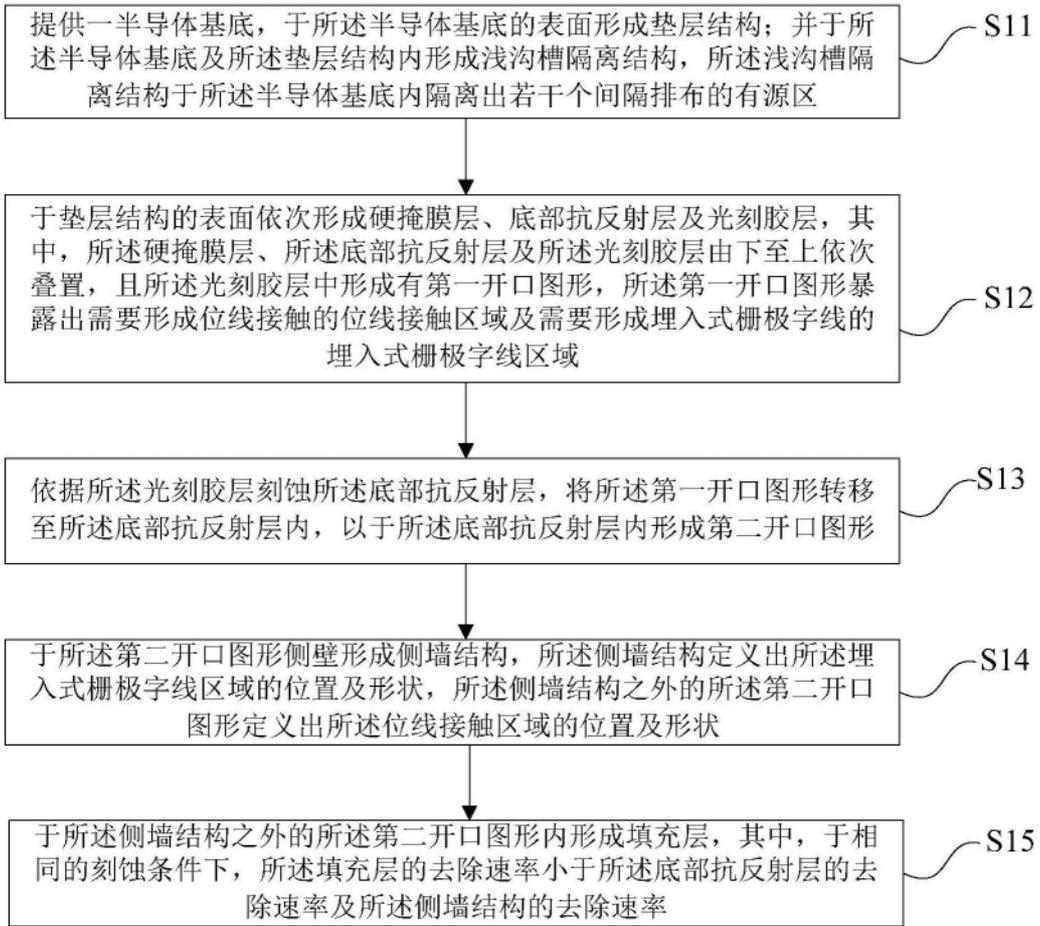


图1



图2

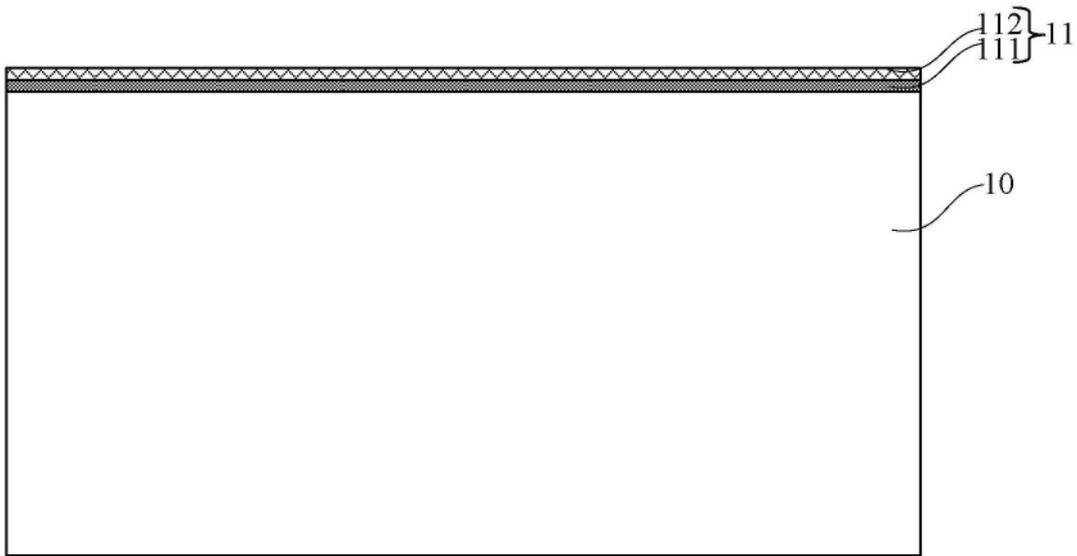


图3

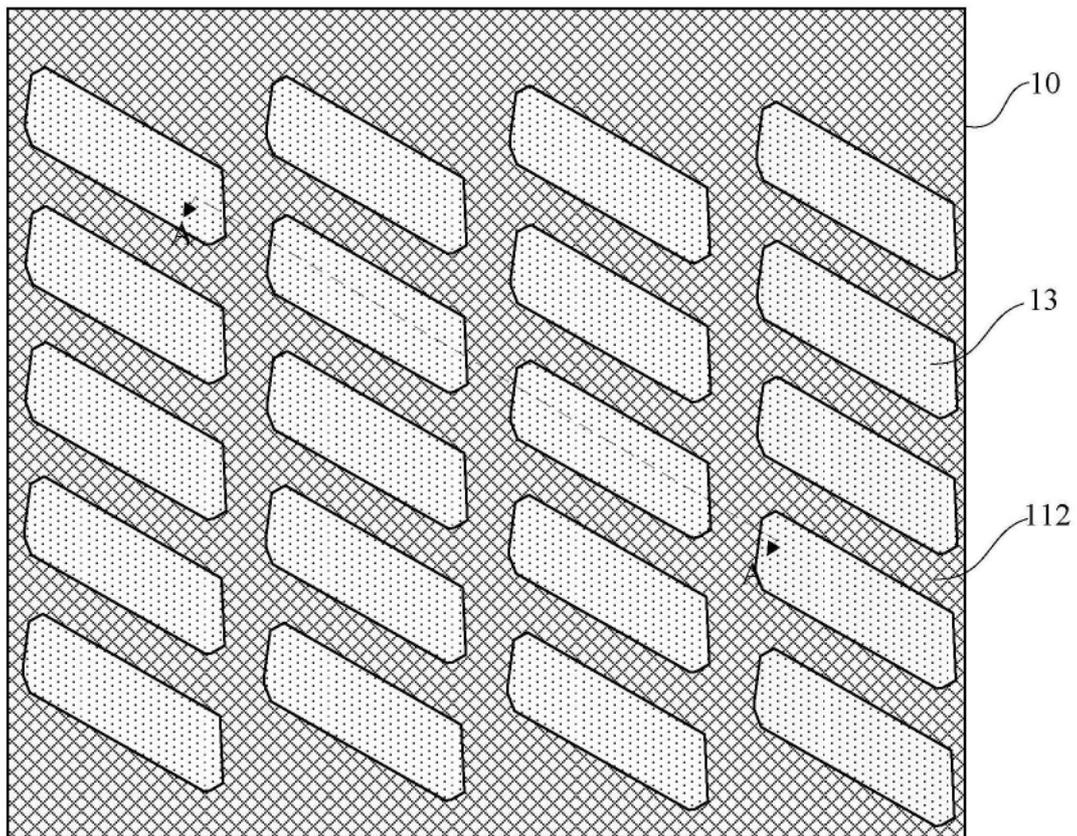


图4

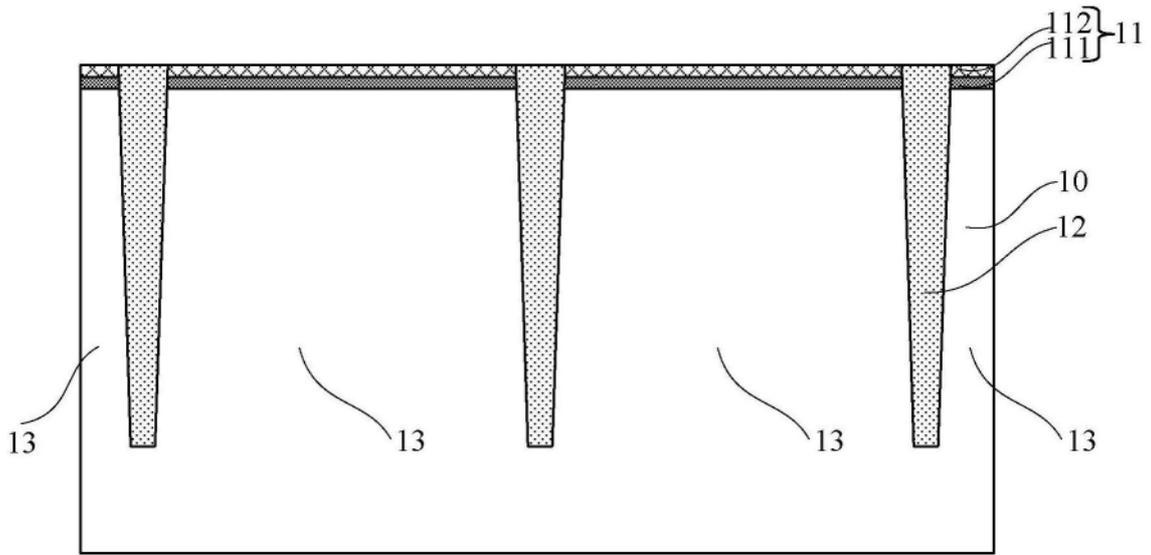


图5

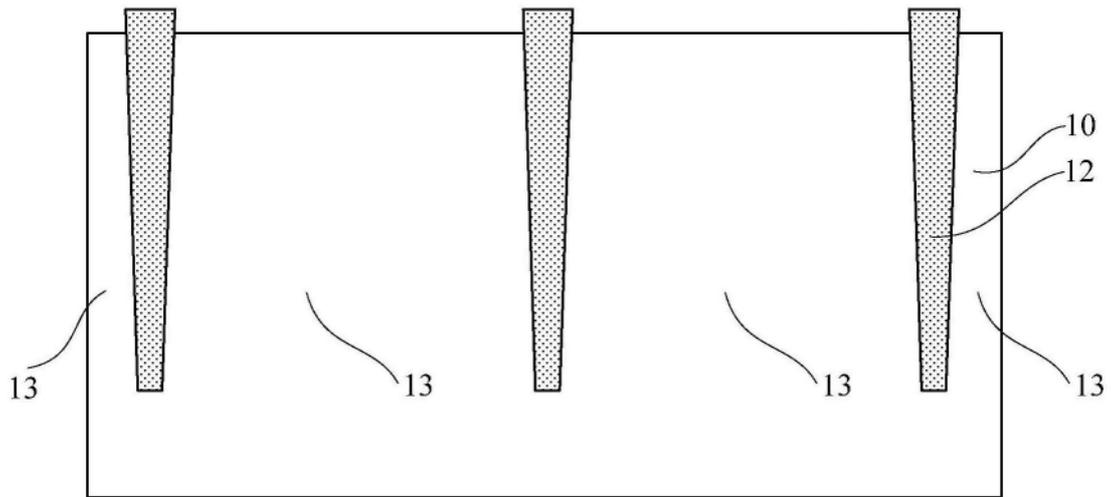


图6

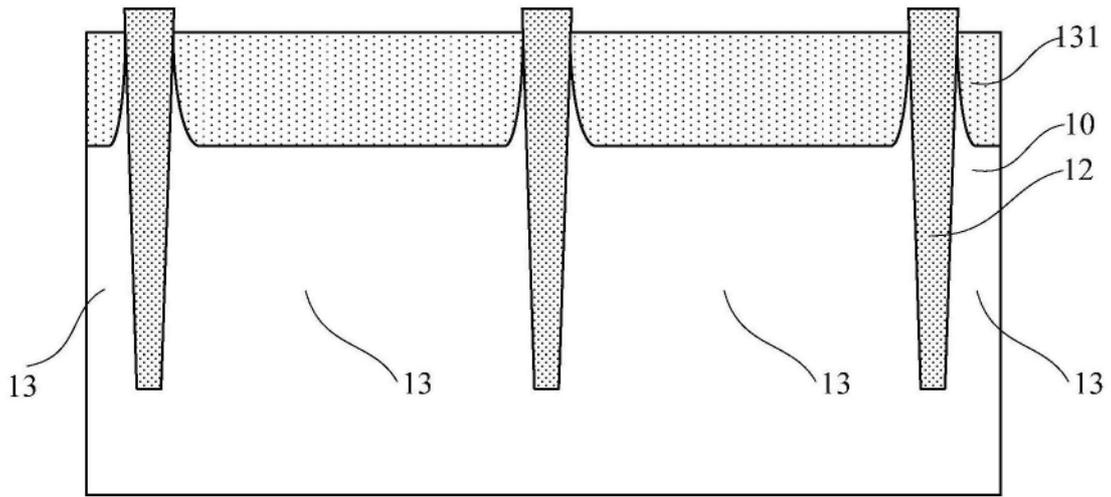


图7

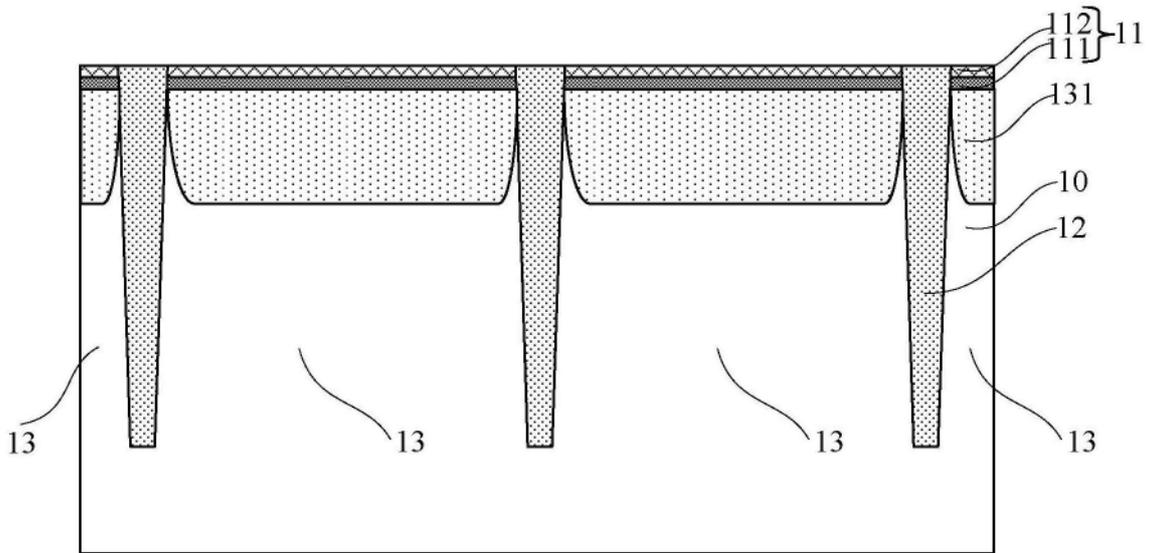


图8

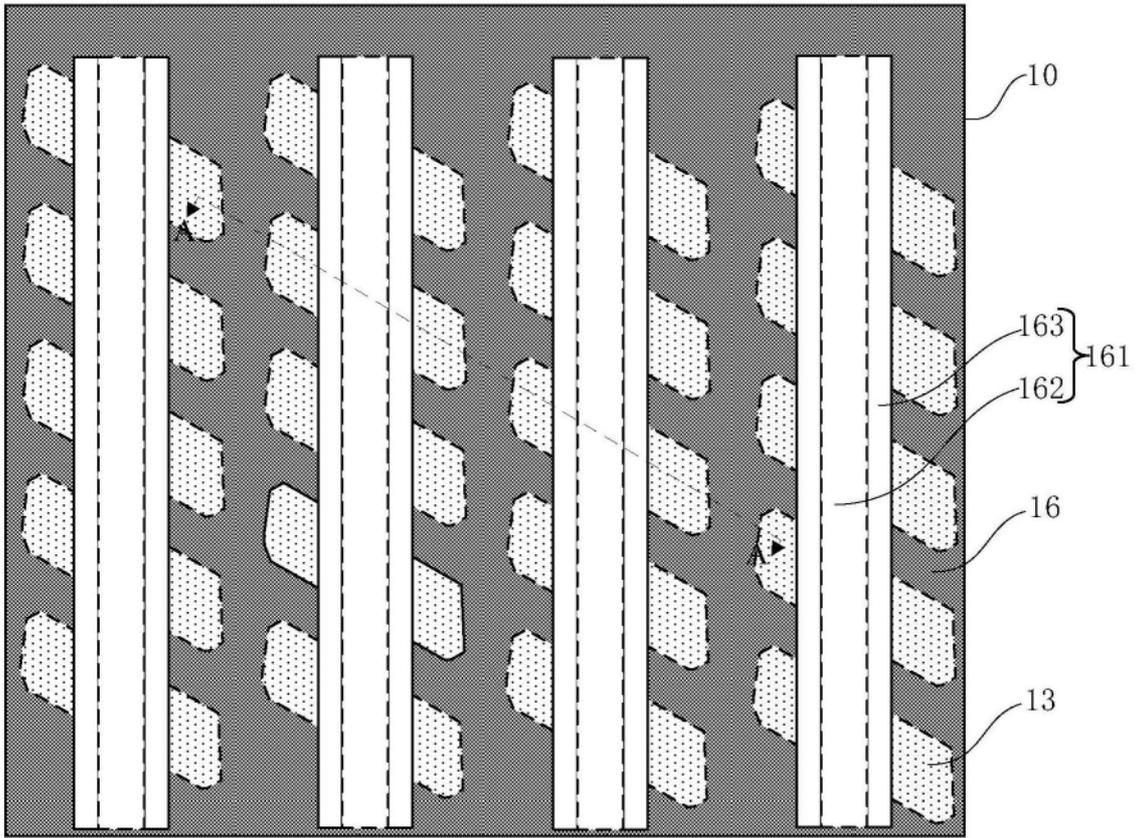


图9

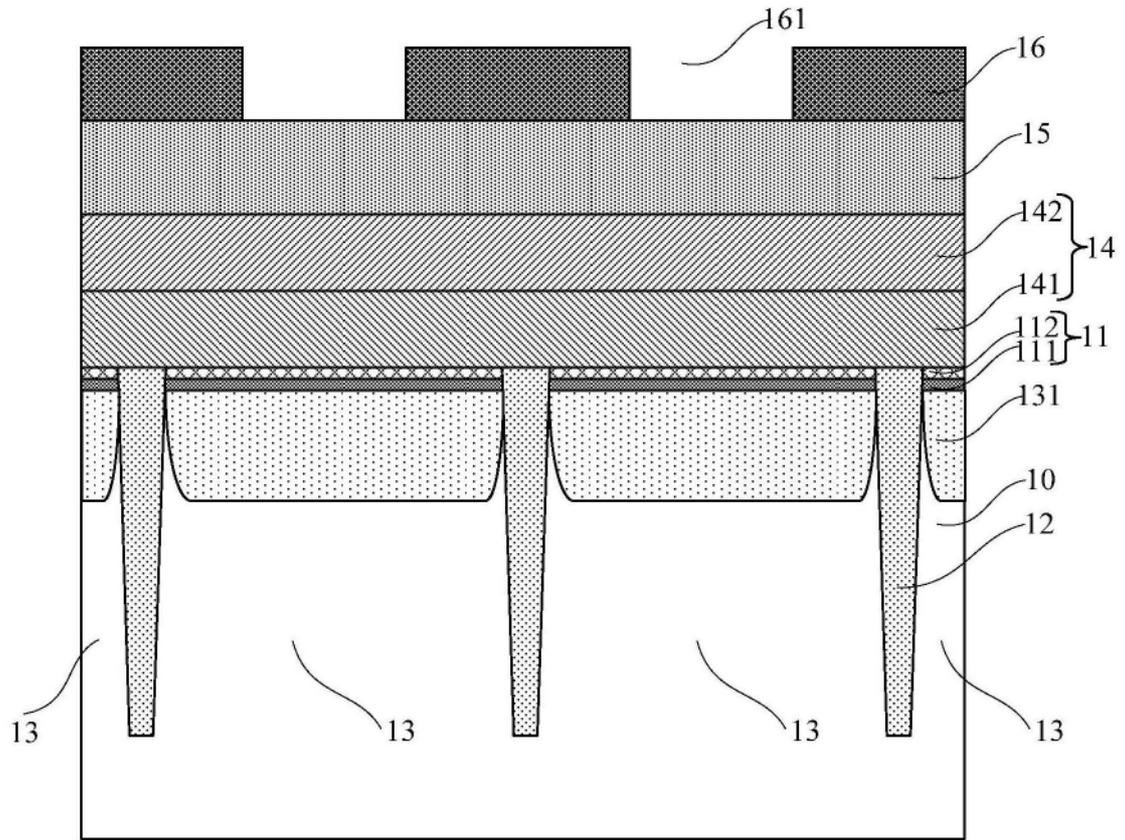


图10

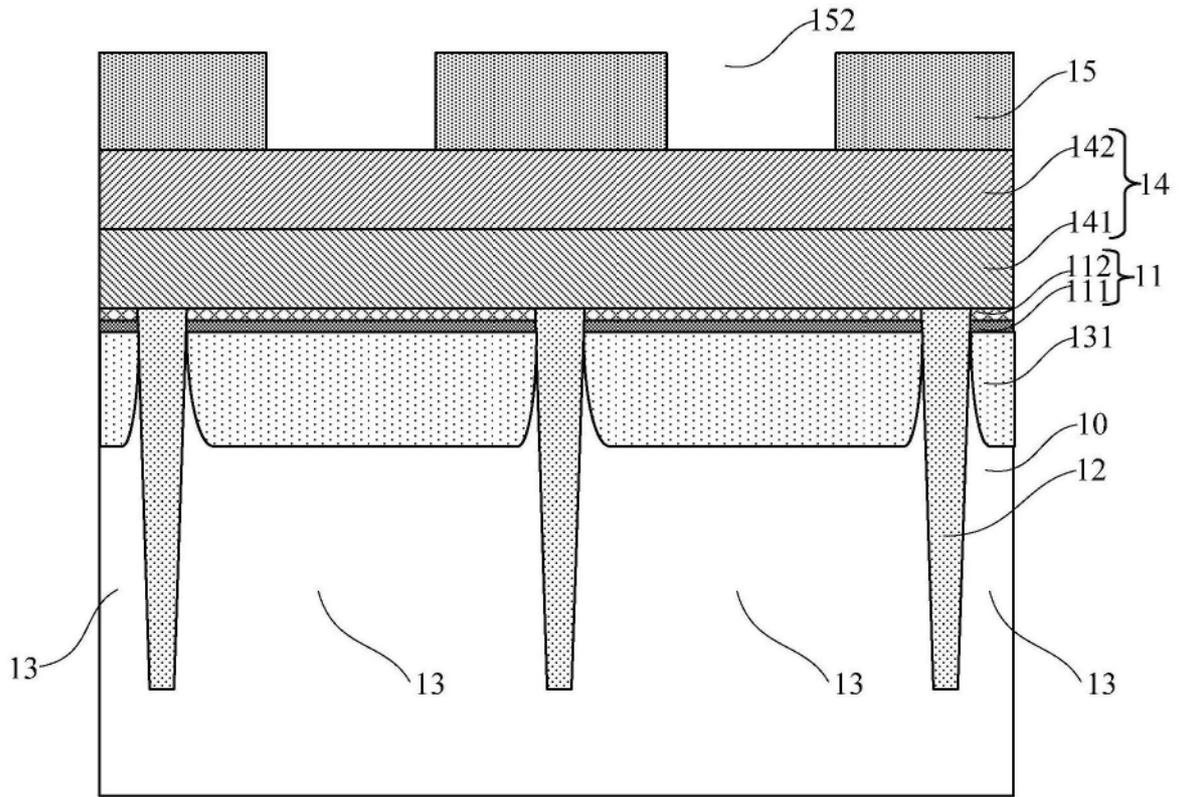


图11

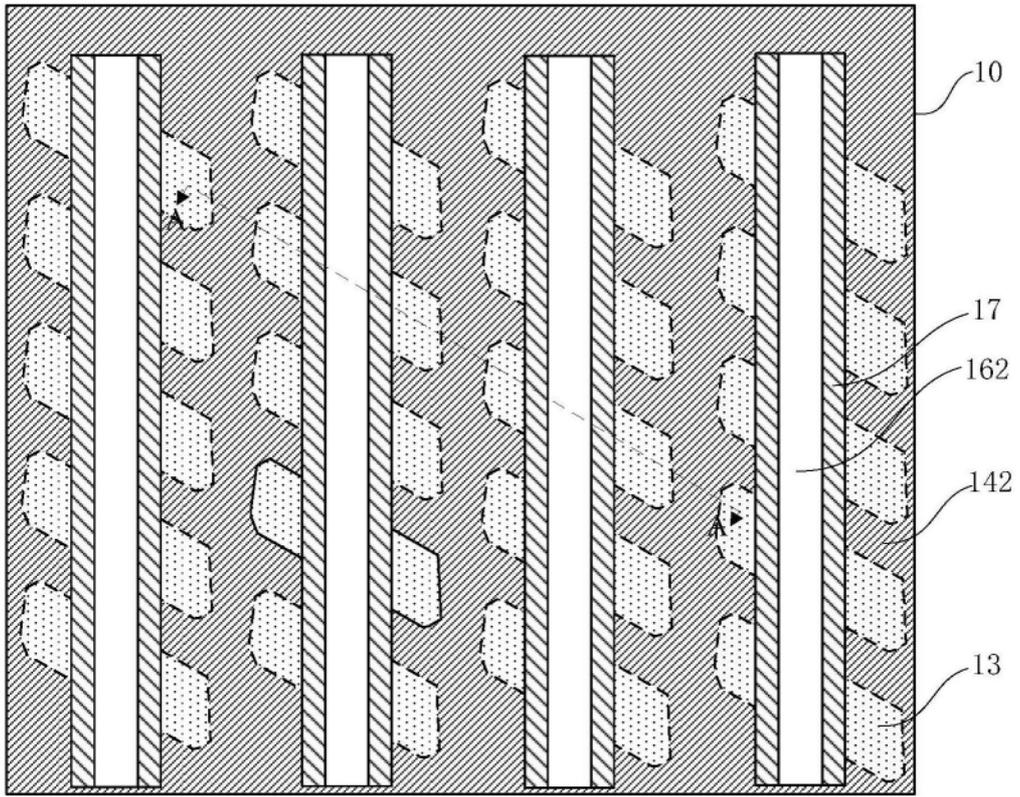


图12

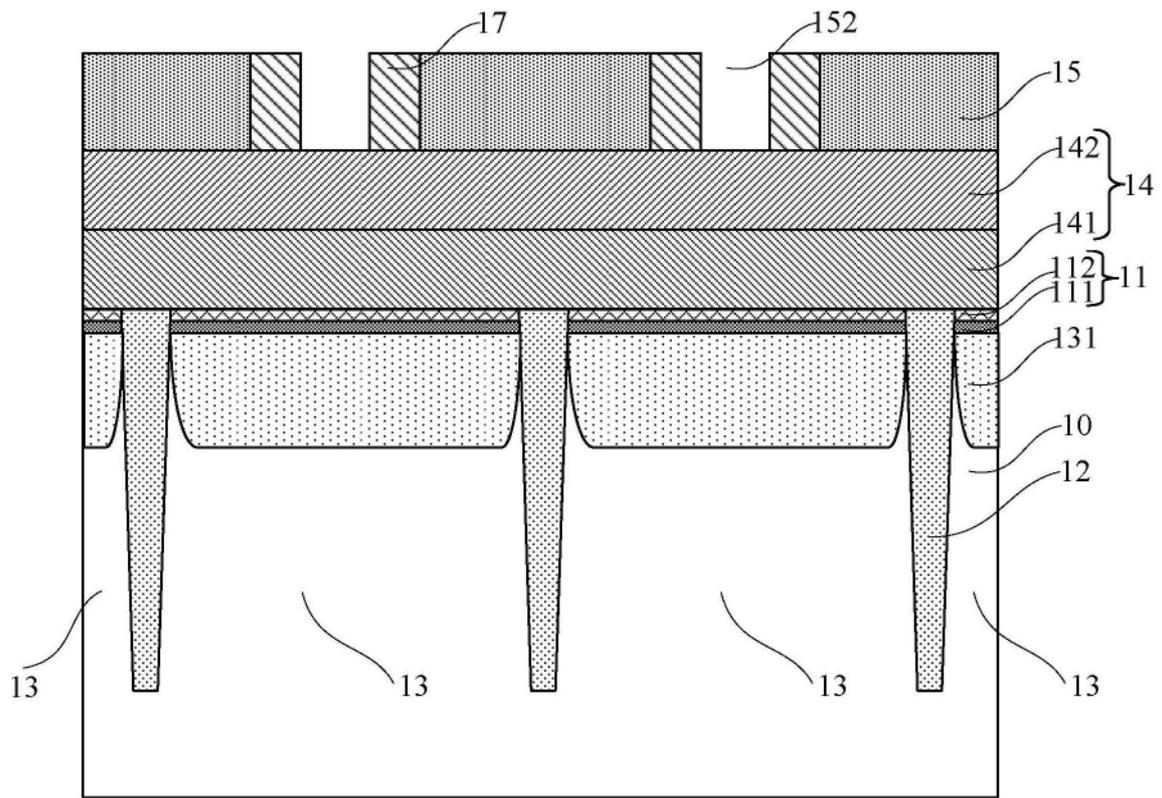


图13

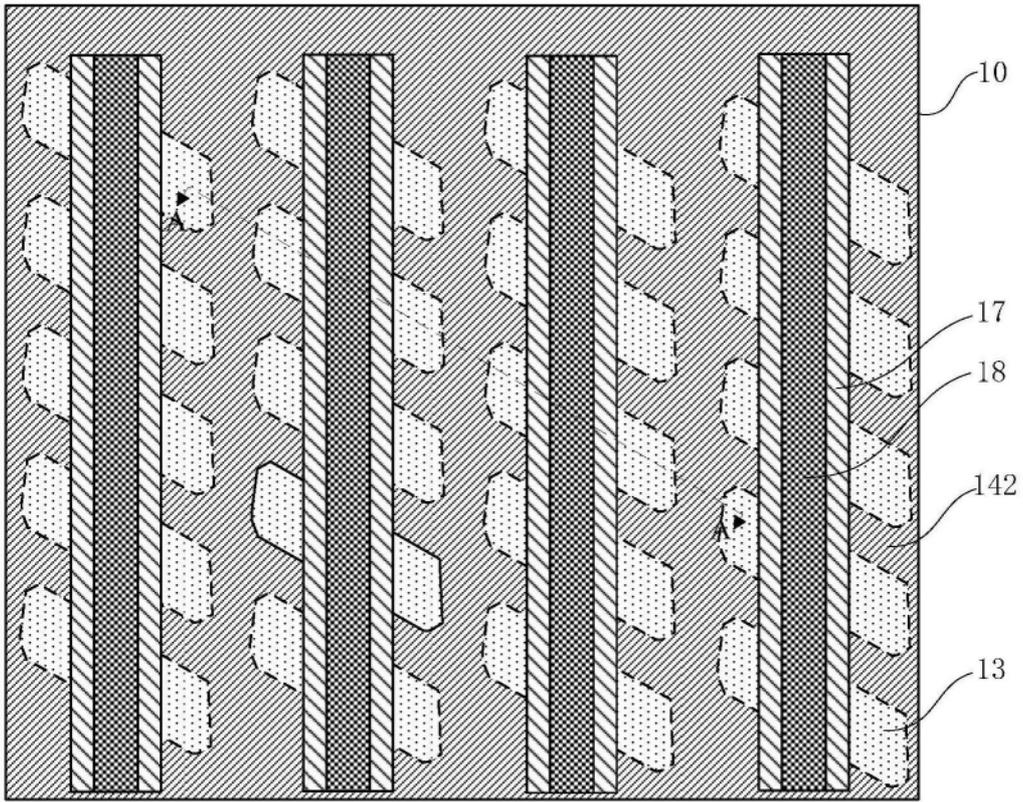


图14

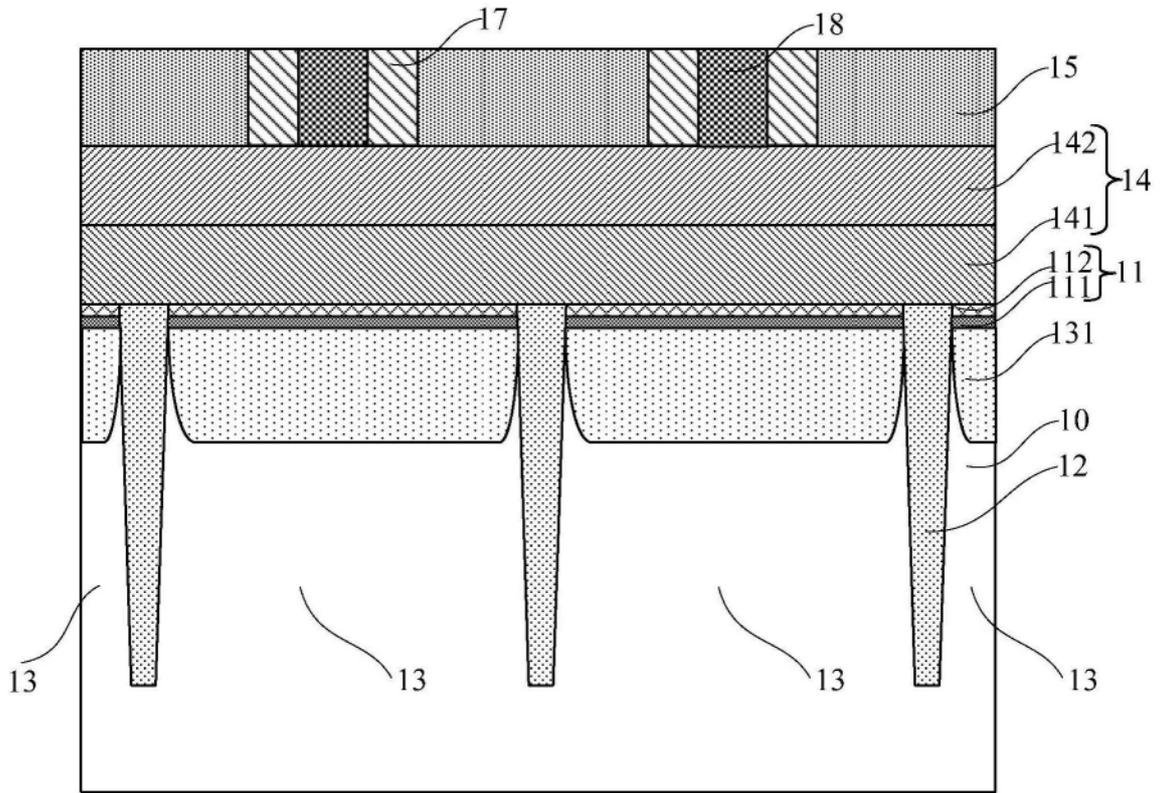


图15

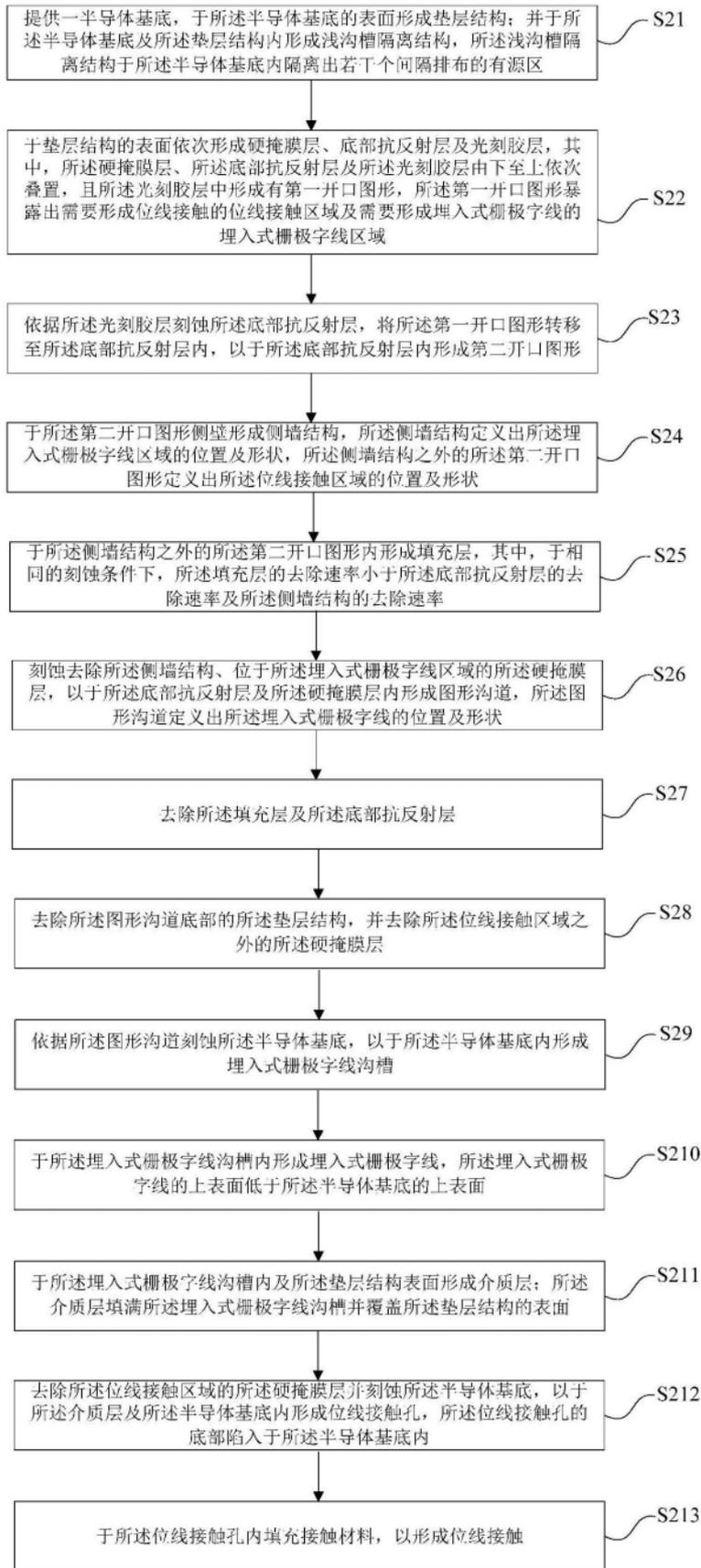


图16

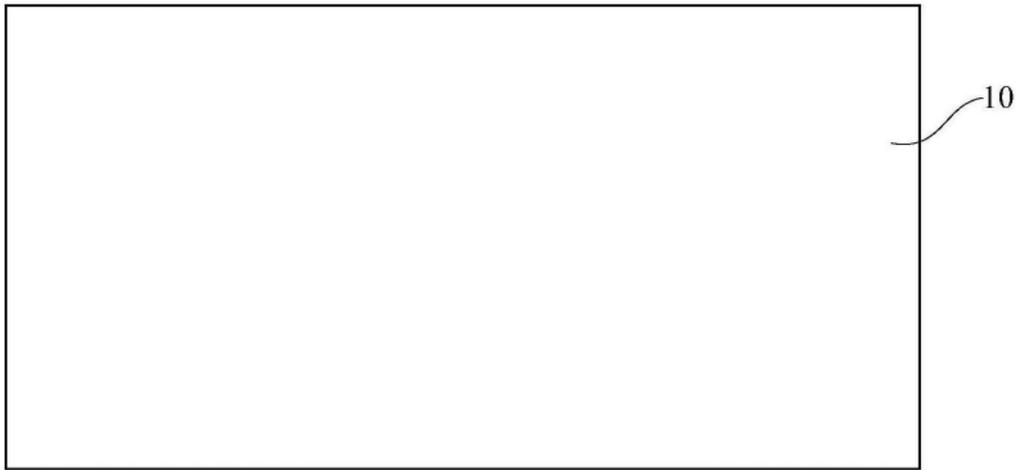


图17

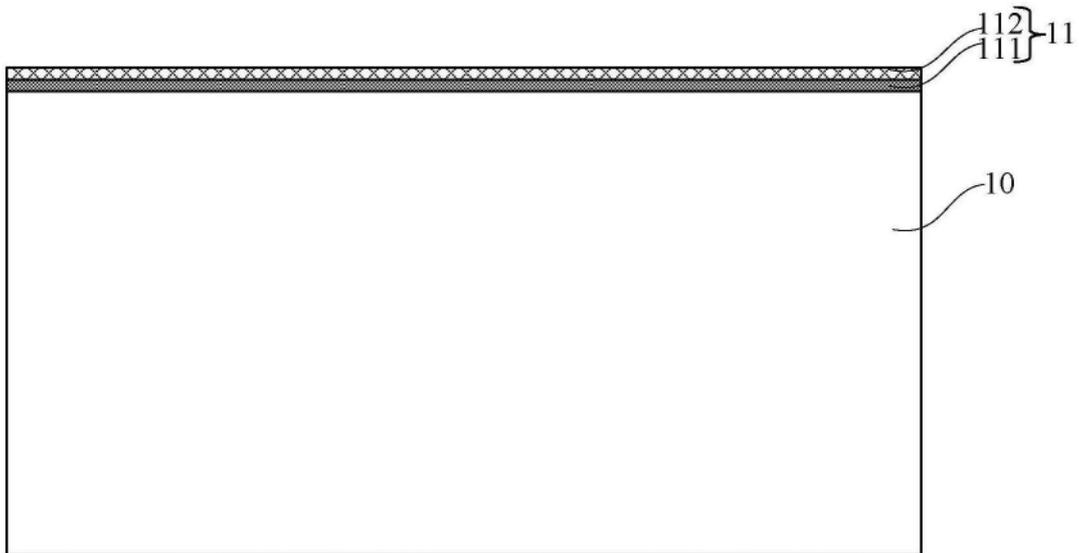


图18

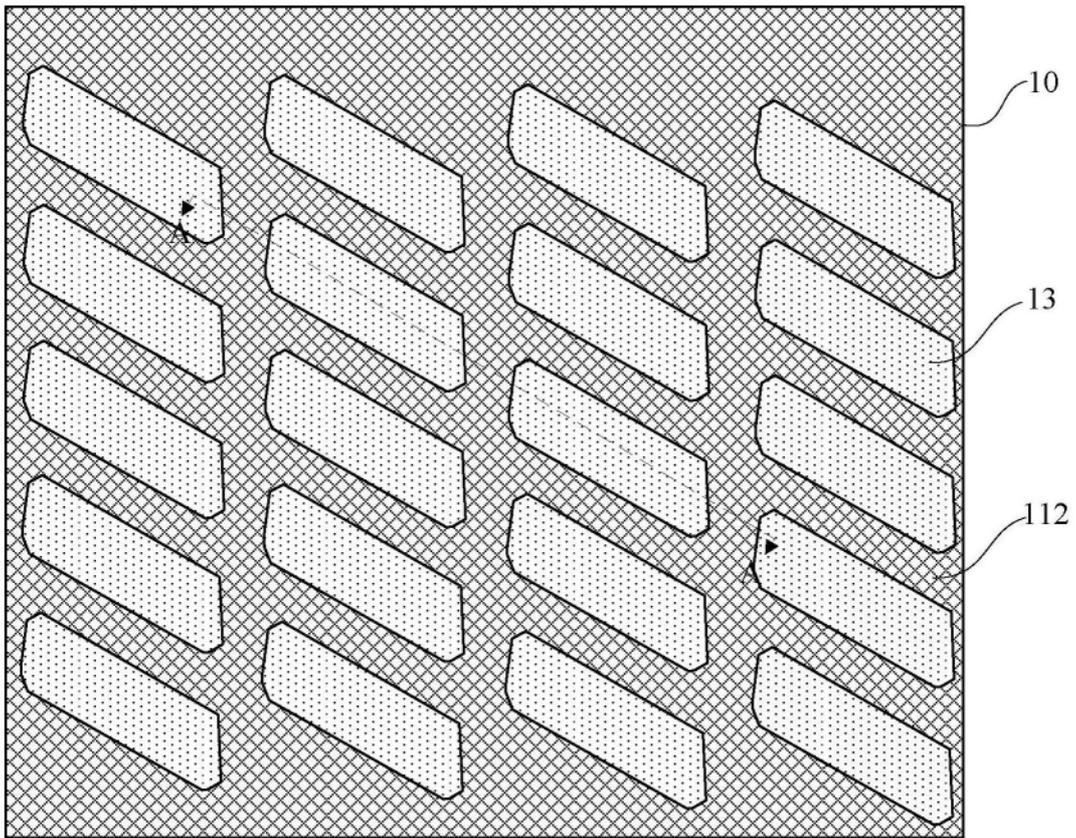


图19

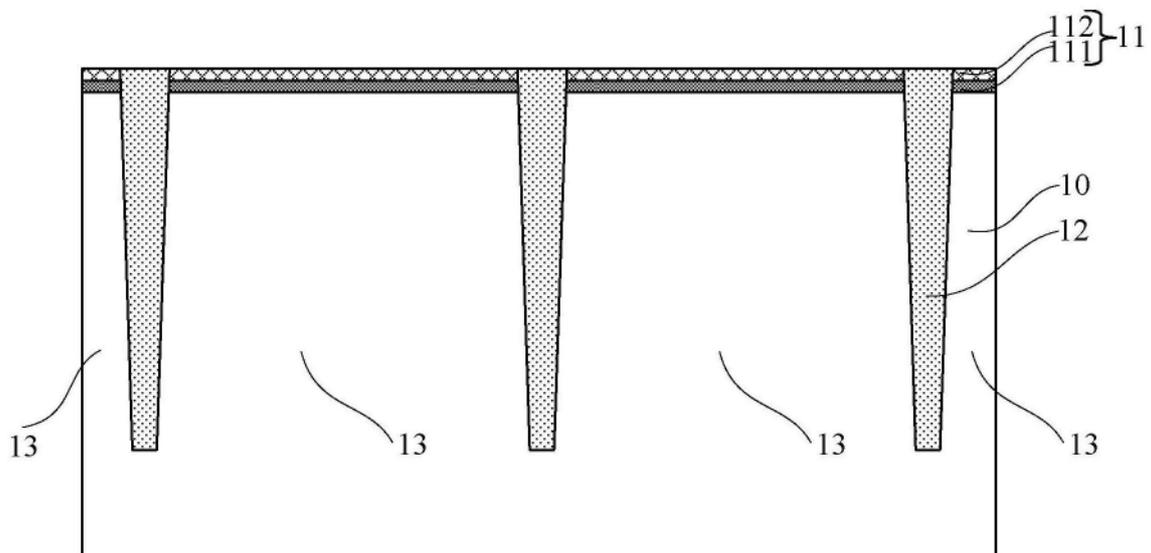


图20

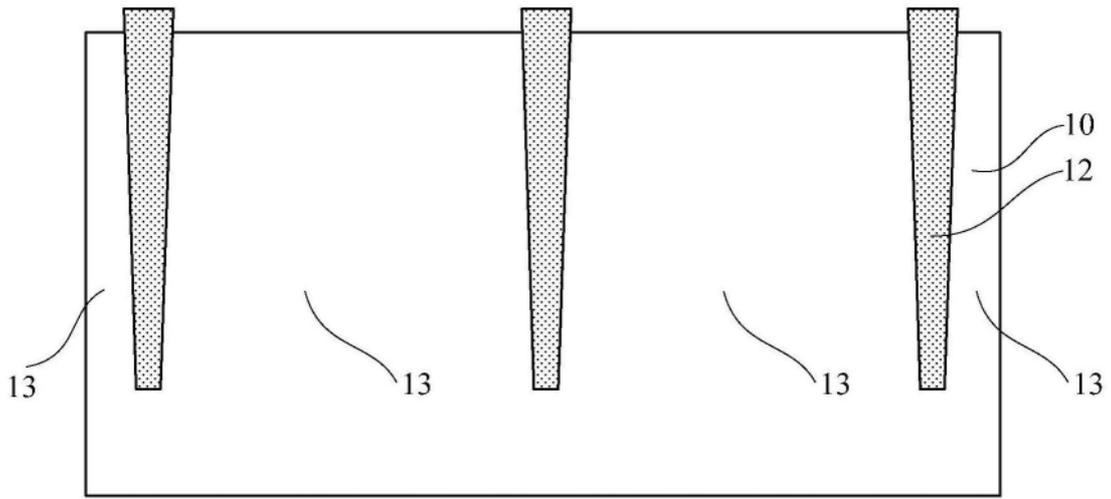


图21

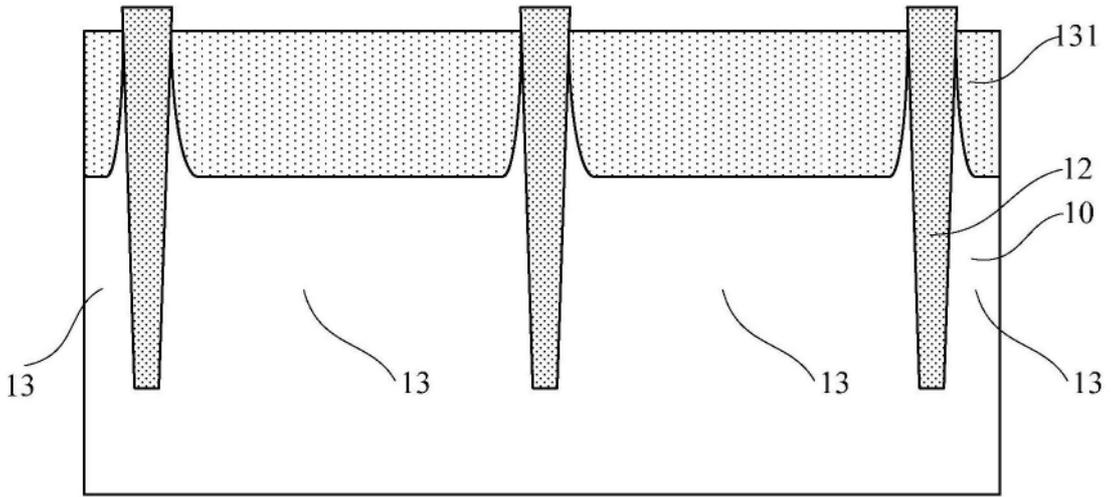


图22

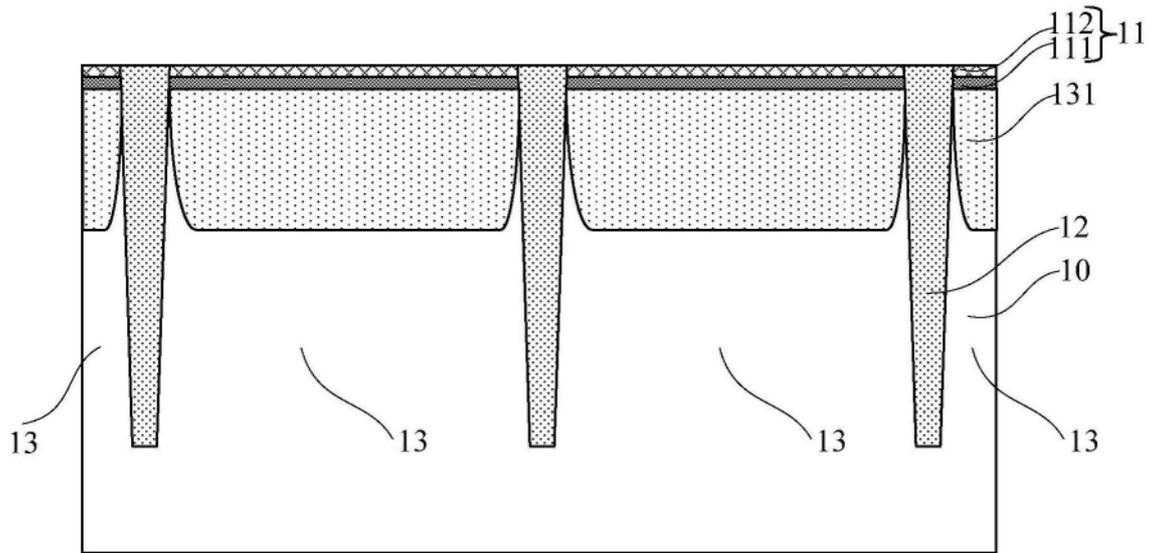


图23

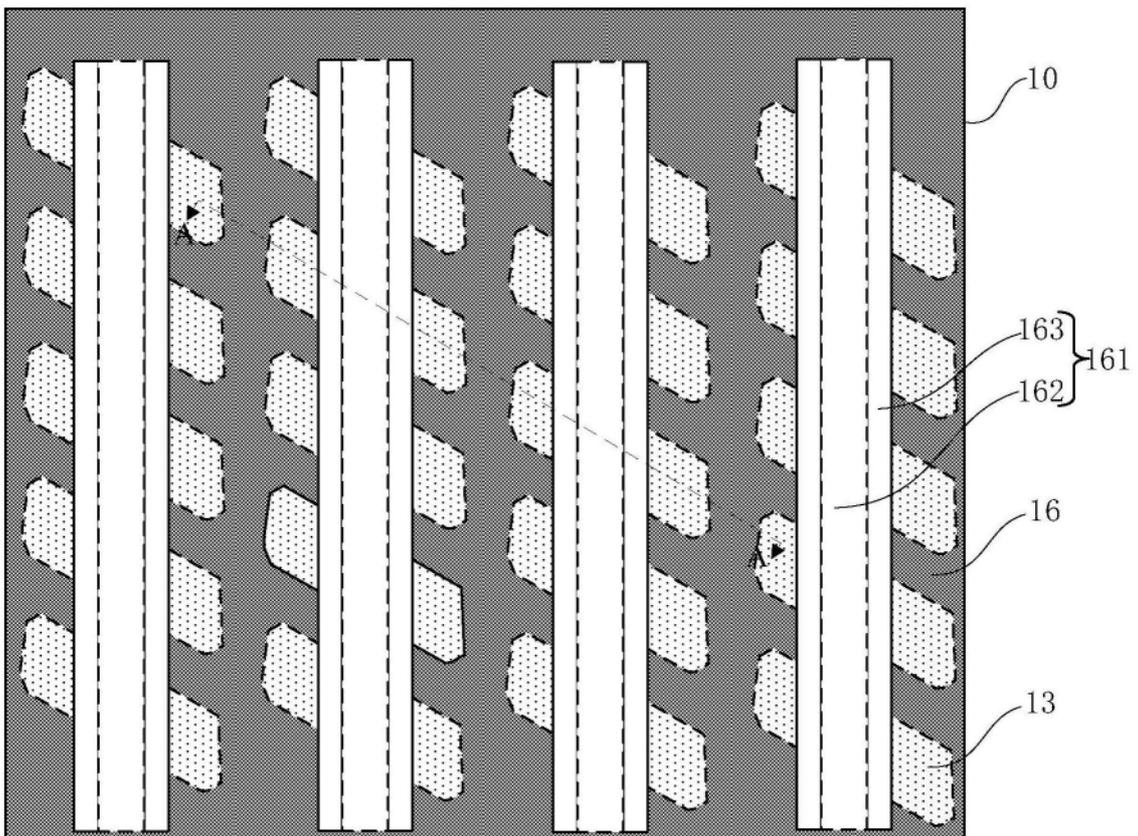


图24

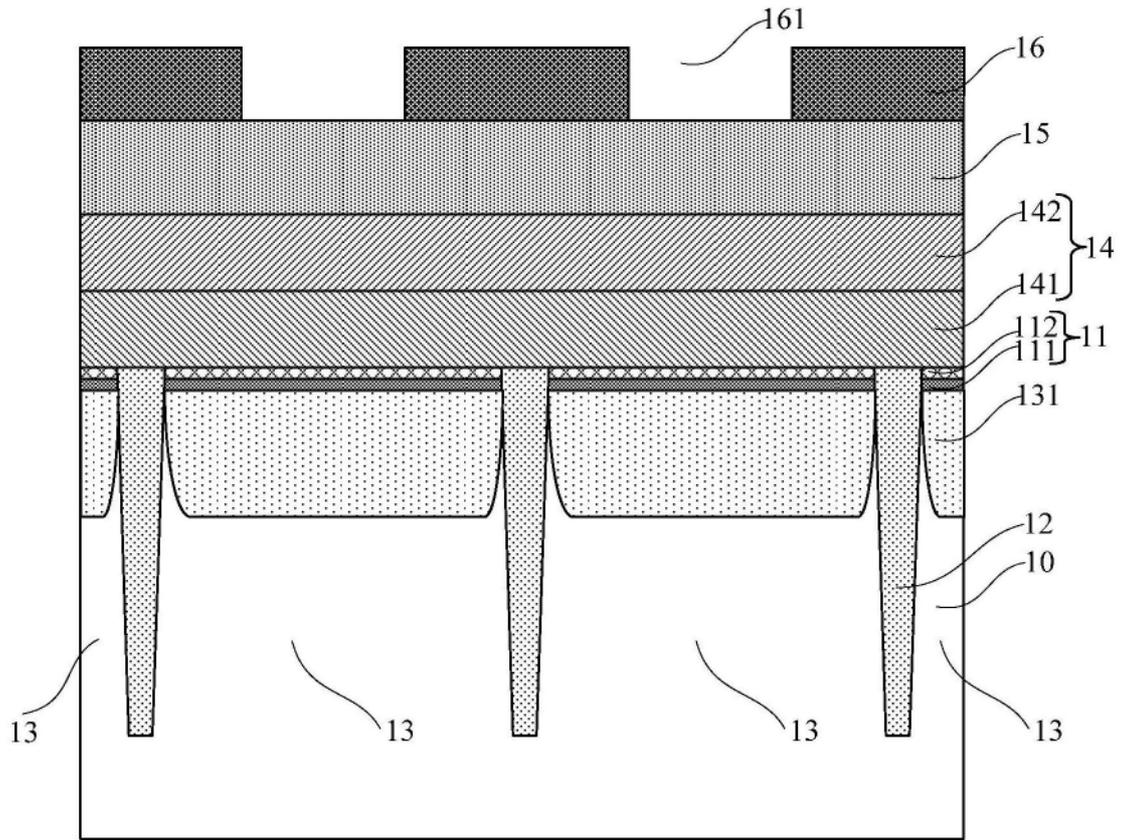


图25



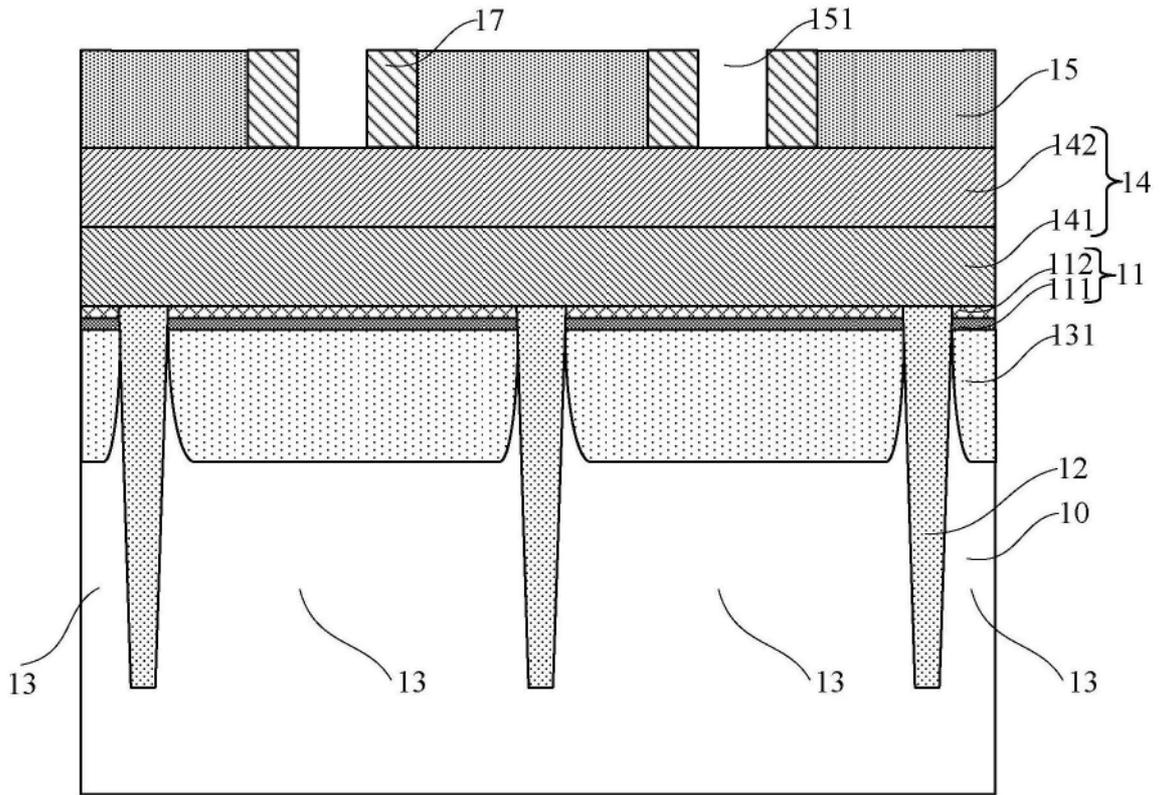


图28

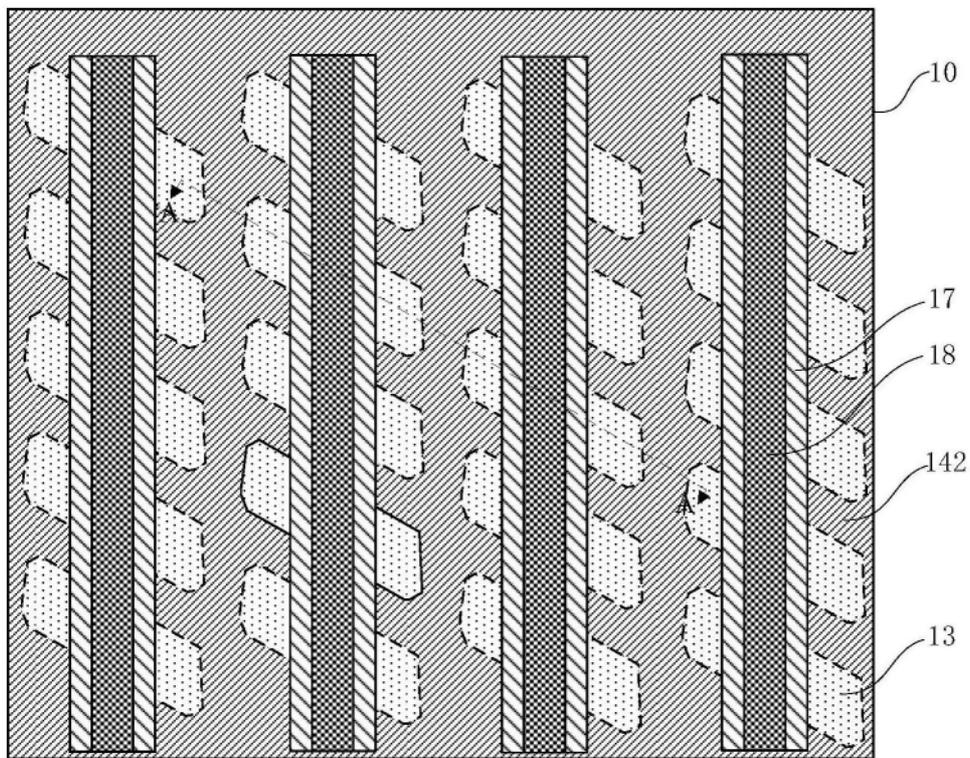


图29

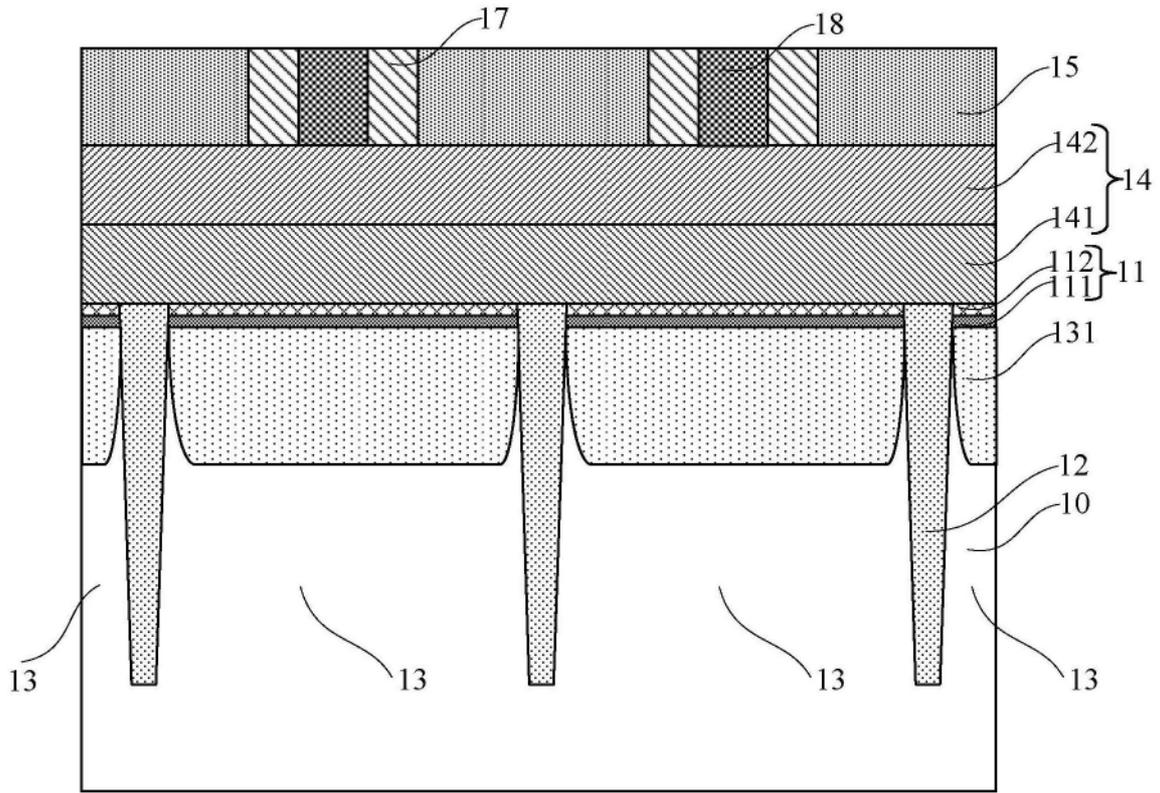


图30

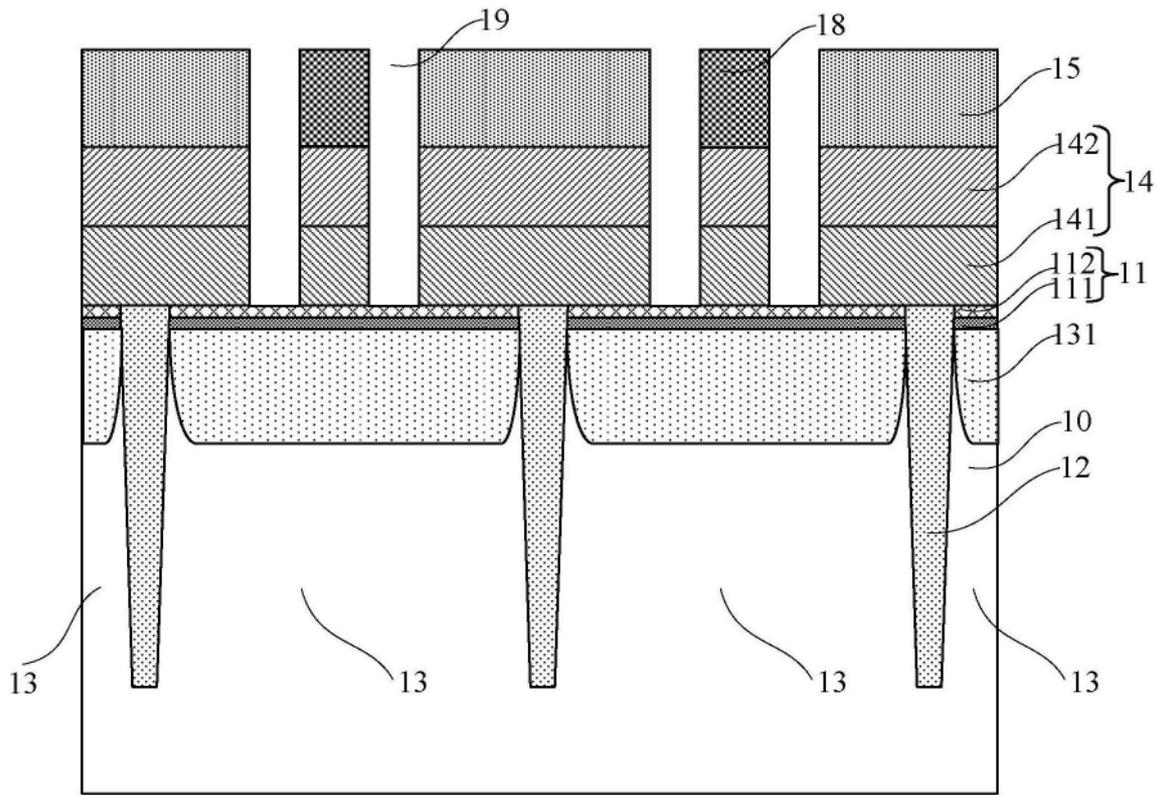


图31

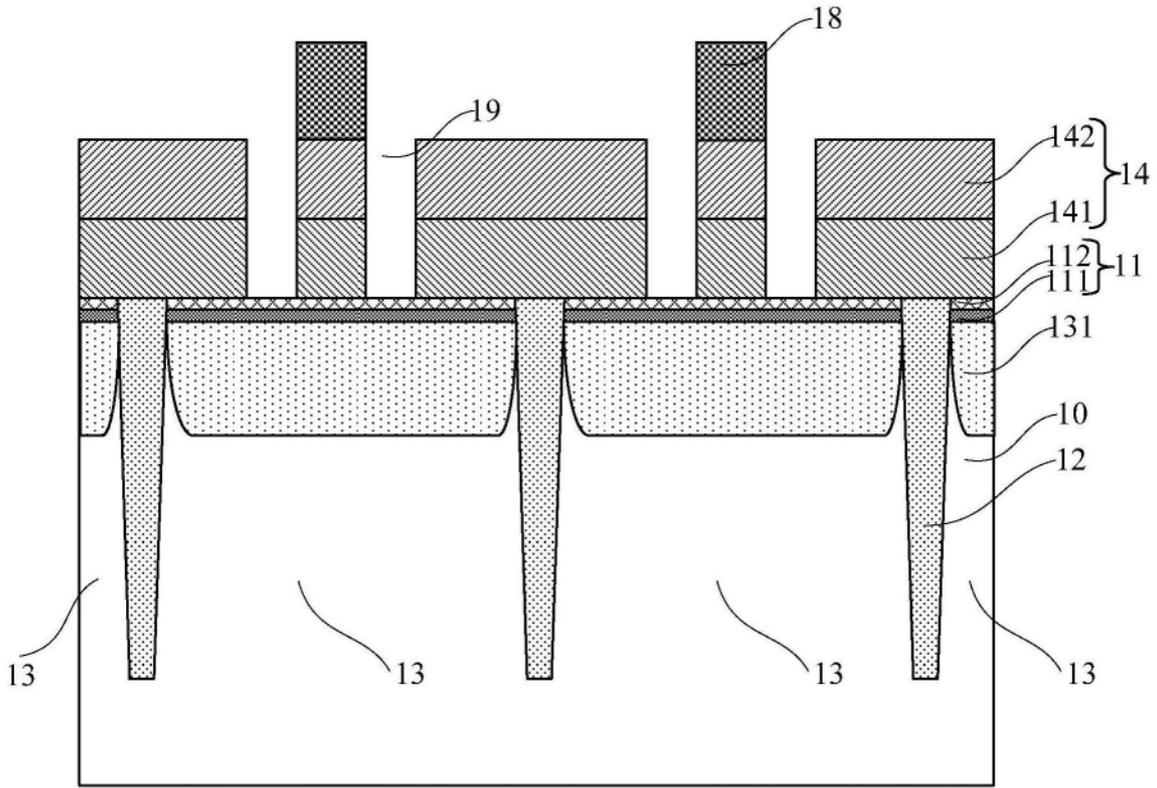


图32

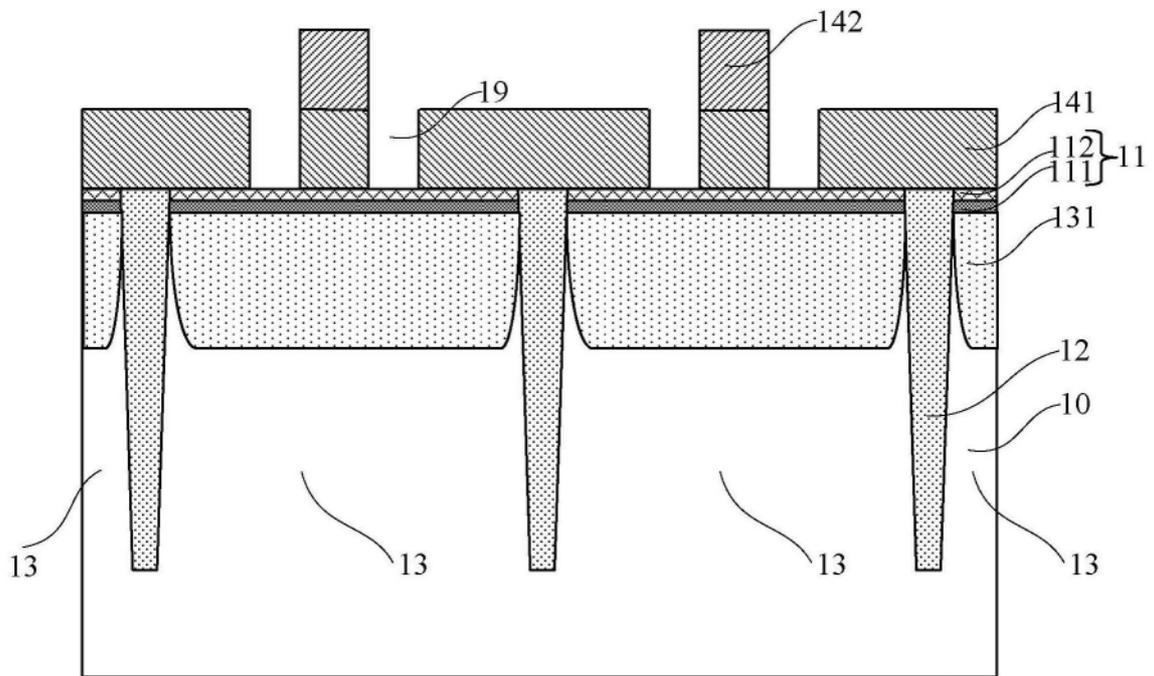


图33

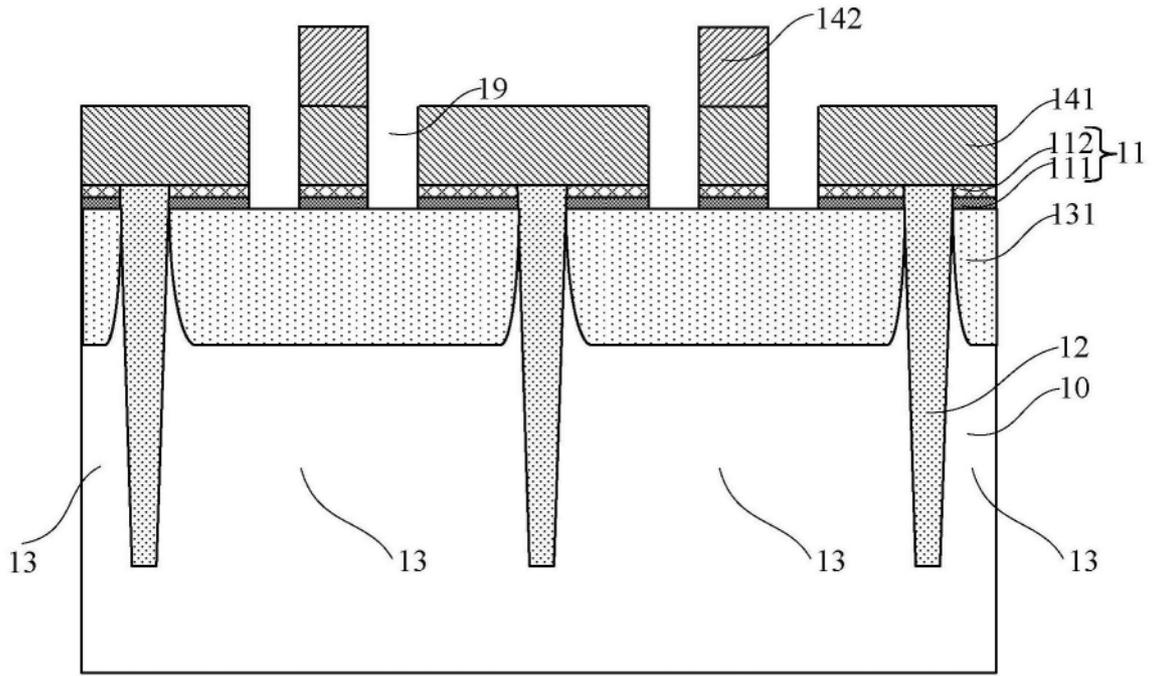


图34

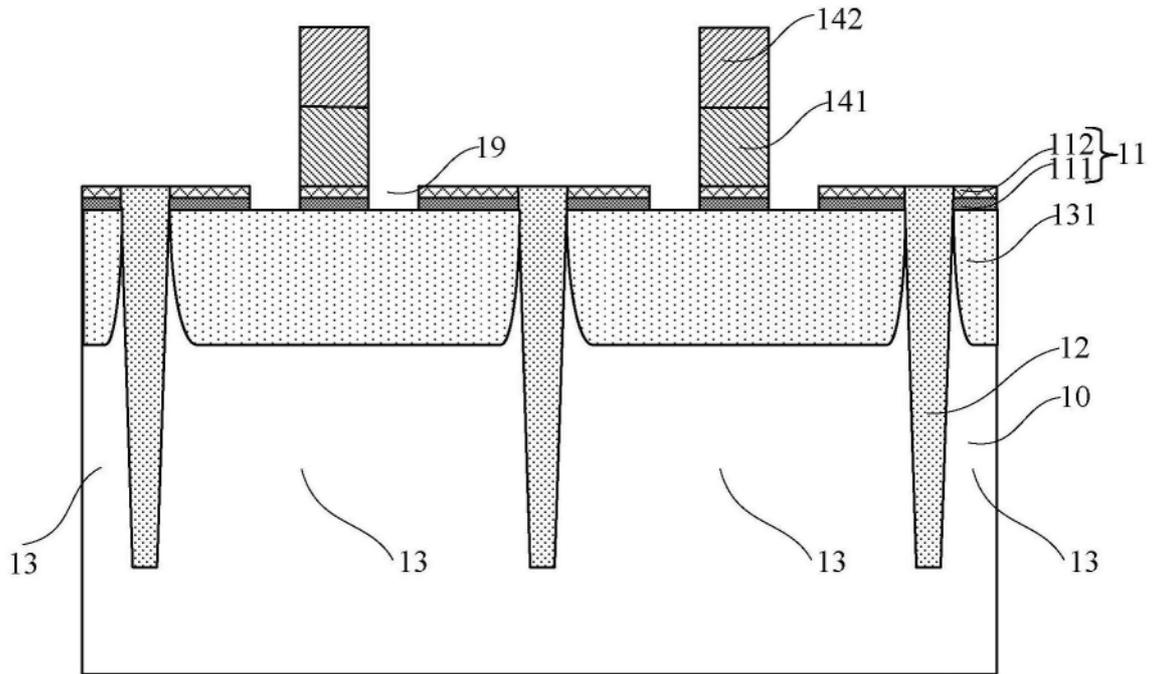


图35

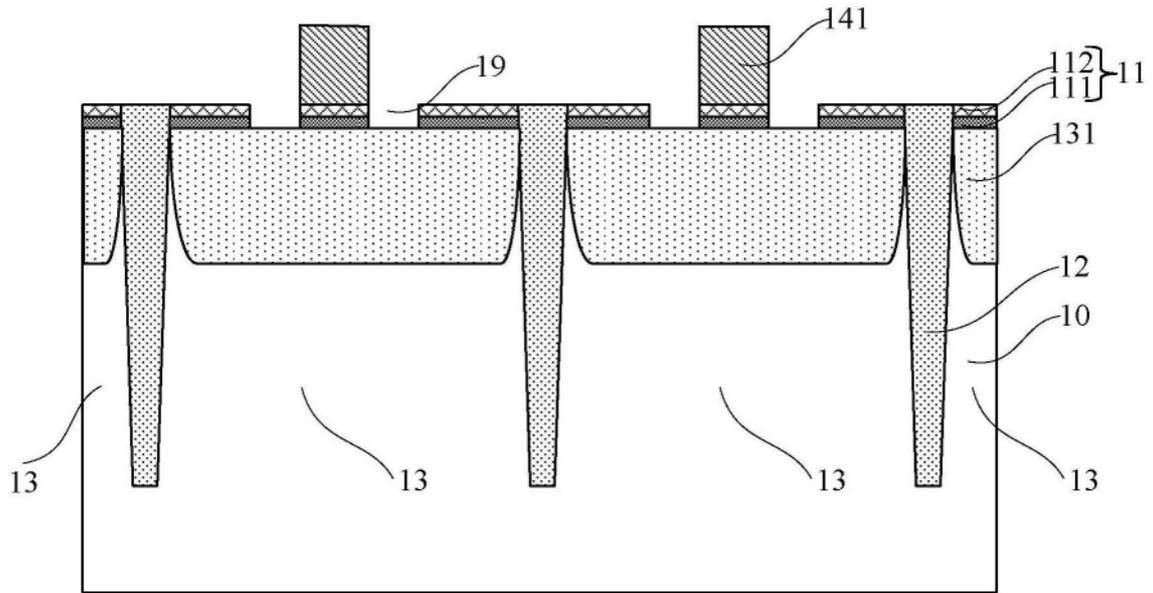


图36

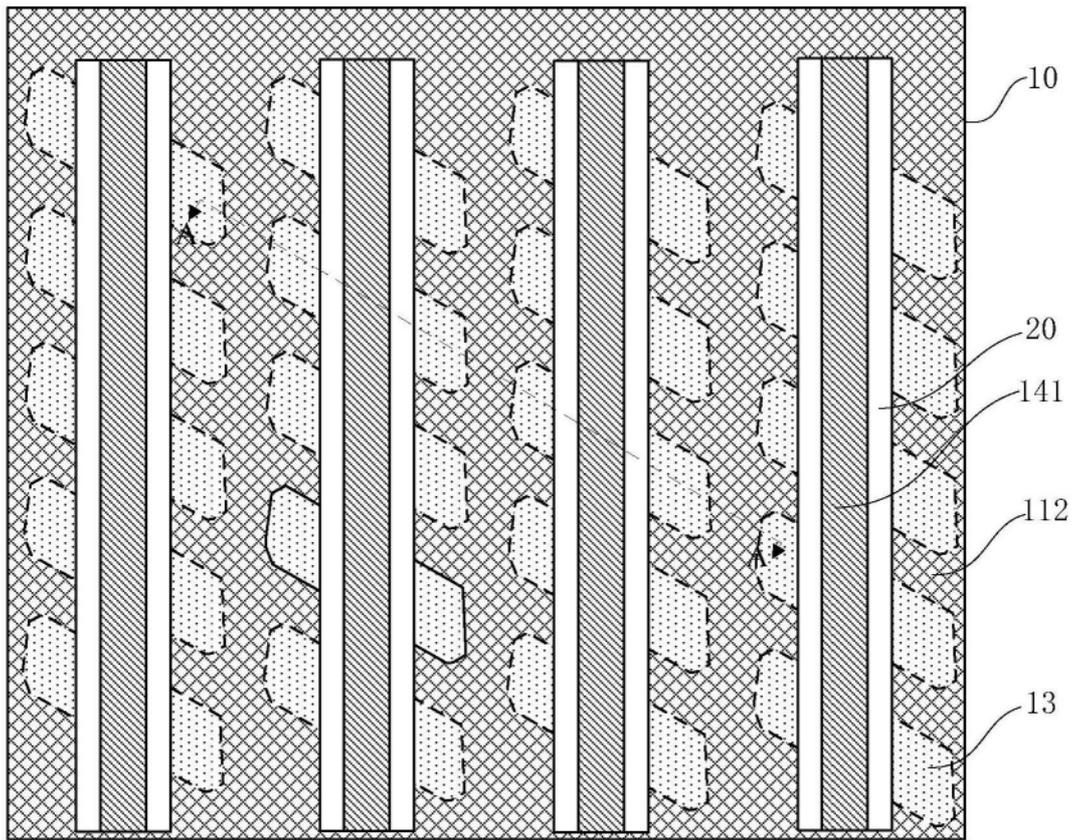


图37

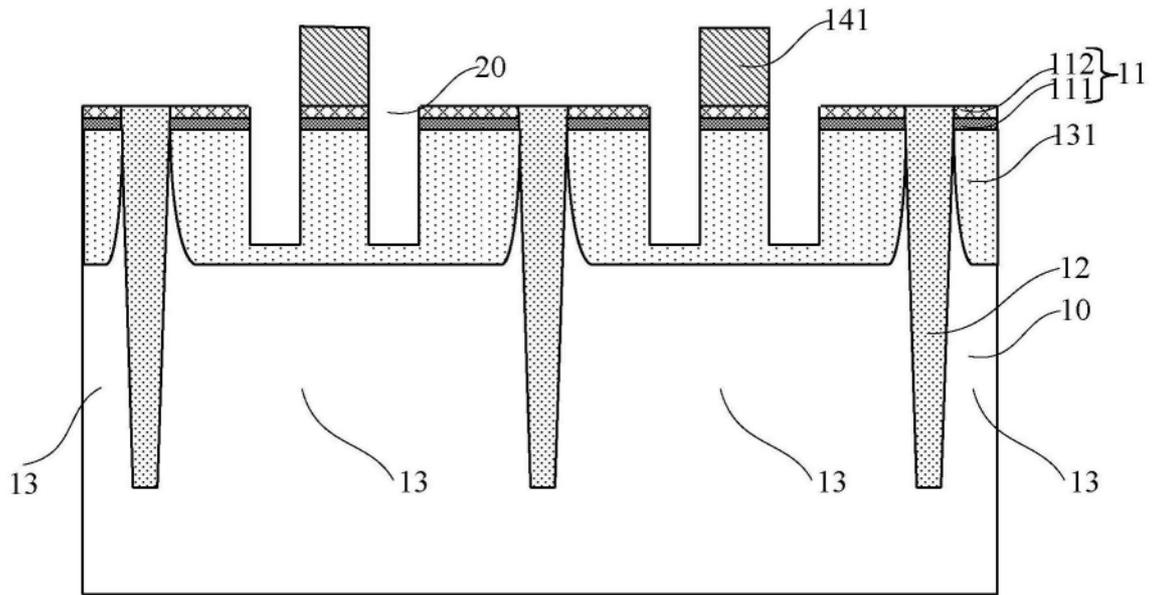


图38

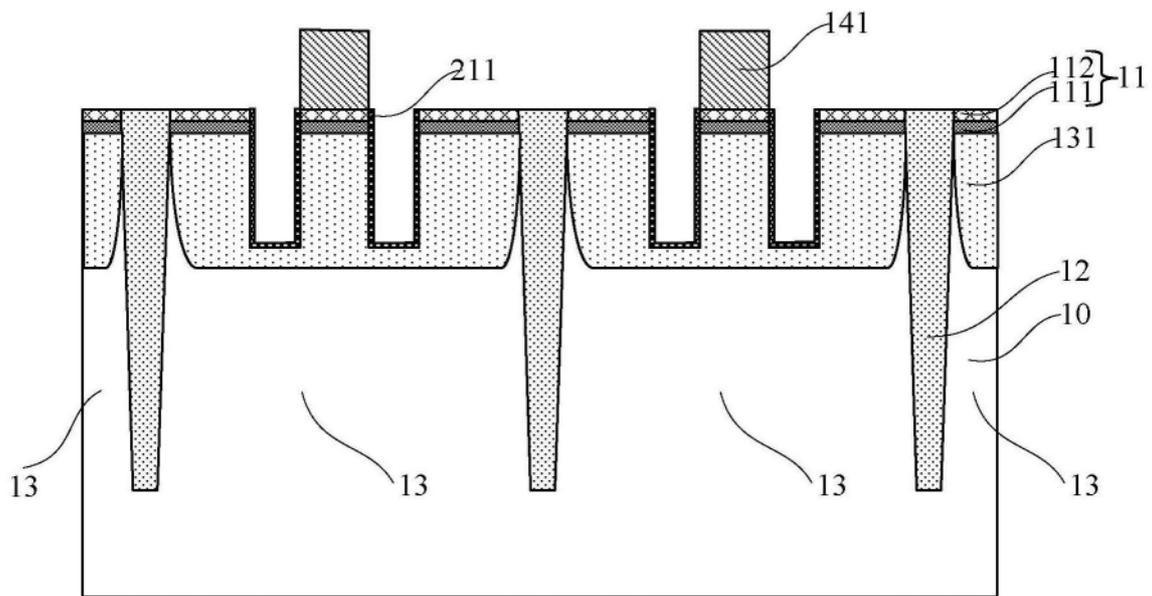


图39

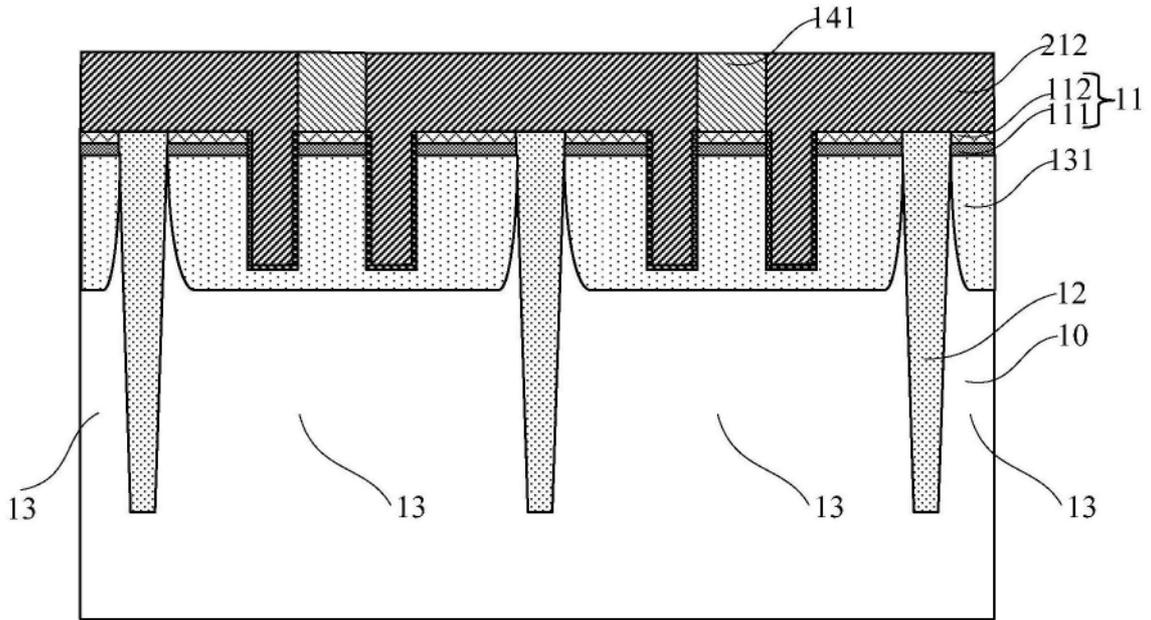


图40

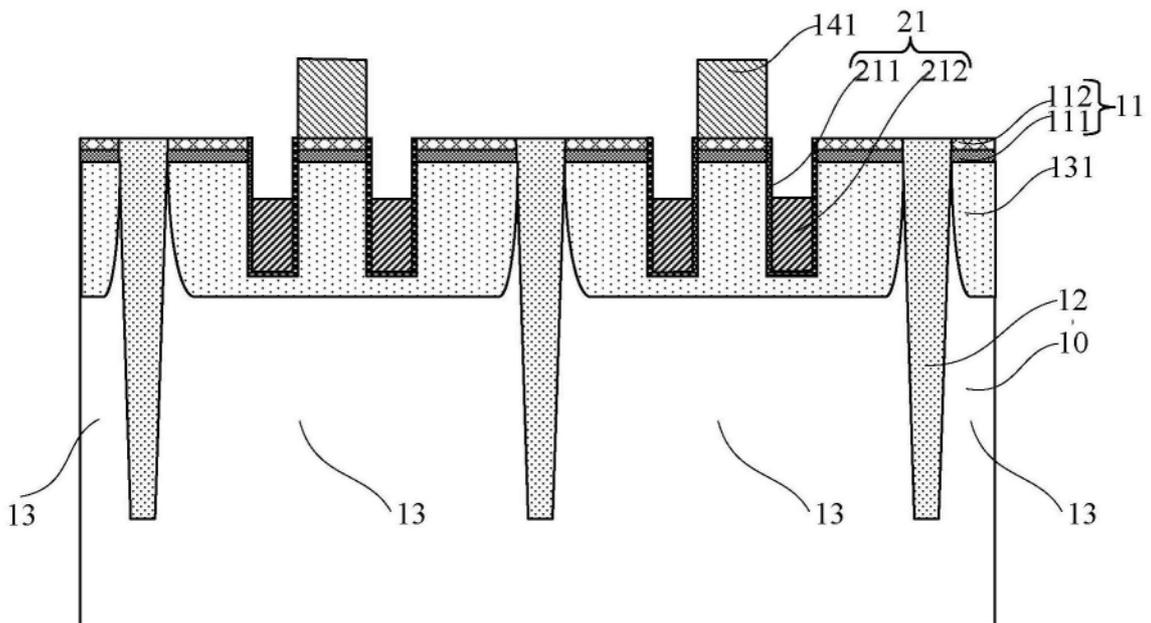


图41

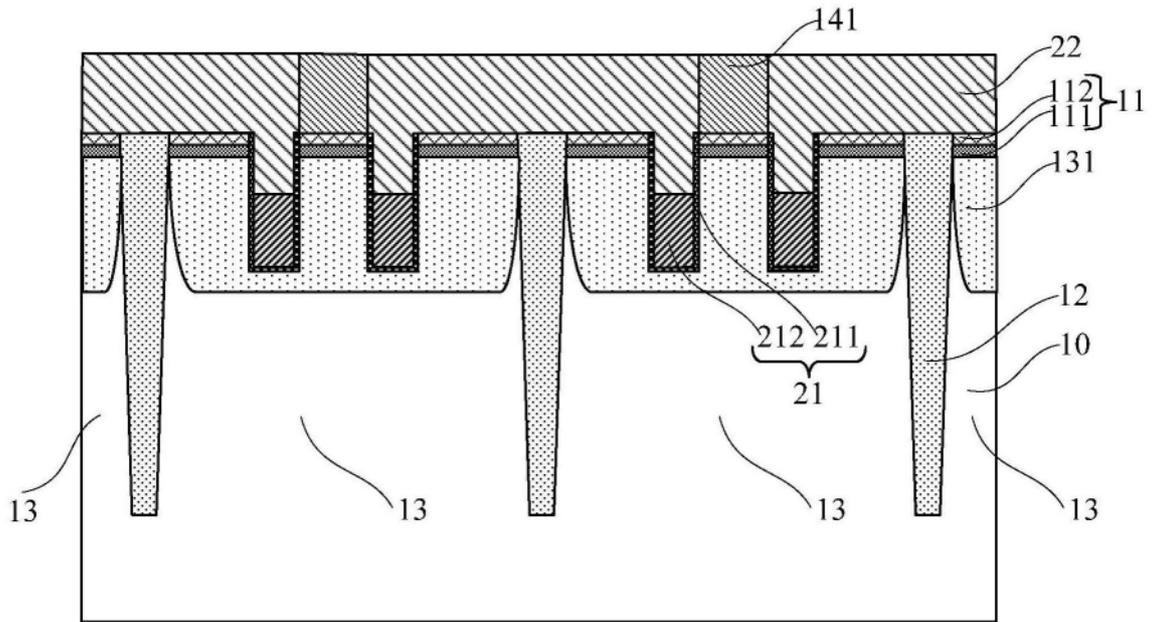


图42

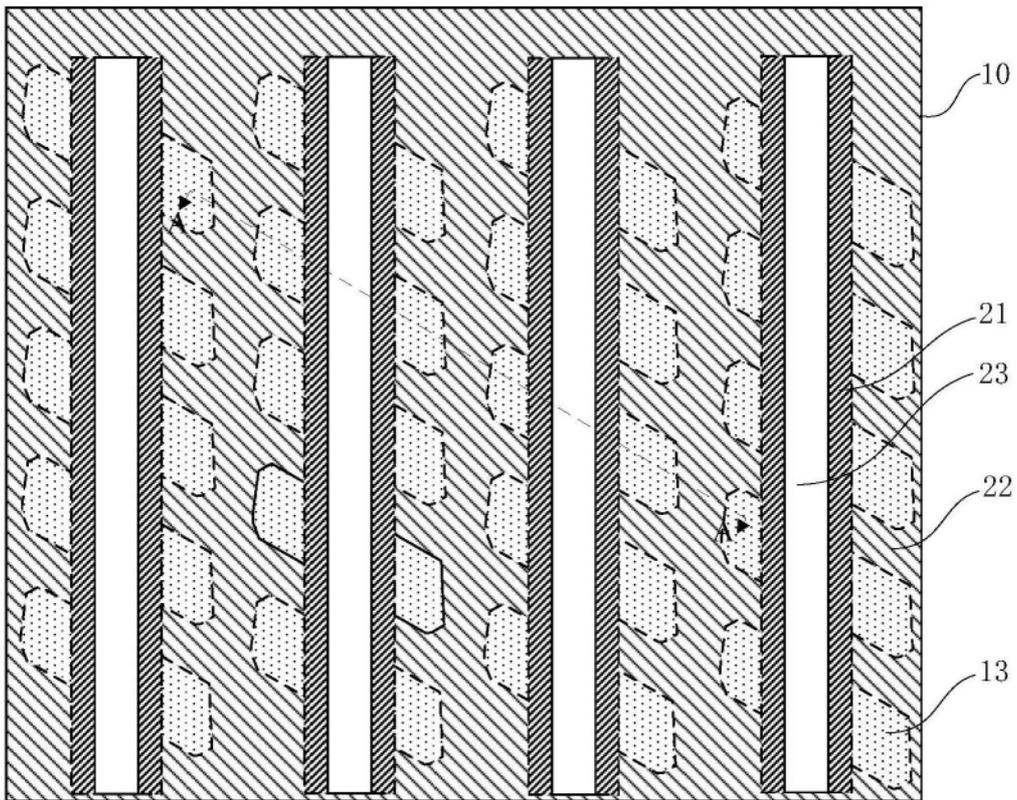


图43

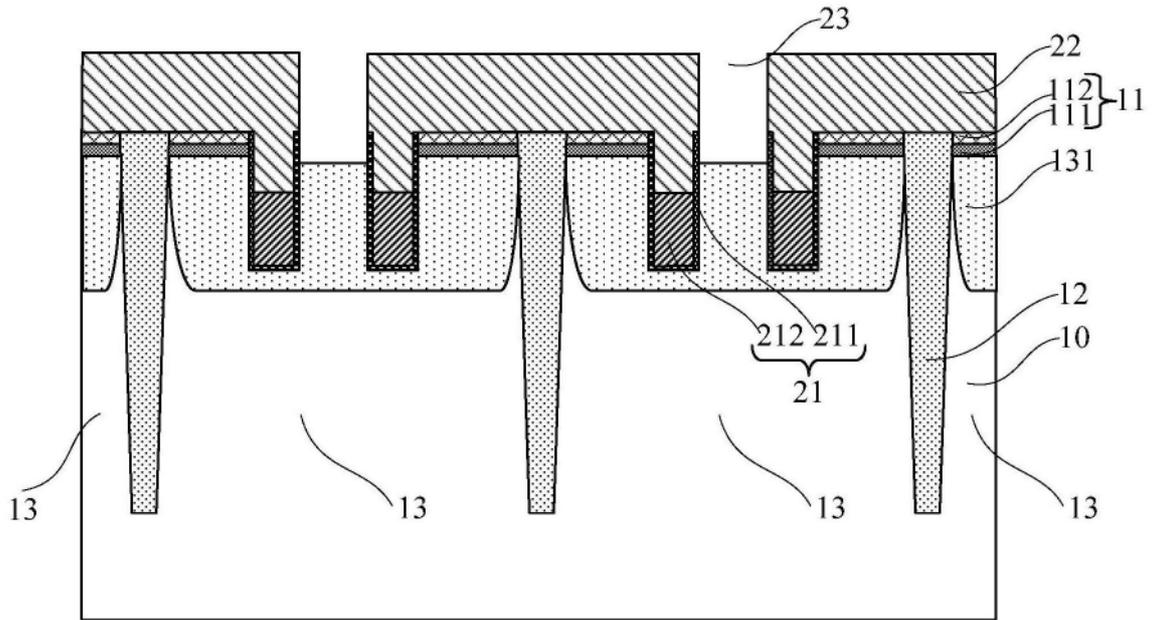


图44

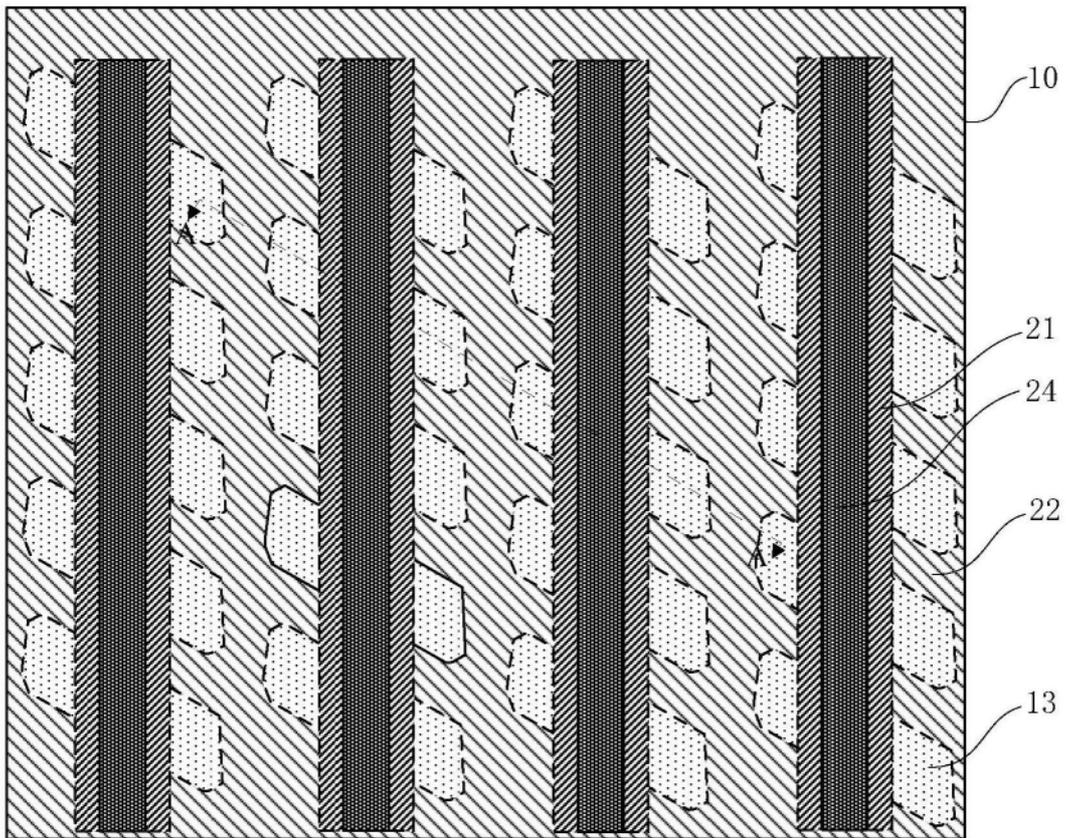


图45

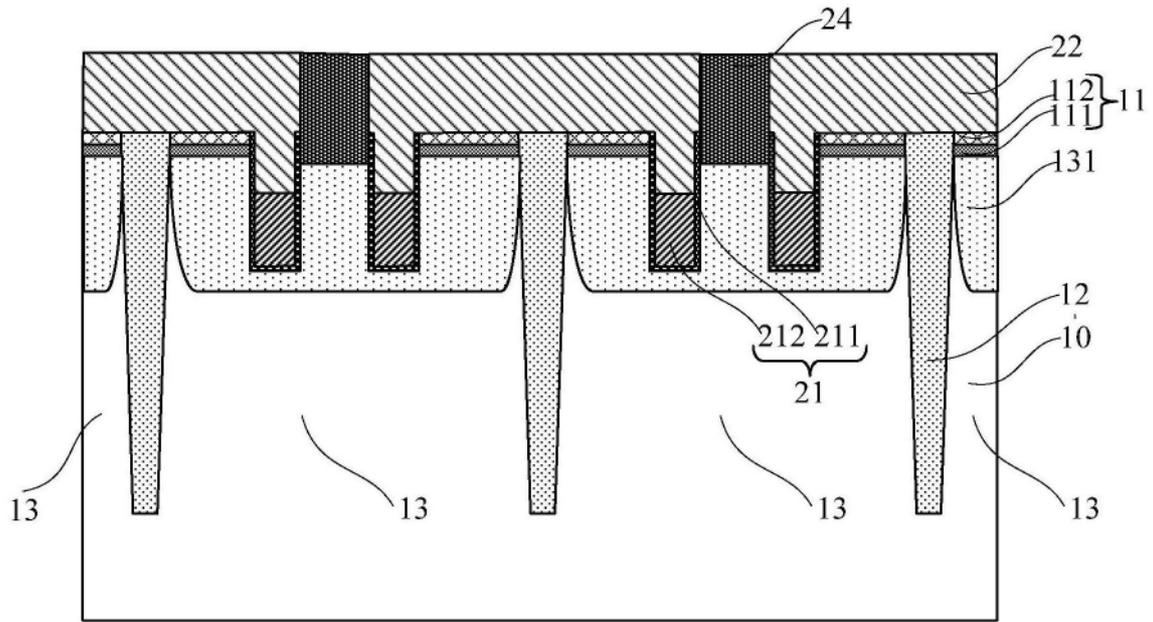


图46